

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 17 年 9 月 29 日 (2005.9.29)

【公開番号】特開 2003-84751 (P2003-84751A)

【公開日】平成 15 年 3 月 19 日 (2003.3.19)

【出願番号】特願 2002-145122 (P2002-145122)

【国際特許分類第 7 版】

G 0 9 G 5/393

G 0 6 F 3/153

G 0 6 F 12/00

G 0 6 F 12/02

G 0 6 T 1/60

G 0 9 G 5/00

G 0 9 G 5/39

【F I】

G 0 9 G 5/36 5 3 0 E

G 0 6 F 3/153 3 3 6 A

G 0 6 F 12/00 5 8 0

G 0 6 F 12/02 5 7 0 J

G 0 6 T 1/60 4 5 0 G

G 0 9 G 5/00 5 5 0 P

G 0 9 G 5/00 5 5 0 T

G 0 9 G 5/36 5 3 0 G

【手続補正書】

【提出日】平成 17 年 4 月 22 日 (2005.4.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

表示データとアドレスが入力される入力部と、表示画面を分割してなる $2^n \times 2^m$ (n と m は自然数) の矩形領域の各画素が連続する物理アドレスに対応付けられているビデオメモリに対して上記入力された表示データを書き込むビデオメモリインターフェースと、外部から描画用のコマンドコードを受けて指定された描画処理を行う描画回路とを備えた表示制御装置であって、

外部から入力された上記アドレスのビット配列を相互に入れ替えるアドレス変換手段と

、

該アドレス変換手段により入替えが行われるビット部分を複数のアドレス範囲毎に設定することが可能なアドレス変換設定手段と、

を備えたことを特徴とする表示制御装置。

【請求項 2】

上記ビデオメモリの記憶領域は複数のアドレス範囲に分割され各アドレス範囲毎に異なる画面の表示データが格納されるとともに、

上記アドレス変換設定手段は、上記分割されたアドレス範囲毎にビット配列の入替え部分が設定可能なように構成されていることを特徴とする請求項 1 記載の表示制御装置。

【請求項 3】

上記アドレス変換設定手段は、分割されたアドレス範囲を表すアドレスの上位所定ビットを登録データを引き出すためのインデックスとし、該アドレス範囲における入替え部分を決定するビットデータを登録データとしたデータテーブルであることを特徴とする請求項 2 記載の表示制御装置。

【請求項 4】

描画処理を含むシステム制御処理を行う中央演算処理ユニットと、請求項 1 ~ 3 の何れかに記載の表示制御装置とが 1 個の半導体基板上に形成されてなることを特徴とするマイクロコンピュータ。

【請求項 5】

描画処理を含むシステム制御処理を行う中央演算処理ユニットと、該中央演算処理ユニットにより扱われる論理アドレスを主記憶の物理アドレスに変換するメモリ管理ユニットと、上記中央演算処理ユニットから描画用のコマンドコードを受けて指定された描画処理を行う描画回路とを有するマイクロコンピュータにおいて、

上記メモリ管理ユニットは、上記中央演算処理ユニットが表示画面を分割してなる $2^n \times 2^m$ (n と m は自然数) の矩形領域の各画素が連続する物理アドレスに対応付けられているビデオメモリへ表示データの書込みを行う際に、該中央演算処理ユニットから供給される論理アドレスのビット配列を相互に入替えることによりビデオメモリの物理アドレスに変換するアドレス変換手段を有するとともに、当該メモリ管理ユニットに、ビット配列の入れ替えを行う部分をビデオメモリの複数のアドレス範囲毎に設定することが可能なアドレス変換設定手段が設けられていることを特徴とするマイクロコンピュータ。

【請求項 6】

演算処理を行う CPU と、表示データが格納されるメモリと、表示画面を縦横複数に分割してなる各矩形領域における画素データが連続するアドレスに対応づけられるタイルアドレス形式の表示データを上記メモリから読み出してディスプレイに出力可能な映像信号を生成するタイルアドレス形式の表示部とを備えたグラフィックシステムであって、

上記 CPU から上記メモリへのアクセス経路上に、表示画面の左端から右端にかけてライン方向に並ぶ画素データが連続するアドレスに対応づけられるリニアアドレス形式の表示データを、アドレス変換により上記タイルアドレス形式のデータに変換するアドレス変換部を備えていることを特徴とするグラフィックシステム。

【請求項 7】

上記アドレス変換部はアドレス変換の実行の有無を設定可能な設定レジスタを備えていることを特徴とする請求項 6 記載のグラフィックシステム。

【請求項 8】

上記アドレス変換部は複数の変換方式によりアドレス変換を行うことが可能であるとともに、適用される変換方式は所定条件に基づき変更されるように構成され、さらに、上記の所定条件が設定変更可能にされていることを特徴とする請求項 6 又は 7 に記載のグラフィックシステム。

【請求項 9】

上記アドレス変換部は、表示データのアドレスのうち 2 つのビット範囲の値を相互に入れ替えることで上記リニアアドレス形式から上記タイルアドレス形式への変換を行うように構成されていることを特徴とする請求項 6 ~ 8 の何れかに記載のグラフィックシステム。

【請求項 10】

データ受信が可能な通信手段を備え、該通信手段を介して受信されたりニアアドレス形式の表示データがタイルアドレス形式の表示データに変換されて上記メモリに展開され、上記表示部により上記表示データに基づく映像信号が出力されることを特徴とする請求項 6 ~ 9 の何れかに記載のグラフィックシステム。

【請求項 11】

描画処理を含むシステム制御処理を実行可能な中央処理装置と、

上記中央処理装置から受けた描画処理用の命令コードに応答して、指定された描画処理

を実行可能な描画回路と、

上記中央処理装置から供給されたアドレス信号を変換可能なアドレス変換制御回路と、
インタフェース回路と、

上記中央処理装置と、上記アドレス変換回路とに接続される第1アドレスバスと、

上記アドレス変換制御回路と上記インタフェース回路とに接続される第2アドレスバスと、を含み、

上記アドレス変換制御回路は、アドレス変換部と、アドレス変換情報を格納可能な複数のレジスタとを有し、

上記アドレス変換部は、上記レジスタの一つに格納されるアドレス変換情報に従って、
上記第1アドレスバスを介して供給されるアドレス信号のビット配列を変換可能なセクタを有し、

上記アドレス変換部は、上記レジスタの一つに格納されるアドレス変換情報に基づいて
変換されたアドレス信号を出力可能で、

上記インタフェース回路は、変換されたアドレス信号に基づいて描画処理に利用するためのデータを外部から入力することが可能であり、描画処理を行った描画データを外部へ出力することが可能であることを特徴とするマイクロコンピュータ。

【請求項12】

上記複数のレジスタは、各々アドレス信号のビット配列を変換するためのエリア情報、
アドレス変換許可ビット、及び、ビット幅情報を含み、

上記アドレス変換制御回路は、上記アドレス変換許可ビットに従い、上記第1アドレスバスから入力されたアドレス信号を変換するために上記セクタの制御を行うことが可能であることを特徴とする請求項11記載のマイクロコンピュータ。

【請求項13】

上記第1アドレスバスからの上記アドレス信号は、第1部分と、第2部分とを有し、

上記アドレス変換制御回路は、上記ビット幅情報に従い、上記第1部分と第2部分のビット幅を変更することが可能であり、上記アドレス変換許可ビットに従い、上記第1部分と第2部分を変換するためにセクタを制御することが可能であることを特徴とする請求項12記載のマイクロコンピュータ。

【請求項14】

アドレス信号を生成可能で、コマンドリストを生成可能な中央処理装置と、

上記コマンドを実行することによって指定された描画処理を実行することが可能な描画回路と、

上記中央処理装置から出力されたアドレス信号を所定フォーマットのアドレス信号へ変換可能なアドレス変換回路と、を有し、

上記アドレス変換回路は、上記アドレス信号のフォーマットを変更制御するための複数の制御情報を有し、

上記アドレス変換回路は、上記制御情報に応じて、上記アドレス信号のビット配列を変換し、

ビット配列を変換されたアドレス信号は、上記描画回路によって描画処理を行うためのデータをアクセスするために外部へ出力されることが可能であることを特徴とするマイクロコンピュータ。