(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H01L 29/40

(11) 공개번호 특1994-0010366
(43) 공개일자 1994년05월26일

(21) 출원번호 특1992-0019120
(22) 출원일자 1992년10월17일

(71) 출원인 현대전자산업 주식회사 김주용
경기도 이천군 부발읍 아미리 산 136-1
(72) 발명자 이헌철
경기도 이천군 대월면 사동리 312-5 삼진APT 2-101
(74) 대리인 손경한, 이권희, 서종완

심사청구 : 있음

(54) 반도체 소자의 콘택홀 제조방법

요약

본 발명은 고집적 반도체 소자의 콘택홀 형성방법에 관한 것으로, 절연층 상부에 콘택홀용 네가티브 감광막패턴을 형성하는 공정과, 등방성 식각으로 절연층의 일정두께를 식각하여 감광막 패턴 하부의 절연층이 언더컷팅되도록 하는 공정과, 감광막 패턴을 제거한후 식각베리어층을 두껍게 형성한후, 절연층의 돌출부가 노출되기까지 식각베리어층을 에치백하는 공정과, 식각베리어층을 마스크로 이용하고 절연층을 식각하여 콘택홀을 형성하여 콘랙홀의 크기를 마이크론 이하로 형성할 수 있는 기술이다.

대표도

도2

명세서

[발명의 명칭]

반도체 소자의 콘택홀 제조방법

[도면의 간단한 설명]

제2A도 내지 제2E도는 본 발명에 의해 반도체 소자의 콘택홀 형성단계를 도시한 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

기판 상부에 소정의 간격으로 도전라인이 다수개 형성되고, 도전라인 상부에 절연층이 형성되어 평탄화가 이루어진 구조에서 상기 도전라인 사이의 기판에 콘택홀을 형성하는 반도체 소자의 콘택홀 형성방법에 있어서, 도전라인 상부에 평탄화용 절연층을 형성한 다음, 절연층 상부에 네가티브 감광막을 도포한 후, 콘택마스크 공정을 이용하여 콘택영역에만 감광막을 남긴 감광막 패턴을 형성하는 공정과, 등방성 식각으로 네가티브 감광막 패턴 하부의 절연층을 소정두께 제거하여 감광막 패턴 하부가 언더컷팅 되도록 하는 공정과, 상기 네가티브 감광막 패턴을 제거한 다음 절연층 상부에 식각베리어층을 예정된 두께 형성하는 공정과, 상기 식각베리어층의 일정두께 에치백(Etch Back)하되 절연층의 돌출부가 노출되기까지 식각하여 식각베리어층 패턴을 형성하는 공정과, 상기 식각베리어층 패턴을 마스크로 하여 노출된 절연층을 식각하여 실리콘기판이 노출되는 콘택홀을 형성하는 공정으로 이루어지는 것을 특징으로 하는 반도체 소자의 콘택홀 형성방법.

청구항 2

제1항에 있어서, 상기 도전라인 상부에 얇은 두께의 절연막을 형성한 후 그 상부에 평탄화용 절연층을 형성하는 것을 포함하는 것을 특징으로 하는 반도체 소자의 콘택홀 형성방법.

청구항 3

제1항에 있어서, 상기 식각베리어층은 폴리실리콘층 또는 질화막으로 형성하는 것을 특징으로 하는 반도

체소자의 콘택홀 형성방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2

