(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H01L 21/60

(45) 공고일자 2005년01월15일
(11) 등록번호 10-0457609
(24) 등록일자 2004년11월08일

(21) 출원번호	10-1998-0700903	(65) 공개번호	10-1999-0036235
(22) 출원일자	1998년02월06일	(43) 공개일자	1999년05월25일
번역문제출일자	1998년02월06일		
(86) 국제출원번호	PCT/JP1997/001971	(87) 국제공개번호	WO 1997/47031
(86) 국제출원일자	1997년06월06일	(87) 국제공개일자	1997년12월11일
(81) 지정국	국내특허 : 아일랜드 중국 대한민국 미국 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴		

(30) 우선권주장 96-145241 1996년06월07일 일본(JP)

(73) 특허권자 마쯔시다덴기산교 가부시키가이샤
일본국 오사카후 가도마시 오아자 가도마 1006반지
(72) 발명자 츠카하라 노리히토
일본 교토후 소우라쿠군 키즈쵸 카부토다이 3-403 2-1-1
(74) 대리인 김창세

심사관 : 송원선

(54) 반도체소자의실장방법

명세서

기술분야

<1> 본 발명은 반도체 소자의 회로 기판에 고신뢰성, 고밀도를 유지하면서 플립 칩형 반도체 소자를 실장하는 반도체 소자의 실장 방법에 관한 것이다.

배경기술

<2> 종래의 반도체 소자의 실장 방법을 도면에 근거하여 설명한다.

<3> (종래예 1)

<4> 도 16에 종래예 1에 있어서의 반도체 소자를 회로 기판에 실장한 단면도를 도시한다.

<5> 도 16에 있어서, 참조 부호 (1)은 반도체 소자로서, 반도체 소자(1)상에 전극(2)이 형성되고, 전극(2)상에 와이어 본딩법에 의해 금, 구리, 알루미늄, 땜납 등으로 이루어지는 돌기 범프(bump)(금속볼 범프)가 형성되어 있다.

<6> 또한, 참조 부호 (4)는 절연성 기체(基體)로 이루어지는 회로 기판으로서, 이 회로 기판(4)상에 배선으로 되는 동박(銅箔)(5)이 형성되고, 또한 회로 기판(4)상에 구리 도금된 외부 전극 단자(6)가 형성되며, 회로 기판내를 도통시키기 위하여 회로 기판(4)내에 형성된 관통 구멍부(hole)(8)에 도전성 페이스트(7)가 충전되어 있다.

<7> 또한, 참조 부호 (22)는 페놀이나 에폭시계 수지에, 은, 금, 니켈, 카본 등의 도전 분말을 균일 분산한 도전성 페이스트(도전성 접착제)로서, 회로 기판(4)의 외부 전극 단자(6)와 반도체 소자(1)의 전극(2)을 돌기 범프(15)를 거쳐 전기적으로 접속하고 있으며, 또한 회로 기판(4) 위와 반도체 소자(1) 사이에는 에폭시계 수지(20)가 충전되어 있다.

<8> 이상과 같이 구성된 반도체 소자의 실장 방법을 설명한다.

<9> 반도체 소자(1)의 각 전극(2)상에 형성된 돌기 범프(15)에, 전사법에 의해 도전성 페이스트(22)를 전사한 후, 실장해야 할 회로 기판(4)의 외부 전극 단자(6)에 합치되도록 적재하고, 그 후 가열하여 도전성 페이스트(22)를 경화시켜, 반도체 소자(1)의 전극(2)과 회로 기판(4)의 외부 전극 단자(6)를 전기적으로 접속하고 있다. 그리고, 접속 후에 반도체 소자(1)와 회로 기판(4) 사이의 간격에 에폭시계 수지(20)를 충전하고, 그 경화 수축력을 이용하여 도전성 페이스트(22)의 도전 분말이 연속적으로 접촉될 수 있도록 하여, 전기적, 기계적 신뢰성을 확보하고 있다.

<10> (종래예 2)

<11> 도 17에 종래예 2에 있어서의 반도체 소자를 회로 기판에 실장한 단면도를 도시한다. 상기 도 16의 구성과 동일한 구성에는 동일한 부호를 부여하고 그 설명을 생략한다.

<12> 도 17에 있어서, 참조 부호 (23)은 전극(2)상에 전기 도금법에 의해 형성된 금속 범프로서, 금속 범프(23)상에, 예를 들면 구리 도금이 실시되고, 그 위에 금 도금(24)이 되어 있다. 참조 부호 (25)는 외부 전극 단자, 참조 부호 (16)은 반도체 소자(1)의 활성(active)면을 보호하는 패시베이션 (passivation)막이다.

<13> 이상과 같이 구성된 반도체 소자의 실장 방법을 설명한다.

<14> 반도체 소자(1)의 각 전극(2)상에 형성된 금속 범프(23)에 전사법에 의해 도전성 페이스트(22)를 전사한 후, 실장해야 할 회로 기판(4)의 외부 전극 단자(25)에 합치되도록 적재하고, 그 후 가열하여 도전성 페이스트(22)를 경화시켜 반도체 소자(1)의 전극(2)과 회로 기판(4)의 외부 전극 단자(25)를 전기적으로 접속하고 있다. 그리고, 접속 후에 반도체 소자(1)와 회로 기판(4) 사이의 간격에 에폭시계 수지(20)를 충전하고, 그 경화 수축력을 이용하여 도전성 페이스트(22)의 도전 분말이 연속적으로 접촉될 수 있도록 하여, 전기적, 기계적 신뢰성을 확보하고 있다.

<15> (종례예 3)

<16> 도 18에 종래예 3에 있어서의 반도체 소자를 회로 기판에 실장한 단면도를 도시한다. 상기 도 16, 도 17의 구성과 동일한 구성에는 동일한 부호를 부여하고 그 설명을 생략한다.

<17> 도 18에 있어서, 참조 부호 (3)은 전극(2) 위에, 도금법에 의해 형성된 돌기 범프(돌기 전극), 참조 부호 (26)은 절연성 접착제 필름으로서, 절연성 접착제 필름(26)내에는 니켈, 땜납, 카본 등으로 이루어지는 도전 입자(27)가 균일하게 분산되어 있다.

<18> 이상과 같이 구성된 반도체 소자의 실장 방법을 설명한다.

<19> 절연성 접착제 필름(26)을 반도체 소자(1) 및 회로 기판(4)의 외부 전극 단자(25) 사이에 두고 위치 정렬한 후, 가열, 가압을 동시에 실행한다. 이에 따라, 접착제 필름(26)은 용융하여 전극(25)간의 공간에서 유동되고, 도전 입자(27)는 돌기 범프(3)와 외부 전극 단자(25)에 의해 고정 유지되어 도통한다. 한편, 공간에서는 도전 입자(27)가 접착제내에서 분산된 상태를 유지하기 때문에 절연성이 확보된다. 접착제 필름(26)은 냉각하면 경화하여, 반도체 소자(1)와 회로 기판(4)을 고정시켜 접속 신뢰성을 확보한다.

<20> 그러나, 상기 종래예 1(또는 종래예 2)의 반도체 소자의 실장 방법에서는, 도 19에 도시하는 바와 같이, 전사법에 의해 도전성 페이스트막(28)을 돌기 범프(15)에 전사하여, 범프(15)를 회로 기판(4)의 외부 전극(6)에 접합할 때에, 전사 도전성 페이스트(22)량의 제어가 곤란하여, 조금이라도 많으면 전극(2)간이 도전성 페이스트(22)에 의해 접속되어 단락 회로(30)가 형성되어 버린다고 하는 문제가 있었다. 또한, 회로 기판(4)이 조금이라도 휘어져 있으면, 반도체 소자(1)의 전극(2)과 회로 기판(4)의 외부 전극 단자(6)가 도전성 페이스트(22)를 거쳐 접촉하지 않아, 전기적으로 개방 상태가 된다고 하는 문제가 있었다.

<21> 또한, 도 20에 도시하는 바와 같이, 에폭시계 수지(20)를 반도체 소자(1)와 회로 기판(4)의 간극에 충전할 때에, 시린지(syringe)(31)에 봉입된 에폭시계 수지(20)를 반도체 소자(1)의 주변부에서부터 주입해 가기 때문에, 주입 시간이 약 10분 이상 걸려, 반도체 소자(1)의 생산 라인의 택트 타임(tact time) 단축에 장해 요인으로 된다고 하는 문제가 있었다.

<22> 또한, 상기 종래예 3의 반도체 소자의 실장 방법에서는, 도전 입자(27)를 반도체 소자(1)의 전극(2)과 회로 기판(4)의 전극(25) 사이에 고정 유지함으로써 도통되기 때문에, 도 21에 도시하는 바와 같이, 회로 기판(4)에 조금이라도 휘어짐·굴곡(A)이 있으면, 도전 입자(27)가 접착제(26)내에 분산된 상태 그대로 반도체 소자(1)의 돌기 범프(3)와 회로 기판(4)의 전극(25)에 접촉하지 않아, 전기적으로 개방 상태가 된다고 하는 문제점이 있었다. 또, 종래예 3의 실장 방법은, 휘어짐·굴곡이 적은 유리 기판을 대상으로 하여 이용되고 있으며, 수지 기판에는 이용하고 있지 않는 것이 현재 실정이다.

<23> 그래서, 본 발명의 목적은, 전극간에 있어서의 단락이나 개방이라는 불량이 발생하지 않고, 전기적 신뢰성이 높은 실장이 실행되어 봉지 공정(sealing process)의 시간을 대폭적으로 삭감할 수 있고, 반도체 소자 생산 라인의 택트 타임(tact time)을 단축할 수 있도록 하는 반도체 소자의 실장 방법을 제공하는 데 있다.

<24> 발명의 개시

<25> 상기 목적을 달성하기 위하여 본 발명의 반도체 소자의 실장 방법은, 회로 기판의 회로와 반도체 소자의 전극을 접속하는 상기 회로 기판의 개소에 관통 구멍부를 형성하는 공정과, 상기 관통 구멍부에 도전성 페이스트를 충전하여 외부 전극 단자를 형성하는 공정과, 상기 반도체 소자의 전극에 돌기 범프를 형성하는 공정과, 상기 외부 전극 단자와 반도체 소자의 전극에 형성된 돌기 범프를 위치 결정하는 공정과, 상기 반도체 소자를 가압하여, 상기 관통 구멍부의 상기 도전성 페이스트와 상기 돌기 범프를 접촉시켜, 상기 반도체 소자의 상기 전극과 상기 회로 기판의 상기 외부 전극 단자를 전기적으로 접속시키는 공정을 갖는 것을 특징으로 하는 것이다.

<26> 상기 반도체 소자의 실장 방법에 의해, 회로 기판의 관통 구멍부내의 충전된 도전성 페이스트와

반도체 소자의 전극에 형성한 돌기 범프를 접촉시켜서, 상기 반도체 소자의 전극과 회로 기판의 외부 전극 단자를 전기적으로 접속함으로써, 전극간에서의 단락이나 개방이라고 하는 불량이 발생하지 않아, 전기적 신뢰성이 높은 실장을 실행할 수 있다.

도면의 간단한 설명

<27> 도 1은 본 발명의 실시예 1에 있어서의 실장 후의 반도체 소자와 회로 기판의 접합 단면도,

<28> 도 2는 본 발명의 실시예 1에 있어서의 실장의 공정을 순서대로 도시한 도면,

<29> 도 3은 본 발명의 실시예 1에 있어서의 실장 후의 반도체 소자와 회로 기판의 접합 단면도,

<30> 도 4는 본 발명의 실시예 1에 있어서의 실장 후의 반도체 소자와 회로 기판의 접합 단면도,

<31> 도 5는 본 발명의 실시예 2에 있어서의 와이어 본딩법의 공정을 순서대로 도시한 도면,

<32> 도 6은 본 발명의 실시예 2에 있어서의 와이어 본딩법에 의해 형성된 돌기 범프의 측면도,

<33> 도 7은 본 발명의 실시예 2에 있어서의 와이어 본딩법에 의해 형성된 2단 돌기 형상 돌기 범프의 측면도,

<34> 도 8은 본 발명의 실시예 2에 있어서의 실장 공정을 순서대로 도시한 도면,

<35> 도 9는 본 발명의 실시예 3에 있어서의 실장 공정을 도시한 도면,

<36> 도 10은 본 발명의 실시예 4에 있어서의 실장 공정을 도시한 도면,

<37> 도 11은 본 발명의 실시예 5에 있어서의 실장 공정을 도시한 도면,

<38> 도 12는 본 발명의 실시예 6에 있어서의 실장 공정을 도시한 도면,

<39> 도 13은 본 발명의 실시예 6에 있어서의 실장 후의 반도체 소자와 회로 기판의 접합 단면도,

<40> 도 14는 본 발명의 실시예 7에 있어서의 실장 공정을 순서대로 도시한 도면,

<41> 도 15는 본 발명의 실시예 8에 있어서의 실장 공정을 순서대로 도시한 도면,

<42> 도 16은 종래의 반도체 소자의 실장 방법에 의한 실장 후의 반도체 소자와 회로 기판의 접합 단면도,

<43> 도 17은 종래의 반도체 소자의 실장 방법에 의한 실장 후의 반도체 소자와 회로 기판의 접합 단면도,

<44> 도 18은 종래의 반도체 소자의 실장 방법에 의한 실장 후의 반도체 소자와 회로 기판의 접합 단면도,

<45> 도 19는 종래의 실장 공정을 순서대로 도시한 도면,

<46> 도 20은 종래의 실장 방법의 과제를 설명하는 도면,

<47> 도 21은 종래의 실장 방법의 과제를 설명하는 도면이다.

<48> 발명을 실시하기 위한 최선의 형태

<49> 본 발명의 청구항 1에 기재된 발명은, 회로 기판의 회로와 반도체 소자의 전극을 접속하는 상기 회로 기판의 개소에 관통 구멍부를 형성하는 공정과, 상기 관통 구멍부에 도전성 페이스트를 충전하여 외부 전극 단자를 형성하는 공정과, 상기 반도체 소자의 전극에 돌기 범프를 형성하는 공정과, 상기 외부 전극 단자와 반도체 소자의 전극에 형성된 돌기 범프를 위치 결정하는 공정과, 상기 반도체 소자를 가압하여 상기 관통 구멍부내의 상기 도전성 페이스트와 상기 돌기 범프를 접촉시켜, 상기 반도체 소자의 상기 전극과 상기 회로 기판의 상기 외부 전극 단자를 전기적으로 접속하는 공정을 갖는 것을 특징으로 하는 반도체 소자의 실장 방법으로서, 돌기 범프가 회로 기판의 관통 구멍부내에서 도전성 페이스트와 접촉하여, 전기적으로 접속되기 때문에, 개방이나 단락의 발생이 없다고 하는 작용을 갖는다.

<50> 청구항 2에 기재된 발명은, 청구항 1에 기재된 반도체 소자의 실장 방법에 있어서, 반도체 소자의 전극에 형성되어 있는 돌기 범프는, 와이어 본딩법에 의해 형성되는 금속볼 범프인 것을 특징으로 하는 반도체 소자의 실장 방법으로서, 돌기 범프를 전기 도금법에 의해 형성한 경우, 최대라도 25㎛ 정도 높이의 낮은 범프밖에 형성할 수 없는데 반하여, 와이어 본딩법에 따르면 50㎛ 이상의 높이가 높은 범프를 형성할 수 있기 때문에, 회로 기판의 관통 구멍부의 도전성 페이스트에 매립되는 범프의 양이 많아져서, 보다 신뢰성이 높은 실장이 가능하다고 하는 작용을 갖는다.

<51> 청구항 3에 기재된 발명은, 청구항 1 또는 2에 기재된 반도체 소자의 실장 방법에 있어서, 반도체 소자를 가압하여, 회로 기판 관통 구멍부의 도전성 페이스트와 반도체 소자 전극상의 돌기 범프를 접촉시킨 후, 가열 도구(tool)로 상기 반도체 소자 또는 회로 기판의 적어도 한쪽을 가열하여 상기 도전성 페이스트를 경화시키는 공정을 부가하는 것을 특징으로 하는 반도체 소자의 실장 방법으로서, 도전성 페이스트를 경화함으로써 반도체 소자와 회로 기판과의 고정이 보다 강고해져서 보다 신뢰성이 높은 접합이 가능하고, 또한 종래 도전성 페이스트의 경화는 모듈을 평로(open hearth)에 넣고 일괄(batch) 처리하고 있는 데 반하여, 접합과 동시에 동일 설비로 실행할 수 있기 때문에, 반도체 소자의 생산 라인의 택트 타임 단축으로 이어질 수 있다고 하는 작용을 갖는다.

<52> 청구항 4에 기재된 발명은, 청구항 1 내지 청구항 3 중 어느 한 항에 기재된 반도체 소자의 실장 방법에 있어서, 반도체 소자의 전극과 회로 기판의 외부 전극 단자를 접속한 후, 상기 반도체 소자와 상기 회로 기판과의 간극에 에폭시계 수지를 유입하여 봉지하는 공정을 부가하는 것을 특징으로 하는 반도체 소자의 실장 방법으로서, 반도체 소자의 활성면 및 전극의 표면이 에폭시계 수지에 의해 보호되기 때문에, 보다 접속 신뢰성이 증대된다고 하는 작용을 갖는다.

<53> 청구항 5에 기재된 발명은, 회로 기판의 회로와 반도체 소자의 전극을 접속하는 상기 회로 기판의 개소에 관통 구멍부를 형성하는 공정과, 상기 관통 구멍부에 도전성 페이스트를 충전하여 외부 전극 단자를 형성하는 공정과, 상기 반도체 소자의 전극에 돌기 범프를 형성하는 공정과, 상기 외부 전극 단자가 형성된 회로 기판 위, 또는 상기 반도체 소자의 돌기 범프 위에 열 경화계, 또는 열 가소계, 또는 열 경화와 열 가소의 혼합계 수지로 이루어지는 접착제 시트를 배치하는 공정과, 상기 외부 전극 단자와 반도체 소자의 전극에 형성된 돌기 범프를 위치 결정하는 공정과, 상기 반도체 소자를 가압하여, 상기 돌기 범프가 상기 접착제 시트를 뚫고 나와 상기 관통 구멍부내의 상기 도전성 페이스트와 상기 돌기 범프가 접촉됨으로써, 상기 반도체 소자의 상기 전극과 상기 회로 기판의 상기 외부 전극 단자를 전기적으로 접속하는 공정과, 가열 도구에 의해 상기 반도체 소자를 가열하여 상기 접착제 시트를 용융, 경화하는 공정을 갖는 것을 특징으로 하는 반도체 소자의 실장 방법으로서, 접착제 시트가 용융·경화된 후, 반도체 소자의 활성면 및 전극의 표면을 보호하기 때문에, 보다 접속의 신뢰성이 증대되고, 또한 접착제 시트의 경우, 가압·경화에 필요한 시간이 약 30초로서, 에폭시계 수지의 경화 시간인 약 4시간에 비해 대폭 짧아져, 반도체 소자 생산 라인의 택트 타임 단축으로 연결된다고 하는 작용을 갖는다.

<54> 이하, 본 발명의 실시예를 도면에 근거하여 설명한다. 또, 종래예의 도 16 내지 도 18의 구성과 동일한 구성에는 동일한 부호를 부여하고 그 설명을 생략한다.

<55> (실시예 1)

<56> 도 1은 본 발명의 실시예 1에 있어서의 반도체 소자를 실장한 회로 기판의 단면도이다.

<57> 도시하는 바와 같이, 반도체 소자(1)의 전극(2)상에 형성된 돌기 범프(3)는, 회로 기판(4)의 관통 구멍부(8)에 충전된 도전성 페이스트에 매립되는 형태로 접촉되어 있으며, 회로 기판(4)의 외부 전극 단자(6)와 반도체 소자(1)의 전극(2)이 전기적으로 접속되어 있다. 도 2의 공정도에 따라서 본 발명의 반도체 소자의 실장 방법을 설명한다.

<58> 우선, 회로 기판(4)의 외부 전극 단자(6)와 반도체 소자(1)의 전극(2)을 접속시키는, 회로 기판(4)의 개소에 관통 구멍부(8)를 형성하고, 도 2a에 도시하는 바와 같이, 도전성 페이스트(7)를 스퀴지(9)를 이동시킴으로써 상기 회로 기판(4)의 관통 구멍부(8)에 인쇄·충전하여 회로 기판(4)의 외부 전극 단자(33)를 형성한다.

<59> 다음에, 도 2b에 도시하는 바와 같이, 반도체 소자(1)를 흡착 노즐(10)에 흡착시켜, 돌기 범프(3)와 관통 구멍부(8)에 충전된 도전성 페이스트(7)에 의해 형성된 회로 기판(4)의 외부 전극 단자(33)와의 위치 맞춤을 행한다.

<60> 다음에, 도 2c에 도시하는 바와 같이, 반도체 소자(1)를 흡착 노즐(10)에 의해 가압하여, 도 2d에 도시하는 바와 같이, 돌기 범프(3)를 회로 기판(4)의 관통 구멍부(8)에 충전된 도전성 페이스트(7)에 매립시킨다.

<61> 그 결과, 반도체 소자(1)의 돌기 범프(3)가 회로 기판(4)의 관통 구멍부내에서 도전성 페이스트(7)와 접촉하여 전기적으로 접속된다.

<62> 또한, 회로 기판(4)은, 도 3에 도시하는 바와 같이, 내측 비아홀에 의해 기판내 층간의 도통이 이루어진 다층 기판이어도 무방하고, 도 4에 도시하는 바와 같이 스루 홀에 의해 층간의 도통이 이루어진 다층 기판이어도 무방하다.

<63> 본 실시예 1에 따르면, 반도체 소자(1)의 전극(2)상에 형성된 돌기 범프(3)가 회로 기판(4)의 관통 구멍부(8)내에서 도전성 페이스트(7)에 매립되어 접촉하여 전기적으로 접속되기 때문에, 단락이 발생하지 않으며, 또한 회로 기판(4)의 휘어짐, 굴곡에 대한 허용 범위도 넓어져, 개방이 발생하는 일이 없어, 높은 신뢰성을 가지고 반도체 소자(1)와 회로 기판(4)을 접합할 수 있다.

<64> (실시예 2)

<65> 도 5는 본 발명의 실시예 2에 있어서의 와이어 본딩법을 이용한, 반도체 소자의 전극상의 돌기 범프의 형성 방법을 나타내는 공정도이며, 도 5를 참조하면서 와이어 본딩법을 설명한다.

<66> 우선, 도 5a에 도시하는 바와 같이, 금, 구리, 알루미늄, 땜납 등으로 제작된 금속 와이어(11)를 세라믹이나 루비로 만들어진 캐필러리(capillary)(13)에 통과시키고, 통과시킨 금속 와이어(11)의 선단과 토치라고 불리우는 전극(14)과의 사이에서 방전시켜 금속볼(12)을 형성한다.

<67> 다음에, 도 5b에 도시하는 바와 같이, 예열되어 있는 반도체 소자(1)의 전극(2) 위에 상기 금속볼(12)을 가압하여, 초음파 진동을 가해 온도, 압력, 초음파 진동의 작용에 의해서 금속볼(12)을 전극(2)에 접합시킨다.

<68> 다음에, 도 5c에 도시하는 바와 같이, 캐필러리(13)를 연직 방향으로 상승시키고, 금속 와이어(11)를 잡아 당기는 것에 의해, 도 6에 도시하는, 금속볼에 의한 범프(15)를 형성한다.

<69> 그리고, 도 5d에 도시하는 바와 같이, 캐필러리(13)를 상승시킨 후, 금속 와이어(11)를 잡아당기지 않고 캐필러리(13)를 옆으로 비껴 하강시키고, 금속 와이어(11)를 금속볼(12)상에 접촉시켜 온도와 압

력, 혹은 온도, 압력, 초음파 진동의 작용에 의해 금속 와이어(11)를 금속볼(12)에 접합한다.

<70> 다음에, 도 5e에 도시하는 바와 같이, 캐필러리(13)를 상승시키고, 금속 와이어(11)를 잡아당겨서, 도 5f 및 도 7에 도시하는, 금속볼에 의한 2단 돌기 형상 범프(15)를 형성한다.

<71> 상기 방법에 의해 반도체 소자(1)의 전극(2)상에 금속볼에 의한 돌기 범프(15)를 형성한 후, 도 8에 도시하는 방법에 의해 반도체 소자(1)와 회로 기판(4)을 접합한다.

<72> 도 8의 실장 방법은 상기 실시예 1에서 설명한 방법과 마찬가지이므로 설명을 생략한다.

<73> 본 실시예 2에 따르면, 실시예 1에서의 효과에 덧붙여, 돌기 범프를 전기 도금법에 의해 형성한 경우, 최대라도 25㎛ 정도 높이의 낮은 범프밖에는 형성할 수 없는 데 반하여, 와이어 본딩법을 사용함으로써 50㎛ 이상의 높이가 높은 범프를 형성할 수 있으며, 따라서 도 8e에 도시하는 바와 같이, 회로 기판(4)의 관통 구멍부(8)의 도전성 페이스트(7)에 매립되는 범프(15)의 양이 많아지고, 회로 기판(4)의 휘어짐, 굴곡에 대한 허용 범위가 넓어지므로, 보다 신뢰성이 높은 실장을 행할 수 있다.

<74> (실시예 3)

<75> 본 발명의 실시예 3에 있어서의 반도체 소자의 실장 방법을, 도 9를 참조하면서 설명한다.

<76> 도 9는, 반도체 소자(1)를 흡착 노즐(10)에 흡착시키고, 돌기 범프(15)와 관통 구멍부(8)에 충전된 도전성 페이스트(7)에 의해 형성된 회로 기판(4)의 외부 전극 단자와 위치 맞춤한 후 가압하여, 돌기 범프(15)가 도전성 페이스트(7)에 매립된 상태를 도시하고 있다. 그 때, 흡착 노즐(10)은 내장되어 있는 히터(17)에 의해 가열되어 있고, 가압과 동시에 도전성 페이스트(7)를 경화시키고 있다.

<77> 본 실시예 3에 따르면, 상기 실시예 1, 2에서의 효과에 덧붙여, 도전성 페이스트(7)를 경화함으로써, 반도체 소자(1)와 회로 기판(4)과의 고정이 보다 강고하게 되고, 보다 신뢰성이 높은 접합이 가능하게 되고, 또한 종래 도전성 페이스트(7)의 경화가 모듈을 평로에 넣고 일괄 처리했던 데 반하여, 접합과 동시에 동일 설비로 실행할 수 있기 때문에, 반도체 소자(1) 생산 라인의 택트 타임 단축이 가능하게 된다.

<78> (실시예 4)

<79> 본 발명의 실시예 4에 있어서의 반도체 소자의 실장 방법을 도 10을 참조하면서 설명한다.

<80> 도 10은 반도체 소자(1)를 흡착 노즐(10)에 흡착시키고, 돌기 범프(15)와 관통 구멍부(8)에 충전된 도전성 페이스트(7)에 의해 형성된 회로 기판(4)의 외부 전극 단자(33)와 위치 맞춤한 후 가압하여, 돌기 범프(15)가 도전성 페이스트(7)에 매립된 상태를 도시하고 있다. 그 때, 회로 기판(4)을 유지하고 있는 스테이지(18)는 내장되어 있는 히터(17)에 의해 가열되어 있으며, 반도체 소자(1)의 가압시에 열을 가함으로써, 가압과 동시에 도전성 페이스트(7)를 경화시키고 있다.

<81> 본 실시예 4에 따르면, 상기 실시예 1, 2에서의 효과에 덧붙여, 도전성 페이스트(7)를 경화시킴으로써, 반도체 소자(1)와 회로 기판(4)과의 고정이 보다 강고해져서, 보다 신뢰성이 높은 접합이 가능하게 되고, 또한 종래 도전성 페이스트(7)의 경화가 모듈을 평로에 넣고 일괄 처리하고 있던데 반하여, 접합과 동시에 동일 설비에서 실행할 수 있기 때문에, 반도체 소자(1) 생산 라인의 택트 타임을 단축할 수 있다.

<82> (실시예 5)

<83> 본 발명의 실시예 5에 있어서의 반도체 소자의 실장 방법을 도 11을 참조하면서 설명한다.

<84> 도 11에 도시하는 바와 같이 실시예 5에서는, 반도체 소자(1)를 가압하여 회로 기판(4)의 관통 구멍부(8)의 도전성 페이스트(7)와 반도체 소자(1)의 전극(2)상의 돌기 범프(15)를 접촉시킨 후, 모듈(회로 기판(4) 및 반도체 소자(1))을 컨베이어(32)에 탑재하여 이동시키면서 모듈 전체를 히터(19)에 의해 가열하여 도전성 페이스트(7)를 경화시킨다.

<85> 본 실시예 5에 따르면, 상기 실시예 1, 2에서의 효과에 덧붙여, 도전성 페이스트(7)의 경화를, 모듈 전체를 컨베이어(32)에 탑재하여 이동시키면서 가열하는 리플로우 방식으로 실행하기 때문에, 실장과 동일 생산 라인상에서의 경화가 가능해져, 반도체 소자(1) 생산 라인의 택트 타임에는 영향을 미치는 일 없이, 반도체 소자(1)와 회로 기판(4)과의 고정을 보다 강고하게 할 수 있어, 보다 신뢰성이 높은 접합을 행할 수 있다.

<86> (실시예 6)

<87> 본 발명의 실시예 6에 있어서의 반도체 소자의 실장 방법을 도 12를 참조하면서 설명한다.

<88> 도 12에 도시하는 바와 같이 실시예 6에서는, 상기 실시예 1 내지 실시예 5의 실장 공정에 있어서, 회로 기판(4)에 반도체 소자(1)를 실장한 후에, 반도체 소자(1)와 회로 기판(4)과의 간격에 시린지(31)를 이용하여 에폭시계 수지(20)를 충전한다.

<89> 본 실시예 6에 따르면, 상기 실시예 1 내지 실시예 5에서의 효과에 덧붙여, 도 13에 도시하는 바와 같이, 에폭시계 수지(20)의 충전에 의해, 반도체 소자(1)의 활성면 및 전극(2)의 표면이 보호되기 때문에, 예를 들면 모듈이 고온 다습 등의 환경에 노출되더라도 전극(2) 및 돌기 범프(3)의 부식을 막을 수 있어, 보다 신뢰성이 높은 접속을 행할 수 있다.

<90> (실시예 7)

<91> 본 발명의 실시예 7에 있어서의 반도체 소자의 실장 방법을, 도 14를 참조하면서 설명한다.

<92> 우선, 도 14a에 도시하는 바와 같이, 회로 기판(4)의 관통 구멍부(8)에 도전성 페이스트(7)를 충전하여 외부 전극 단자(33)를 형성한 후, 회로 기판(4)상에 열 경화계, 또는 열 가소계, 또는 열 경화와 열 가소의 혼합계 수지로 이루어지는 접착제 시트(21)를 배치한다.

<93> 또, 접착제 시트(21)에는 니켈, 땜납, 카본, 금박 플라스틱 입자 등을 균일하게 분산시켜 놓아도 무방하다.

<94> 다음에, 도 14b에 도시하는 바와 같이, 반도체 소자(1)를 흡착 노즐(10)에 흡착하여, 돌기 범프(15)와 관통 구멍부(8)에 충전된 도전성 페이스트(7)에 의해 형성된 회로 기판(4)의 외부 전극 단자(33)와 위치 맞춤한다.

<95> 다음에, 도 14c에 도시하는 바와 같이, 반도체 소자(1)를 가압하여, 돌기 범프(15)가 접착제 시트(21)를 뚫고 나와 도전성 페이스트(7)에 돌기 범프(15)가 매립된다. 그 때, 흡착 노즐(10)은 내장되어 있는 히터(17)에 의해 가열되어 있으며, 가압과 동시에 접착제 시트(21)의 용융·경화가 이루어진다.

<96> 본 실시예 7에 따르면, 상기 실시예 1, 2에서의 효과에 덧붙여, 도 14d에 도시하는 바와 같이, 접착제 시트(21)가 용융·경화하여, 반도체 소자(1)의 활성면 및 전극(2)의 표면을 보호하기 때문에, 보다 접속의 신뢰성이 증대되고, 또한 접착제 시트(21)의 경우, 가압·경화에 필요한 시간이 약 30초로서, 에폭시계 수지의 경화 시간인 약 4시간에 비해 큰 폭으로 짧기 때문에, 반도체 소자(1) 생산 라인의 택트 타임 단축이 가능해진다.

<97> (실시예 8)

<98> 본 발명의 실시예 8에 있어서의 반도체 소자의 실장 방법을 도 15를 참조하면서 설명한다.

<99> 우선, 도 15a에 도시하는 바와 같이, 반도체 소자(1)의 전극(2)상에 돌기 범프(15)를 형성한 후, 미리 돌기 범프(15)상에 열 경화계 또는 열 가소계, 또는 열 경화와 열 가소의 혼합계 수지로 이루어지는 접착제 시트(21)를 배치한다. 또, 접착제 시트(21)에는, 니켈, 땜납, 카본, 금박 플라스틱 입자 등을 균일하게 분산시켜 놓아도 무방하다.

<100> 그 후, 도 15b에 도시하는 바와 같이, 반도체 소자(1)를 흡착 노즐(10)에 흡착하고, 돌기 범프(15)와 관통 구멍부(8)에 충전된 도전성 페이스트(7)에 의해 형성된 회로 기판(4)의 외부 전극 단자(33)와 위치 맞춤한 후 가압하여, 돌기 범프(15)가 접착제 시트(21)를 뚫고 나와 도전성 페이스트(7)에 돌기 범프(15)가 매립된다. 그 때, 흡착 노즐(10)은 내장되어 있는 히터(17)에 의해 가열되어 있어, 가압과 동시에 접착제 시트(21)의 용융·경화가 이루어진다.

<101> 본 실시예 8에 따르면, 상기 실시예 1, 2에서의 효과에 덧붙여, 실시예 7과 마찬가지로, 접착제 시트(21)가 용융·경화하여 반도체 소자(1)의 활성면 및 전극(2)의 표면을 보호하기 때문에, 보다 접속의 신뢰성이 증대되고, 또한 접착제 시트(21)의 경우 가압·경화에 대한 시간이 약 30초로서, 에폭시계 수지의 경화 시간인 약 4시간에 비해 큰 폭으로 짧아, 반도체 소자(1) 생산 라인의 택트 타임의 단축이 가능해진다.

산업상이용가능성

<102> 이상과 같이 본 발명에 의하면, 반도체 소자의 전극상에 형성된 돌기 범프를, 회로 기판의 관통 구멍부내의 도전성 페이스트에 접촉시켜, 반도체 소자의 전극과 회로 기판의 외부 전극 단자를 전기적으로 접속함으로써, 전극간의 단락을 막을 수 있고, 또한 회로 기판의 휘어짐, 굴곡에 대한 허용 범위가 넓음으로 인해 전극간의 개방을 막을 수 있어서, 전기적 신뢰성이 높은 실장이 가능하게 된다.

<103> 또한, 접착제 시트를 미리 회로 기판 위, 또는 반도체 소자의 돌기 범프 위에 배치해 두고, 실장시에 돌기 범프가 접착제 시트를 뚫고 나와 회로 기판 관통 구멍부내의 도전성 페이스트에 접촉되어 전기적으로 접속되고, 또한 접착제 시트를 용융·경화함으로써 반도체 소자의 활성면 및 전극의 표면을 접착제 시트에 의해 보호할 수 있어, 보다 접속의 신뢰성을 증대시킬 수 있으며, 또한 접착제 시트의 경우 가압·경화에 필요한 시간이 약 30초로서, 에폭시계 수지의 경화 시간인 약 4시간에 비해 큰 폭으로 짧아, 봉지 공정의 시간을 대폭 삭감할 수 있으므로, 반도체 소자 생산 라인의 택트 타임의 단축을 실현할 수 있다.

<104> 도면의 참조 부호의 일람표

<105> 1 : 반도체 소자 2 : 전극

<106> 3 : 돌기 범프(도금법에 의함) 4 : 회로 기판

<107> 5 : 동박 6 : 외부 전극 단자

<108> 7 : 도전성 페이스트 8 : 관통 구멍부

<109> 9 : 스퀴지 10 : 흡착 노즐

<110> 11 : 금속 와이어 12 : 금속볼

<111> 13 : 캐필러리 14 : 전극

<112> 15 : 돌기 범프(와이어 본딩법에 의함) 16 : 패시베이션막

<113> 17, 19 : 히터 18 : 스테이지

<114> 20 : 에폭시계 수지 21 : 수지 시트

<115> 31 : 시린지 32 : 컨베이어

<116> 33 : 외부 전극 단자

(57) 청구의 범위

청구항 1

회로 기판의 회로와 반도체 소자의 전극을 접속하는 상기 회로 기판의 개소에 관통 구멍부를 형성하는 공정과,

상기 관통 구멍부에 도전성 페이스트를 충전하여 상기 회로 기판의 이면측에 외부 전극 단자를 형성하는 공정과,

상기 반도체 소자의 상기 전극에 원추형으로 뾰족한 형상의 돌기 범프를 형성하는 공정과,

상기 외부 전극 단자와 상기 반도체 소자의 상기 전극에 형성된 상기 돌기 범프를 위치 결정하는 공정과,

상기 반도체 소자를 가압하여 상기 관통 구멍부내의 상기 도전성 페이스트와 상기 돌기 범프를 접촉시킴으로써, 상기 반도체 소자의 상기 전극과 상기 회로 기판의 상기 외부 전극 단자를 전기적으로 접속하는 공정을 포함하는 것을 특징으로 하는 반도체 소자의 실장 방법.

청구항 2

제 1 항에 있어서,

상기 반도체 소자의 전극에 형성되어 있는 돌기 범프는, 와이어 본딩법에 의해 형성되는 금속볼 범프인 것을 특징으로 하는 반도체 소자의 실장 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 반도체 소자를 가압하여, 상기 회로 기판의 상기 관통 구멍부에 충전된 상기 도전성 페이스트와 상기 반도체 소자의 상기 전극상의 상기 돌기 범프를 접촉시킨 후, 가열 도구에 의해 상기 반도체 소자 및 상기 회로 기판의 적어도 한쪽을 가열하여, 상기 도전성 페이스트를 경화시키는 공정을 부가하는 것을 특징으로 하는 반도체 소자의 실장 방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 반도체 소자의 전극과 회로 기판의 외부 전극 단자를 접속한 후, 상기 반도체 소자와 상기 회로 기판과의 간극에 에폭시계 수지를 유입하여, 봉지하는 공정을 부가하는 것을 특징으로 하는 반도체 소자의 실장 방법.

청구항 5

회로 기판의 회로와 반도체 소자의 전극을 접속하는 상기 회로 기판의 개소에 관통 구멍부를 형성하는 공정과,

상기 관통 구멍부에 도전성 페이스트를 충전하여 외부 전극 단자를 형성하는 공정과,

상기 반도체 소자의 상기 전극에 원추형으로 뾰족한 형상의 돌기 범프를 형성하는 공정과,

상기 외부 전극 단자가 형성된 회로 기판 위, 또는 상기 반도체 소자의 돌기 범프 위에 열경화계 수지 또는 열가소계 수지 또는 열경화와 열가소의 혼합계 수지를 갖는 접착제 시트를 배치하는 공정과,

상기 외부 전극 단자와 상기 반도체 소자의 상기 전극에 형성된 상기 돌기 범프를 위치 결정하는 공정과,

상기 반도체 소자를 가압하여, 상기 돌기 범프가 상기 접착제 시트를 뚫고 나와서 상기 관통 구멍부내의 상기 도전성 페이스트와 상기 돌기 범프가 접촉되어, 상기 반도체 소자의 상기 전극과 상기 회로 기판의 상기 외부 전극 단자를 전기적으로 접속하는 공정과,

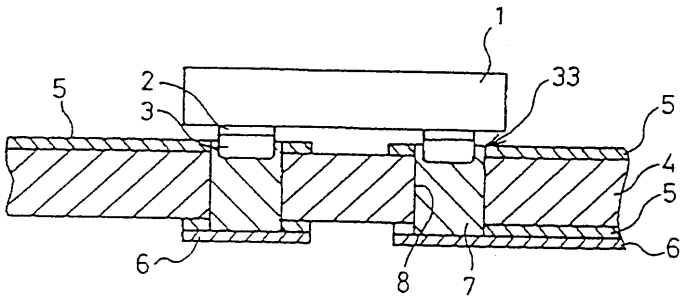
가열 도구에 의해 상기 반도체 소자를 가열하여, 상기 접착제 시트를 용융, 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체 소자의 실장 방법.

요약

반도체 소자의 전극과 회로 기판의 회로를 고신뢰성을 가지고 접합하는 것을 가능하게 하는 반도체 소자의 실장 방법을 제공한다.

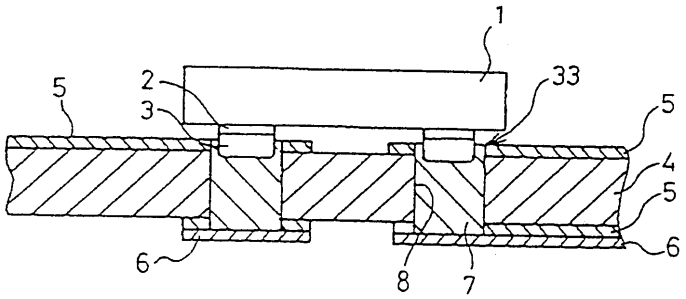
회로 기판(4)에 형성된 구멍부(8)에 도전성 페이스트(7)를 충전하여 외부 전극 단자(33)를 형성하는 공정과, 외부 전극 단자(33)와 반도체 소자(1)의 전극(2)에 형성된 돌기 범프(3)를 위치 결정하는 공정과, 반도체 소자(1)를 가압하여 구멍부(8)내의 도전성 페이스트(7)와 돌기 범프(3)를 접촉시킴으로써 반도체 소자(1)의 전극(2)과 회로 기판(4)의 외부 전극 단자(33)를 전기적으로 접속하는 공정을 갖는다.

대표도

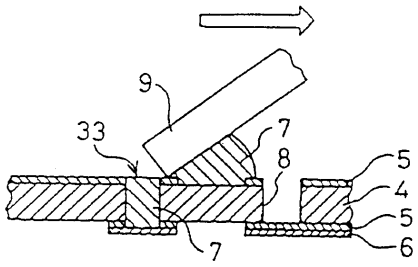


도면

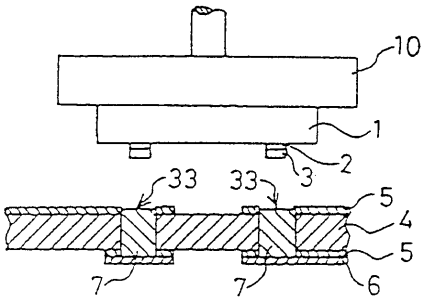
도면1



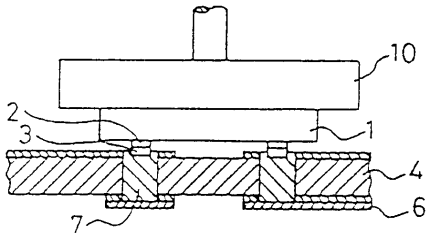
도면2a



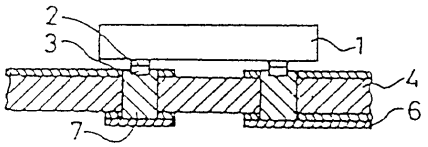
도면2b



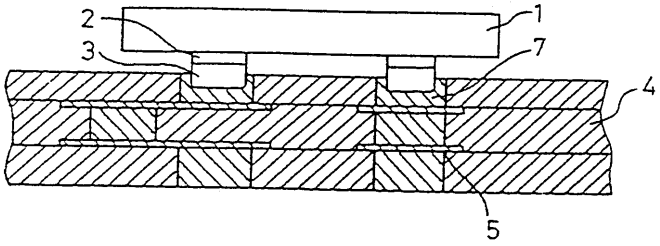
도면2c



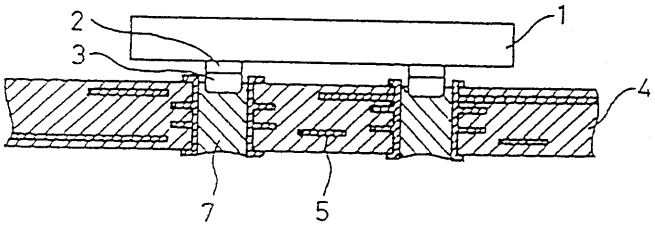
도면2d



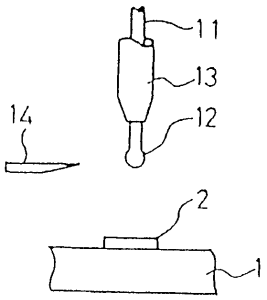
도면3



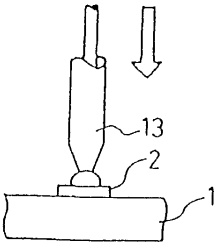
도면4



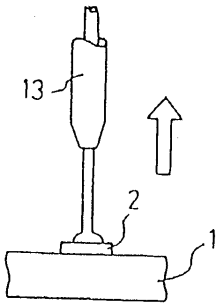
도면5a



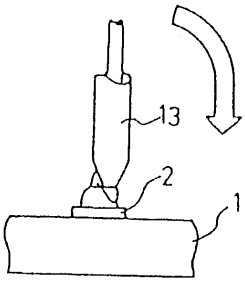
도면5b



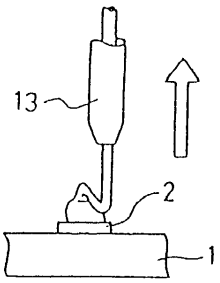
도면5c



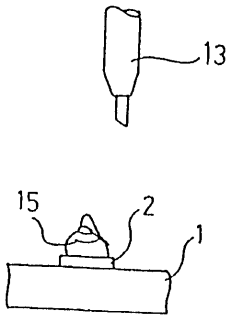
도면5d



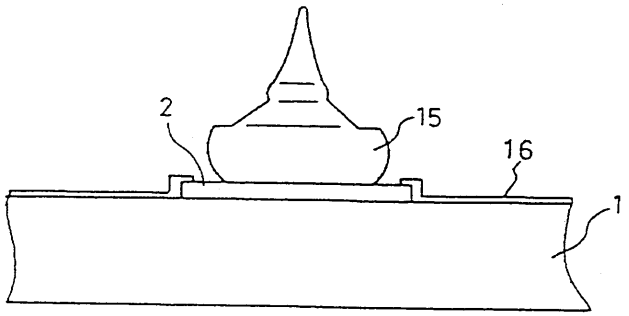
도면5e



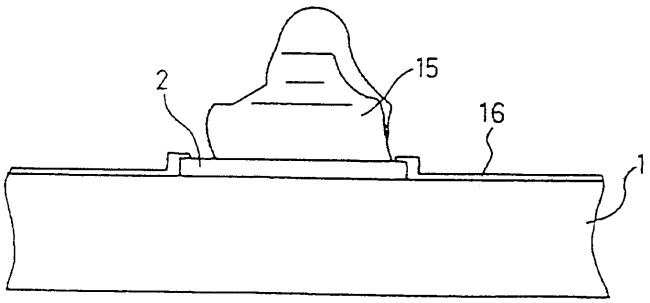
도면5f



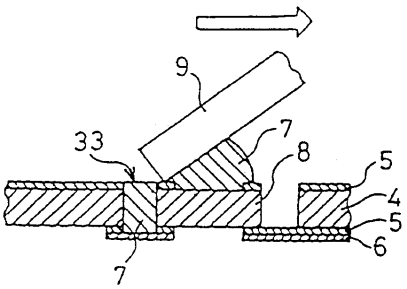
도면6



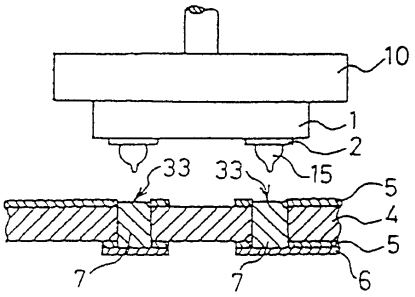
도면7



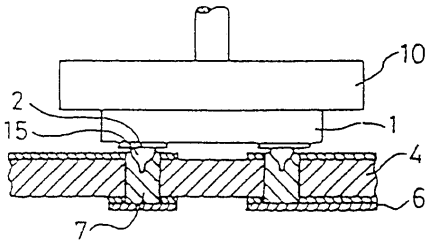
도면8a



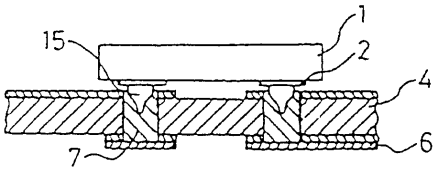
도면8b



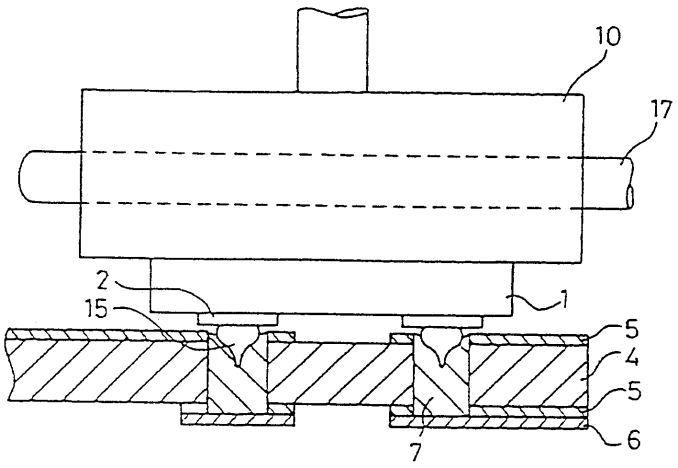
도면8c



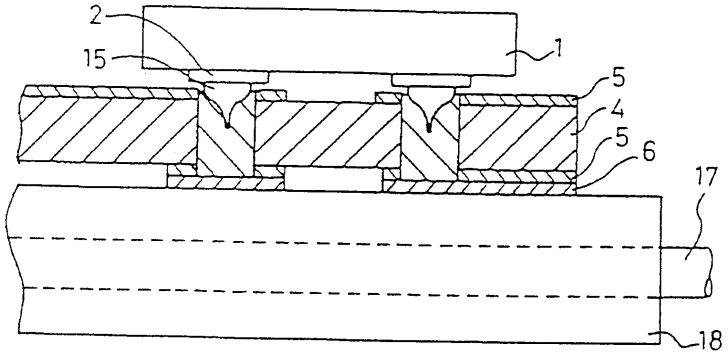
도면8d



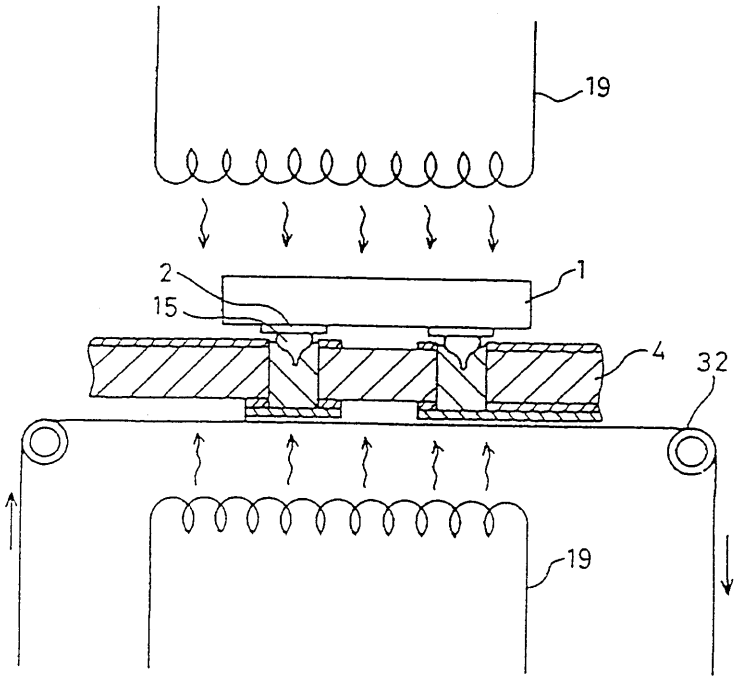
도면9



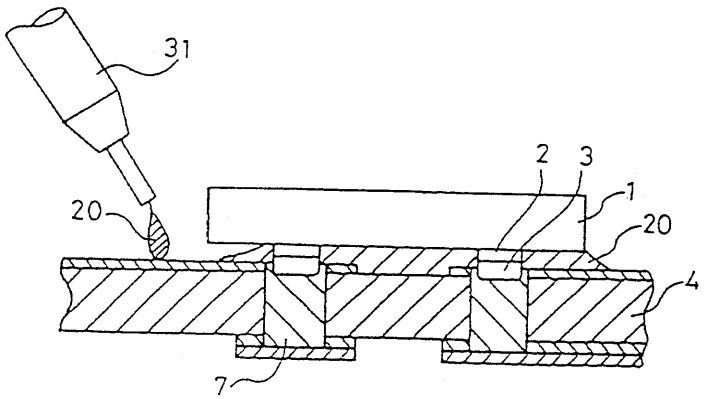
도면10



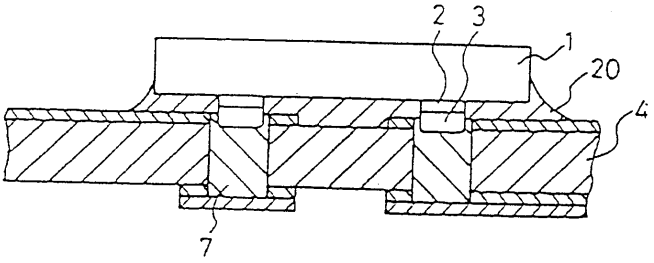
도면11



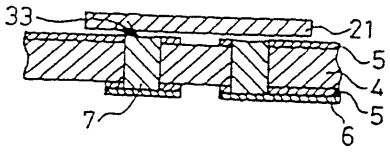
도면12



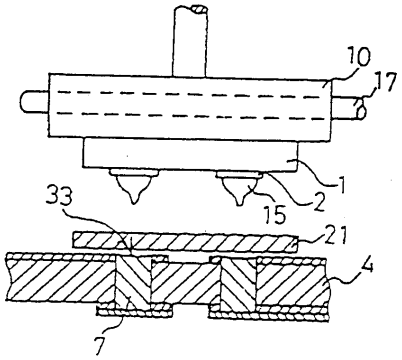
도면13



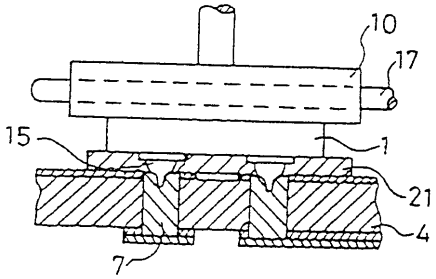
도면14a



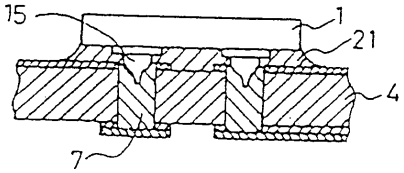
도면14b



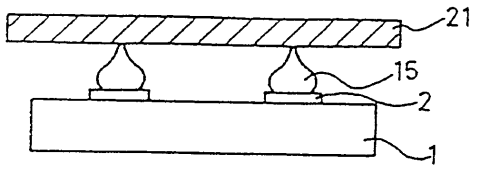
도면14c



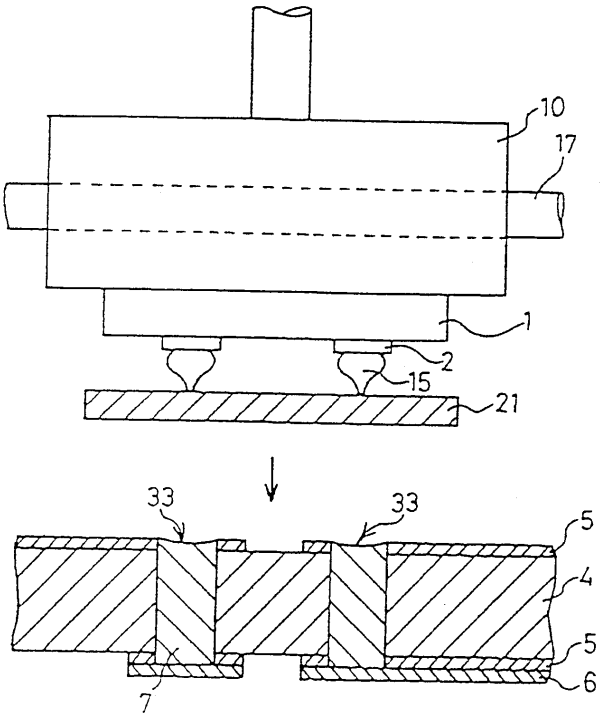
도면14d



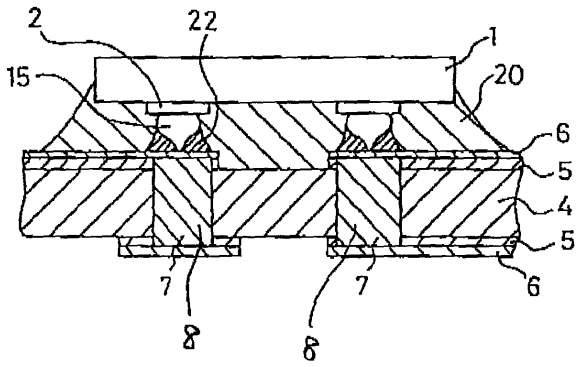
도면15a



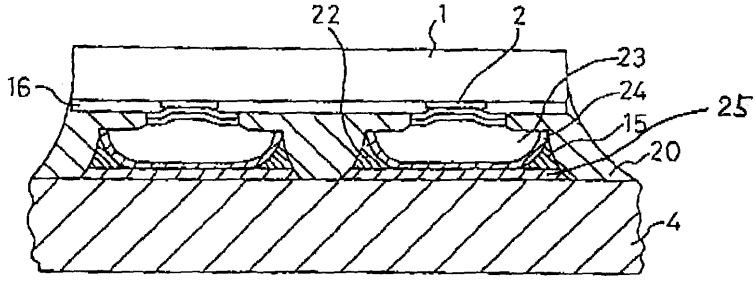
도면15b



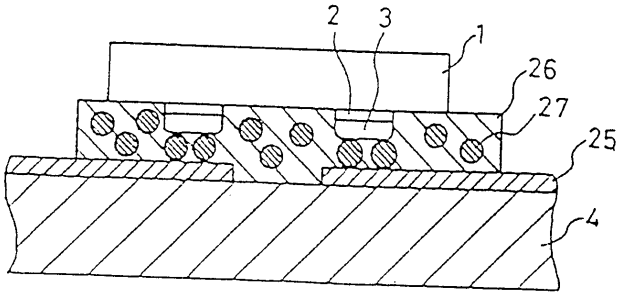
도면16



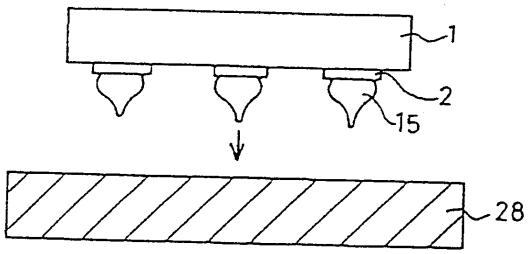
도면17



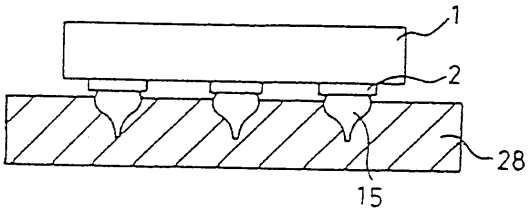
도면18



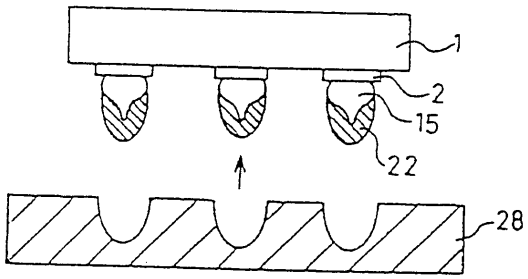
도면19a



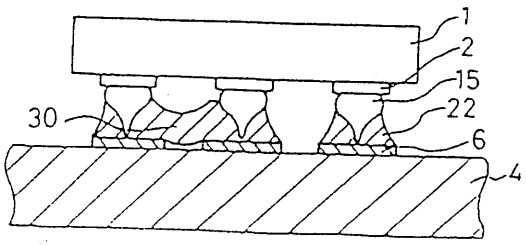
도면19b



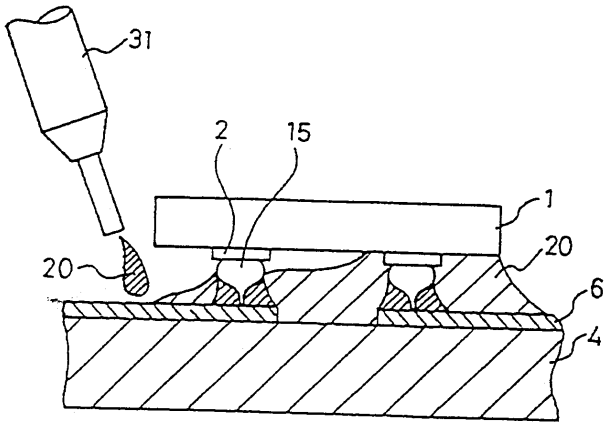
도면19c



도면19d



도면20



도면21

