

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月24日(24.05.2018)



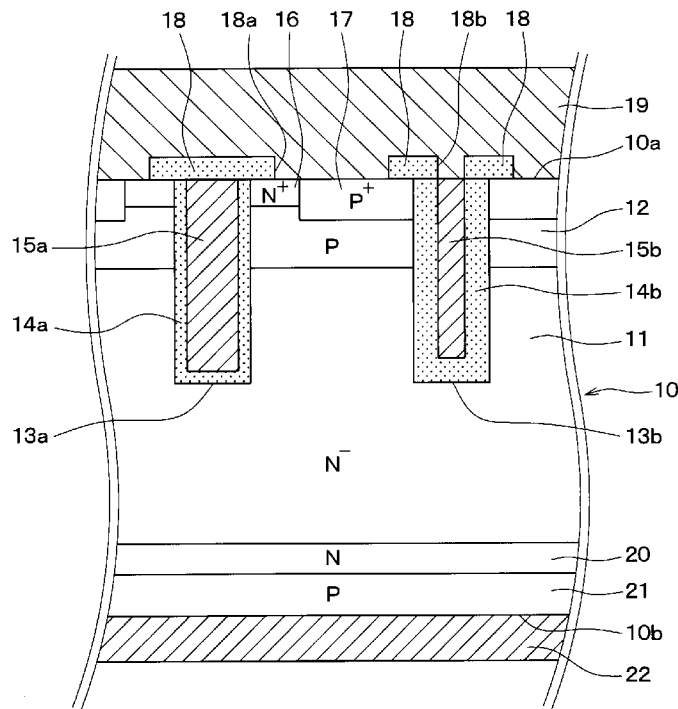
(10) 国際公開番号

WO 2018/092680 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/06* (2006.01)
H01L 21/336 (2006.01) *H01L 29/739* (2006.01)
- (21) 国際出願番号: PCT/JP2017/040490
- (22) 国際出願日: 2017年11月9日(09.11.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2016-222540 2016年11月15日(15.11.2016) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 住友 正清 (SUMITOMO Masakiyo); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 特許業務法人ゆうあい特許事務所 (YOU-I PATENT FIRM); 〒4600003 愛知県名古屋市中区錦一丁目6番5号 名古屋錦シティビル4階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** In this semiconductor device, a first gate electrode (15a) is disposed via a first gate insulation film (14a) on a first trench (13a), a second gate electrode (15b) is disposed via a second gate insulation film (14b) on a second trench (13b), a gate voltage is applied to the first gate electrode (15a), and the second gate electrode (15b) is electrically connected to a first electrode (19). In addition, a second capacitance per unit area of the entire portion, of the second gate insulating film (14b), that is formed on an area in contact with a drift layer (11) on a side surface of the second trench (13b) is set



WO 2018/092680 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

to be not greater than a first capacitance per unit area of a portion, of the first gate insulation film (14a), that is formed on an area in contact with a base layer (12) on a side surface of the first trench (13a), and the second capacitance of at least a portion is set to be smaller than the first capacitance.

(57) 要約 : 半導体装置は、第1トレンチ(13a)上に第1ゲート絶縁膜(14a)を介して第1ゲート電極(15a)が配置されると共に、第2トレンチ(13b)上に第2ゲート絶縁膜(14b)を介して第2ゲート電極(15b)が配置され、第1ゲート電極(15a)にゲート電圧が印加され、第2ゲート電極(15b)が第1電極(19)と電気的に接続される。そして、第2ゲート絶縁膜(14b)のうち、第2トレンチ(13b)の側面であって、ドリフト層(11)と接する領域上に形成された全ての部分の単位面積当たりの第2容量を、第1ゲート絶縁膜(14a)のうち、第1トレンチ(13a)の側面であって、ベース層(12)と接する領域上に形成された部分の単位面積当たりの第1容量以下とし、かつ少なくとも一部の第2容量を第1容量より小さくする。

明 細 書

発明の名称：半導体装置

関連出願への相互参照

[0001] 本出願は、2016年11月15日に出願された日本特許出願番号2016-222540号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、トレンチゲート型の絶縁ゲート型バイポーラトランジスタ（以下、単にIGBTという）素子が形成された半導体装置に関する。

背景技術

[0003] 従来より、インバータ等に使用されるスイッチング素子として、IGBT素子が形成された半導体装置を用いることが提案されている（例えば、特許文献1参照）。例えば、IGBT素子が形成された半導体装置は、N型のドリフト層を有し、このドリフト層上にP型のベース層が形成されている。そして、ベース層を貫通するように複数のトレンチが形成されており、各トレンチには、トレンチの壁面を覆うようにゲート絶縁膜が形成されていると共に、ゲート絶縁膜上にゲート電極が形成されている。さらに、ベース層の表層部には、トレンチの側面に接するようにN+型のエミッタ領域が形成されている。

[0004] また、ドリフト層を挟んでベース層と反対側には、P型のコレクタ層が形成されている。そして、ベース層およびエミッタ領域と電氣的に接続される上部電極が形成され、コレクタ層と電氣的に接続される下部電極が形成されている。

[0005] このような半導体装置では、導通損失の低減を図るため、複数のゲート電極の一部のゲート電極が上部電極と接続されて当該上部電極と同電位とされている。つまり、複数のゲート電極の一部のゲート電極は、ダミーゲート電極とされている。

先行技術文献

特許文献

[0006] 特許文献1：特開2004-22941号公報

発明の概要

[0007] しかしながら、上記半導体装置では、本発明者らの詳細の検討によれば、ゲート電極の一部が上部電極と接続されているため、電流が流れていないオフ状態から電流を流すオン状態へ移行する際、スイッチング損失が大きくなり易いことが判明した。

[0008] 本開示は、オフ状態からオン状態に移行する際のスイッチング損失を低減できる半導体装置を提供することを目的とする。

[0009] 本開示の1つの観点によれば、半導体装置は、第1導電型のドリフト層と、ドリフト層上に形成された第2導電型のベース層と、ドリフト層のうちのベース層側と反対側に形成された第2導電型のコレクタ層と、ベース層を貫通してドリフト層に達するように形成された複数のトレンチの壁面にそれぞれ形成されたゲート絶縁膜と、ゲート絶縁膜上にそれぞれ形成された複数のゲート電極と、ベース層の表層部に形成され、トレンチと接する第1導電型のエミッタ領域と、ベース層およびエミッタ領域と電氣的に接続される第1電極と、コレクタ層と電氣的に接続される第2電極と、を備え、複数のゲート電極は、一部のゲート電極にゲート電圧が印加され、残部のゲート電極が第1電極と電氣的に接続されることで第1電極と同電位とされており、一部のゲート電極が配置されるトレンチを第1トレンチ、残部のゲート電極が配置されるトレンチを第2トレンチ、第1トレンチの壁面に形成されたゲート絶縁膜を第1ゲート絶縁膜、第2トレンチの壁面に形成されたゲート絶縁膜を第2ゲート絶縁膜とすると、第2ゲート絶縁膜のうち、第2トレンチの側面であって、ドリフト層と接する領域上に形成された全ての部分の単位面積当たりの第2容量は、第1ゲート絶縁膜のうち、第1トレンチの側面であって、ベース層と接する領域上に形成された部分の単位面積当たりの第1容量以下とされ、かつ少なくとも一部の第2容量は第1容量より小さくされてい

る。

[0010] これによれば、半導体装置は、オフ状態からオン状態に移行する際、ドリフト層のうちの第2トレンチと接する部分に反転層が形成され難くなり、空乏層の広がり抑制される。したがって、このような半導体装置では、ドリフト層に供給されたキャリア（例えば、ホール）が反転層を介して掃き出されることを抑制できる。このため、このような半導体装置は、早期にコレクターエミッタ間電圧を最小値まで低下させることができ、スイッチング損失の低減を図ることができる。

図面の簡単な説明

[0011] [図1]第1実施形態における半導体装置の断面図である。

[図2]半導体装置がオフ状態からオン状態へ移行する際のゲートエミッタ間電圧 V_{ge} 、コレクターエミッタ間電流 I_{ce} 、およびコレクターエミッタ間電圧 V_{ce} の関係を示すタイミングチャートである。

[図3A]図1に示す半導体装置における図2中の時点T1のホール密度を示すシミュレーション結果である。

[図3B]図1に示す半導体装置における図2中の時点T2のホール密度を示すシミュレーション結果である。

[図3C]図1に示す半導体装置における図2中の時点T3のホール密度を示すシミュレーション結果である。

[図3D]図1に示す半導体装置における図2中の時点T4のホール密度を示すシミュレーション結果である。

[図3E]図1に示す半導体装置における図2中の時点T5のホール密度を示すシミュレーション結果である。

[図3F]図1に示す半導体装置における図2中の時点T6のホール密度を示すシミュレーション結果である。

[図3G]図1に示す半導体装置における図2中の時点T7のホール密度を示すシミュレーション結果である。

[図4A]従来の半導体装置における図2中の時点T1のホール密度を示すシミュレーション結果である。

ュレーション結果である。

[図4B]従来の半導体装置における図2中の時点T2のホール密度を示すシミュレーション結果である。

[図4C]従来の半導体装置における図2中の時点T3のホール密度を示すシミュレーション結果である。

[図4D]従来の半導体装置における図2中の時点T4のホール密度を示すシミュレーション結果である。

[図4E]従来の半導体装置における図2中の時点T5のホール密度を示すシミュレーション結果である。

[図4F]従来の半導体装置における図2中の時点T6のホール密度を示すシミュレーション結果である。

[図4G]従来の半導体装置における図2中の時点T7のホール密度を示すシミュレーション結果である。

[図5]図4Eに対応するホール電流を示すシミュレーション結果である。

[図6]第2実施形態における半導体装置の断面図である。

[図7]第3実施形態における半導体装置の断面図である。

[図8]第4実施形態における半導体装置の断面図である。

発明を実施するための形態

[0012] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0013] (第1実施形態)

第1実施形態について説明する。なお、本実施形態の半導体装置は、例えば、インバータ、DC/DCコンバータ等の電源回路に使用されるパワースイッチング素子として利用されると好適である。

[0014] 図1に示されるように、半導体装置は、ドリフト層11として機能するN型の半導体基板10を有している。そして、ドリフト層11上（すなわち、半導体基板10の一面10a側）には、P型のベース層12が形成されてい

る。

[0015] また、半導体基板10には、ベース層12を貫通してドリフト層11に達する複数のトレンチ13a、13bが形成されており、ベース層12は複数のトレンチ13a、13bによって分断されている。本実施形態では、複数のトレンチ13a、13bは、半導体基板10の一面10aの面方向のうちの一方向（すなわち、図1中紙面奥行き方向）に沿ってストライプ状に等間隔に形成されている。以下では、トレンチ13aを第1トレンチ13aとし、トレンチ13bを第2トレンチ13bとして説明する。

[0016] 第1トレンチ13aは、第1トレンチ13aの壁面を覆うように形成された第1ゲート絶縁膜14aと、当該第1ゲート絶縁膜14aの上に形成された第1ゲート電極15aとにより埋め込まれている。同様に、第2トレンチ13bは、第2トレンチ13bの壁面を覆うように形成された第2ゲート絶縁膜14bと、当該第2ゲート絶縁膜14bの上に形成された第2ゲート電極15bとにより埋め込まれている。

[0017] なお、本実施形態では、第1ゲート絶縁膜14aおよび第2ゲート絶縁膜14bは、それぞれシリコン酸化膜（ SiO_2 ）等で構成され、第1ゲート電極15aおよび第2ゲート電極15bは、それぞれポリシリコン等で構成されている。また、本実施形態では、第1トレンチ13aおよび第2トレンチ13bは、第1トレンチ13aおよび第2トレンチ13bの延設方向と直交する方向であって、半導体基板10の面方向に沿った方向（すなわち、図1中紙面左右方向）に交互に形成されている。但し、第1トレンチ13aおよび第2トレンチ13bは、例えば、第1トレンチ13aおよび第2トレンチ13bの延設方向と直交する方向であって、半導体基板10の面方向に沿った方向に複数ずつ纏めて形成されていてもよく、配置順序は適宜変更可能である。

[0018] ここで、本実施形態の第1ゲート絶縁膜14aおよび第2ゲート絶縁膜14bの構成について説明する。

[0019] 第1ゲート絶縁膜14aは、第1トレンチ13aの壁面上において、部分

毎に厚さがほぼ均一とされている。具体的には、第1ゲート電極15aは、後述するように、外部のゲート回路と接続され、ベース層12のうちの第1トレンチ13aと接する部分に反転層（すなわち、チャンネル領域）が形成されるように当該ゲート回路から所定のゲート電圧が印加される。つまり、第1ゲート絶縁膜14aのうちのベース層12と接する部分の厚さは、反転層が形成可能な厚さに規定される。言い換えると、第1ゲート絶縁膜14aのうちのベース層12と接する部分の厚さは、MOSゲートの閾値電圧 V_{th} を決定する部分の厚さで規定される。そして、第1ゲート絶縁膜14aは、他の部分の厚さも、第1ゲート絶縁膜14aのうちのベース層12と接する部分の厚さと等しくされている。

[0020] 第2ゲート絶縁膜14bは、第2トレンチ13bの壁面上において、部分毎に厚さがほぼ均一とされている。但し、第2ゲート絶縁膜14bは、全体的に第1ゲート絶縁膜14aの厚さより厚くされており、本実施形態では、第1ゲート絶縁膜14aの2倍の厚さとされている。

[0021] ここで、第2ゲート絶縁膜14bのうち、第2トレンチ13bの側面であって、ドリフト層11と接する領域上に形成された部分の単位面積当たりの容量を第2容量とする。また、第1ゲート絶縁膜14aのうち、第1トレンチ13aの側面であって、ベース層12と接する領域上に形成された部分の単位面積当たりの容量を第1容量とする。

[0022] そして、全ての部分の第2容量は、第1容量以下とされている。本実施形態では、第2ゲート絶縁膜14bの厚さが全体的に第1ゲート絶縁膜14aの厚さより厚くされているため、全ての部分の第2容量は、第1容量より小さくなる。

[0023] ベース層12の表層部には、N⁺型のエミッタ領域16およびP⁺型のボディ領域17が形成されている。具体的には、エミッタ領域16は、ドリフト層11よりも高不純物濃度で構成され、ベース層12内において終端し、かつ、第1トレンチ13aの側面に接するように形成されている。一方、ボディ領域17は、ベース層12よりも高不純物濃度で構成され、エミッタ領域

16と同様に、ベース層12内において終端するように形成されている。

[0024] より詳しくは、エミッタ領域16は、第1トレンチ13aの延設方向に沿って当該第1トレンチ13aの側面に接するように棒状に延設され、第1トレンチ13aの先端よりも内側で終端する構造とされている。ボディ領域17は、第2トレンチ13bの延設方向に沿って当該第2トレンチ13bの側面に接するように棒状に延設され、第2トレンチ13bの先端よりも内側で終端する構造とされている。また、ボディ領域17は、半導体基板10の一面10aを基準としてエミッタ領域16よりも深く形成されている。

[0025] 半導体基板10の一面10a上には、BPSG (Boro-phospho silicate glassの略) 等で構成される層間絶縁膜18が形成されている。層間絶縁膜18には、エミッタ領域16の一部およびボディ領域17を露出させる第1コンタクトホール18aが形成されていると共に、第2ゲート電極15bを露出させる第2コンタクトホール18bが形成されている。そして、層間絶縁膜18上には、第1コンタクトホール18aを介してエミッタ領域16およびボディ領域17と電氣的に接続されると共に、第2コンタクトホール18bを介して第2ゲート電極15bとも接続される上部電極19が形成されている。つまり、本実施形態では、第2ゲート電極15bは、上部電極19と同電位とされており、いわゆるダミーゲート電極として機能する。

[0026] なお、本実施形態では、第1ゲート電極15aが一部のゲート電極に相当し、第2ゲート電極15bが残部のゲート電極に相当し、上部電極19が第1電極に相当している。また、第1ゲート電極15aは、図示しないゲート配線およびゲートパッド等を介して外部のゲート回路と電氣的に接続され、当該ゲート回路から所定のゲート電圧が印加される。

[0027] ドリフト層11のうちのベース層12側と反対側（すなわち、半導体基板10の他面10b側）には、N型のフィールドストップ層（以下では、単にFS層という）20が形成されている。このFS層20は、必ずしも必要なものではないが、空乏層の広がりを防ぐことで耐圧と定常損失の性能向上を図ると共に、半導体基板10の他面10b側から注入されるホールの注入量

を制御するために備えてある。

[0028] そして、FS層20を挟んでドリフト層11と反対側には、P型のコレクタ層21が形成され、コレクタ層21上（すなわち、半導体基板10の他面10b上）にはコレクタ層21と電氣的に接続される下部電極22が形成されている。なお、本実施形態では、下部電極が第2電極に相当している。

[0029] 以上が本実施形態における半導体装置の構成である。なお、本実施形態では、N⁺型、N⁻型が第1導電型に相当しており、P型、P⁺型が第2導電型に相当している。

[0030] 次に、上記半導体装置において、電流が流れていないオフ状態から電流が流れるオン状態に移行する際の状態について説明する。

[0031] なお、以下では、図2～図5を参照しつつ、第2ゲート絶縁膜14bの厚さが第1ゲート絶縁膜14aの厚さと等しくされ、第2ゲート電極15bが上部電極19と電氣的に接続されている半導体装置（以下では、従来の半導体装置という）と比較して説明する。また、図3A～図3Fは、図2中の各時点における本実施形態の半導体装置のホール密度を示すシミュレーション結果であり、図4A～図4Fは、図2中の各時点における従来の半導体装置のホール密度を示すシミュレーション結果である。具体的には、図3Aおよび図4Aは時点T1のホール密度を示し、図3Bおよび図4Bは時点T2のホール密度を示し、図3Cおよび図4Cは時点T3のホール密度を示し、図3Dおよび図4Dは時点T4のホール密度を示す。また、図3Eおよび図4Eは時点T5のホール密度を示し、図3Fおよび図4Fは時点T6のホール密度を示し、図3Gおよび図4Gは時点T7のホール密度を示している。

[0032] 上記半導体装置がオフ状態からオン状態に移行する際には、上部電極19を接地すると共に下部電極22に正の電圧が印加された状態で第1ゲート電極15aに外部のゲート回路から所定のゲート電圧が印加される。これにより、ゲートーエミッタ間電圧 V_{ge} が徐々に上昇する。その後、半導体装置は、時点T1にて、第1ゲート電極15aのゲート電位がMOSゲートの閾値電圧 V_{th} 以上となると、ベース層12のうちの第1トレンチ13aと接

する部分に反転層（すなわち、チャネル領域）が形成される。そして、半導体装置は、エミッタ領域16から反転層を介して電子がドリフト層11に供給されると共に、コレクタ層21からホールがドリフト層11に供給される。これにより、半導体装置は、伝導度変調によってドリフト層11の抵抗値が低下し、コレクターエミッタ間電流 I_{ce} が流れ始めると共に、コレクターエミッタ間電圧（以下では、単にコレクタ電圧という） V_{ce} が低下し始める。

[0033] そして、コレクタ電圧 V_{ce} は、従来の半導体装置では、時点T7にて最小値となった後にほぼ一定となる。これに対し、本実施形態の半導体装置では、時点T7以前の時点T6にて最小値となった後にほぼ一定となる。つまり、本実施形態の半導体装置では、従来の半導体装置より早期にコレクタ電圧 V_{ce} を最小値に低下させることができ、オフ状態からオン状態に移行する際のスイッチング損失の低減を図ることができる。

[0034] 具体的な原理について説明すると、第2ゲート電極15bが上部電極19と電氣的に接続されている半導体装置では、オフ状態からオン状態に移行する際、第2トレンチ13bのうちのドリフト層11と接する部分に電荷が蓄積されてp型の反転層が形成される。そして、図3Aおよび図4Aに示されるように、ドリフト層11には、この反転層との間で構成される空乏層dが広がる。

[0035] その後、従来の半導体装置では、図4B～図4Gの各図に示されるように、徐々にドリフト層11のホール密度が高くなることで空乏層dが小さくなる。そして、図4Gに示されるように、従来の半導体装置では、時点T7にて空乏層dが第2トレンチ13bの側面近傍から消滅する。但し、空乏層dが消滅するまでの過程では、図5中の矢印Aに示されるように、ドリフト層11に供給されたホールが空乏層dを介して反転層に引き寄せられ、反転層を通過してベース層12側に掃き出されてしまう。このため、従来の半導体装置では、図2に示されるように、時点T3近傍からコレクタ電圧 V_{ce} の低下が緩やかになり、コレクタ電圧 V_{ce} が最小値に達するまでの期間が長

くなる。

[0036] これに対し、本実施形態では、第2ゲート絶縁膜14bが第1ゲート絶縁膜14aより厚くされ、第2容量が第1容量より小さくされている。このため、本実施形態の半導体装置では、従来の半導体装置と比較して、ドリフト層11のうちの第2トレンチ13bと接する領域に蓄積される電荷が少なくなる。つまり、本実施形態の半導体装置では、図3Aに示されるように、図4Aと比較して、空乏層dの広がり抑制される。そして、本実施形態の半導体装置では、空乏層dの広がり抑制されることにより、ドリフト層11に供給されたホールがベース層12側に掃き出され難くなる。このため、本実施形態の半導体装置では、図3B～図3Gの各図に示されるように、徐々に空乏層dが小さくなるのは従来の半導体装置と同様であるが、図3Fに示されるように、時点T6にて空乏層dが第2トレンチ13bの側面近傍から消滅する。したがって、本実施形態の半導体装置では、従来の半導体装置と比較して、早期にコレクタ電圧 V_{ce} を最小値まで低下させることができ、オフ状態からオン状態に移行する際のスイッチング損失を低減することができる。

[0037] 以上説明したように、本実施形態の半導体装置では、第2ゲート絶縁膜14bは、第1ゲート絶縁膜14aより厚くされ、第2容量が第1容量より小さくされている。このため、本実施形態の半導体装置では、半導体装置をオフ状態からオン状態に移行する際、ドリフト層11のうちの第2トレンチ13bと接する部分に反転層が形成され難くなり、空乏層dの広がりを抑制できる。したがって、本実施形態の半導体装置では、ドリフト層11に供給されたホールが反転層を介して掃き出されることを抑制でき、早期にコレクタ電圧 V_{ce} を最小値まで低下させることができるため、スイッチング損失の低減を図ることができる。

[0038] (第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対して、第2ゲート絶縁膜14bの構成を変更したものであり、その他に関しては第

1実施形態と同様であるため、ここでは説明を省略する。

[0039] 本実施形態では、図6に示されるように、第2ゲート絶縁膜14bは、第2トレンチ13bのうちのベース層12と接する領域上に形成された部分の厚さが第1ゲート絶縁膜14aの厚さと等しくされている。そして、第2ゲート絶縁膜14bは、第2トレンチ13bのうちのドリフト層11と接する領域上に形成された部分の厚さが、第1ゲート絶縁膜14aの厚さより厚くされている。

[0040] より詳しくは、第2ゲート絶縁膜14bは、第2トレンチ13bにおけるドリフト層11と接する領域上に形成された部分のうちの当該第2トレンチ13bの底部側の部分が厚くされている。そして、第2ゲート絶縁膜14bは、第2トレンチ13bにおけるドリフト層11と接する領域上に形成された部分のうちのベース層12側の部分が第1ゲート絶縁膜14aの厚さと等しくされている。言い換えると、第2ゲート電極15bは、ベース層12側に位置する部分の幅が第1ゲート電極15aの幅と等しくされ、ドリフト層11側に位置する部分の幅がベース層12側に位置する部分の幅より狭くされている。なお、ここでの幅とは、第1トレンチ13aおよび第2トレンチ13bの延設方向と直交する方向であって、半導体基板10の一面10aの面方向に沿った方向のことである。

[0041] つまり、本実施形態では、第2ゲート絶縁膜14bは、第2トレンチ13bの側面のうちのドリフト層11と接する領域上に形成された部分において、ベース層12側の部分の第2容量が第1容量と等しくされている。また、第2ゲート絶縁膜14bは、第2トレンチ13bの側面のうちのドリフト層11と接する領域上に形成された部分において、第2トレンチ13bの底部側の部分の第2容量が第1容量より小さくされている。

[0042] このように、半導体装置は、第2ゲート絶縁膜14bのうちの一部分の第2容量が第1容量より小さくなるようにし、他の部分の第2容量が第1容量と等しくなるようにしても空乏層dの広がりを抑制できるため、上記第1実施形態と同様の効果を得ることができる。

[0043] (第3実施形態)

第3実施形態について説明する。本実施形態は、第2実施形態に対して、第1ゲート絶縁膜14aの構成を変更したものであり、その他に関しては第2実施形態と同様であるため、ここでは説明を省略する。

[0044] 本実施形態では、図7に示されるように、第1ゲート絶縁膜14aは、第2ゲート絶縁膜14bと同様の構成とされている。すなわち、第1ゲート絶縁膜14aは、第1トレンチ13aのうちのドリフト層11と接する領域上に形成された部分の厚さがベース層12と接する領域上に形成された部分の厚さより厚くされている。言い換えると、第1ゲート絶縁膜14aは、閾値電圧 V_{th} を決定する部分と異なる部分が厚くされている。

[0045] このような半導体装置としても上記第2実施形態と同様の効果を得ることができる。また、この半導体装置では、第1ゲート絶縁膜14aおよび第2ゲート絶縁膜14bが同様の構成とされているため、第1ゲート絶縁膜14aおよび第2ゲート絶縁膜14bを同様の工程で形成することができ、製造工程の簡略化を図ることができる。

[0046] (第4実施形態)

第4実施形態について説明する。本実施形態は、第1実施形態に対して、第2ゲート絶縁膜14bの構成を変更したものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0047] 本実施形態では、図8に示されるように、第2ゲート絶縁膜14bは、第1ゲート絶縁膜14aと厚さが等しくされている。但し、第2ゲート絶縁膜14bは、第1ゲート絶縁膜14aを構成するシリコン酸化膜より誘電率が小さい材料で構成されている。このため、本実施形態の半導体装置においても、第2ゲート絶縁膜14bの第2容量は、第1ゲート絶縁膜14aの第1容量より小さくされている。なお、シリコン酸化膜より誘電率が小さい材料としては、例えば、フッ素添加シリコン酸化膜(SiOF)、炭素添加シリコン酸化膜(SiOC)等が用いられる。

[0048] 以上説明したように、半導体装置は、第2ゲート絶縁膜14bを第1ゲ-

ト絶縁膜 14 a より誘電率が小さい材料で構成しても、第 2 容量が第 1 容量より小さくなるため、空乏層 d の広がり抑制でき、上記第 1 実施形態と同様の効果を得ることができる。

[0049] (他の実施形態)

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0050] 例えば、上記各実施形態の半導体装置では、第 1 導電型を N 型とし、第 2 導電型を P 型とした例について説明したが、第 1 導電型を P 型とし、第 2 導電型を N 型とすることもできる。

[0051] また、上記各実施形態の半導体装置では、ボディ領域 17 は、第 2 トレンチ 13 b と接していなくてもよい。つまり、ボディ領域 17 と第 2 トレンチ 13 b との間にベース層 12 が存在する構成としてもよい。さらに、半導体装置は、第 1 トレンチ 13 a の側面に接するエミッタ領域 16 に加え、第 2 トレンチ 13 b の側面に接するエミッタ領域 16 が形成されていてもよい。

[0052] そして、上記各実施形態の半導体装置は、第 2 ゲート電極 15 b と上部電極 19 とが第 2 コンタクトホール 18 b を介して直接的に接続されていなくてもよい。例えば、半導体装置は、第 1 ゲート電極 15 a が接続されるゲートパッドと異なるゲートパッドを備えるようにし、当該異なるゲートパッドが第 2 ゲート電極 15 b および上部電極 19 と電氣的に接続されるようにしてもよい。つまり、第 2 ゲート電極 15 b は、第 1 ゲート電極 15 a が接続されるゲートパッドと異なるゲートパッドを介して上部電極 19 と電氣的に接続されていてもよい。

[0053] また、上記各実施形態において、半導体装置をオフ状態からオン状態に移行する際、スイッチング損失が増大するのは、ドリフト層 11 に供給されたホールが第 2 トレンチ 13 b の側面に沿って形成された反転層を介してベー

ス層 1 2 側に掃き出されるためである。このため、上記第 1 ~ 第 3 実施形態において、第 2 ゲート絶縁膜 1 4 b は、第 2 トレンチ 1 3 b の側面のうちのドリフト層 1 1 と接する領域上の部分が厚くされていれば、第 2 トレンチ 1 3 b の底面上の部分は厚くされていなくてもよい。同様に、上記第 4 実施形態において、第 2 ゲート絶縁膜 1 4 b は、第 2 トレンチ 1 3 b の底面上に形成される部分がシリコン酸化膜で構成されていてもよい。

[0054] また、上記第 2、第 3 実施形態では、第 2 ゲート絶縁膜 1 4 b は、第 2 トレンチ 1 3 b の側面のうちのドリフト層 1 1 と接する領域上に形成された部分において、ベース層 1 2 側の部分が厚くされていてもよい。つまり、第 2 ゲート絶縁膜 1 4 b における第 2 トレンチ 1 3 b の側面のうちのドリフト層 1 1 と接する領域上に形成された部分の厚さは、次のようにされていればよい。すなわち、この部分の厚さは、第 1 ゲート絶縁膜 1 4 a のうちの閾値電圧 V_{th} を規定する部分の厚さ以上とされ、かつ少なくとも一部が第 1 ゲート絶縁膜 1 4 a のうちの閾値電圧 V_{th} を規定する部分の厚さより厚くされていればよい。同様に、上記第 4 実施形態において、第 2 ゲート絶縁膜 1 4 b は、第 2 トレンチ 1 3 b の側面のうちのドリフト層 1 1 と接する領域上に形成された部分において、次のようにされていればよい。すなわち、この部分は、第 1 ゲート絶縁膜 1 4 a のうちの閾値電圧 V_{th} を規定する部分の誘電率以下とされ、かつ少なくとも一部が第 1 ゲート絶縁膜 1 4 a のうちの閾値電圧 V_{th} を規定する部分の誘電率より小さくされていればよい。

[0055] また、上記第 2 実施形態の半導体装置では、第 2 ゲート電極 1 5 b の幅が半導体基板 1 0 の厚さ方向に一定とされていてもよい。なお、このような構成とする場合には、第 2 トレンチ 1 3 b のうちの底部側の部分の幅を開口部側の幅より長くなるようにし、第 2 ゲート絶縁膜 1 4 b のうちの第 2 トレンチ 1 3 b における底部側の部分を厚くすればよい。

[0056] さらに、上記第 4 実施形態の半導体装置では、第 2 容量が第 1 容量以下となり、かつ少なくとも一部の第 2 容量が第 1 容量より小さくなるのであれば、第 2 ゲート絶縁膜 1 4 b は第 1 ゲート絶縁膜 1 4 a より薄くされていても

よい。

[0057] そして、上記各実施形態を適宜組み合わせることもできる。例えば、第1～第3実施形態に第4実施形態を組み合わせ、第2ゲート絶縁膜14bを第1ゲート絶縁膜14aより誘電率が低い材料で構成するようにしてもよい。

請求の範囲

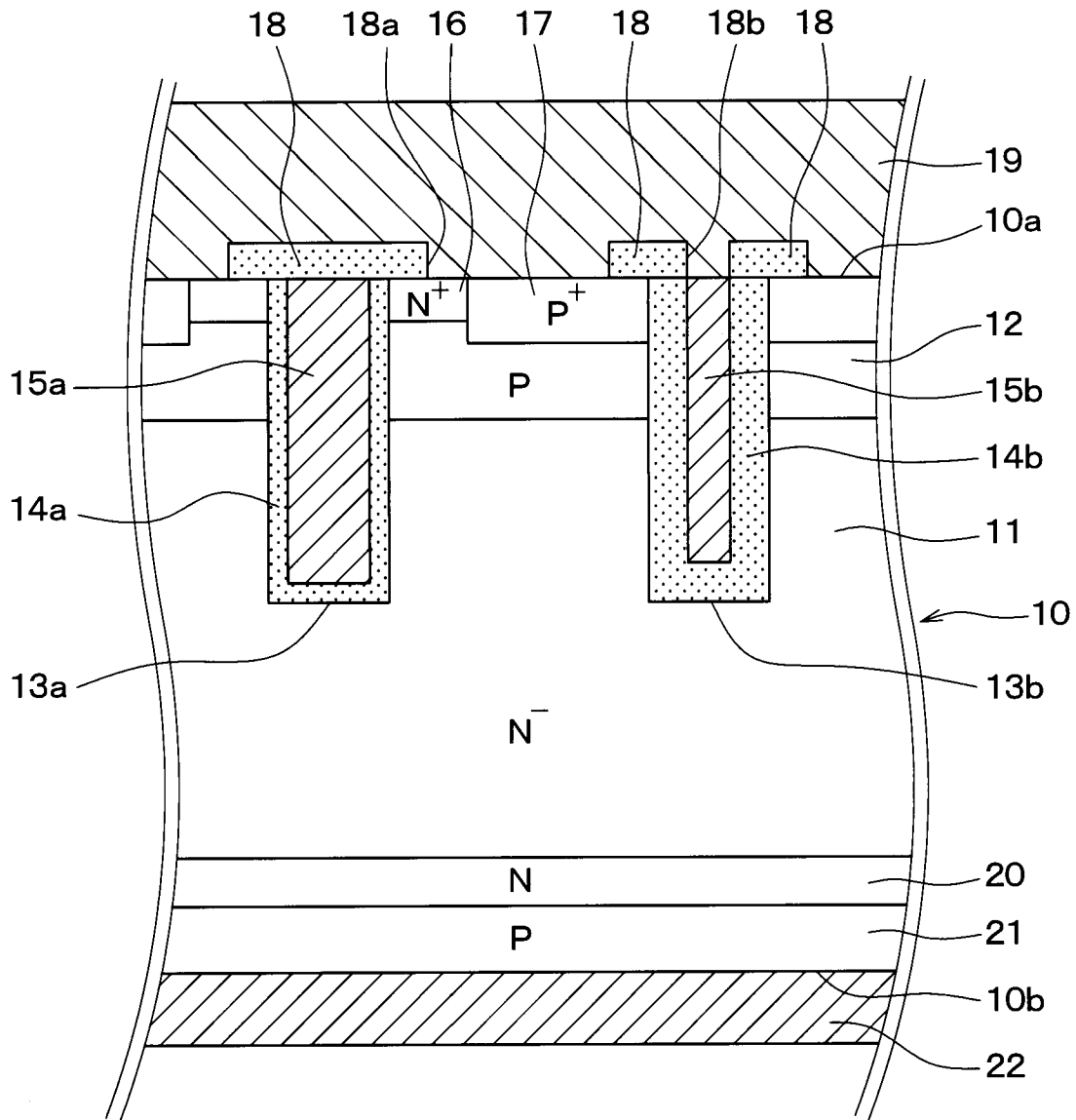
- [請求項1] ゲート絶縁膜（14 a、14 b）上にゲート電極（15 a、15 b）が配置された半導体装置であって、
- 第1導電型のドリフト層（11）と、
- 前記ドリフト層上に形成された第2導電型のベース層（12）と、
- 前記ドリフト層のうちの前記ベース層側と反対側に形成された第2導電型のコレクタ層（21）と、
- 前記ベース層を貫通して前記ドリフト層に達するように形成された複数のトレンチ（13 a、13 b）の壁面にそれぞれ形成された前記ゲート絶縁膜と、
- 前記ゲート絶縁膜上にそれぞれ形成された複数の前記ゲート電極と、
- 、
- 前記ベース層の表層部に形成され、前記トレンチと接する第1導電型のエミッタ領域（16）と、
- 前記ベース層および前記エミッタ領域と電氣的に接続される第1電極（19）と、
- 前記コレクタ層と電氣的に接続される第2電極（22）と、を備え、
- 、
- 複数の前記ゲート電極は、一部のゲート電極（15 a）にゲート電圧が印加され、残部のゲート電極（15 b）が前記第1電極と電氣的に接続されることで前記第1電極と同電位とされており、
- 前記一部のゲート電極が配置されるトレンチを第1トレンチ（13 a）、前記残部のゲート電極が配置されるトレンチを第2トレンチ（13 b）、前記第1トレンチの壁面に形成されたゲート絶縁膜を第1ゲート絶縁膜（14 a）、前記第2トレンチの壁面に形成されたゲート絶縁膜を第2ゲート絶縁膜（14 b）とすると、
- 前記第2ゲート絶縁膜のうち、前記第2トレンチの側面であって、前記ドリフト層と接する領域上に形成された全ての部分の単位面積当

たりの第2容量は、前記第1ゲート絶縁膜のうち、前記第1トレンチの側面であって、前記ベース層と接する領域上に形成された部分の単位面積当たりの第1容量以下とされ、かつ少なくとも一部の第2容量は第1容量より小さくされている半導体装置。

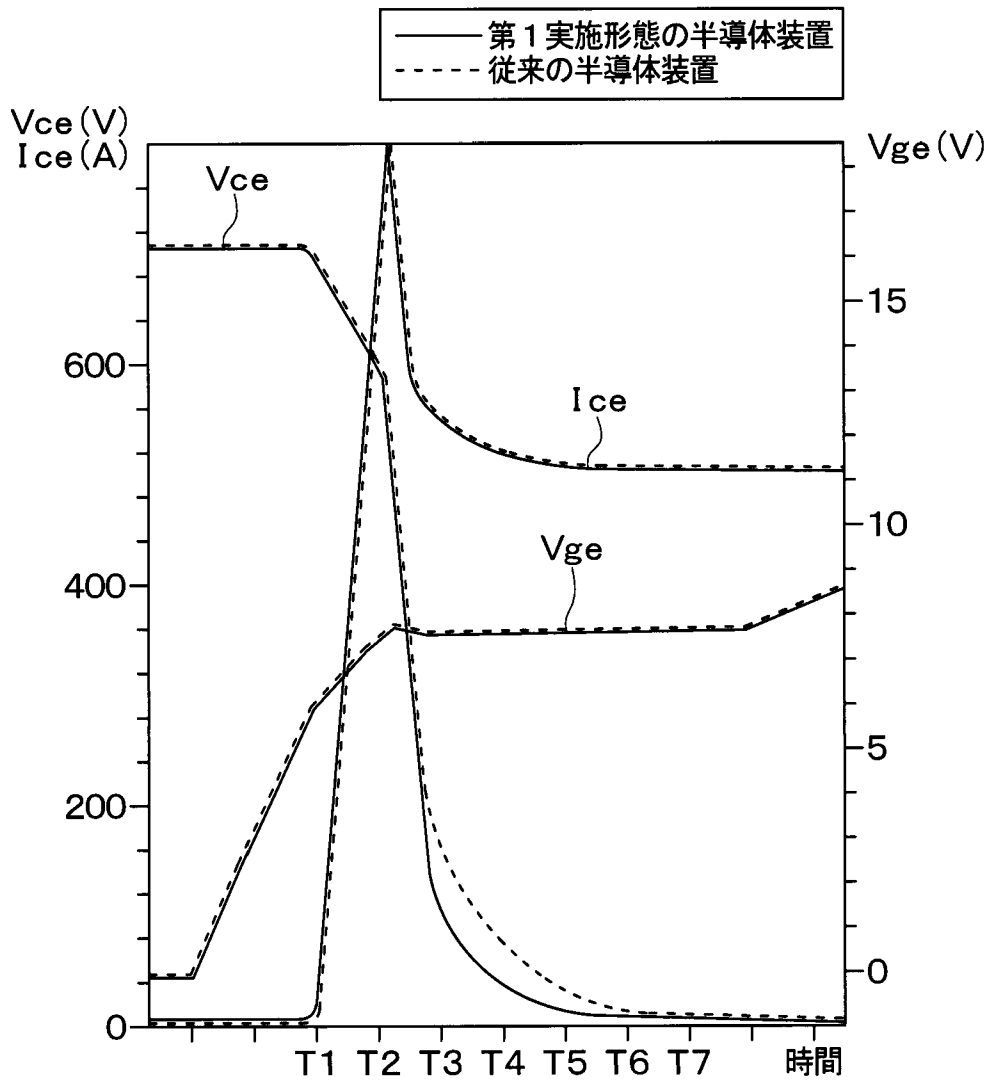
[請求項2] 前記第2ゲート絶縁膜のうち、前記第2トレンチの側面であって、前記ドリフト層と接する領域上に形成された全ての部分の厚さは、前記第1ゲート絶縁膜のうち、前記第1トレンチの側面であって、前記ベース層と接する領域上に形成された部分の厚さ以上とされている請求項1に記載の半導体装置。

[請求項3] 前記第2ゲート絶縁膜のうち、前記第2トレンチの側面であって、前記ドリフト層と接する領域上に形成された全ての部分の誘電率は、前記第1ゲート絶縁膜のうち、前記第1トレンチの側面であって、前記ベース層と接する領域上に形成された部分の誘電率以下とされている請求項1または2に記載の半導体装置。

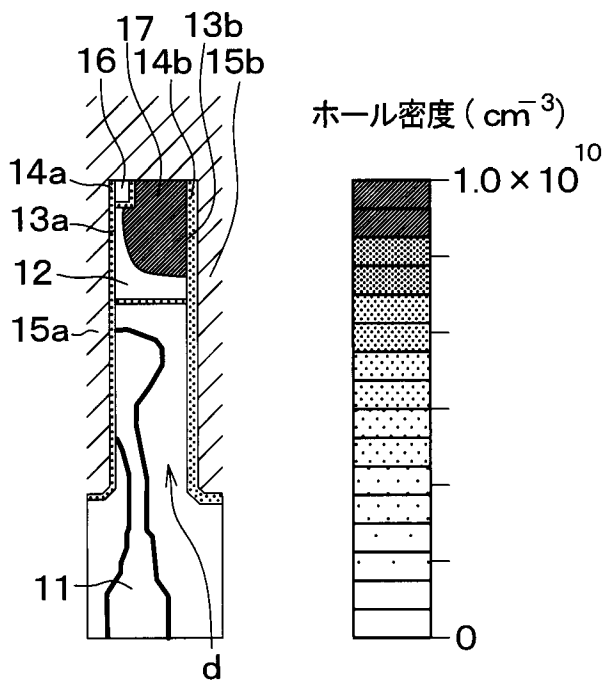
[図1]



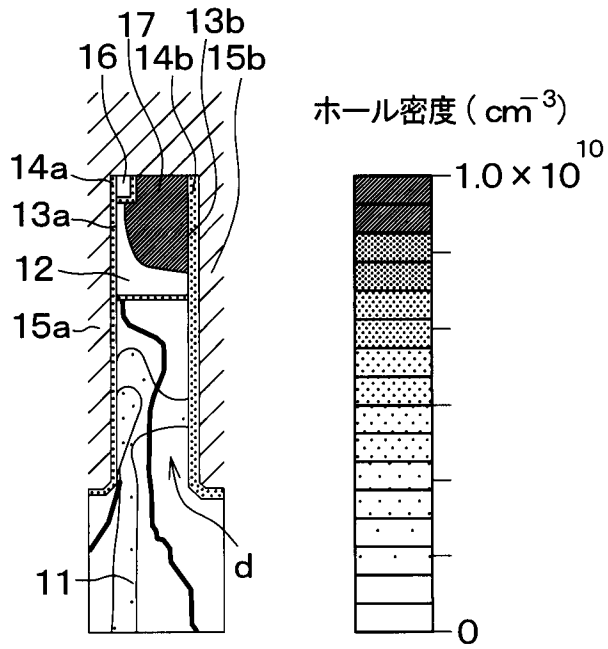
[図2]



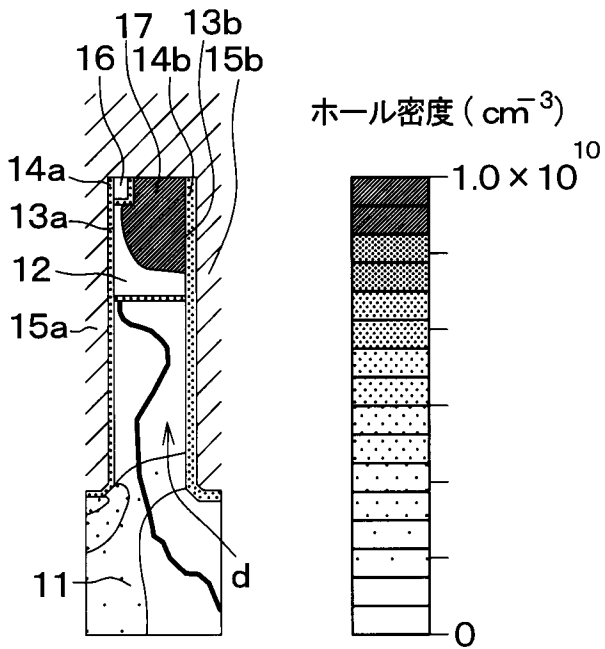
[図3A]



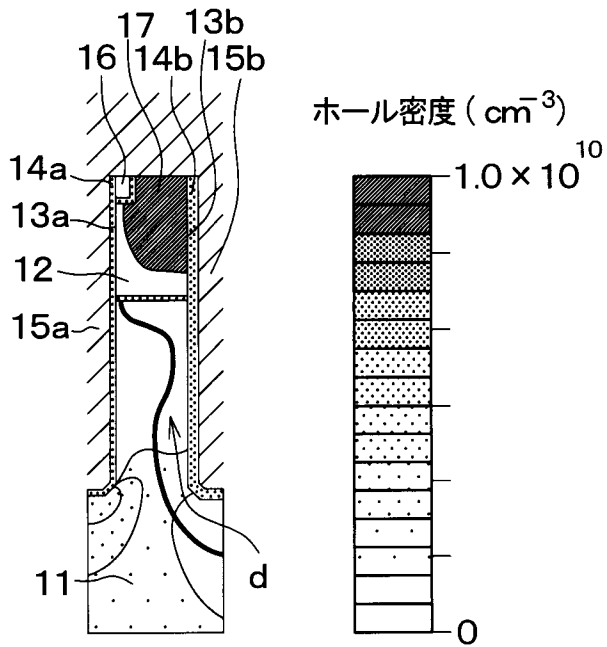
[図3B]



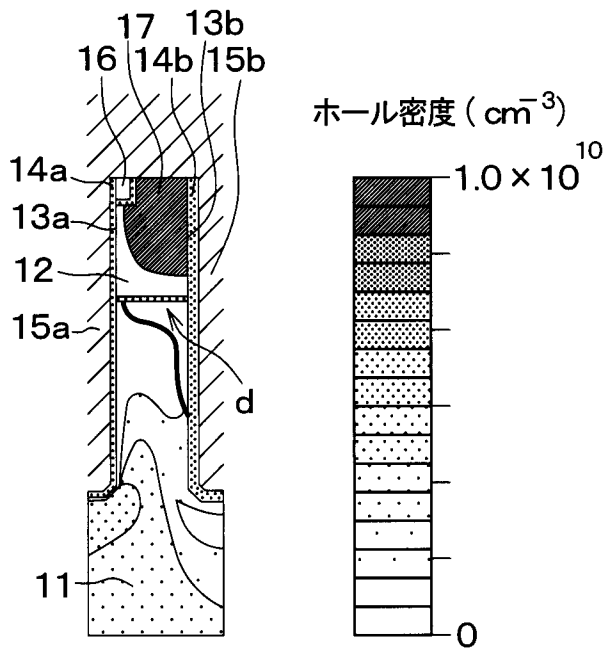
[図3C]



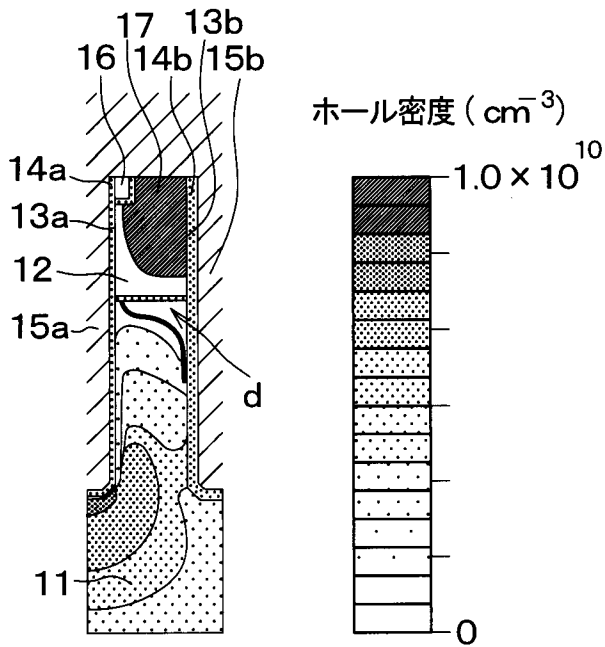
[図3D]



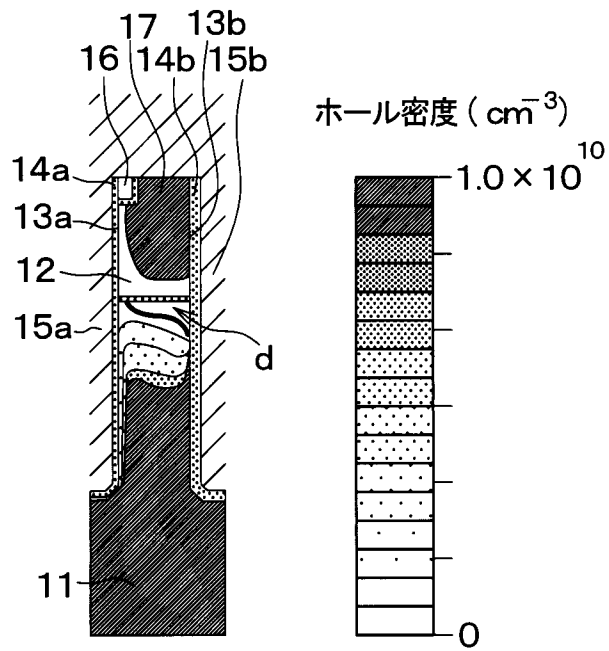
[図3E]



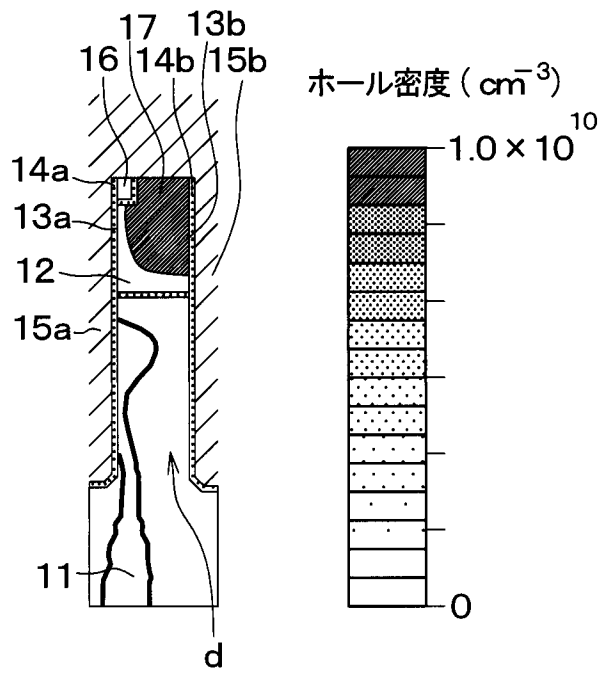
[図3F]



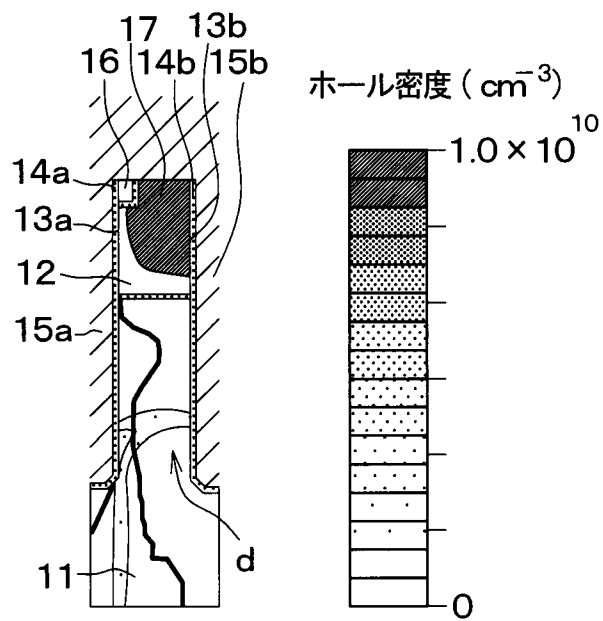
[図3G]



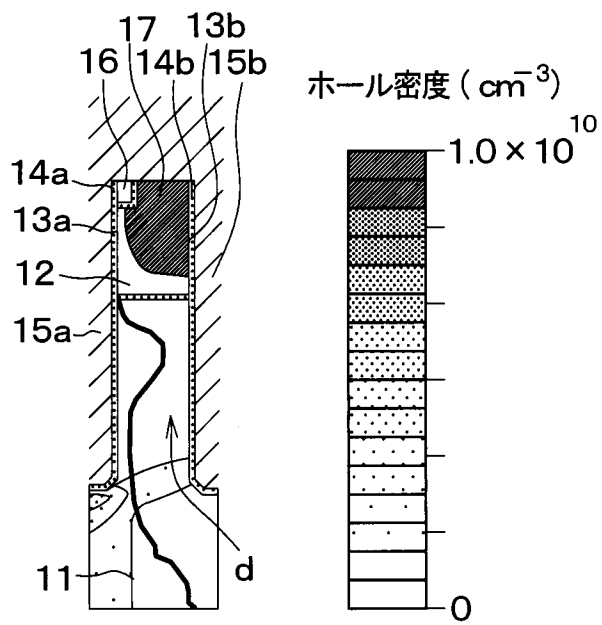
[図4A]



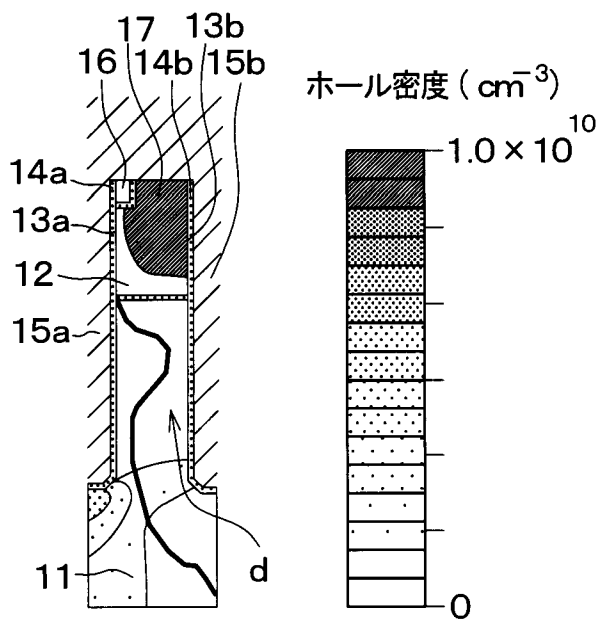
[図4B]



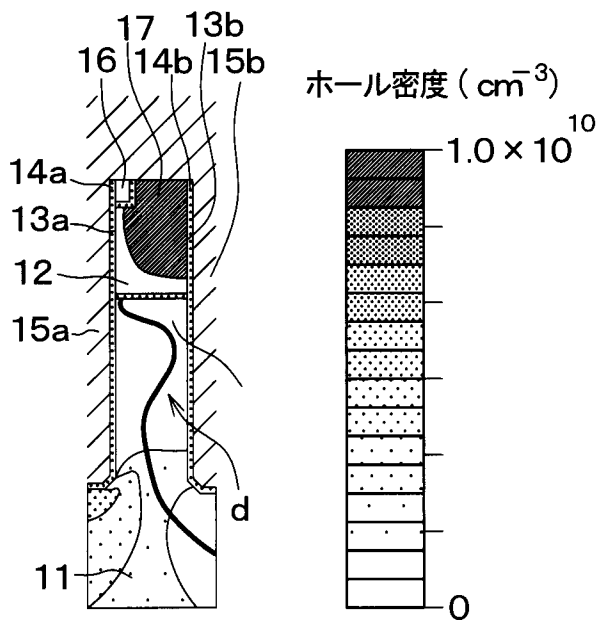
[図4C]



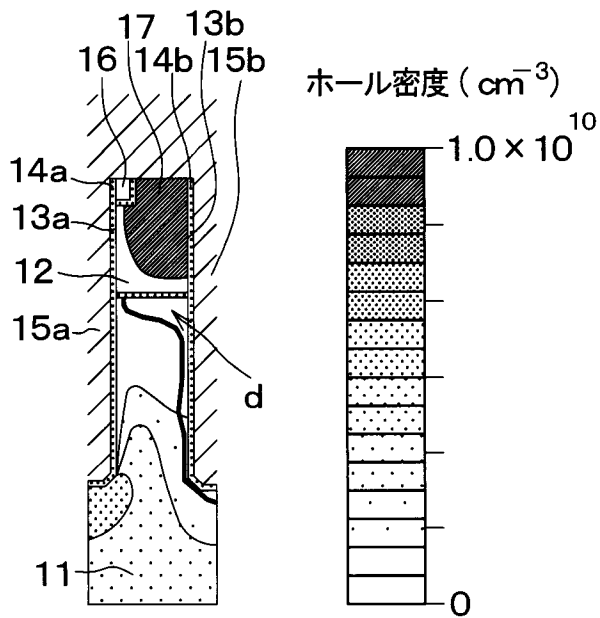
[図4D]



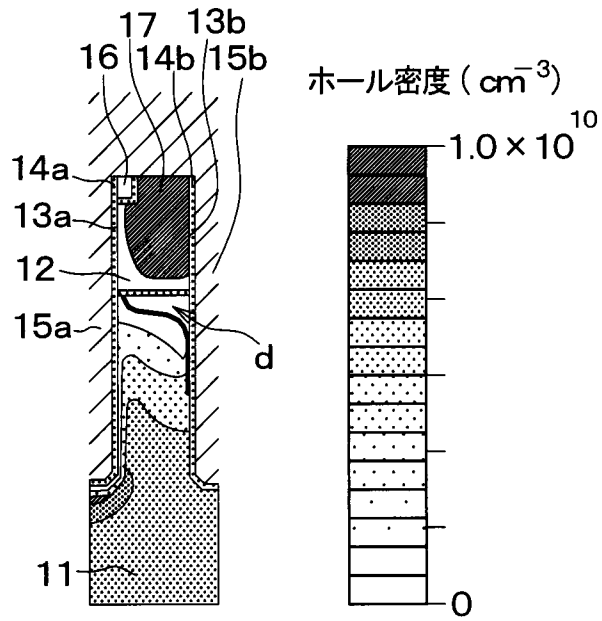
[図4E]



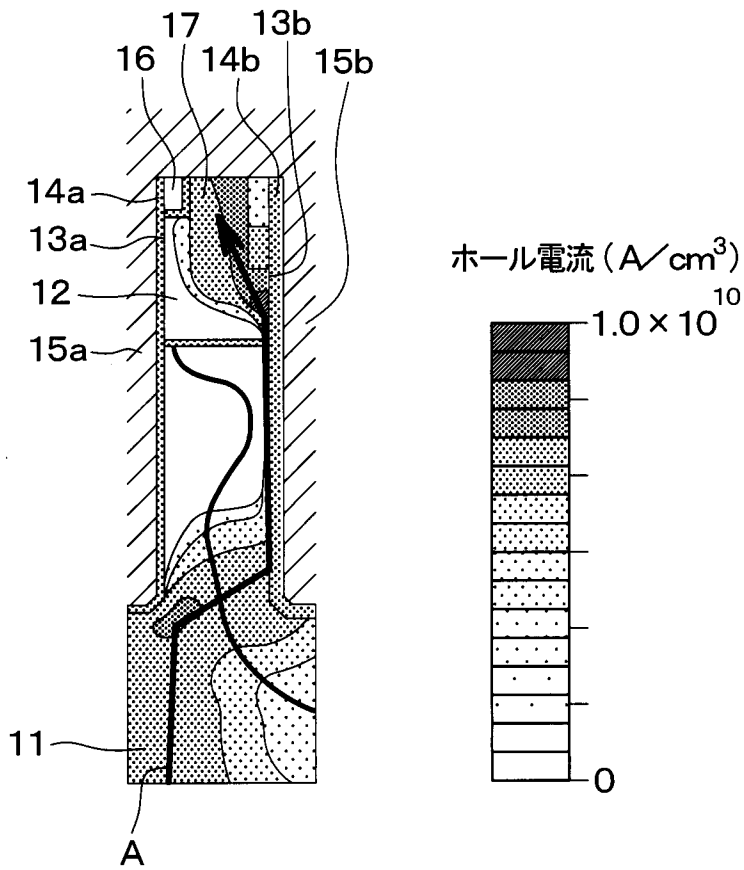
[図4F]



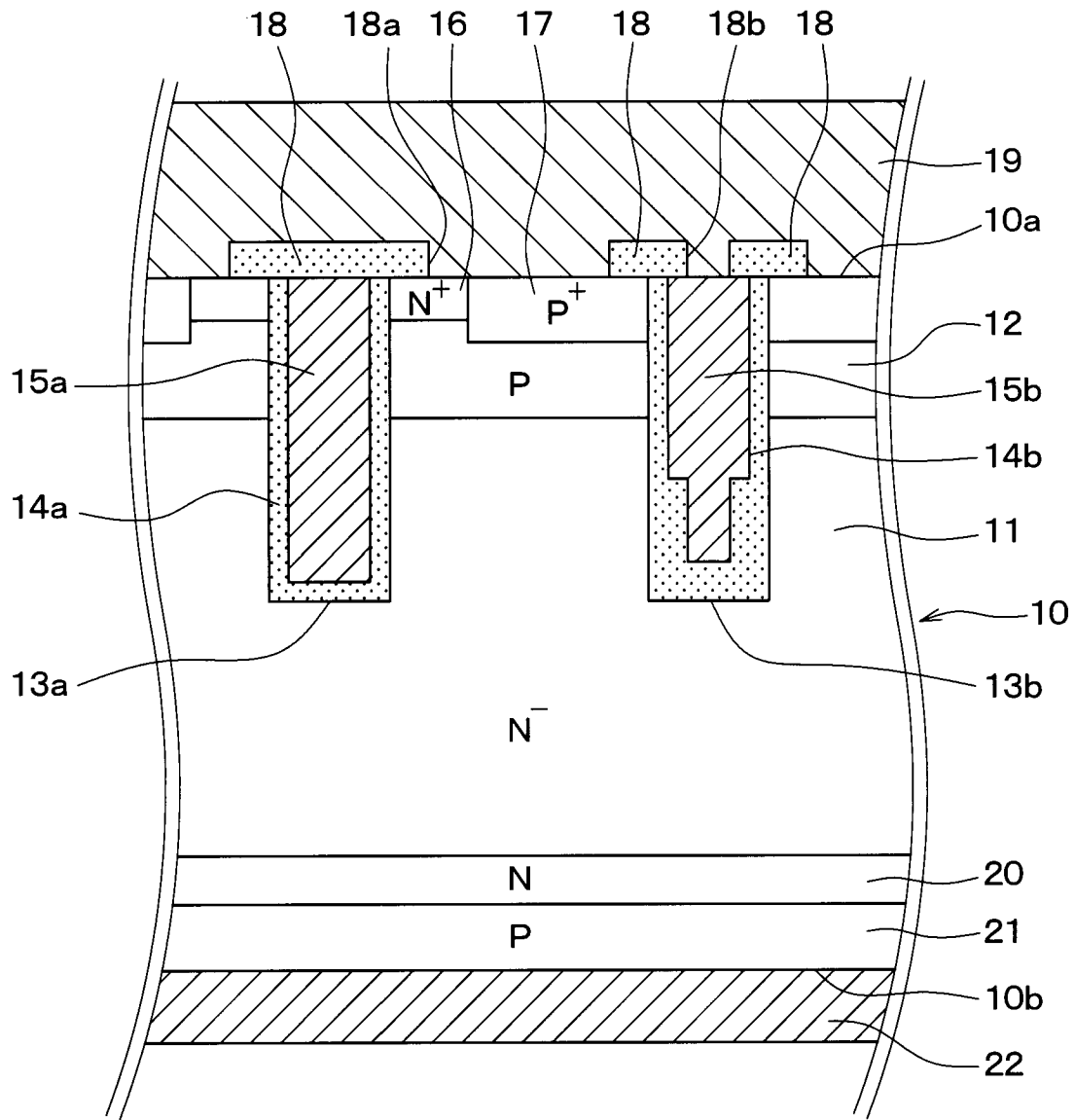
[図4G]



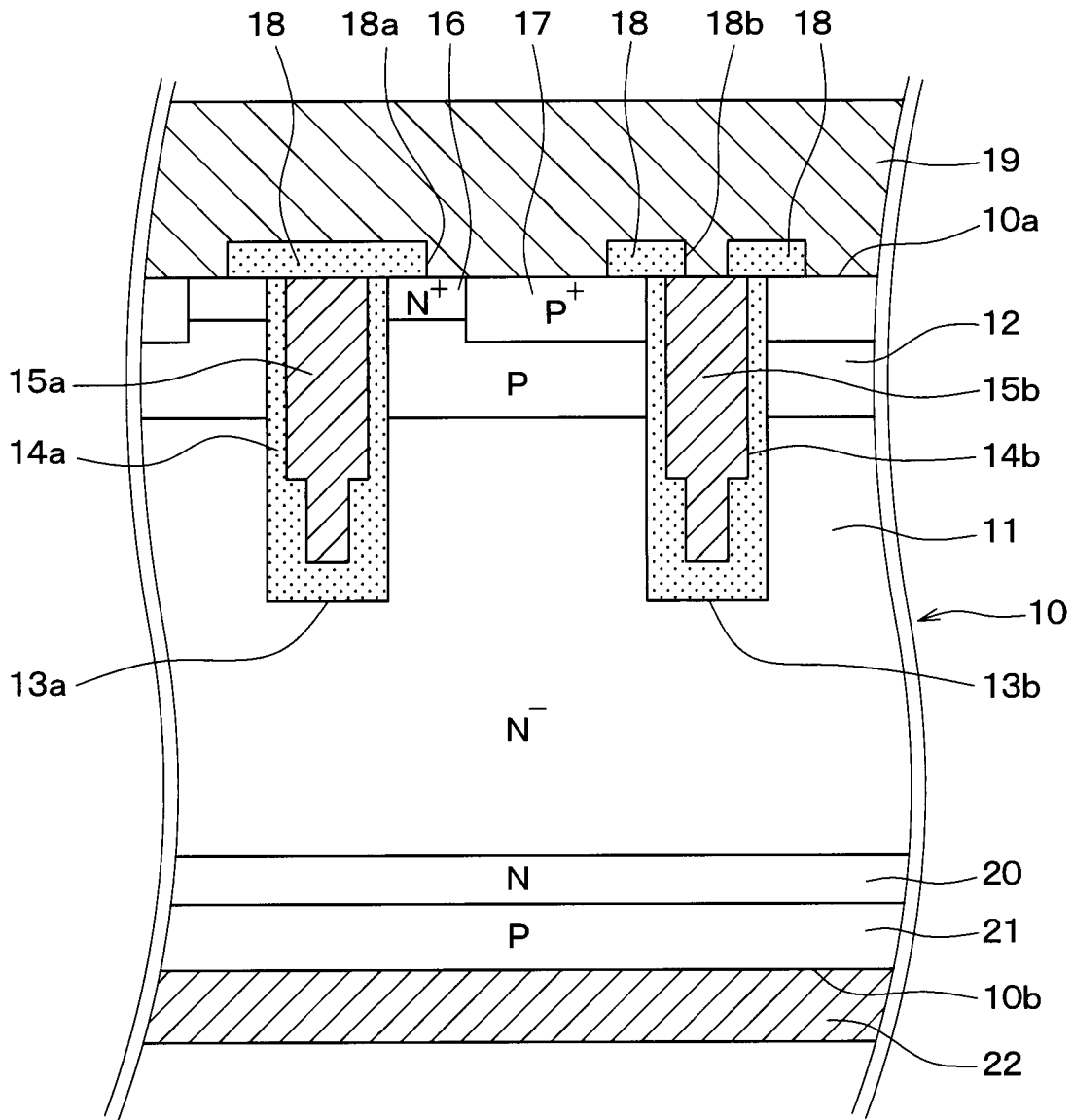
[図5]



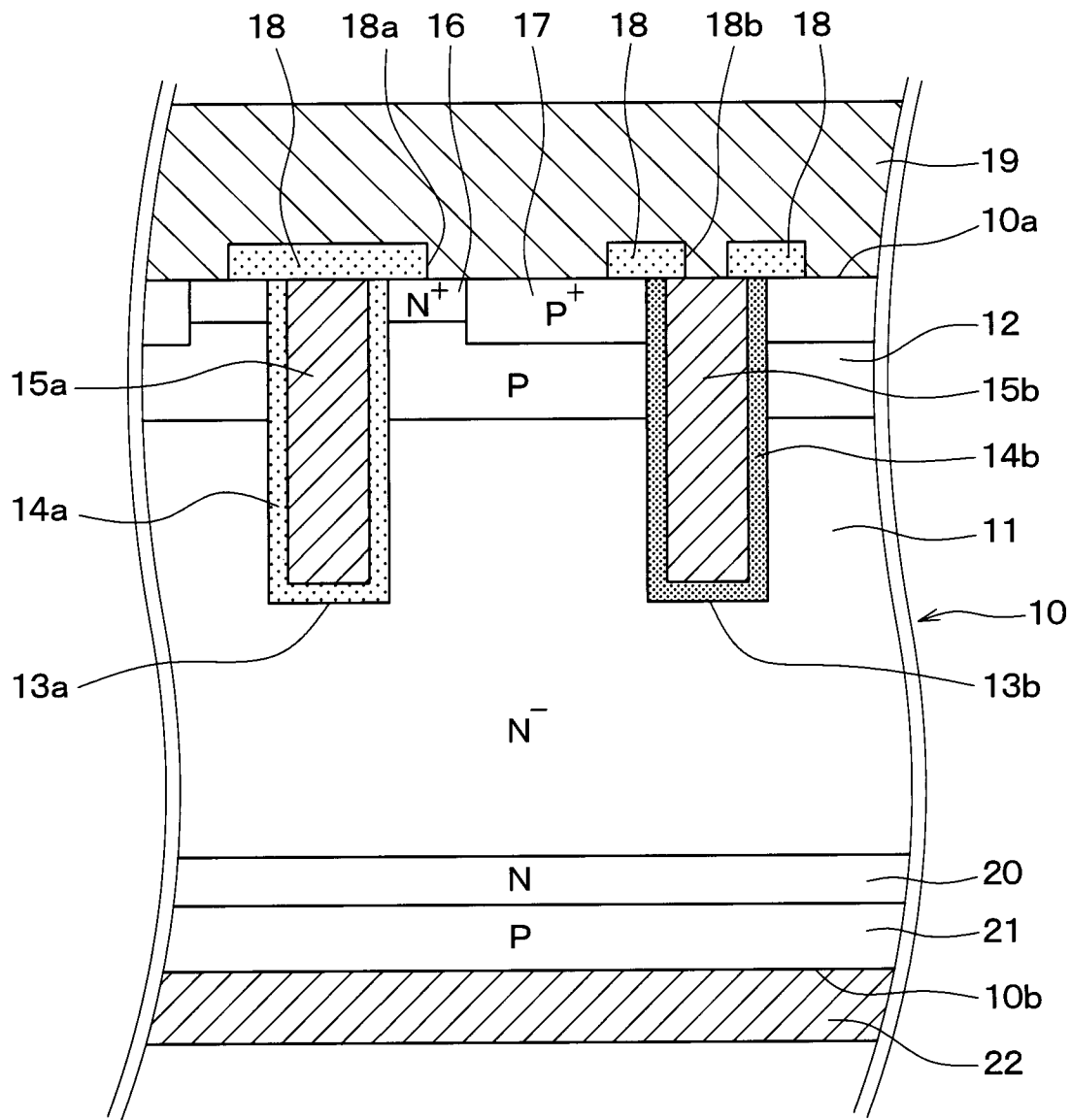
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/040490

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/78(2006.01) i, H01L21/336(2006.01) i, H01L29/06(2006.01) i, H01L29/739(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2018
 Registered utility model specifications of Japan 1996-2018
 Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-245477 A (TOSHIBA CORP.) 14 September 2006, paragraphs [0054]-[0063], fig. 7 (Family: none)	1-3

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search	Date of mailing of the international search report
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/739(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-245477 A（株式会社東芝）2006.09.14, 段落 0054-0063, 図7（ファミリーなし）	1-3

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- | | |
|--|--|
| 「A」特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」口頭による開示、使用、展示等に言及する文献 | 「&」同一パテントファミリー文献 |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 | |

国際調査を完了した日

19.01.2018

国際調査報告の発送日

30.01.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

7895

電話番号 03-3581-1101 内線 3516