

RESISTANCE VARIABLEDomaine de l'invention

La présente invention concerne la réalisation de résistances variables.

Exposé de l'art antérieur

5 Dans de nombreux dispositifs intégrés, il est nécessaire de disposer de résistances variables. En particulier, de telles résistances sont utilisées pour ajuster les performances de circuits intégrés. Par exemple, de telles résistances sont utilisées pour calibrer des amplificateurs différentiels.

10 La figure 1 est un schéma électrique partiel d'un amplificateur comportant deux branches B1 et B2. Chaque branche B1, B2 comporte, connectés en série entre deux rails d'alimentation haute V et basse GND, une source de courant 1 commune aux deux branches, un transistor bipolaire de type PNP T1, T2, un transistor bipolaire de type NPN Q1, Q2 et une
15 résistance variable R1, R2. Les transistors Q1 et Q2 sont montés de façon à former un miroir de courant 2, leur base commune étant connectée au collecteur du transistor T1. Le collecteur du transistor T2 - collecteur du transistor Q2 - constitue la
20 sortie OUT de l'amplificateur. Un signal différentiel est appliqué entre les bases I1 et I2 des transistors bipolaires T1 et T2 qui constituent un étage d'entrée 3. Les résistances R1 et

R2 ont une même valeur initiale et sont utilisées pour compenser le décalage ou offset lié à des différences de caractéristiques intrinsèques des divers composants de l'amplificateur. Cette compensation est effectuée en appliquant entre les bornes I1 et I2 une différence de tension nulle et en ajustant le cas échéant les valeurs des résistances de façon que la sortie OUT soit identique à la tension présente sur la borne de collecteur-base du transistor Q1, d'environ 0,7 V.

La figure 2 illustre, schématiquement et partiellement, un mode de réalisation connu des résistances variables R1 et R2. Chaque résistance variable est constituée d'une résistance R en parallèle de laquelle est placé un réseau de plusieurs résistances R21, R22, R23. Chaque résistance R2i est connectée à un fusible correspondant, par exemple une diode Zener Zi, où i est 1, 2 ou 3. Le point milieu de cette connexion série R2i-Zi est appelé Fi.

Lors du calibrage, on mesure l'offset initial de l'amplificateur. En fonction de la valeur de l'offset, on sélectionne la (ou les) résistance(s) R2i à rajouter dans le circuit et on applique au(x) point(s) Fi correspondant(s) une tension élevée de façon à claquer la(es) diode(s) correspondante(s) Zi. Une fois une diode Zi claquée, la résistance R2i est insérée dans le réseau et la valeur de la résistance diminue. On mesure ensuite de nouveau la valeur de l'offset pour vérifier si elle est conforme à la spécification imposée pour ce paramètre. Le cas échéant, on recommence les opérations précédentes pour compenser un éventuel offset résiduel lié à des dérives des valeurs réelles des résistances introduites.

L'utilisation de telles résistances variables pour ajuster l'offset d'un amplificateur présente toutefois de nombreux inconvénients.

En particulier, le phénomène est irréversible. En effet, une fois une diode Zi claquée, la résistance correspondante R2i est rajoutée dans le réseau et il est impossible de revenir en arrière. En cas d'erreur, la diminution de la

résistance du réseau est irréversible. Le décalage de l'amplificateur est modifié de façon non corrigeable.

Un autre inconvénient réside dans le temps élevé d'ajustement du circuit. En effet, le cycle de calibrage exposé
5 précédemment est relativement lent car le claquage d'un fusible donné prend environ dix millisecondes.

Un autre inconvénient réside dans l'application de la puissance élevée nécessaire pour faire claquer le fusible Zi. Ainsi, si le fusible est une diode Zener standard, il faut
10 appliquer au point Fi une puissance de l'ordre du Watt. Pour ce faire, on applique une tension de l'ordre de 16 V et on force la circulation d'un courant de l'ordre de 100 mA. On observe alors des dysfonctionnements attribués à une altération des caractéristiques des autres composants du circuit dus à de tels
15 tensions et courants élevés.

Un autre inconvénient d'un tel calibrage réside dans le fait que les dysfonctionnements précédents n'apparaissent pas uniquement lors de tests finaux, mais en fonctionnement du fait d'un vieillissement rapide des composants fragilisés lors du
20 calibrage.

Un autre inconvénient d'une telle résistance variable réside dans le fait que pour faire varier de quelques pourcents la valeur de la résistance globale, il faut que les valeurs des résistances R_{2i} soient relativement élevées. Ainsi, les
25 résistances ont typiquement des valeurs allant de 100 à 500 k Ω . La réalisation de telles résistances sous forme de pistes métalliques ou de caissons dans un substrat semiconducteur est particulièrement encombrante.

Un autre inconvénient réside dans le fait que
30 l'ajustement du décalage (offset) n'est possible avec une telle résistance que lors d'un premier test du circuit effectué sur une plaquette entière et généralement appelé test EWS (Electrical Wafer Sorting). En effet, il n'est pas possible d'effectuer le calibrage après encapsulation des puces car
35 l'accès aux points Fi n'est plus possible. Il n'est donc pas

possible de compenser un offset apparaissant soit à la fin de la fabrication, après la découpe de la plaquette et la mise en boîtier de la puce, soit en cours de fonctionnement du circuit en raison d'une usure (vieillissement) des divers composants.

5 Modifier le boîtier standard pour pouvoir accéder aux points Fi constitue un surcoût important.

On a proposé d'autres modes de réalisation de résistances variables tels que le "laser trimming". Selon ce procédé, chaque résistance variable est réalisée sous la forme d'une
10 piste de siliciure. Pour modifier la valeur de la résistance, on coupe à l'aide d'un laser des portions de la piste. On obtient alors une diminution de la résistance. Un tel procédé présente les inconvénients d'être irréversible et de requérir une installation laser onéreuse. De plus, il impose d'introduire
15 dans les procédés de fabrication la formation d'une piste résistive d'un type inhabituel, généralement un siliciure de chrome, la piste étant surmontée de couches transparentes, ce qui complique considérablement les procédés de fabrication d'un circuit intégré. En outre, si l'on souhaite calibrer l'ampli-
20 ficateur après encapsulation ou permettre à un utilisateur final de modifier le calibrage, il faut prévoir un boîtier spécifique présentant une fenêtre propre à permettre l'exposition au laser.

D'autres résistances variables connues sont des lignes en silicium polycristallin. Pour modifier la valeur de la
25 résistance, on soumet la ligne à un cycle de chauffage par application d'un courant ou d'une série d'impulsions de courant de fortes valeurs, suivies d'un refroidissement. Lors du refroidissement, la piste recristallise selon une structure différente qui dépend de façon connue du cycle thermique. Bien
30 que réversible, ce mode de réalisation présente divers inconvénients. Parmi ceux-ci, le temps d'ajustement est relativement long, de l'ordre de quatre secondes, le calibrage n'est possible que sur plaquette (test EWS) et le courant élevé peut avoir des effets sur les autres composants de l'amplificateur.

La présente invention vise par conséquent à proposer une résistance variable qui pallie tout ou partie des inconvénients des résistances variables connues.

En particulier, la présente invention vise à proposer
5 une telle résistance dont la variation soit réversible.

La présente invention vise également à proposer une telle résistance dont la durée d'ajustement soit réduite.

La présente invention vise également à proposer une telle résistance dont l'encombrement soit réduit.

10 La présente invention vise également à proposer une telle résistance dont la valeur puisse être modifiée par un utilisateur final.

La présente invention vise également à proposer une telle résistance dont l'ajustement soit sans effet sur les
15 autres composants du circuit.

Résumé de l'invention

Pour atteindre ces objets et d'autres, la présente invention prévoit un dipôle passif résistif réalisé sous forme monolithique constitué d'une association en série et/ou paral-
20 lèle d'au moins deux éléments mémoire magnéto-résistifs.

Selon un mode de réalisation de la présente invention, l'association des éléments magnéto-résistifs est réalisée entre deux niveaux de métallisation successifs, les éléments étant du type transverse et formés dans un niveau intermédiaire séparant
25 les deux niveaux qui comportent des lignes d'interconnexion et/ou d'entrée/sortie de l'association.

Selon un mode de réalisation de la présente invention, un premier niveau de métallisation immédiatement suivant ou précédent à l'un des deux niveaux dans lesquels est formée
30 l'association comporte autant de lignes de polarisation individuelles que l'association comporte d'éléments magnéto-résistifs, chaque ligne de polarisation individuelle s'étendant à l'aplomb d'un unique élément magnéto-résistif.

Selon un mode de réalisation de la présente invention,
35 un deuxième niveau de métallisation immédiatement précédent ou

suivant à l'un des deux niveaux dans lesquels est formée l'association et distinct du premier niveau comporte une ligne de polarisation commune s'étendant au-dessus de toutes les éléments magnéto-résistifs dans une direction perpendiculaire à la direction des lignes de polarisation individuelles.

Selon un mode de réalisation de la présente invention, l'association des éléments magnéto-résistifs est réalisée entre deux niveaux de métallisation successifs, les éléments étant du type longitudinal et formés dans un niveau intermédiaire séparant les deux niveaux.

Selon un mode de réalisation de la présente invention, un premier des niveaux de métallisation comporte autant de lignes de polarisation individuelles que l'association comporte d'éléments magnéto-résistifs, chaque ligne de polarisation individuelle s'étendant à l'aplomb d'un unique élément magnéto-résistif.

Selon un mode de réalisation de la présente invention, le deuxième des niveaux de métallisation comporte des lignes interconnectant en série les éléments magnéto-résistifs et un niveau de métallisation se trouvant de l'autre côté du deuxième niveau par rapport aux éléments comporte une ligne s'étendant selon une direction perpendiculaire à celle des lignes de polarisation individuelles.

Selon un mode de réalisation de la présente invention, le deuxième des niveaux de métallisation comporte une ligne s'étendant selon une direction perpendiculaire à celle des lignes de polarisation individuelles et deux rails distincts interconnectent les extrémités des éléments.

La présente invention prévoit également un amplificateur différentiel dont des résistances de calibrage sont des dipôles selon l'un quelconque des modes de réalisation de la présente invention.

La présente invention prévoit également un procédé de calibrage d'un amplificateur selon un mode de réalisation de la présente invention consistant à appliquer une excitation magné-

tique à proximité des résistances de calibrage de l'amplificateur.

La présente invention prévoit également un procédé de modification du point de fonctionnement d'un circuit consistant à fournir un mot numérique à un circuit de production d'un champ d'excitation magnétique d'un dipôle selon l'un quelconque des modes de réalisation précédents.

Brève description des dessins

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 illustre, schématiquement et partiellement, un amplificateur différentiel connu ;

la figure 2 illustre, schématiquement et partiellement, un mode de réalisation connu d'une résistance variable ;

la figure 3 illustre, en vue en coupe partielle et schématique, un dipôle résistif passif à résistance variable selon un mode de réalisation de la présente invention ;

la figure 4 illustre, en vue en coupe partielle et schématique, un dipôle résistif passif à résistance variable selon un autre mode de réalisation de la présente invention ;

la figure 5 illustre, en vue en coupe partielle et schématique, un dipôle résistif passif à résistance variable selon un autre mode de réalisation de la présente invention ;

la figure 6 illustre, en vue en coupe partielle et schématique, un dipôle résistif passif à résistance variable selon un autre mode de réalisation de la présente invention ; et

la figure 7 illustre, en vue de dessus partielle et schématique, le dipôle de la figure 6.

Description détaillée

Par souci de clarté, les mêmes éléments ont été désignés par les mêmes références aux différentes figures et, de plus, comme cela est habituel dans la représentation des

circuits intégrés, les vues en coupe des figures 3 et 4 ne sont pas tracées à l'échelle.

Une caractéristique de la présente invention est d'utiliser des éléments mémoire magnéto-résistifs pour former des dipôles passifs résistifs propres à être utilisés dans des circuits analogiques.

Un élément mémoire magnéto-résistif est constitué d'une structure en couche mince constituée d'un empilement de matériaux particuliers qui dépendent du type d'élément réalisé. Des exemples de tels matériaux sont décrits dans l'article Phys. Rev. Lett. Vol.74, pp3273-3275, 1995.

La valeur de résistance d'un élément mémoire magnéto-résistif est modifiable de façon stable et réversible lorsqu'il est soumis à une excitation magnétique H. Une telle excitation H est obtenue entre deux pistes perpendiculaires disjointes placées respectivement au-dessus et en dessous de l'élément mémoire magnéto-résistif et parcourues par un courant électrique. La modification de la résistance est obtenue en faisant circuler dans chacune des deux pistes des courants ayant les sens et intensités requises pour créer une excitation H recherchée. La résistance varie alors d'une fraction connue. Une fois l'excitation H interrompue, l'élément mémoire magnéto-résistif conserve sa valeur de résistance modifiée jusqu'à application d'une excitation inverse.

De tels éléments mémoire magnéto-résistifs sont utilisés dans le domaine numérique pour la réalisation de dispositifs mémoire pour constituer des points mémoire programmables de manière non volatile. Dans de tels dispositifs, chaque élément est accessible en lecture/écriture individuellement. Étant donné un tel élément mémoire magnéto-résistif dans une mémoire, il présente une extrémité individuelle libre par rapport aux autres points mémoire de la même ligne ainsi qu'une extrémité libre individuelle par rapport aux autres points mémoire de la même colonne.

La présente invention propose d'utiliser comme résistance variable R1 et R2 de la figure 1 des associations en série et/ou parallèle d'éléments mémoire magnéto-résistifs. Chaque association comporte un unique point d'entrée et un unique point
5 de sortie communs à tous les éléments.

La figure 3 illustre, en vue en coupe partielle et schématique, une résistance variable 30 réalisée par une association en série d'éléments mémoire magnéto-résistifs selon un mode de réalisation de la présente invention. La résistance
10 variable 30 est réalisée dans quatre niveaux de métallisation successifs de l'amplificateur. La résistance 30 comporte plusieurs éléments mémoire magnéto-résistifs, par exemple quatre 31, 32, 33 et 34, associés en série au moyen de connexions métalliques 41, 42 et 43. Les connexions 41, 42 et 43 sont
15 réalisés de façon alternée dans deux niveaux de métallisation successifs M2 et M3 séparés par un niveau intermédiaire ILD dans lequel sont généralement réalisés des vias. Les niveaux M2 et M3 comportent également des lignes d'entrée/sortie connectées aux éléments extrêmes. Par exemple, une ligne d'entrée/sortie 44 est
20 connectée à l'élément 31 et une ligne 45 est connectée à l'élément 34. Les lignes 44 et 45 sont formées dans le niveau M2. Des niveaux de métallisation inférieur M1 et supérieur M4 comportent des lignes conductrices réparties de la façon suivante. Un niveau, par exemple le niveau supérieur M4,
25 comporte une unique ligne conductrice 50. La ligne 50 s'étend au dessus de tous les éléments mémoire magnéto-résistifs, parallèlement aux connexions 41, 42, 43 et aux lignes d'entrée/sortie 44 et 45. Le niveau inférieur M1 comporte autant de lignes de polarisation individuelles distinctes 61, 62, 63 et 64 que la
30 résistance 30 comporte d'éléments mémoire magnéto-résistifs 31, 32, 33 et 34. Chaque ligne 61, 62, 63, 64 est formée en dessous d'un élément correspondant 31, 32, 33 et 34. Les lignes 61, 62, 63 et 64 s'étendent dans la direction perpendiculaire à celle de la ligne 50.

Pour modifier la valeur de résistance d'un élément, par exemple l'élément 31, il suffit de faire circuler un courant dans la ligne 50 et dans la ligne correspondante 61 de façon à placer une excitation magnétique H aux bornes de l'élément 31.

5 La figure 4 illustre, en vue en coupe partielle et schématique, une résistance variable 70 réalisée par une association en parallèle d'éléments mémoire magnéto-résistifs selon un autre mode de réalisation de la présente invention. Les niveaux M2 et M3 comportent chacun une ligne conductrice 81, 83
10 interconnectant les extrémités basses ou hautes des éléments 31, 32, 33 et 34 formés dans le niveau ILD. Les lignes 81 et 83 sont également les lignes d'entrée/sortie de la résistance, destinées à être raccordées au circuit de la figure 1. La résistance 70 comporte dans le niveau de métallisation M1 des lignes de
15 polarisation 61, 62, 63 et 64 qui s'étendent perpendiculairement aux lignes 81 et 83.

Selon un mode de réalisation de la présente invention, la ligne d'interconnexion 83 du niveau M3 sert de ligne de polarisation commune.

20 Selon un autre mode de réalisation de la présente invention, non représenté, la ligne de polarisation 50 de la figure 3 est également prévue. De façon similaire, elle s'étend, dans un niveau de métallisation immédiatement supérieur au niveau M3, selon une direction parallèle aux lignes 81 et 83.

25 Selon un autre mode de réalisation de la présente invention, non représenté, une résistance variable est constituée de la combinaison d'au moins une association en série similaire à celle de la figure 3 et d'au moins une association en parallèle similaire à celle de la figure 4. Dans le cas d'une
30 telle combinaison, on prévoit la ligne de polarisation commune 50 de la figure 3.

Un avantage d'une résistance variable selon la présente invention réside dans le fait que sa valeur est modifiable de façon réversible.

Un autre avantage de la présente invention réside dans un encombrement considérablement réduit par rapport aux résistances variables connues. Ainsi, pour former une résistance de 200 k Ω , on utilise typiquement des matériaux ayant une
5 résistance par carré de 1 k Ω , ce qui conduit à un encombrement de l'ordre de 200 carrés. Par contre, avec une résistance selon la présente invention seuls quelques 5 à 10 carrés sont nécessaires.

Un autre avantage de la présente invention réside dans
10 le fait que le calibrage est extrêmement rapide, la programmation par excitation magnétique d'un élément mémoire magnéto-résistif ne requérant que quelques nanosecondes.

Un autre avantage de la présente invention réside dans le caractère non perturbant de la programmation pour les autres
15 éléments du circuit.

Dans le cas de la présence d'une ligne de polarisation commune distincte d'une ligne d'interconnexion, ce caractère non perturbant est évident. En effet, comme l'illustre la figure 3, les lignes de polarisation commune 50, et individuelles 61, 62,
20 63 et 64 sont alors distinctes des lignes d'entrée/sortie 44, 45 connectées au reste du circuit amplificateur de la figure 1.

Dans le cas d'une association strictement en parallèle comme cela a été décrit en relation avec la figure 4, la ligne d'interconnexion 83 est utilisée tant comme ligne de polari-
25 sation commune que comme ligne d'entrée/sortie. Alors, les courant et tension de polarisation sont appliqués au circuit amplificateur. Toutefois, pour créer une excitation magnétique propre à modifier la résistance d'un élément mémoire magnéto-résistif, les tensions appliquées sur les lignes 83, 61, 62, 63,
30 64 sont de l'ordre de un à deux volts, alors que le courant passant dans les lignes 83, 61, 62, 63, 64 est de l'ordre de quelques milliampères, soit une puissance de quelques milliwatts. Des valeurs de tension et courant et des niveaux de puissance aussi faibles sont supportés sans contrainte par les
35 autres éléments du circuit amplificateur de la figure 1.

Un autre avantage de la présente invention réside dans le fait que l'ajout de la fonction de variabilité des résistances est obtenu sans modification importante des circuits intégrés. En effet, la réalisation des éléments mémoire magnéto-résistifs s'effectue à la fin de la fabrication des circuits intégrés dans les niveaux de métallisation. Elle ne requiert donc pas de modification des circuits les utilisant.

Un autre avantage de la présente invention est qu'un tel calibrage peut être effectué après fabrication, au cours d'une utilisation de l'amplificateur. En effet, lors du fonctionnement de l'amplificateur, les différents éléments le constituant vieillissent et un nouveau décalage (offset) est susceptible d'apparaître.

Dans les modes de réalisation des figures 3 et 4, les résistances variables selon la présente invention utilisent des éléments mémoire magnéto-résistifs dits de type transverse dans lesquels le courant doit circuler perpendiculairement aux éléments. Un exemple d'un tel élément transverse est un assemblage $\text{FeCo}/\text{Al}_2\text{O}_3/\text{FeCo}$ décrit dans JJAP39, L439 (2000). Toutefois la présente invention peut également utiliser des éléments mémoire magnéto-résistifs dits de type longitudinal dans lesquels le courant doit circuler parallèlement aux éléments. Un exemple d'un tel élément longitudinal est un assemblage $\text{Fe}/\text{Cr}/\text{Fe}$ décrit dans Phys. Rev. Lett. 61, p. 2472 (1988).

La figure 5 illustre, en vue en coupe partielle et schématique, une résistance variable 90 selon un mode de réalisation de la présente invention au moyen d'éléments longitudinaux associés en série.

Des éléments mémoire magnéto-résistifs de type longitudinal distincts, par exemple quatre éléments 91, 92, 93 et 94, sont placés dans un niveau intermédiaire ILD. Un niveau de métallisation sous-jacent au niveau intermédiaire ILD, par exemple le niveau M1, comporte autant de lignes de polarisation individuelles distinctes 95, 96, 97 et 98 que la résistance 90

comporte d'éléments mémoire magnéto-résistifs 91, 92, 93 et 94. Les éléments 91, 92, 93 et 94 sont associés en série au moyen de connexions métalliques 101, 102, 103, 104 et 105 formées dans un niveau de métallisation immédiatement supérieur au niveau ILD, par exemple le niveau M2. Un niveau de métallisation superposé au niveau intermédiaire ILD, par exemple le niveau M2, comporte une ligne de polarisation commune 107 s'étendant perpendiculairement à la direction des lignes de polarisation individuelles 95, 96, 97 et 98 du niveau M1.

Des éléments longitudinaux peuvent également être associés en parallèle pour former un dipôle résistif de résistance variable selon un autre mode de réalisation de la présente invention.

La figure 6 illustre, en vue en coupe partielle et schématique, un tel dipôle 110. La figure 7 illustre, en vue de dessus partielle et schématique, le dipôle 110. La figure 6 est une vue en coupe selon l'axe horizontal 6-6 de la figure 7.

Des éléments mémoire magnéto-résistifs de type longitudinal, par exemple quatre éléments 111, 112, 113 et 114, sont formés dans un niveau intermédiaire ILD. Les quatre éléments s'étendent en vue de dessus entre deux rails d'interconnexion 121 et 122. Les rails 121 et 122 s'étendent dans le niveau de métallisation M2 superposé au niveau ILD et sont reliés à chacun des quatre éléments 111, 112, 113 et 114 par des vias individuels non représentés. Des lignes de polarisation individuelles 131, 132, 133 et 134 de chaque élément 111, 112, 113 et 114, respectivement, s'étendent dans un niveau de métallisation voisin du niveau ILD, par exemple le niveau M1 sous-jacent. Dans la vue de dessus de la figure 7, les lignes de polarisation 131, 132, 133 et 134 sont représentées en pointillés. Le dipôle 110 comporte également une ligne de polarisation commune 150 s'étendant dans le niveau de métallisation M2 superposé au niveau ILD. La ligne 150 s'étend perpendiculairement aux lignes de polarisation individuelles 131, 132, 133 et 134 du niveau M1.

Selon un mode de réalisation de la présente invention, pour effectuer le calibrage après encapsulation, on prévoit un générateur de tension de référence et un circuit de commande. Le circuit de commande est propre à recevoir un mot d'autant de bits que d'éléments mémoire magnéto-résistifs programmables contenus dans la résistance variable. En fonction du mot reçu, le générateur de référence modifiera la valeur de résistance d'un élément mémoire magnéto-résistif considéré. Par exemple, dans le cas du mode de réalisation de la figure 3 ou 4 à quatre éléments mémoire magnéto-résistifs 31, 32, 33 et 34, le circuit de commande recevra un mot de quatre bits. Chaque position de bit est associée à un élément donné. Par exemple, pour modifier la valeur de la résistance 31 et ne pas modifier la valeur des résistances des éléments 32, 33 et 34, le circuit de commande recevra un mot tel que 1000 de façon à connecter le générateur de tension de référence à la seule ligne 61. Pour modifier la valeur de la résistance 32, le circuit recevra le mot 0100. La surface d'intégration d'un tel circuit de commande est négligeable par rapport au gain de surface lié à l'utilisation du réseau qu'il commande.

La présente invention a été décrite et présentée dans le cas de la réalisation d'une résistance variable destinée à calibrer un amplificateur particulier représenté en figure 1.

Toutefois, les résistances variables selon la présente invention sont utilisables pour calibrer tout autre type d'amplificateur en technologie bipolaire, MOS, CMOS ou biCMOS.

De façon générale, les résistances variables selon la présente invention sont utilisables pour modifier le point de fonctionnement de tout type de circuit de façon réversible.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, l'homme de l'art saura choisir le nombre et la nature des éléments mémoire magnéto-résistifs nécessaires pour obtenir une plage de variation de la résistance recherchée. En effet, la possibilité de modifier la valeur de la

résistance dépend de la possibilité de variation de chaque élément mémoire magnéto-résistif élémentaire. Comme cela a été indiqué précédemment, on désigne par "élément mémoire magnéto-résistif" un élément qui conserve sa valeur de résistance
5 modifiée après interruption d'une excitation H jusqu'à application d'une excitation supplémentaire ou inverse. L'homme de l'art veillera à ne pas utiliser d'éléments magnéto-résistifs de type capteur dont la valeur de résistance modifiée n'est pas conservée après interruption d'une excitation H.

10 L'homme de l'art saura également adapter la position de la résistance variable dans les niveaux de métallisation à la filière technologique utilisée. Ainsi, dans la figure 3, on a décrit la résistance comme étant formée entre les premier M1 et quatrième M4 niveaux de métallisation. Toutefois, elle pourrait
15 être formée dans toute autre succession de quatre niveaux. De façon similaire, une association en parallèle d'éléments de type TRANSVERSE (figure 4) ou en série d'éléments de type longitudinal (figure 5) peut être réalisée dans toute succession de trois niveaux. De même, un dipôle résistif selon l'invention
20 réalisé au moyen d'éléments mémoire magnéto-résistifs de type longitudinal associés en parallèle peut être formé dans toute succession de deux niveaux de métallisations successifs séparés par un niveau intermédiaire dans lequel peuvent être formés les éléments.

25 De façon similaire, l'homme de l'art comprendra que les lignes de polarisation individuelles n'ont été réalisées au-dessous (niveau M1) des éléments mémoire magnéto-résistifs qu'à titre d'exemple. De telles lignes pourraient être réalisées au-dessus, dans un niveau supérieur. A titre d'exemple, dans le cas
30 de la figure 3, les lignes 61, 62, 63 et 64 sont réalisées dans le niveau M4 alors que la ligne 50 de la figure 3 est réalisée dans le niveau M1. Dans le cas de la figure 4, la ligne inférieure 81 sert alors de ligne de polarisation commune au lieu de la ligne supérieure 83. De façon similaire, dans le cas
35 de la figure 5, les lignes 95, 96, 97 et 98 peuvent être

réalisées dans le niveau M3 si la ligne 107 est réalisée dans le niveau M1. Dans le cas des figures 6 et 7, les lignes 131, 132, 133 et 134 peuvent être réalisées dans le niveau M1 si la ligne 150 est réalisée dans le niveau M1.

5 De plus, l'homme de l'art comprendra que seuls les éléments nécessaires à la compréhension de la présente invention ont été représentés dans les figures. En particulier, la structure de l'amplificateur de la figure 1 a été simplifiée.

De plus, les différentes figures n'ont pas été
10 réalisées à l'échelle. En particulier, l'homme de l'art comprendra que les dimensions des matériaux magnéto-résistifs sont réduites, en particulier inférieures à l'épaisseur d'un niveau interdiélectrique standard séparant deux niveaux de métallisation. L'homme de l'art devra alors par exemple veiller à
15 utiliser un niveau intermédiaire ILD plus fin que des niveaux standard. Selon un autre exemple, l'homme de l'art prévoira un niveau ILD d'épaisseur standard mais veillera, si nécessaire, à ajuster les niveaux au moyen d'un quelconque matériau conducteur approprié. Par exemple, dans le cas de la figure 3, les parties
20 inférieures des éléments 31, 32, 33 et 34 en contact avec les métallisations 44, 42 ou 45 pourront être constituées d'un matériau magnéto-résistif et leur partie haute d'un matériau couramment utilisé pour former des vias entre deux niveaux de métallisation. Selon une variante, toujours dans le cas de la
25 figure 3, les parties hautes des éléments 31, 32, 33 et 34 en contact avec les métallisations 41 et/ou 43 seront formées en même temps que ces métallisations, au moyen du même matériau.

En outre, l'homme de l'art saura former un dipôle résistif de résistance variable en associant les dipôles 30 de
30 la figure 3, 70 de la figure 4, 90 de la figure 5 et/ou 110 des figures 6 et 7.

REVENDEICATIONS

1. Dipôle passif résistif (30 ; 70 ; 90 ; 110) réalisé sous forme monolithique constitué d'une association en série et/ou parallèle d'au moins deux éléments mémoire magnéto-résistifs (31, 32, 33, 34 ; 91, 92, 93, 94 ; 111, 112, 113, 114).

5 2. Dipôle (30 ; 70) selon la revendication 1, caractérisé en ce que l'association des éléments magnéto-résistifs (31, 32, 33, 34) est réalisée entre deux niveaux de métallisation successifs (M2, M3), les éléments étant du type transverse et formés dans un niveau intermédiaire (ILD) séparant
10 lesdits deux niveaux qui comportent des lignes d'interconnexion (41, 42, 43 ; 81, 83) et/ou d'entrée/sortie (44, 45) de l'association.

3. Dipôle selon la revendication 2, caractérisé en ce qu'un premier niveau de métallisation (M1) immédiatement suivant
15 ou précédent à l'un des deux niveaux (M2, M3) dans lesquels est formée l'association comporte autant de lignes de polarisation individuelles (61, 62, 63, 64) que l'association comporte d'éléments magnéto-résistifs (31, 32, 33, 34), chaque ligne de polarisation individuelle s'étendant à l'aplomb d'un unique
20 élément magnéto-résistif.

4. Dipôle selon la revendication 3, caractérisé en ce qu'un deuxième niveau de métallisation (M4) immédiatement précédent ou suivant à l'un des deux niveaux (M2, M3) dans lesquels est formée l'association et distinct dudit premier
25 niveau comporte une ligne de polarisation commune (50) s'étendant au-dessus de toutes les éléments magnéto-résistifs (31, 32, 33, 34) dans une direction perpendiculaire à la direction des lignes de polarisation individuelles (61, 62, 63, 64).

5. Dipôle (90 ; 110) selon la revendication 1, caractérisé en ce que l'association des éléments magnéto-résistifs (91, 92, 93, 94 ; 111, 112, 113, 114) est réalisée entre deux niveaux de métallisation successifs (M1, M2), les éléments étant du type longitudinal et formés dans un niveau intermédiaire (ILD) séparant lesdits deux niveaux.
30

6. Dipôle (90 ; 110) selon la revendication 5, dans lequel un premier (M1) des niveaux de métallisation comporte autant de lignes de polarisation individuelles (95, 96, 97, 98 ; 131, 132, 133, 134) que l'association comporte d'éléments
5 magnéto-résistifs (91, 92, 93, 94 ; 111, 112, 113, 114), chaque ligne de polarisation individuelle s'étendant à l'aplomb d'un unique élément magnéto-résistif.

7. Dipôle (90) selon la revendication 6, dans lequel le deuxième (M2) des niveaux de métallisation comporte des
10 lignes (101, 102, 103, 104, 105) interconnectant en série les éléments magnéto-résistifs (91, 92, 93, 94) et dans lequel un niveau de métallisation (M3) se trouvant de l'autre côté dudit deuxième niveau par rapport auxdits éléments comporte une ligne (107) s'étendant selon une direction perpendiculaire à celle des
15 lignes de polarisation individuelles (95, 96, 97, 98).

8. Dipôle (110) selon la revendication 6, dans lequel le deuxième (M2) des niveaux de métallisation comporte une ligne (150) s'étendant selon une direction perpendiculaire à celle des lignes de polarisation individuelles (131, 132, 133, 134) et
20 dans lequel deux rails distincts (121, 122) interconnectent les extrémités des éléments (111, 112, 113, 114).

9. Amplificateur différentiel, dans lequel des résistances de calibrage (R1, R2) dudit amplificateur sont des dipôles (30 ; 70 ; 90 ; 110) selon l'une quelconque des
25 revendications 1 à 8.

10. Procédé de calibrage d'un amplificateur selon la revendication 9, caractérisé en ce qu'il consiste à appliquer une excitation magnétique à proximité des résistances de calibrage dudit amplificateur.

30 11. Procédé de modification du point de fonctionnement d'un circuit, caractérisé en ce qu'il consiste à fournir un mot numérique à un circuit de production d'un champ d'excitation magnétique d'un dipôle selon l'une quelconque des revendications 1 à 8.

1/2

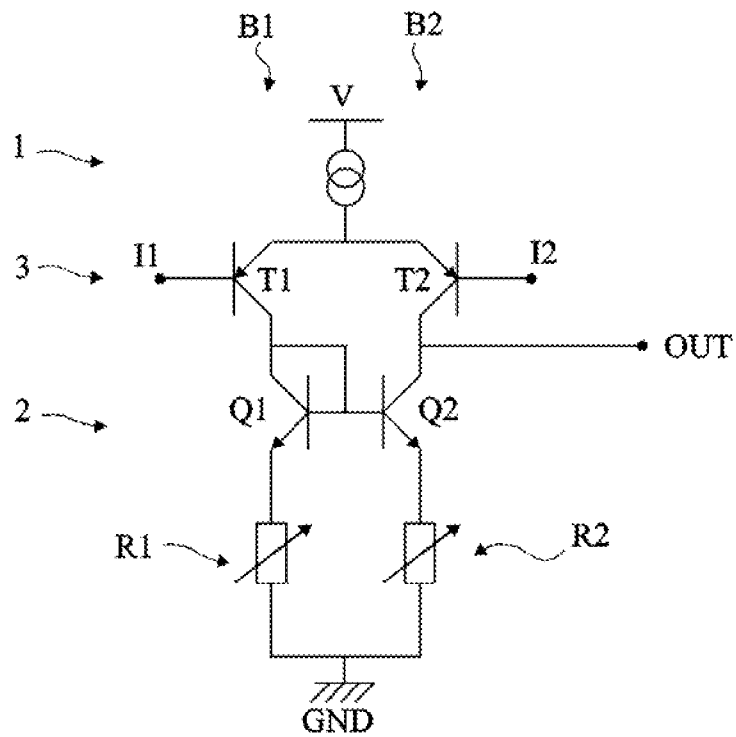


Fig 1

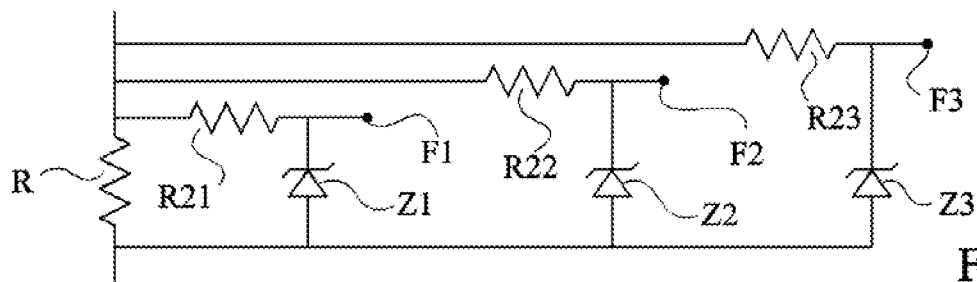


Fig 2

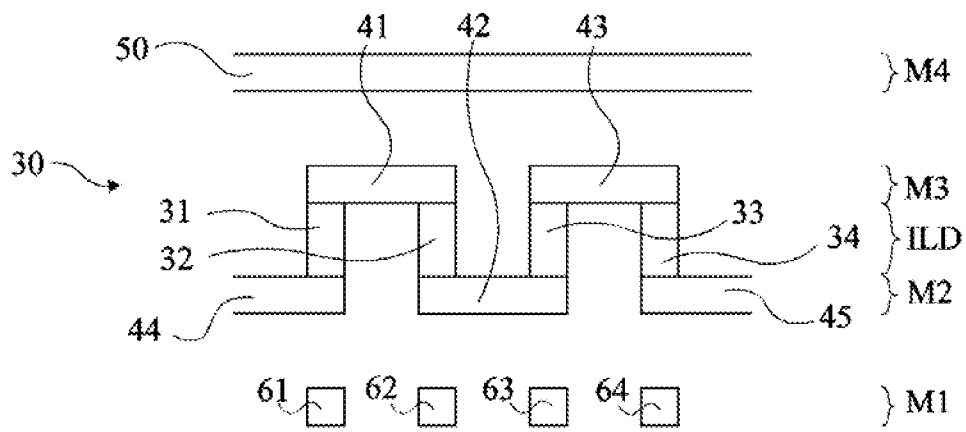


Fig 3

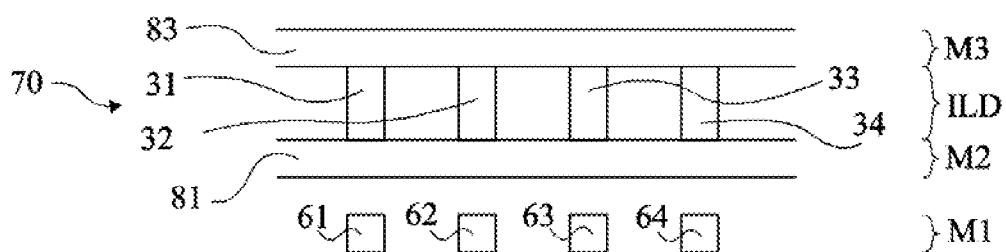


Fig 4

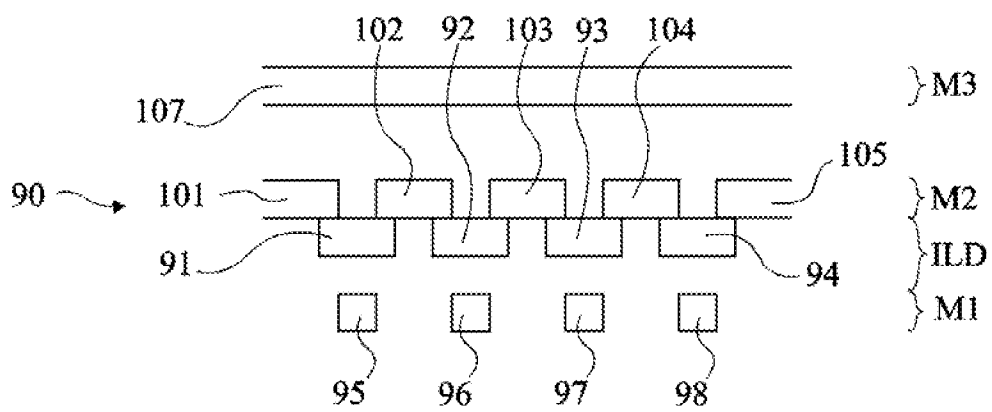


Fig 5

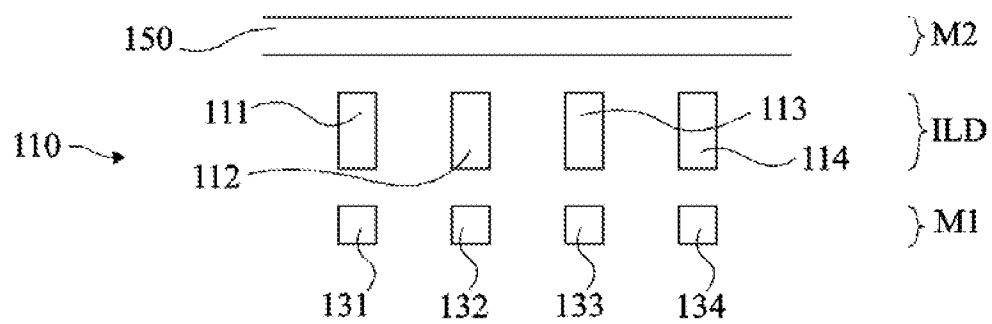


Fig 6

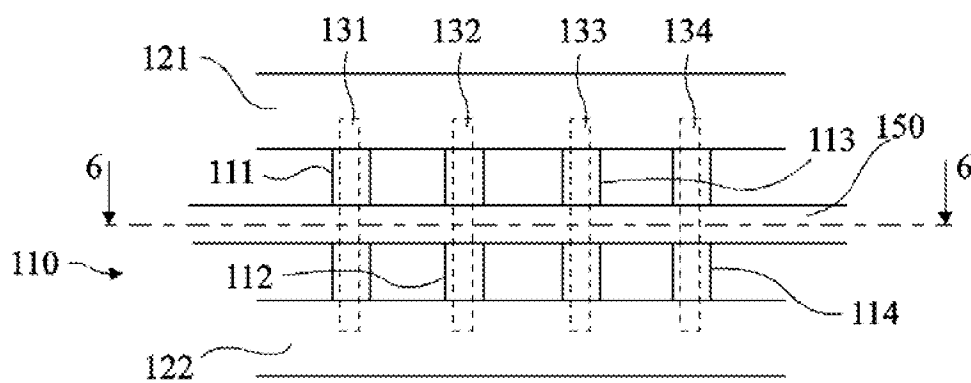


Fig 7

INTERNATIONAL SEARCH REPORT

International application No

PCT/FR2006/050778

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L27/22 H01L43/08 H03F3/45		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L G11C G05F H03F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/223268 A1 (TANIZAKI HIROAKI ET AL) 4 December 2003 (2003-12-04)	1-3,5-11
Y	paragraph [0111] - paragraph [0126]; figures 9,10 paragraph [0151] - paragraph [0167]; figures 14-19	1-3,5-11
X	----- EP 1 398 835 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD) 17 March 2004 (2004-03-17)	1,9-11
Y	paragraph [0033] - paragraph [0062]; figures 1-4	9-11
Y	----- US 2002/191437 A1 (YAMADA KOUICHI) 19 December 2002 (2002-12-19) paragraph [0091] - paragraph [0098]; figures 4-6 ----- -/--	1-3,5-11
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
8 January 2007		17/01/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Gröger, Andreas

INTERNATIONAL SEARCH REPORT

International application No

PCT/FR2006/050778

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 02/05470 A (INTEGRATED MAGNETOELECTRONICS CORPORATION) 17 January 2002 (2002-01-17) page 7, line 7 - line 20 -----	9-11
A	XIU-FENG HAN ET AL: "High-magnetoresistance tunnel junction using Co ₇₅ -Fe ₂₅ ferromagnetic electrodes" JAPANESE JOURNAL OF APPLIED PHYSICS, PART 2 (LETTERS) JAPAN SOC. APPL. PHYS JAPAN, vol. 39, no. 5B, 15 May 2000 (2000-05-15), pages L439-L441, XP002376785 ISSN: 0021-4922 cited in the application the whole document -----	2
A	BAIBICH M N ET AL: "GIANT MAGNETORESISTANCE OF (001)FE/(001) CR MAGNETIC SUPERLATTICES" PHYSICAL REVIEW LETTERS, NEW YORK, NY, US, vol. 61, no. 21, 21 November 1988 (1988-11-21), pages 2472-2475, XP000909024 ISSN: 0031-9007 cited in the application the whole document -----	5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2006/050778

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2003223268 A1	04-12-2003	CN 1463009 A	24-12-2003
		DE 10303073 A1	24-12-2003
		JP 2004005797 A	08-01-2004
EP 1398835 A	17-03-2004	CN 1529910 A	15-09-2004
		WO 02103798 A1	27-12-2002
		US 2004085807 A1	06-05-2004
US 2002191437 A1	19-12-2002	CN 1396598 A	12-02-2003
		JP 2002367364 A	20-12-2002
WO 0205470 A	17-01-2002	AU 1880002 A	21-01-2002
		EP 1323166 A2	02-07-2003
		JP 2004503119 T	29-01-2004
		US 2002029462 A1	14-03-2002

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

INV. H01L27/22 H01L43/08 H03F3/45

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

H01L G11C G05F H03F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

EPO-Internal, INSPEC, WPI Data, PAJ

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2003/223268 A1 (TANIZAKI HIROAKI ET AL) 4 décembre 2003 (2003-12-04)	1-3,5-11
Y	alinéa [0111] - alinéa [0126]; figures 9,10 alinéa [0151] - alinéa [0167]; figures 14-19	1-3,5-11
X	EP 1 398 835 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD) 17 mars 2004 (2004-03-17)	1,9-11
Y	alinéa [0033] - alinéa [0062]; figures 1-4	9-11
Y	US 2002/191437 A1 (YAMADA KOUICHI) 19 décembre 2002 (2002-12-19) alinéa [0091] - alinéa [0098]; figures 4-6	1-3,5-11
	----- -/--	

☒ Voir la suite du cadre C pour la fin de la liste des documents☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

A document définissant l'état général de la technique, non considéré comme particulièrement pertinent

E document antérieur, mais publié à la date de dépôt international ou après cette date

L document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

O document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

P document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

X document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

Y document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

& document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

8 janvier 2007

Date d'expédition du présent rapport de recherche internationale

17/01/2007

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Gröger, Andreas

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	WO 02/05470 A (INTEGRATED MAGNETOELECTRONICS CORPORATION) 17 janvier 2002 (2002-01-17) page 7, ligne 7 - ligne 20 -----	9-11
A	XIU-FENG HAN ET AL: "High-magnetoresistance tunnel junction using Co75-Fe25 ferromagnetic electrodes" JAPANESE JOURNAL OF APPLIED PHYSICS, PART 2 (LETTERS) JAPAN SOC. APPL. PHYS JAPAN, vol. 39, no. 5B, 15 mai 2000 (2000-05-15), pages L439-L441, XP002376785 ISSN: 0021-4922 cité dans la demande le document en entier -----	2
A	BAIBICH M N ET AL: "GIANT MAGNETORESISTANCE OF (001)FE/(001) CR MAGNETIC SUPERLATTICES" PHYSICAL REVIEW LETTERS, NEW YORK, NY, US, vol. 61, no. 21, 21 novembre 1988 (1988-11-21), pages 2472-2475, XP000909024 ISSN: 0031-9007 cité dans la demande le document en entier -----	5

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2006/050778

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2003223268 A1	04-12-2003	CN 1463009 A	24-12-2003
		DE 10303073 A1	24-12-2003
		JP 2004005797 A	08-01-2004
EP 1398835 A	17-03-2004	CN 1529910 A	15-09-2004
		WO 02103798 A1	27-12-2002
		US 2004085807 A1	06-05-2004
US 2002191437 A1	19-12-2002	CN 1396598 A	12-02-2003
		JP 2002367364 A	20-12-2002
WO 0205470 A	17-01-2002	AU 1880002 A	21-01-2002
		EP 1323166 A2	02-07-2003
		JP 2004503119 T	29-01-2004
		US 2002029462 A1	14-03-2002