

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4804635号  
(P4804635)

(45) 発行日 平成23年11月2日(2011.11.2)

(24) 登録日 平成23年8月19日(2011.8.19)

(51) Int. Cl. F I  
 HO 1 L 21/338 (2006.01) HO 1 L 29/80 U  
 HO 1 L 29/812 (2006.01) HO 1 L 29/80 H  
 HO 1 L 29/778 (2006.01)

請求項の数 2 (全 8 頁)

<p>(21) 出願番号 特願2001-62323 (P2001-62323)                  (22) 出願日 平成13年3月6日(2001.3.6)                  (65) 公開番号 特開2002-270618 (P2002-270618A)                  (43) 公開日 平成14年9月20日(2002.9.20)                  審査請求日 平成19年12月3日(2007.12.3)</p>	<p>(73) 特許権者 000005290                  古河電気工業株式会社                  東京都千代田区丸の内二丁目2番3号                  (74) 代理人 110000877                  龍華国際特許業務法人                  (72) 発明者 吉田 清輝                  東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内                  (72) 発明者 和田 崇宏                  東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内                  審査官 原 和秀</p>
---	---

最終頁に続く

(54) 【発明の名称】 GaN系電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項1】

半絶縁性基板の上に、形成すべきゲート電極と同一の材料から成る下部ゲート電極が、直接、前記半絶縁性基板の表面上に前記ゲート電極と同一のパターンで形成され、前記下部ゲート電極を埋設して前記下部ゲート電極の側面および上面に接する下部 Ga N系化合物半導体から成る少なくとも1層の活性層が形成され、前記活性層の上面には前記ゲート電極が形成され、前記活性層を挟んで上下にゲート電極が配置されていることを特徴とする Ga N系電界効果トランジスタ。

【請求項2】

前記活性層は、上・下層が同じ材料で構成され、中間層は上・下層とは異なる材料で構成される3層構造であり、互いの層の間はヘテロ接合構造になっている請求項1の Ga N系電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は Ga N系電界効果トランジスタ(FET)に関し、更に詳しくは、オン抵抗が小さく、ピンチオフ状態を実現しやすく、また、高温動作と大電流駆動が可能なスイッチング素子として有用な新規構造の Ga N系 FETに関する。

【0002】

【従来の技術】

最近、MIS（金属 - 絶縁層 - 半導体）構造を有するFETの開発研究が進められているが、その場合、用いる化合物半導体としてはGaAs系が主流となっている。

そのGaAs系FETは概ね次のようにして製造されている。まず、サファイア基板のような基板の上に、例えばMOCVD法により、ノンドープGaAsから成る半絶縁層を形成し、更にその上に、Siドープn-AlGaAsから成る活性層を形成する。そして、この活性層の上に、例えばプラズマCVD法でSiO<sub>2</sub>膜を成膜し、ここに、フォトリソグラフィとエッチングを行って所望パターンの開口部を形成し、更にその開口部から所定の電極材料を蒸着して、前記活性層（Siドープn-AlGaAs層）の上にゲート電極、ソース電極、ドレイン電極などの動作電極を形成する。

10

【0003】

ところで、最近のFETに関しては、例えば自動車に搭載するスイッチング素子としての用途が広がりはじめている。このような用途分野のFETに対しては、軽量化、小型化への要望とともに、エンジンルーム内の温度を考慮して高温動作が可能で、そして大電流駆動が可能であることも要求されている。この後者の要求との関係では、上記したGaAs系FETは必ずしも満足すべき特性を発揮するものではない。

【0004】

一方、GaN, AlGaN, InGaAlNのようなGaN系化合物半導体は、GaAsやSiなどに比べて高温動作が可能であり、またヘテロ接合界面における不連続バンドギャップが広いので、これをゲート電極が形成される活性層として使用すれば、高温動作を

20

【0005】

このようなことから、GaN系化合物半導体を用いたFETの開発研究が進められているが、現在までに得られているGaN系FETには、従来のSiやGaAs系FETに比べればその動作時のオン抵抗が1桁から3桁程度小さくなるという利点を備えているとはいえ、結晶成長技術の未成熟や電極形成技術の未成熟により、依然として可成りのオン抵抗が存在している。

【0006】

また、ゲート電極からその直下に位置する活性層にかなりの高電界を印加した場合であっても、そのゲート部にはチャンネルを完全に遮断する空乏層が形成されず、そのため満足すべきピンチオフ状態を実現せず、ソース電極とドレイン電極の間にリーク電流の流れることがある。

30

【0007】

【発明が解決しようとする課題】

本発明はGaN系FETにおける上記した問題を解決し、オン抵抗が小さく、かつリーク電流を発生させずピンチオフ状態を得やすくした構造になっていて、GaN系材料の特性を十分に生かすように設計されたGaN系FETの提供を目的とする。

【0008】

【課題を解決するための手段】

上記した目的を達成するために、本発明においては、半絶縁性基板の上に、形成すべきゲート電極と同一の材料から成る下部ゲート電極が、直接、前記ゲート電極と同一のパターンで形成され、前記下部ゲート電極を埋設してGaN系化合物半導体から成る少なくとも1層の活性層が形成され、前記活性層の上面には前記ゲート電極が形成され、前記活性層を挟んで上下にゲート電極が配置されていることを特徴とするGaN系電界効果トランジスタが提供される。

40

【0009】

【発明の実施の形態】

本発明のGaN系FETの基本構成Aを図1に示す。

このGaN系FET(A)では、半絶縁性基板1の上に、直接、下部ゲート電極2Aが配線され、それを埋設してGaN系化合物半導体から成る活性層3が配置され、その活性層

50

3の上面にはゲート電極2Bが形成されている。

【0010】

ここで、ゲート電極2Bはある設計パターンで活性層3の上面に配線されていて、それと対応する半絶縁性基板1の表面位置に、下部ゲート電極2Aが上記ゲート電極2Bと同じ設計パターンで配線され、そしてその下部ゲート電極2Aが活性層3に埋設されている。したがって、図1の破線領域として示したように、活性層3は上下に配線された下部ゲート電極2Aとゲート電極2Bで挟まれることにより、ゲート部Gが形成されている。

【0011】

そして、活性層3の両側部、具体的にいえば、上記したゲート部Gを除いた領域の半絶縁性基板1の上には、直接、コンタクト層4, 4が配置され、それらの上には、それぞれ、ソース電極5とドレイン電極6が形成されている。

10

このFET(A)の場合、ゲート部Gが活性層3とそれを上下から挟む2個のゲート電極2A, 2Bで構成されているので、これらゲート電極を動作して活性層3に電界を印加すると、まず、ゲート電極2Bにより活性層3のチャンネルには下方に広がる空乏層7Bが形成され、同時に、下部ゲート電極2Aにより活性層3のチャンネルには上方に広がる空乏層7Bが形成される。

【0012】

したがって、一方のゲート電極だけで活性層3のチャンネルを全て空乏層にすることができなくても、他方のゲート電極の作用で広がってくる空乏層により、結局、チャンネルには両空乏層が合体した形でチャンネルを遮断する空乏層が形成されることになる。

20

このことは、従来のFETが1個のゲート電極でピンチオフ状態を実現しようとしていることとの対比でいえば、FET(A)の場合、ピンチオフ状態をより容易に実現することができるということを意味する。

【0013】

図1で示したFET(A)において、半絶縁性基板1としては、例えばサファイア基板、Si基板、AlN基板、GaAs基板、SiC基板、GaP基板などを用いることができる。また、各種酸化物の基板や石英ガラスのようなガラス基板を用いることもできる。この半絶縁性基板1の上に配線される下部ゲート電極2Aと活性層3の上に配線されるゲート電極2Bとは、いずれも同一材料で構成されていることが必要であるが、そのような材料としては、例えば、Pt, W, Pd, Ag, Au, Niを用いることができる。

30

【0014】

また、ソース電極5とドレイン電極6の材料としては、コンタクト層4, 4とオーミック接合をとれるような材料が用いられ、例えば、コンタクト層にAl, Ti, Auを順次蒸着して形成した構成のAl/Ti/AuやAl/Tiをあげることができる。それらの外に、例えば、Ti-Si, Al-Si, Ta-Siのようなシリサイド合金を用いることもできる。

【0015】

活性層3は、GaN系化合物半導体に対し分子線エピタキシャル成長法(MBE法)や有機金属気相成長法(MOCVD法)を適用して形成することができる。また、ハライド気相成長法(HVPE法)を採用してもよい。高品位の活性層を形成するためには、MBE法を適用することが好ましい。

40

用いるGaN系化合物半導体としては、例えば、GaN, AlGaN, InGaN, AlInGaN, InGaNAs, InGaNpなどをあげることができる。

【0016】

そして、このGaN系FET(A)の場合、活性層3の形成時には、例えばSi, Te, Snのようなn型不純物をドーピングして、当該活性層の導電型をn型にする。

次に、コンタクト層4は、この上にオーミック接合させるソース電極とドレイン電極を形成することからして可及的に低抵抗な層として形成されることが好ましく、仮に前記活性層3がn-GaNで構成されている場合は、例えばn型不純物であるSiを高濃度でドーピングして成膜したSiドープn-GaN層にすることが好ましい。また、GaNよりバ

50

ンドギャップが小さいGaAs, InGaAsなどもコンタクト層の材料として使用することができる。

【0017】

本発明のGaN系FET(A)は次のようにして製造することができる。その製造方法を工程順に図面に則して説明する。

まず、図2で示したように、半絶縁性基板1の表面に、例えばプラズマCVD法で絶縁膜である例えばSiN<sub>x</sub>膜8Aを成膜して出発素材A<sub>0</sub>を製造する。

ついで、素材A<sub>0</sub>のSiN<sub>x</sub>膜8Aの表面にフォトレジスト9Aを塗布してパターンニングしたのち、RIEのようなドライエッチング法でSiN<sub>x</sub>膜8Aを半絶縁性基板1の表面までエッチング除去して下部ゲート電極を形成すべき開口部10Aを形成し(図3)、更に、好適にはArのプラズマガスを用いたECRで、この開口部10Aから下部ゲート電極の材料を半絶縁性基板1の表出表面にスパッタリングしたのち、SiN<sub>x</sub>膜8Aを除去する。

10

【0018】

その結果、図4で示したように、半絶縁性基板1の所定箇所に下部ゲート電極2Aが設計基準のパターンで配線されている素材A<sub>1</sub>が得られる。

なお、この工程において、SiN<sub>x</sub>膜8Aに形成される開口部10Aは、最終的な製造目的である図1で示したGaN系FET(A)のゲート電極2Bのパターンと同じパターンで形成されることが必要である。

【0019】

ついで、素材A<sub>1</sub>の全面に再度プラズマCVD法でSiN<sub>x</sub>膜8Bを成膜し、更にフォトレジスト9Bを塗布してパターンニングしたのち、RIEのようなドライエッチング法を行って図5で示した素材A<sub>2</sub>にする。この素材A<sub>2</sub>において、破線で示した部分8B, 9Bが図1で示したGaN系FET(A)の活性層3を形成するための領域であり、実線で示した部分8B, 9Bがコンタクト層4を形成するための領域である。

20

【0020】

ついで、素材A<sub>2</sub>の全面に所定のGaN系化合物半導体を選択成長させたのち、SiN<sub>x</sub>9Bを全てエッチング除去する。その結果、図6で示したように、活性層3で下部ゲート電極2Aが埋設されている素材A<sub>3</sub>が得られる。

ついで、図7で示したように、素材A<sub>3</sub>の全面にSiN<sub>x</sub>膜8Cを成膜し、更にその上にフォトレジスト9Cを塗布し、活性層3を被膜するSiN<sub>x</sub>膜8C(実線の部分)は残るようにパターンニングしたのち、RIEのようなドライエッチング法を行って、破線の部分を除去することにより、半絶縁性基板1の表面と活性層3の側部を表出させる。

30

【0021】

ついで、所定のGaN系化合物半導体の結晶成長を行い、図8で示したように、表出している上記箇所にコンタクト層4, 4が形成されている素材A<sub>4</sub>を製造する。

そして、この素材A<sub>4</sub>のフォトレジスト9CとSiN<sub>x</sub>膜8Cをドライエッチング法で除去したのち、再び全面にSiN<sub>x</sub>膜8Dを保護膜として成膜し、更にフォトレジスト9Dを塗布し、ソース電極とドレイン電極を形成すべき箇所をドライエッチング法で除去し、そこにコンタクト層4, 4の上面を表出させたのち、そこに電極材料を好適にはECRでスパッタリングしてソース電極5とドレイン電極6を形成し、図9で示した素材A<sub>5</sub>を製造する。

40

【0022】

ついで、フォトレジスト9Dを除去したのち、新たに素材A<sub>5</sub>の全面にフォトレジストを塗布し、活性層3の上に形成すべきゲート電極に対応する箇所をドライエッチング法で開口して上面3aを表出させたのちフォトレジストを除去し、図10で示した素材A<sub>6</sub>を製造する。

そして最後に、素材A<sub>6</sub>の全面にフォトレジストを塗布し、ゲート電極2Bを形成すべき箇所以外は全て残るようにパターンニングしたのち、下部ゲート電極2Aと同一の材料を活性層3の上面3aに蒸着してゲート電極2Bを形成し、図1で示したGaN系FET(A)

50

)にする。

【0023】

本発明の別のGaN系FETの1例Bを図11に示す。

このGaN系FET(B)は、図1で示したGaN系FET(A)において活性層3が複数層(図では3層)から成る層3'で構成されているものである。

ここで、活性層3'の各層は、いずれも、GaN系化合物半導体で形成されているが、上・下層3A, 3Aは同じ材料で構成され、中間層3Bは上・下層3A, 3Aとは異なる材料で構成されることにより、全体としては、各層間はヘテロ接合界面を有する層構造になっている。具体的には、上・下層3A, 3Aは例えばノンドープAlGaNで、中間層3BをノンドープGaNで形成することができる。

10

【0024】

また、上・下層3A, 3AをノンドープGaNで、中間層3BをノンドープInGaNで構成してもよく、更には、上・下層3A, 3AをノンドープAlInGaNAsPで、中間層3BをノンドープGaNAsPで構成してもよい。

この活性層3'の場合、下部ゲート電極2Aとゲート電極2Bの間に電圧を印加すると、活性層3'のヘテロ接合界面には2次元電子ガス層が発生する。

【0025】

その結果、チャネルの電子移動度は大きくなり、ソース電極5とドレイン電極6間には大きな電流が流れる。すなわち、オン抵抗が小さくなる。

【0026】

20

【実施例】

次のようにしてGaN系FET(A)を製造した。

まず、プラズマCVD法でサファイア基板1にSiN<sub>x</sub>膜8Aを成膜して図2で示した素材A<sub>0</sub>を製造した。ついで、SiN<sub>x</sub>膜8Aにフォトレジスト9Aを塗布したのちパターニングし、更にRIEでSiN<sub>x</sub>膜を除去して開口部10Aを形成した(図3)。

【0027】

ついで、Arのプラズマガスを用いたECR装置で、AuとPtを順次スパッタリングして開口部10Aに下部ゲート電極2Aを形成したのち、SiN<sub>x</sub>膜をHFでエッチング除去して、図4で示した素材A<sub>1</sub>を製造した。

素材A<sub>1</sub>の全面に、プラズマCVD法で再度SiN<sub>x</sub>膜8Bを成膜し、更にその上にフォトレジスト9Bを塗布して活性層3を形成すべき箇所をパターニングしたのち、RIEで開口して素材A<sub>2</sub>にした(図5)。

30

【0028】

ついで、素材A<sub>2</sub>に、窒素(3×10<sup>-6</sup>Torr), Ga(5×10<sup>-7</sup>Torr), Si(5×10<sup>-9</sup>Torr)を用い、成長温度850の分子線エピタキシャル成長法で、下部ゲート電極2Aを埋設する厚み1μmのn-GaN活性層3を形成したのち、SiN<sub>x</sub>膜を全てHFでエッチング除去し、図6で示した素材A<sub>3</sub>を製造した。なお、n-GaNから成る活性層3におけるSiのドーピング濃度は2×10<sup>17</sup>cm<sup>-3</sup>になっている。

【0029】

素材A<sub>3</sub>の全面に再びSiN<sub>x</sub>膜8Cを成膜し、更にその上にフォトレジスト9Cを塗布したのち、活性層3上のSiN<sub>x</sub>膜8Cは残るようにパターニングし、RIEで、コンタクト層を形成すべき箇所を開口してサファイア基板1の表面を表出させた(図7)。

40

ついで、分子線エピタキシャル成長法で、ラジカル窒素(3×10<sup>-6</sup>Torr), Ga(5×10<sup>-7</sup>Torr), Si(8×10<sup>-8</sup>Torr)を用い、成長温度850において、Siドープ-GaNから成る厚み1μmのコンタクト層4, 4を形成して図8で示した素材A<sub>4</sub>を製造した。なお、コンタクト層4, 4におけるSiのドーピング濃度は2×10<sup>19</sup>cm<sup>-3</sup>になっている。

【0030】

そして、フォトレジスト9CとSiN<sub>x</sub>膜8Cを全て除去したのち、全面に再びSiN<sub>x</sub>膜8Dを成膜し、更にフォトレジスト9Dを塗布したのちパターニングしてソース電極とド

50

レイン電極を形成すべき箇所をR I Eで開口し、そこにA rのプラズマガスを用いたE C RでA l, T i, A uを順次スパッタしてソース電極5、ドレイン電極6を形成し、図9で示した素材A<sub>5</sub>を製造した。

【0031】

ついで、フォトレジスト9 Dを除去したのち新たにフォトレジストを塗布してパターンニングし、ゲート電極を形成すべき箇所をR I Eで開口して活性層3の上面3 aを表出させて図10で示した素材A<sub>6</sub>にした。

最後に、ソース電極とドレイン電極をマスクし、フォトレジストでパターンニングして上部ゲート電極を形成すべき箇所を開口し、そこにA rのプラズマガスを用いたE C R蒸着でP t, A uを順次スパッタし、不要な部分に堆積したP t / A uを有機溶剤で除去してゲート電極を形成し、図1で示したM E S - F E TタイプのG a N系F E T ( A )を製造した。

10

【0032】

このM E S - F E Tのソース - ドレイン間電圧は10 Aで飽和した。また、耐圧は100 Vを超えていた。そして、オン抵抗は10 m cm<sup>-2</sup>以下であった。更に、このF E Tは、温度300 においても動作した。

【0033】

【発明の効果】

以上の説明で明らかなように、本発明のG a N系F E Tは、オン抵抗が小さく、大電流スイッチング動作を実現することができる。そして同時に、活性層の上下にゲート電極を配置して活性層のチャンネルを上下から挟むようなゲート部を形成することにより、ゲート部でのピンチオフ状態を容易に実現できる。

20

【図面の簡単な説明】

【図1】本発明のG a N系F E Tの1例Aを示す断面図である。

【図2】G a N系F E T ( A )の出発素材A<sub>0</sub>を示す断面図である。

【図3】下部ゲート電極の形成箇所を開口した状態を示す断面図である。

【図4】下部ゲート電極が形成された素材A<sub>1</sub>を示す断面図である。

【図5】素材A<sub>2</sub>を示す断面図である。

【図6】活性層3を形成した状態を示す断面図である。

【図7】コンタクト層の形成箇所を開口した状態を示す断面図である。

30

【図8】コンタクト層が形成された素材A<sub>4</sub>を示す断面図である。

【図9】活性層の上面が表出した状態の素材A<sub>5</sub>を示す断面図である。

【図10】ソース電極とドレイン電極が形成された素材A<sub>6</sub>を示す断面図である。

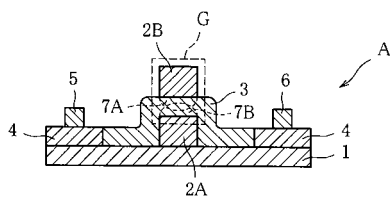
【図11】本発明の別のG a N系F E Tの1例Bを示す断面図である。

【符号の説明】

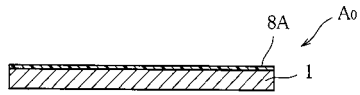
- 1 半絶縁性基板（サファイア基板）
- 2 A 下部ゲート電極
- 2 B ゲート電極
- 3, 3', 3 A, 3 B 活性層
- 3 a 活性層3の上面
- 4 コンタクト層
- 5 ソース電極
- 6 ドレイン電極
- 7 A, 7 B 空乏層
- 8 A, 8 B, 8 C, 8 D 保護膜（S i N<sub>x</sub>膜）
- 9 A, 9 B, 9 C, 9 D フォトレジスト
- 10 A 開口部

40

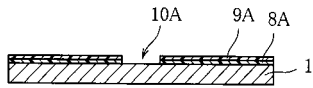
【図 1】



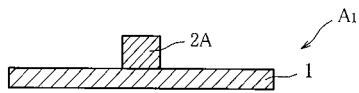
【図 2】



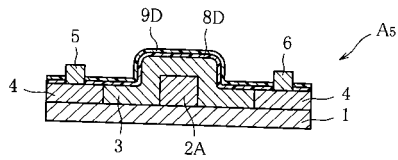
【図 3】



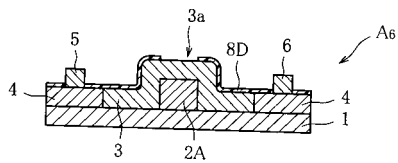
【図 4】



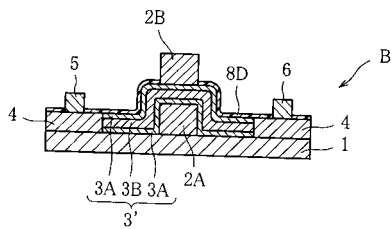
【図 9】



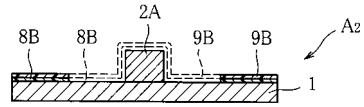
【図 10】



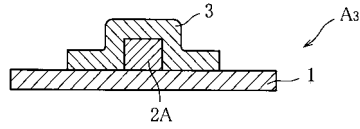
【図 11】



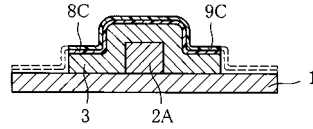
【図 5】



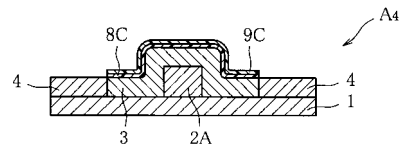
【図 6】



【図 7】



【図 8】



---

フロントページの続き

- (56)参考文献 特開昭60-229375(JP,A)  
特開平02-111036(JP,A)  
特開平05-129338(JP,A)  
特開平09-082940(JP,A)  
特開平09-082966(JP,A)  
特開2000-082671(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338  
H01L 29/778  
H01L 29/812