



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I628741 B

(45) 公告日：中華民國 107 (2018) 年 07 月 01 日

(21) 申請案號：104123475 (22) 申請日：中華民國 104 (2015) 年 07 月 21 日

(51) Int. Cl. : H01L21/768 (2006.01) H01L21/8232(2006.01)

(30) 優先權：2014/07/22 美國 62/027,401

2015/01/09 南韓 10-2015-0003466

(71) 申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓(72) 發明人：白尚訓 BAEK, SANG-HOON (KR)；吳祥奎 OH, SANG-KYU (KR)；都楨湖 DO,
JUNG-HO (KR)；朴善暎 PARK, SUN-YOUNG (KR)；李昇映 LEE, SEUNG-
YOUNG (KR)；元孝植 WON, HYO-SIG (KR)

(74) 代理人：葉璟宗；鄭婷文；詹富閔

(56) 參考文獻：

US 2003/0145299A1 US 2005/0001273A1

US 2005/0136582A1 US 2005/0272195A1

US 2011/0195564A1

審查人員：邱迺軒

申請專利範圍項數：25 項 圖式數：25 共 70 頁

(54) 名稱

積體電路、基於積體電路的半導體元件及標準單元庫

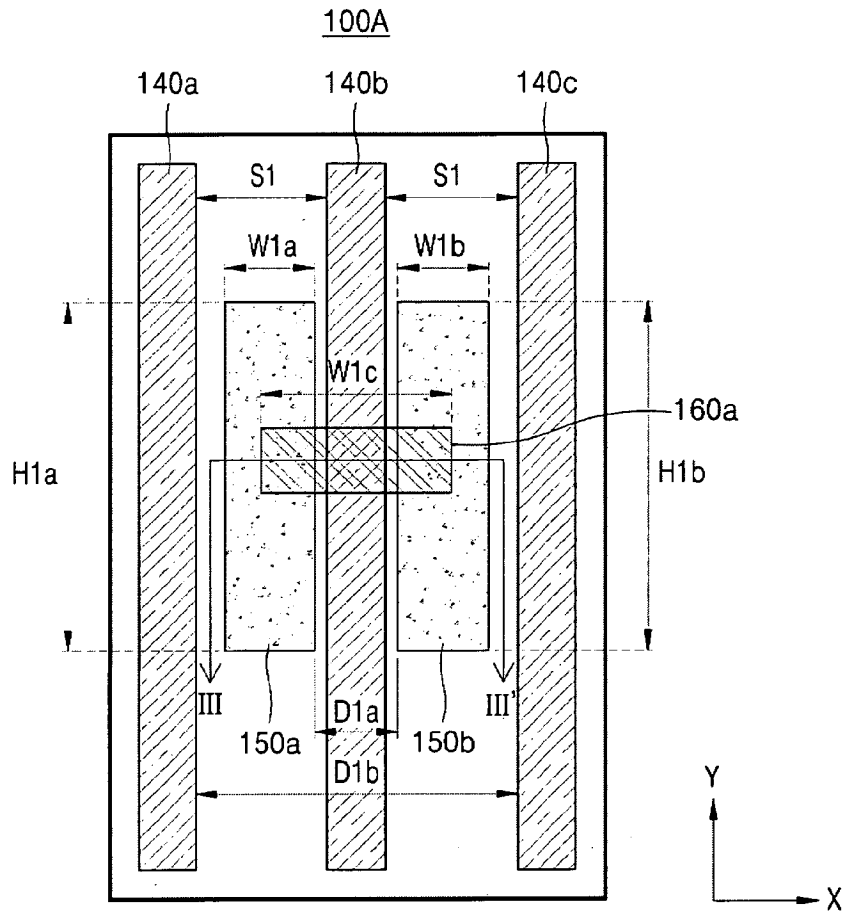
INTEGRATED CIRCUIT, SEMICONDUCTOR DEVICE BASED ON INTEGRATED CIRCUIT, AND
STANDARD CELL LIBRARY

(57) 摘要

一種積體電路(IC)可包含至少一單元，至少一單元包含：多個導電線，其在第一方向上延伸，且在垂直於第一方向的第二方向上平行於彼此；第一接點，其分別安置於來自多個導電線當中的至少一導電線的兩側處；以及第二接點，其安置於至少一導電線以及第一接點上，且藉由電連接至至少一導電線以及第一接點而形成單一節點。

An integrated circuit (IC) may include at least one cell including a plurality of conductive lines that extend in a first direction and are in parallel to each other in a second direction that is perpendicular to the first direction, first contacts respectively disposed at two sides of at least one conductive line from among the plurality of conductive lines, and a second contact disposed on the at least one conductive line and the first contacts and forming a single node by being electrically connected to the at least one conductive line and the first contacts.

指定代表圖：



符號簡單說明：

100A . . . 積體電路

140a . . . 第一導電線

140b . . . 第二導電線

140c . . . 第三導電線

150a、150b . . . 第一接點

160a . . . 第二接點

W1a、W1b、
W1c . . . 寬度

S1 . . . 空間

D1a、D1b . . . 距離

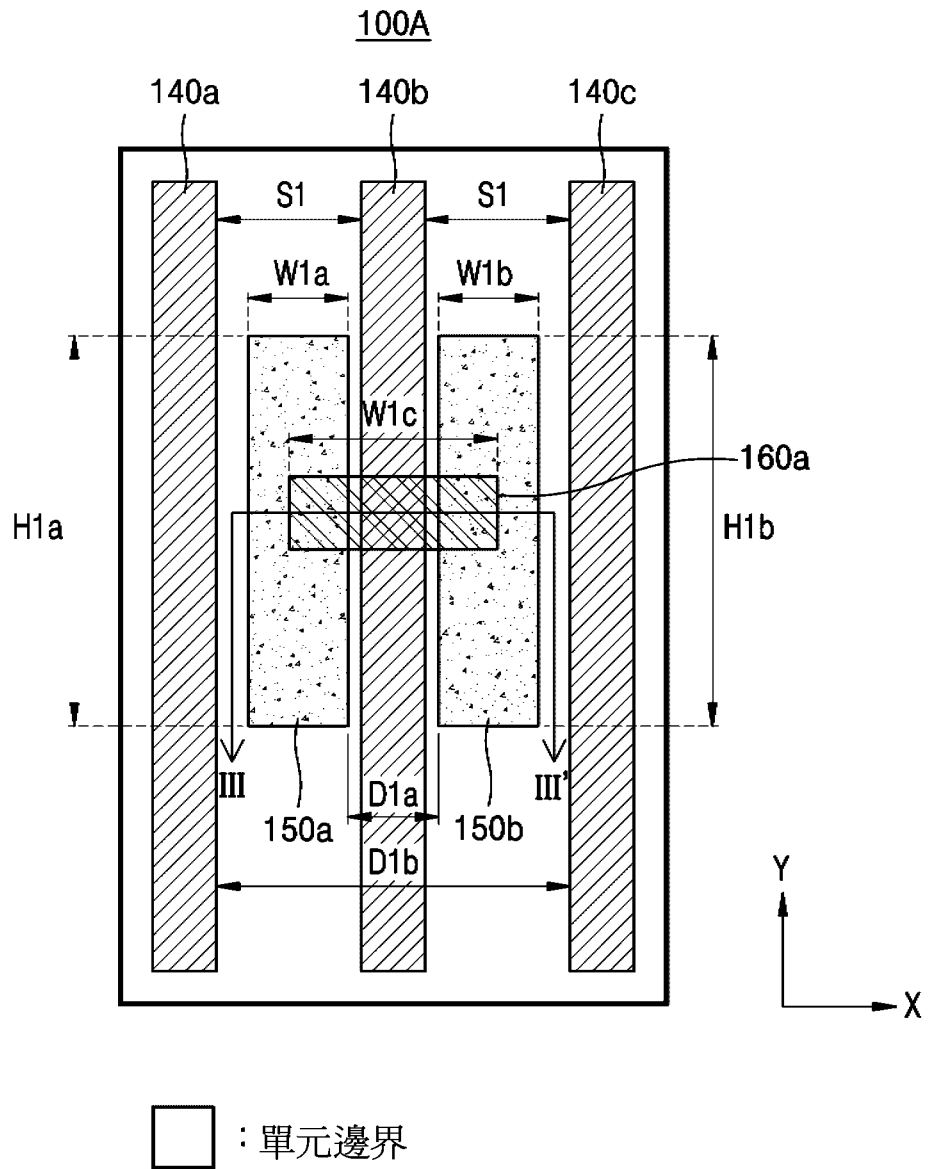
H1a、H1b . . . 高度

III-III' . . . 線

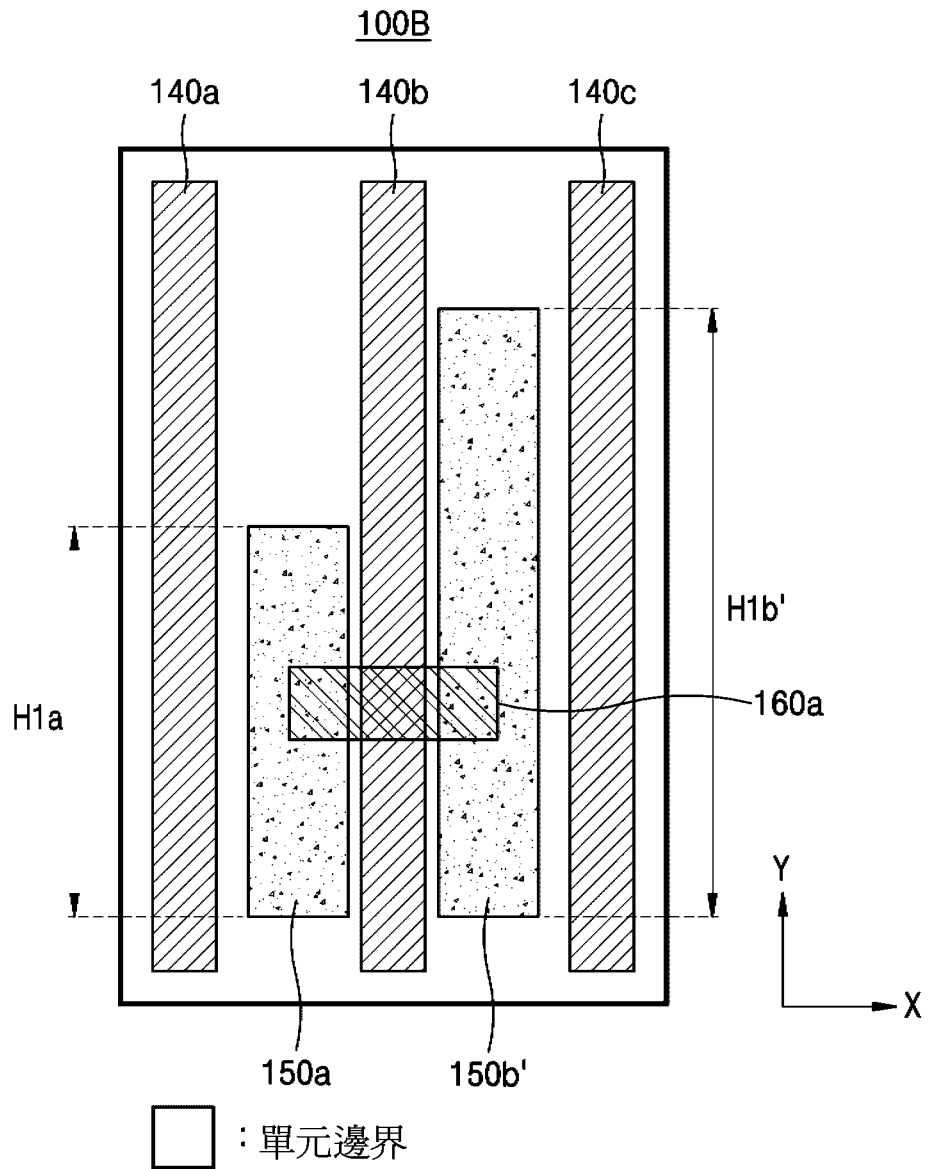
□ : 單元邊界

【圖1】

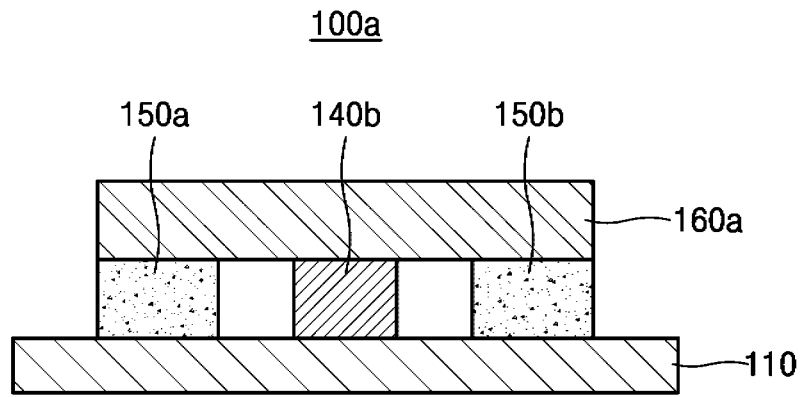
【發明圖式】



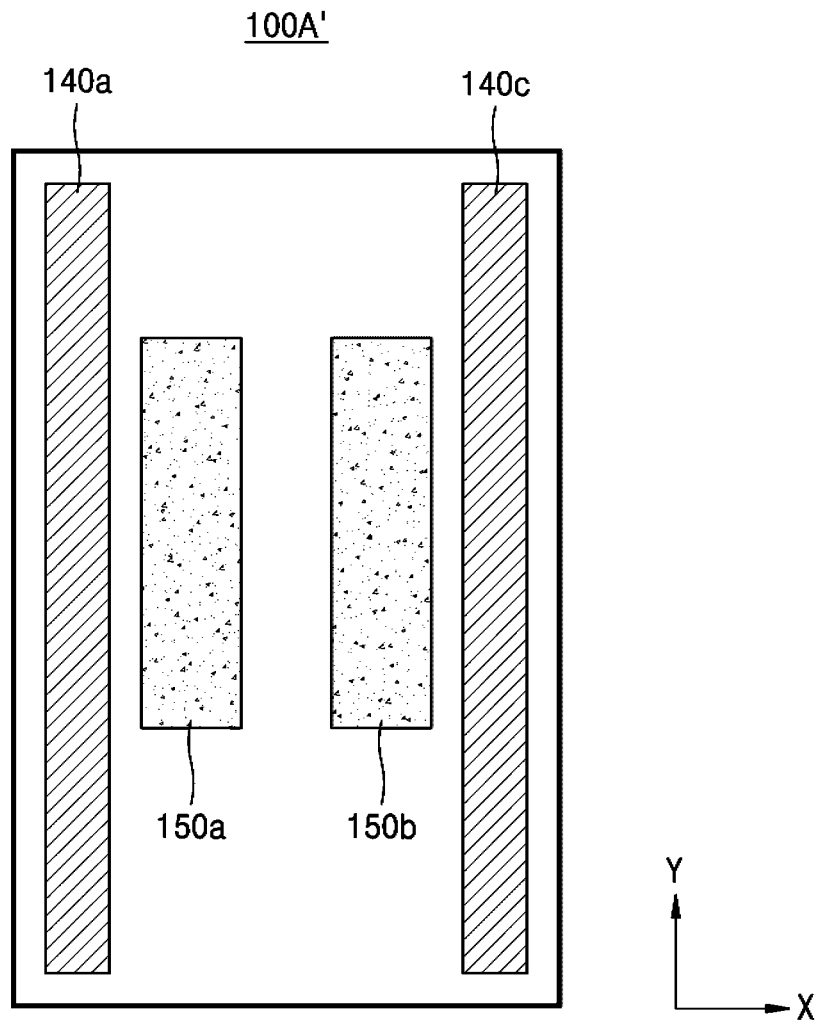
【圖1】



【圖2】

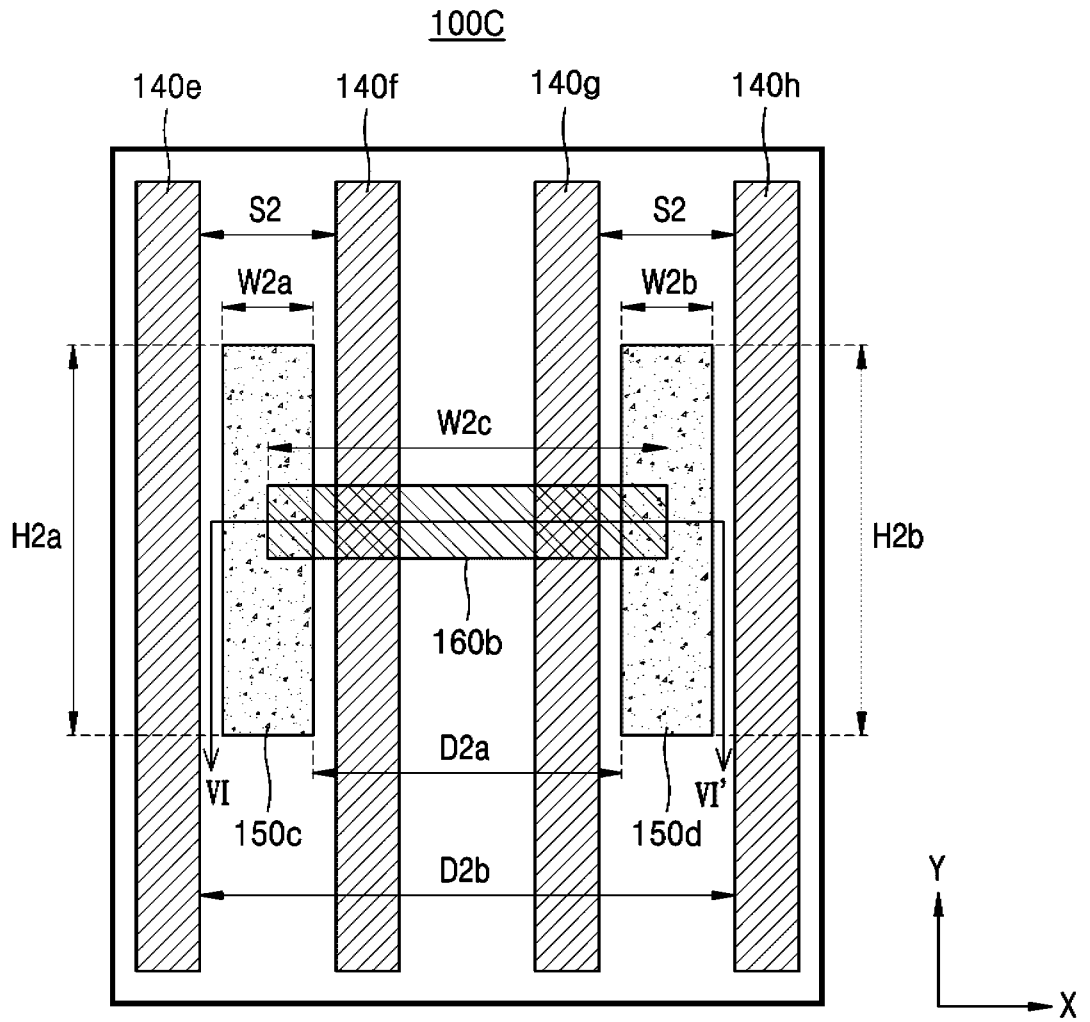


【圖3】



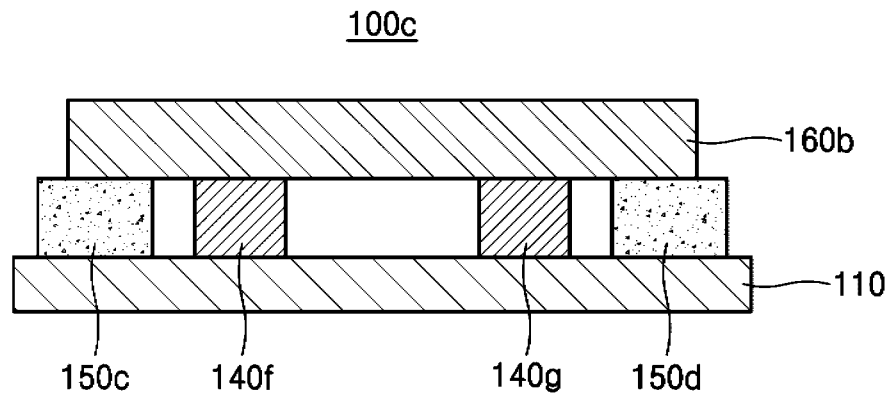
□ : 單元邊界

【圖4】

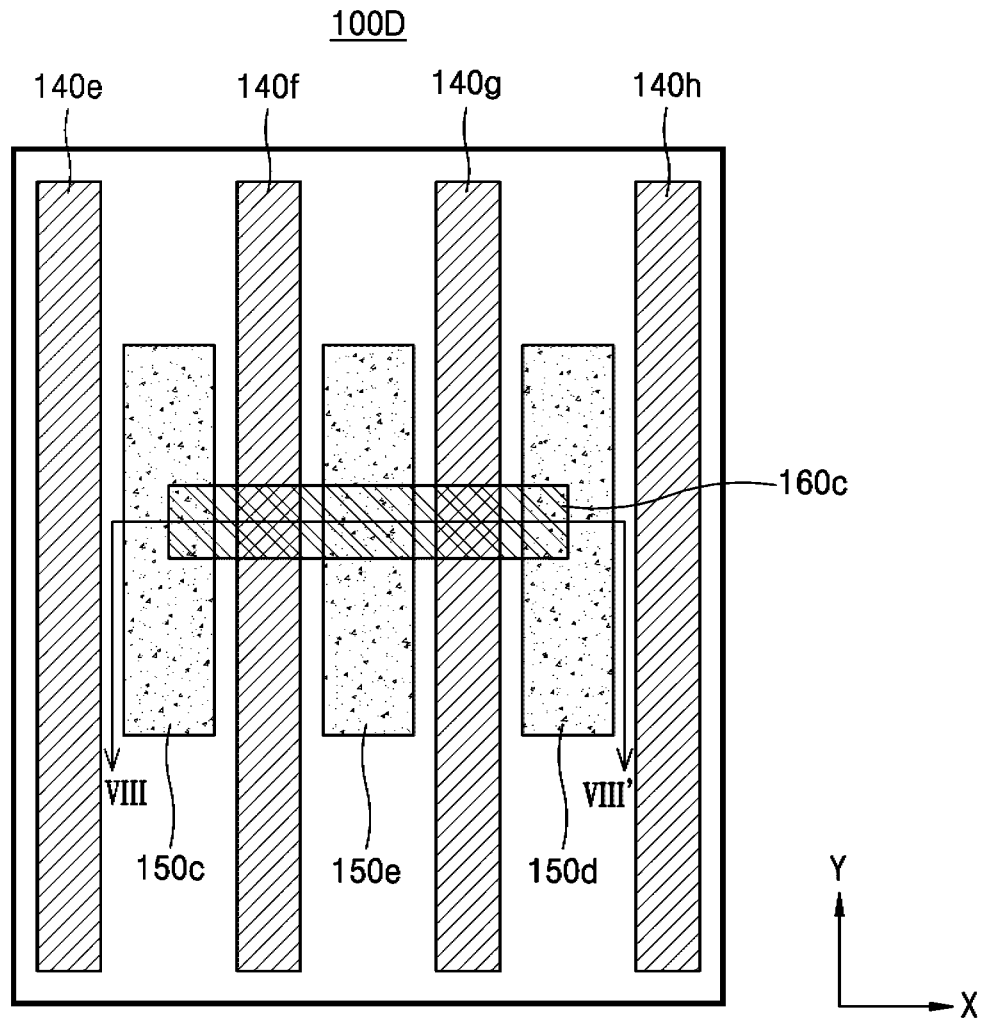


□ : 單元邊界

【圖5】

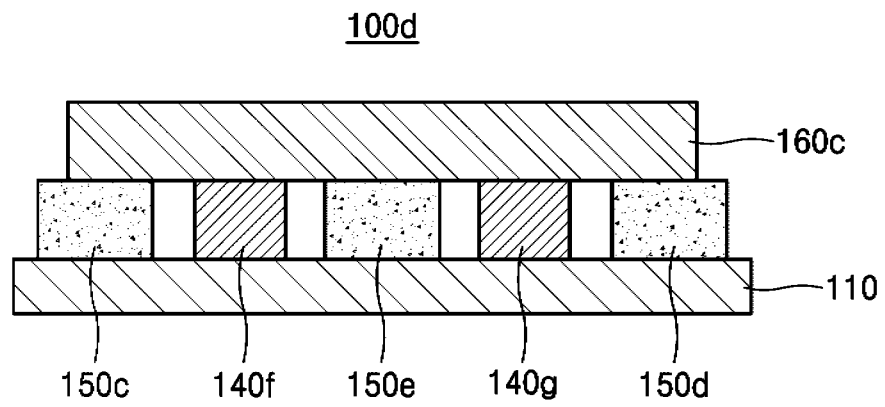


【圖6】

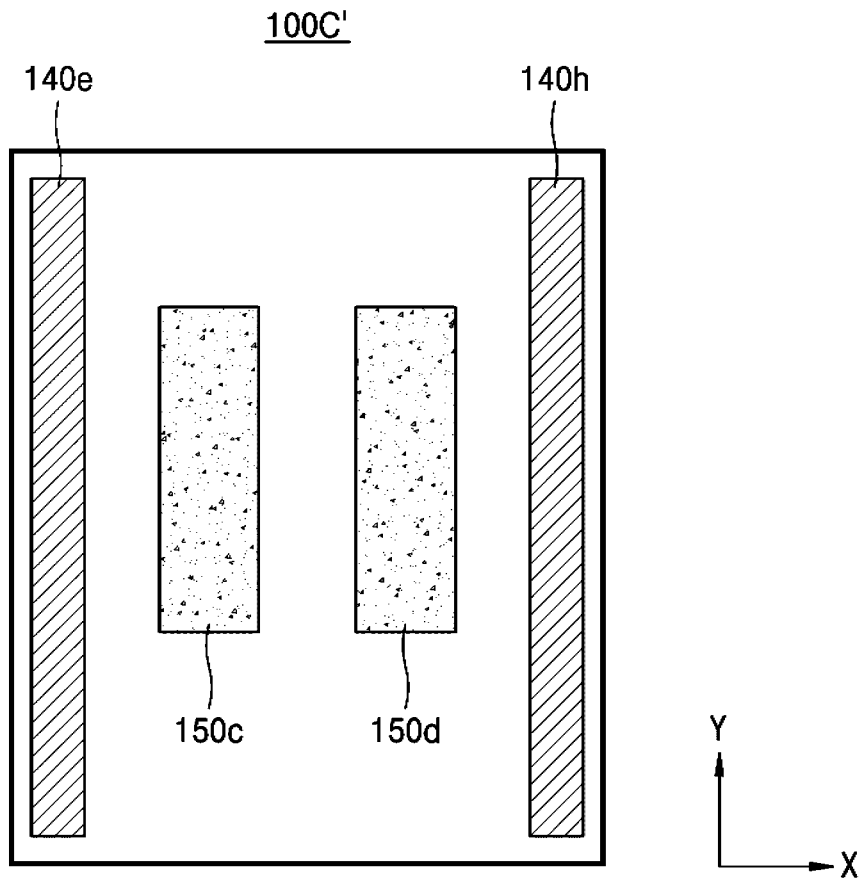


□ : 單元邊界

【圖7】

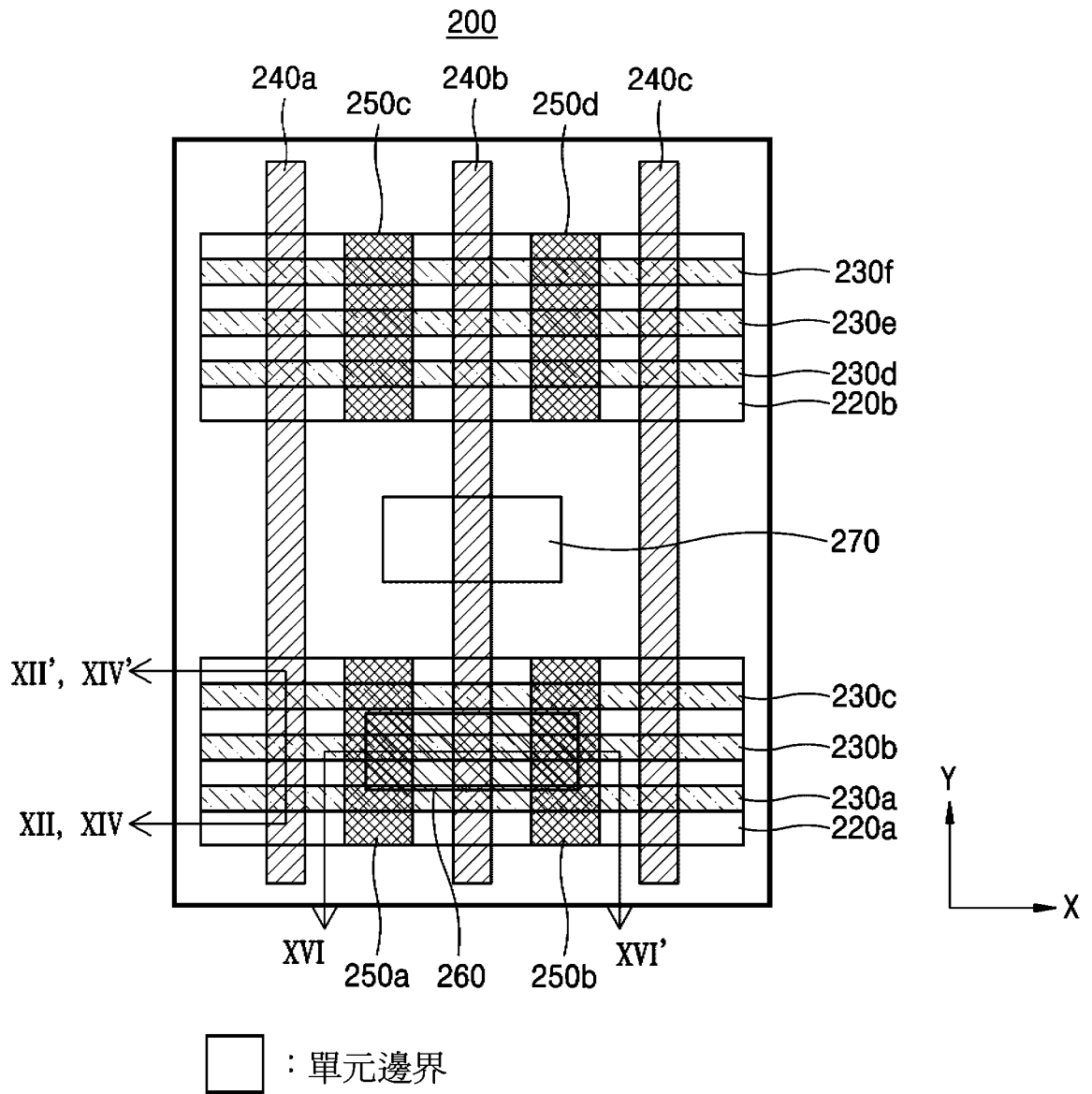


【圖8】

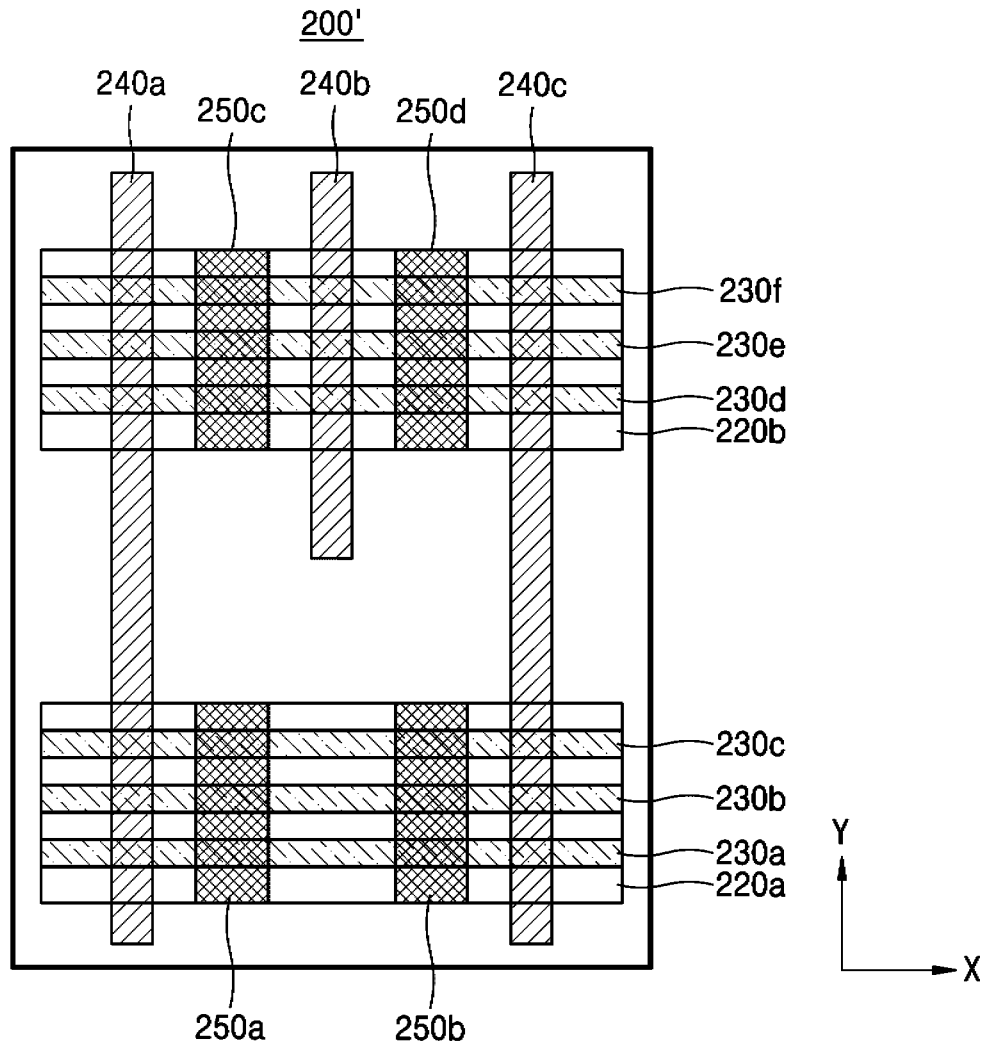


□ : 單元邊界

【圖9】

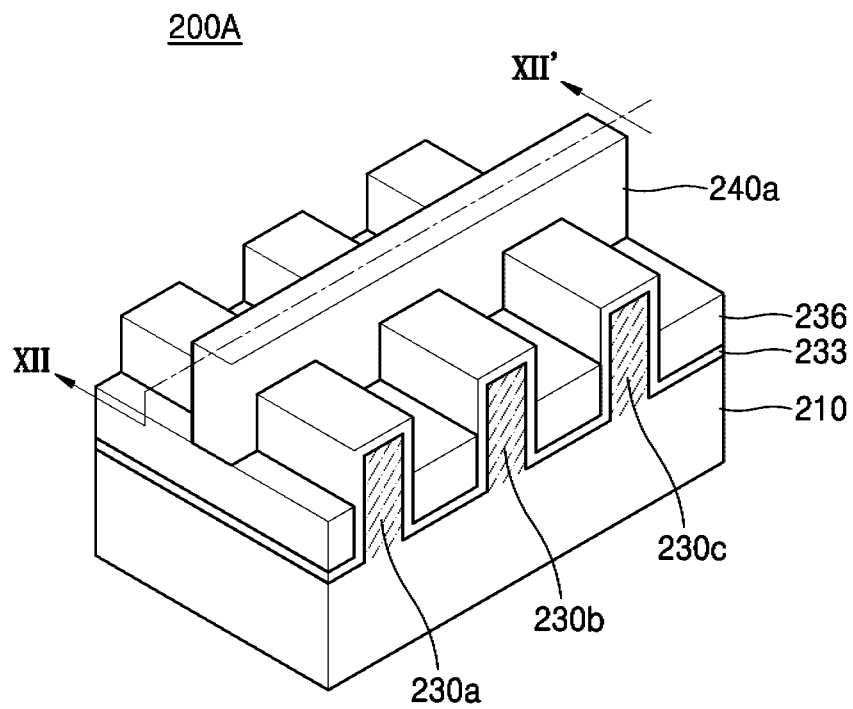


【圖10】

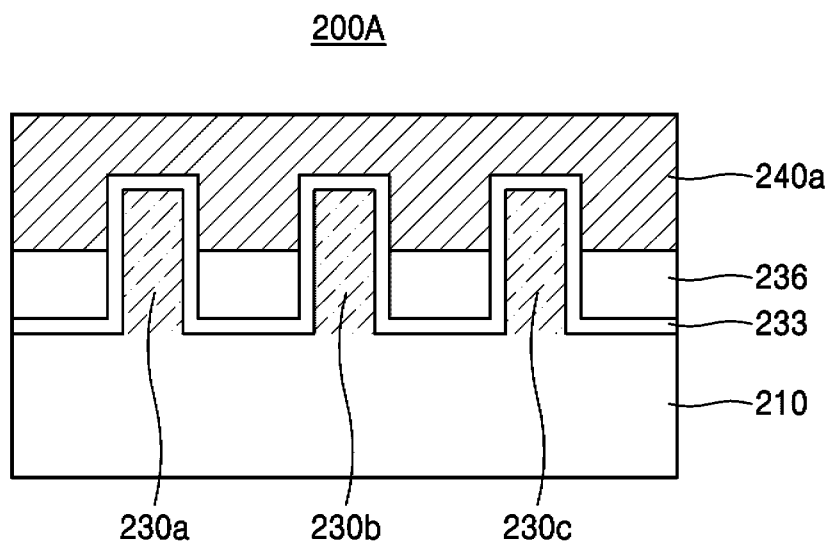


□ : 單元邊界

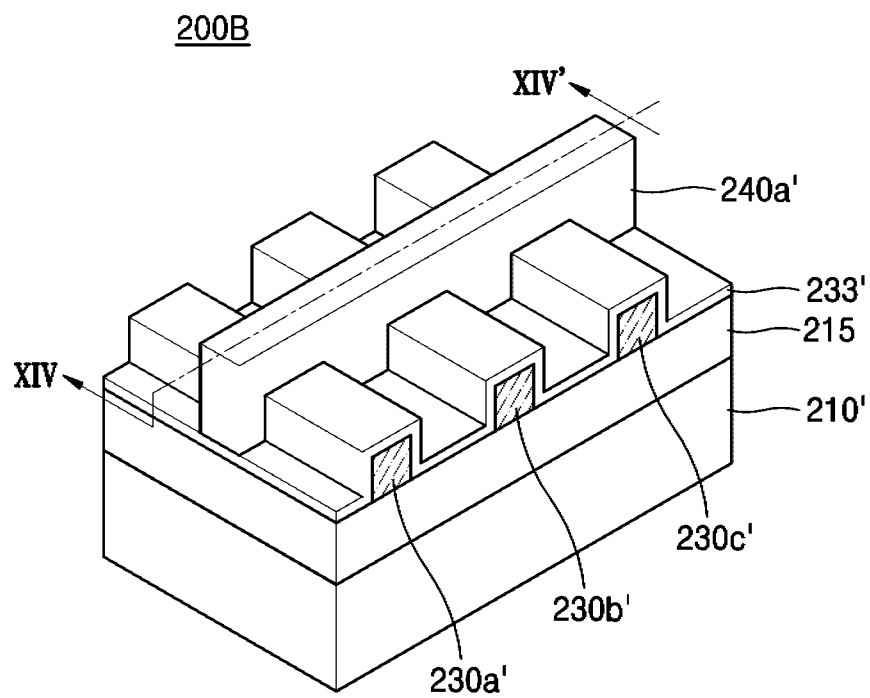
【圖11】



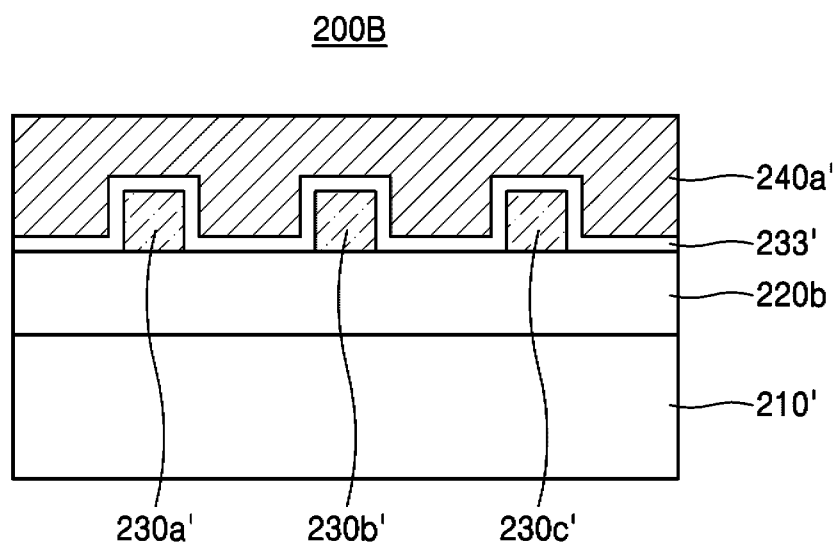
【圖12】



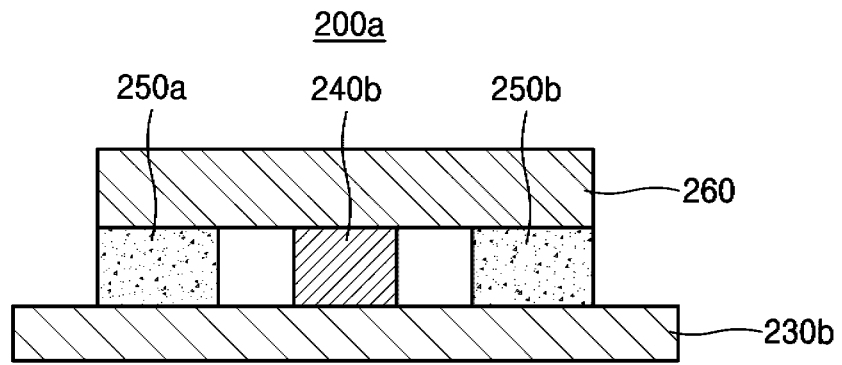
【圖13】



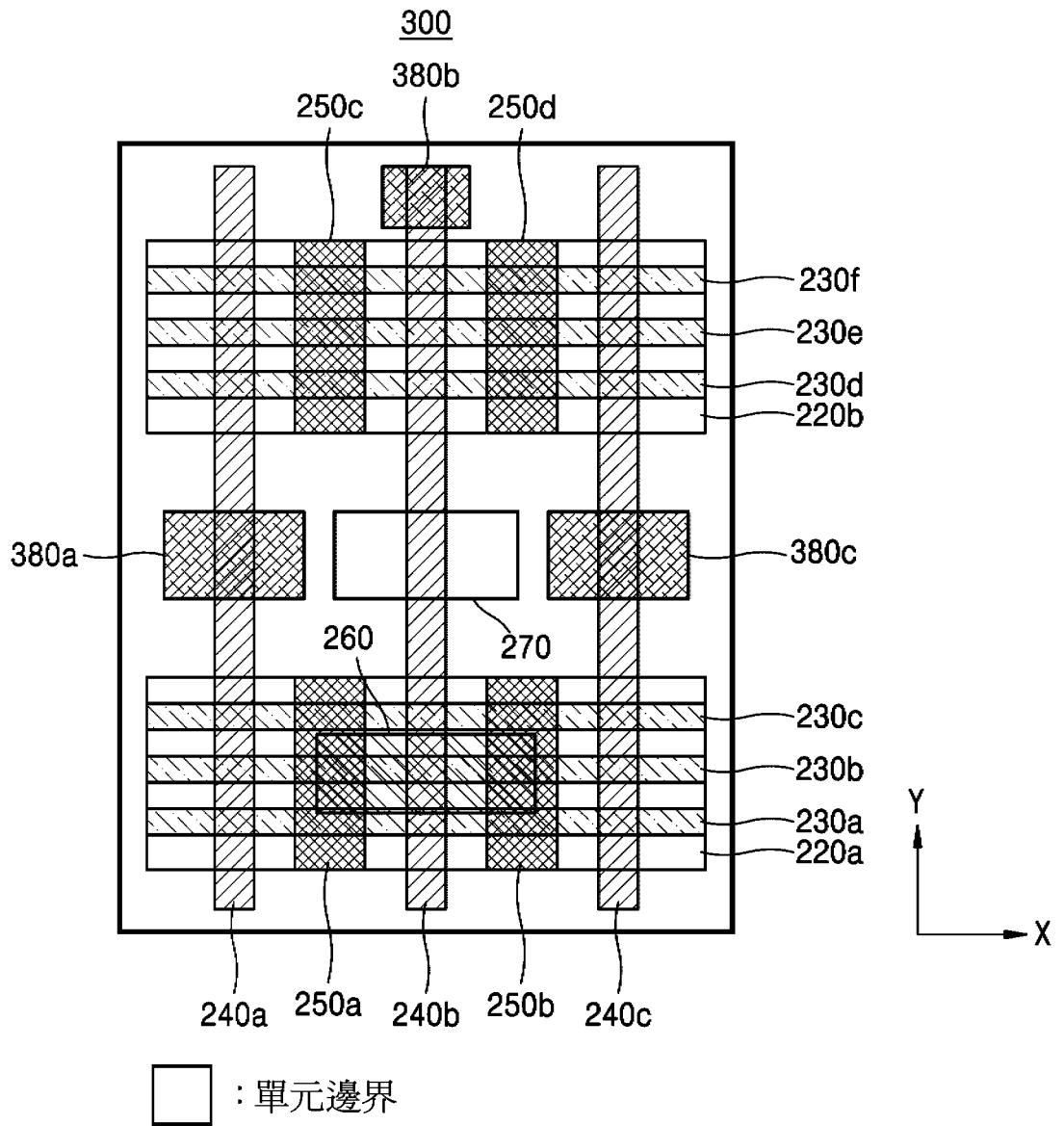
【圖14】



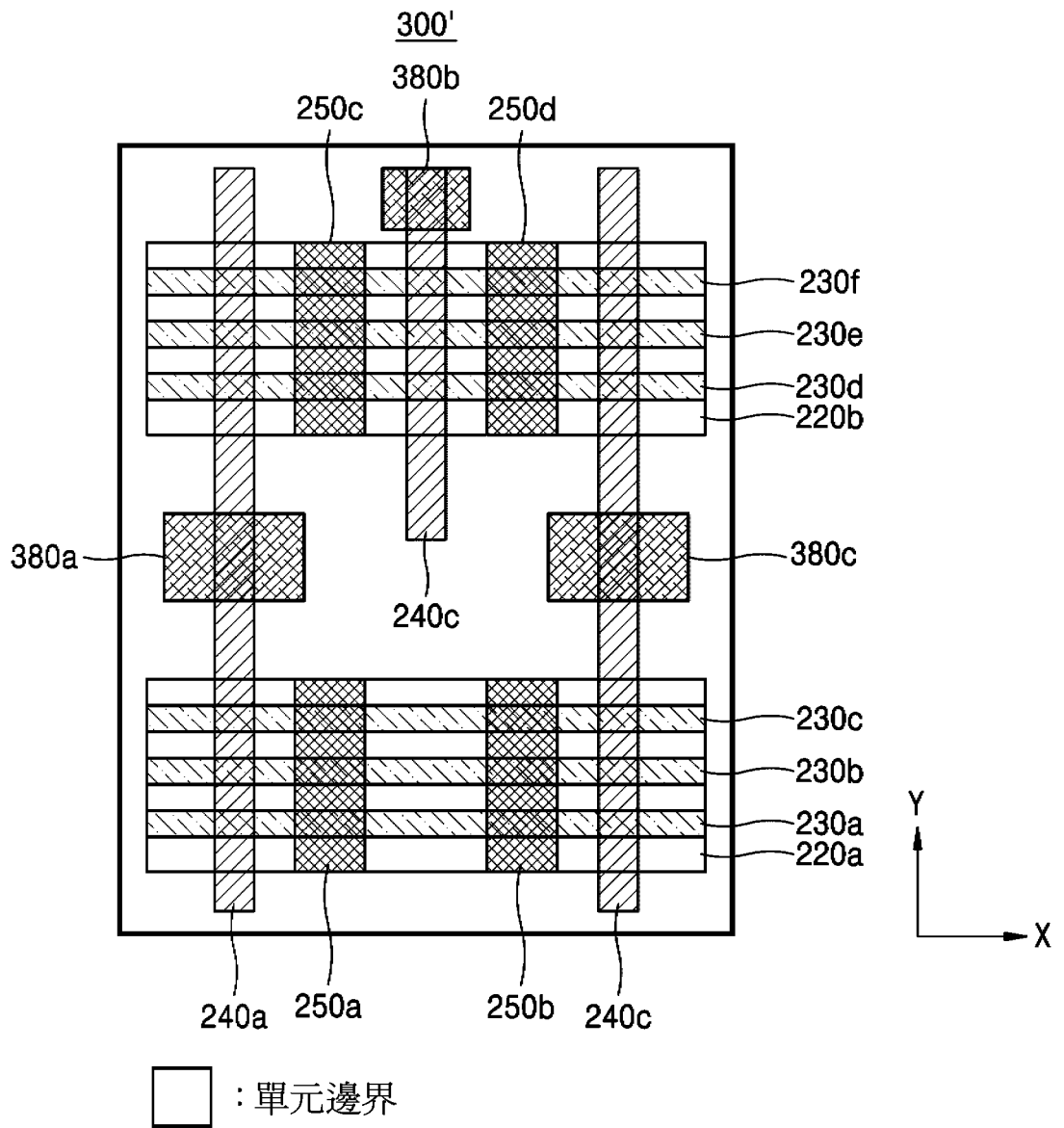
【圖15】



【圖16】

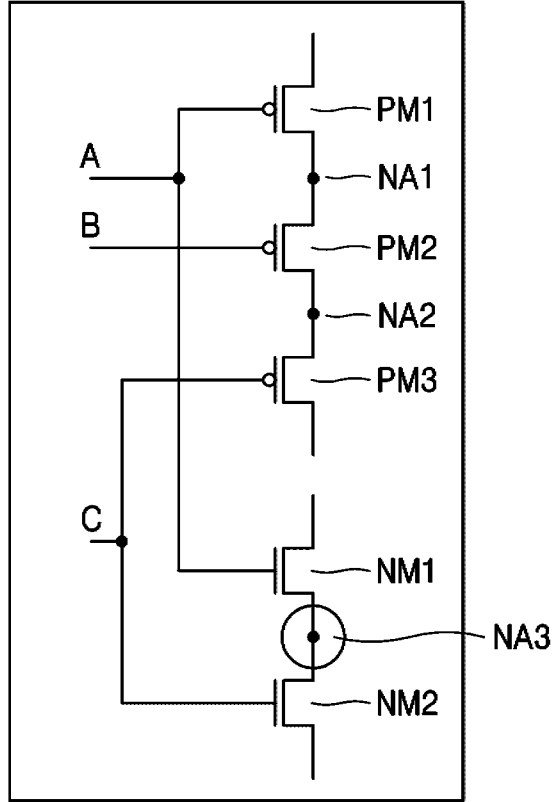


【圖17】



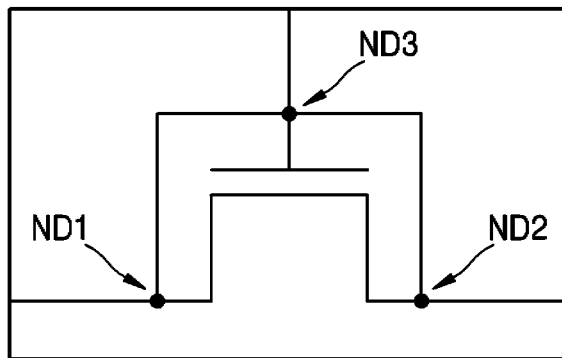
【圖18】

300

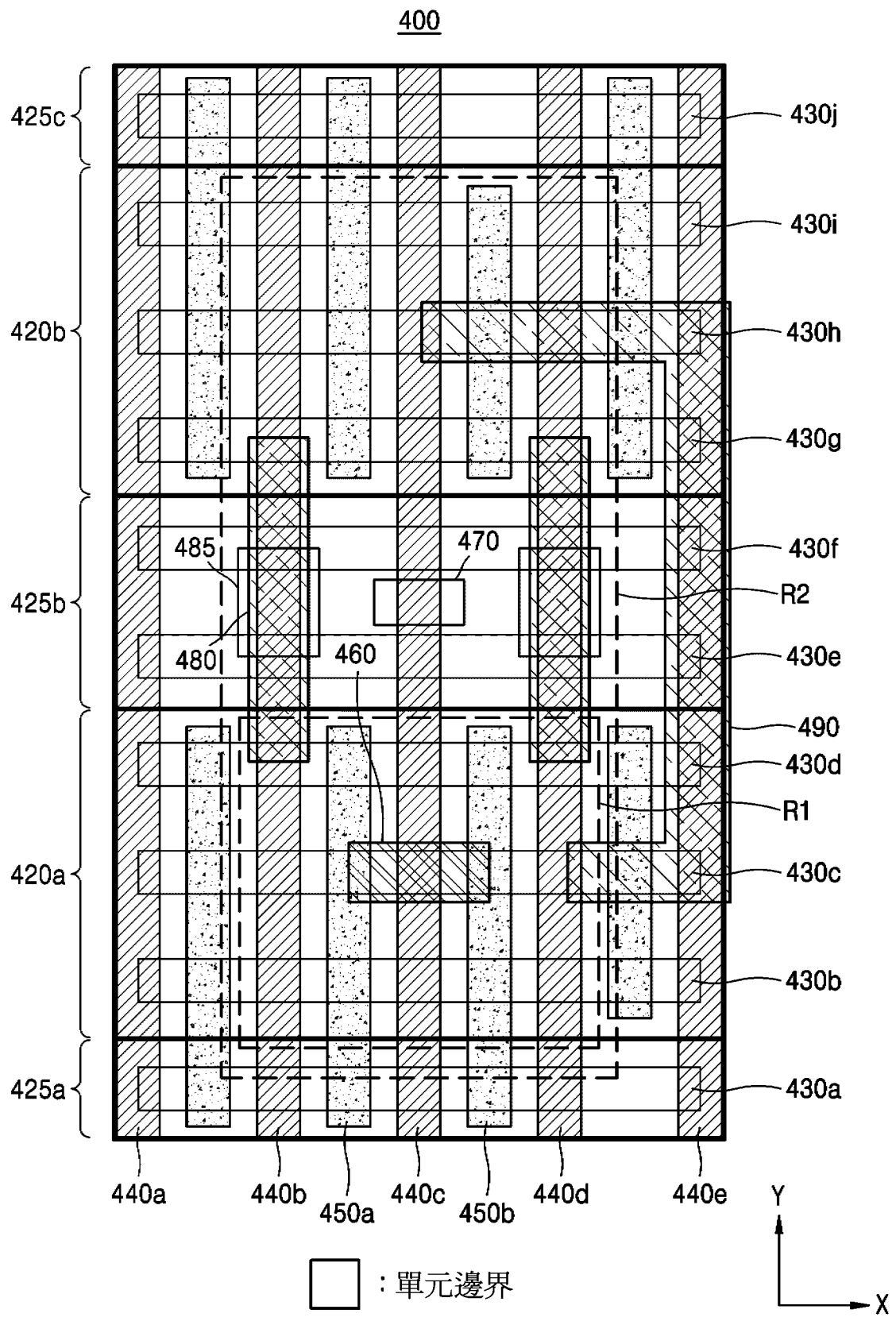


【圖19】

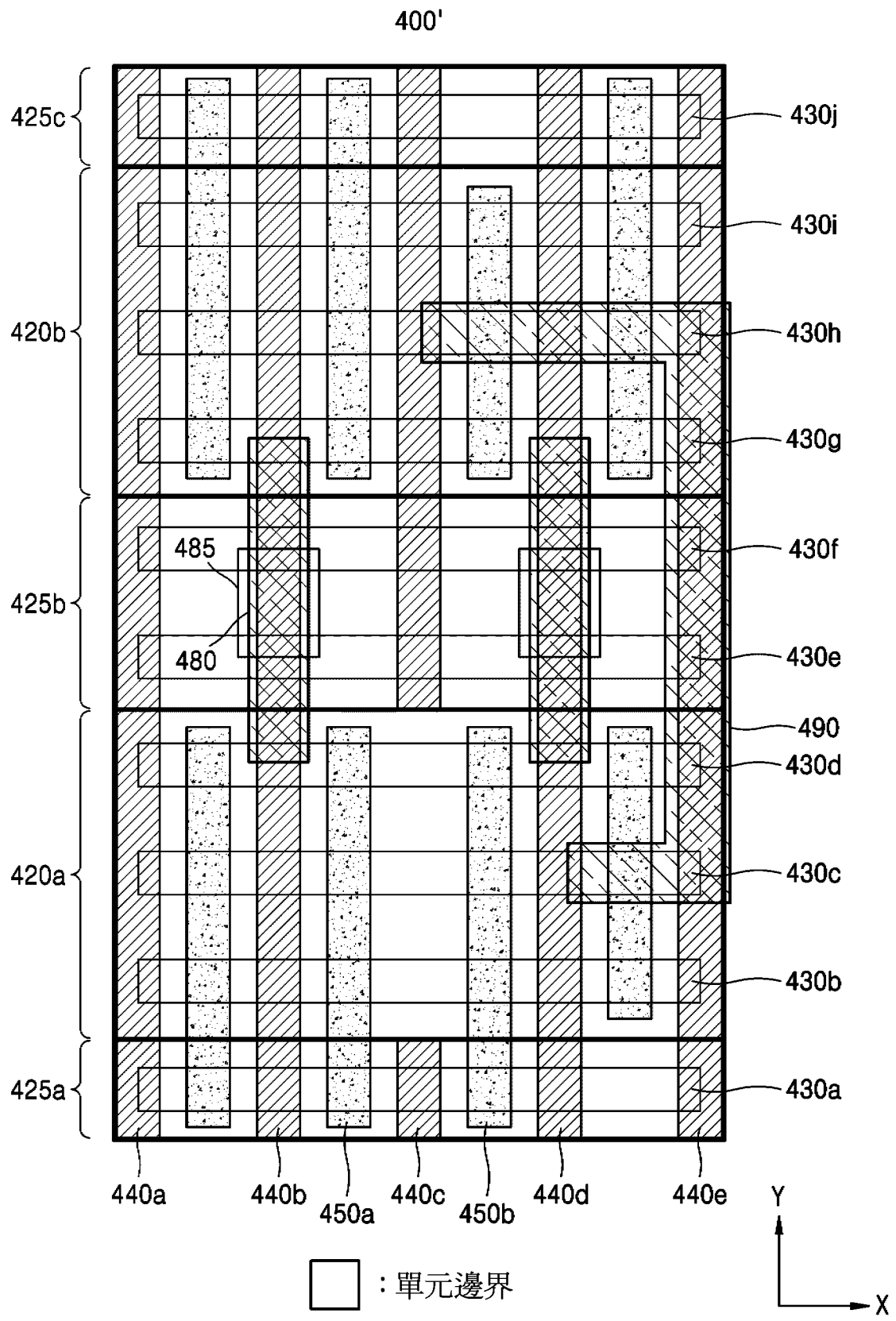
NA3



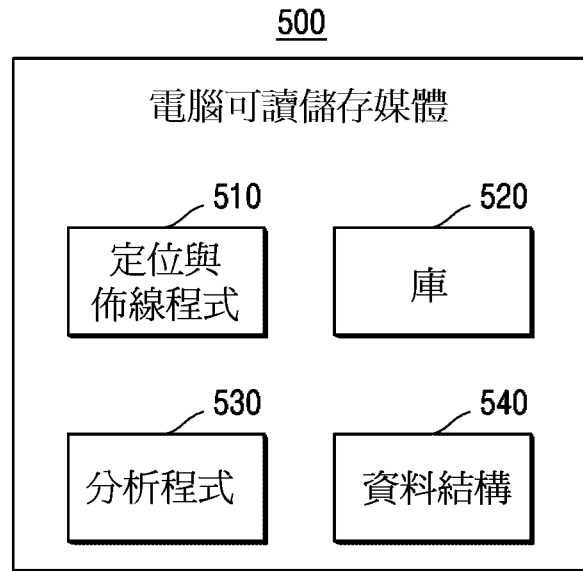
【圖20】



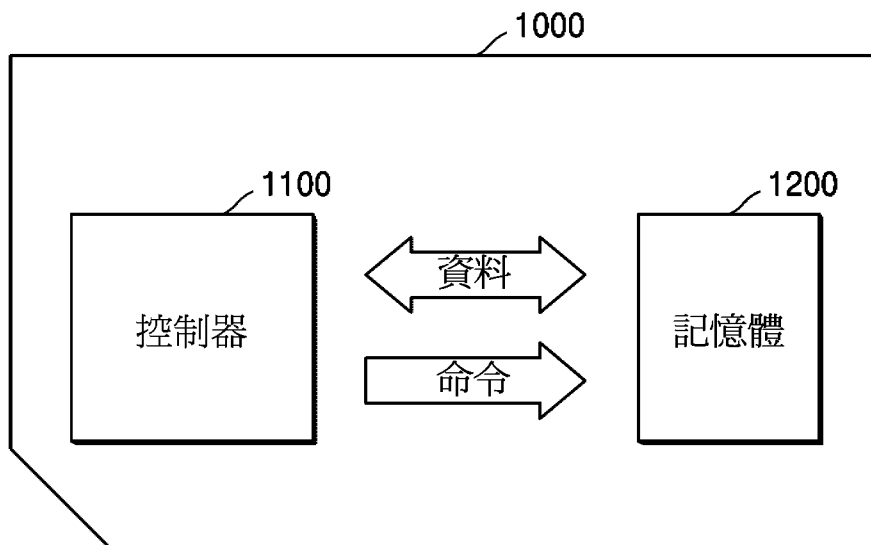
【圖21】



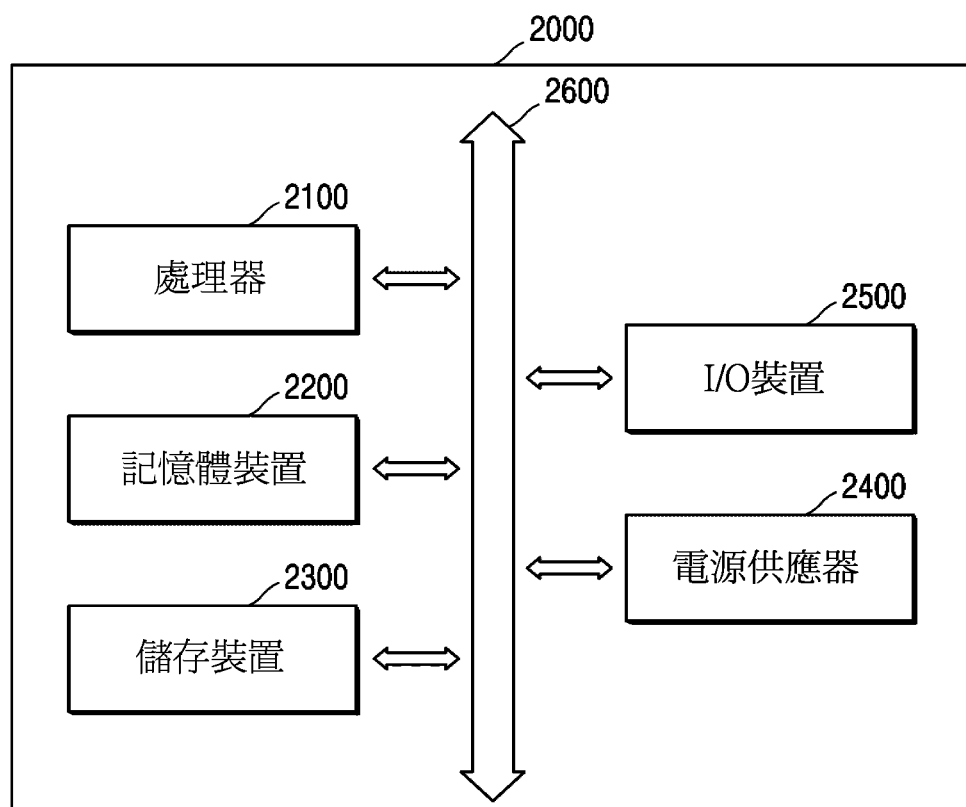
【圖22】



【圖23】



【圖24】



【圖25】

【發明說明書】

【中文發明名稱】

積體電路、基於積體電路的半導體元件及標準單元庫

【英文發明名稱】

INTEGRATED CIRCUIT, SEMICONDUCTOR DEVICE BASED ON
INTEGRATED CIRCUIT, AND STANDARD CELL LIBRARY

【對相關申請案的交叉參考】

【0001】 本申請案主張 2014 年 7 月 22 日在美國專利以及商標局申請的美國專利申請案第 62/027,401 號且 2015 年 1 月 9 日在韓國智慧財產局申請的韓國專利申請案第 10-2015-0003466 號的權益，兩個申請案的揭露內容以全文引用的方式併入本文中。

【技術領域】

【0002】 本發明概念的實例實施例是關於一種包含至少一單元的積體電路（integrated circuit；IC）、基於此 IC 的半導體裝置及/或儲存關於半導體裝置的資訊的標準單元庫（standard cell library）。

【先前技術】

【0003】 隨著電晶體的大小被減小且半導體製造技術進一步發展，更多電晶體可整合於半導體裝置中。舉例而言，指將電腦或其他電子系統的所有組件整合至單一晶片中的積體電路（IC）的系統

單晶片 (system-on-chip; SOC) 用於各種應用中。應用的日益增加的效能需求可要求包含更多組件的半導體裝置。

【發明內容】

【0004】 根據本發明概念的至少一實例實施例，一種積體電路 (IC) 可包含至少一單元，所述至少一單元包含多個導電線，其在第一方向上延伸且在第二方向上平行於彼此地安置，第二方向垂直於第一方向；第一接點，其分別安置在多個導電線當中的至少一導電線的兩側處；以及第二接點，其安置在至少一導電線以及第一接點上，且藉由電連接至至少一導電線以及第一接點而形成單一節點。

【0005】 根據本發明概念的其他實例實施例，一種半導體裝置可包含：基板，其包含具有不同導電類型的第一主動區以及第二主動區；多個導電線，其在第一方向上延伸且在第二方向上平行於彼此地安置，第二方向垂直於第一方向；第一接點，其分別安置在多個導電線當中的至少一導電線的兩側處；以及第二接點，其安置於第一主動區以及第二主動區中的至少一者中的至少一導電線以及第一接點處，且藉由電連接至至少一導電線以及第一接點而形成單一節點。

【0006】 根據本發明概念的其他實例實施例，一種儲存於非暫時性電腦可讀儲存媒體中的標準單元庫可包含關於多個標準單元的資訊。多個標準單元中的至少一者包含：第一主動區以及第二主動區，第一主動區以及第二主動區具有不同導電類型；多個鱗片，其

在第一以及第二主動區中平行於彼此地安置；多個導電線，其在第一方向上延伸且在多個鰭片上方在第二方向上平行於彼此地安置，第二方向垂直於第一方向；第一接點，其分別安置在多個導電線當中的至少一導電線的兩側上；以及第二接點，其藉由電連接至至少一導電線以及第一以及第二主動區中的至少一者中的第一接點而形成單一節點。

【0007】 根據其他實例實施例，一種半導體裝置可包含：基板，其包含具有第一導電類型的第一主動區，以及具有不同於第一導電類型的第二導電類型的第二主動區；多個閘電極，其在第一方向上延伸，使得多個閘電極在第二方向上平行於彼此，第二方向垂直於第一方向；第一接點，其在多個閘電極的經跳過閘電極的兩側中的各別側處，經跳過閘電極為電極連接至第一接點的多個閘電極中的一者；以及第二接點，其電連接至經跳過閘電極以及所述第一主動區中的第一接點，使得第二接點、至少一導電線以及第一接點形成第一主動區中的單一節點。

【0008】 半導體裝置可包含至少一不對稱閘積體電路 (asymmetrical gated integrated circuit ; asymmetrical gated IC)，不對稱閘 IC 相較於第一主動區在第二主動區中包含較大數目個電晶體。

【0009】 電晶體可為鰭式電晶體。

【0010】 半導體裝置可更包含多個鰭片，其於在第一方向上延伸的多個閘電極以下在第二方向上延伸，使得多個鰭片以及多個閘電極對應於鰭式電晶體。

【圖式簡單說明】

【0011】 將自結合隨附圖式進行的以下詳細描述更清楚地理解本發明概念的實例實施例，其中：

圖 1 為說明根據實例實施例的積體電路（IC）的一部分的佈局。

圖 2 為說明根據另一實例實施例的 IC 的一部分的佈局。

圖 3 為說明具有圖 1 的佈局的半導體裝置的實例的沿著圖 1 的線 III-III'切出的橫截面圖。

圖 4 為說明與圖 1 的實例實施例實質上相同的 IC 的一部分的佈局。

圖 5 為說明根據另一實例實施例的 IC 的一部分的佈局。

圖 6 為說明具有圖 5 的佈局的半導體裝置的實例的橫截面圖。

圖 7 為說明根據另一實例實施例的 IC 的一部分的佈局。

圖 8 為說明具有圖 5 的佈局的半導體裝置的實例的沿著圖 7 的線 VIII-VIII'切出的橫截面圖。

圖 9 為說明與圖 5 的實例實施例實質上相同的 IC 的一部分的佈局。

圖 10 為說明根據另一實例實施例的 IC 的佈局。

圖 11 為說明與圖 10 的實例實施例實質上相同的 IC 的佈局。

圖 12 為說明具有圖 10 的佈局的半導體裝置的實例的透視圖。

圖 13 為說明半導體裝置的沿著圖 12 的線 XII-XII'切出的橫

截面圖。

圖 14 為說明具有圖 10 的佈局的半導體裝置的另一實例的透視圖。

圖 15 為說明半導體裝置的沿著圖 14 的線 XIV-XIV'切出的橫截面圖。

圖 16 為說明具有圖 10 的佈局的半導體裝置的沿著圖 10 的線 XVI-XVI'切出的橫截面圖。

圖 17 為說明根據另一實例實施例的 IC 的佈局。

圖 18 為說明與圖 17 的實例實施例實質上相同的 IC 的一部分的佈局。

圖 19 為說明圖 17 的 IC 的電路圖。

圖 20 為詳細地說明圖 19 的第三節點區域的電路圖。

圖 21 為說明根據另一實例實施例的 IC 的佈局。

圖 22 為說明與圖 21 的實例實施例實質上相同的 IC 的一部分的佈局。

圖 23 為說明根據實例實施例的儲存媒體的方塊圖。

圖 24 為說明包含根據實例實施例的 IC 的記憶卡的方塊圖。

圖 25 為說明包含根據實例實施例的 IC 的計算系統的方塊圖。

【實施方式】

【0012】 現將詳細參考實例實施例，所述實施例的一些實例在附圖中說明，其中貫穿全文相似的圖式元件符號指相似的元件。提供

這些實例實施例，使得本發明將為透徹且完整的，且將向所述領域中具通常知識者充分傳達本發明的概念。因為本發明概念允許各種改變以及眾多實例實施例，所以將在圖式中將說明特定實例實施例，且在書面描述中詳細地描述特定實例實施例。然而，此情形並非意欲將本發明概念限於特定實踐模式，且應瞭解並不偏離精神以及技術範疇的所有改變、等效物以及替代物涵蓋在本發明概念內。為了解釋方便起見，可誇示圖式中的組件的大小。如本文中所示，術語「及/或」包括相關聯的所列項目中的一或多者的任何以及所有組合。當在元件清單之前時，諸如「……中的至少一者」的表達修飾元件的整個清單，且並不修飾清單的個別元件。

【0013】 用於本說明書中的術語僅用以描述特定實例實施例，且並不意欲限制發明概念。以單數形式使用的表達涵蓋複數形式的表達，除非其在上下文中具有清楚地不同的含義。在本說明書中，應理解，諸如「包含」、「具有」以及「包括」的術語意欲指示揭露於本說明書中的特徵、數字、步驟、動作、組件、部件或其組合的存在，且不意欲排除可存在或可添加一或多個其他特徵、數字、步驟、動作、組件、部件或其組合的可能性。

【0014】 雖然可使用諸如「第一」、「第二」等這些術語來描述各種組件，但這些組件不應限於上述術語。上述術語僅用於將一個組件與另一組件區分開來。舉例而言，在本發明概念的範疇內，第一組件可被稱作第二組件，且反之亦然。

【0015】 除非以其他方式界定，否則包含技術或科學術語的用於描述中的所有術語具有與一般熟習本發明概念的實例實施例相關的技術者通常理解的含義相同的含義。應進一步理解，應將術語

(諸如，常用詞典中所定義的彼等術語)解釋為具有與其在現有技術的上下文中的含義一致的含義，且不應解釋為具有理想化或過分正式含義，除非其在本說明書中清楚地界定。

【0016】 圖 1 為說明根據實例實施例的積體電路 (IC) 100A 的一部分的佈局。

【0017】 參看圖 1，IC 100A 可包含至少一單元 (cell)，其由用粗線指示的單元邊界來界定。單元可包含第一導電線 140a 至第三導電線 140c、第一接點 150a 以及第一接點 150b，以及第二接點 160a。儘管未說明，但多個導電線 (例如，金屬線) 可另外安置於單元的上部部分處。

【0018】 根據一些實例實施例，單元可為標準單元。根據設計標準單元佈局的方法，諸如「或」閘或「以及」閘的重複使用裝置經預先設計為標準單元，且儲存於電腦系統中，且在佈局設計程序期間，標準單元安置於必需位置中並經連線。因此，可在相對短的時間內設計佈局。

【0019】 第一導電線 140a 至第三導電線 140c 可在第一方向 (例如，Y 方向) 上延伸。又，第一導電線 140a 至第三導電線 140c 可在實質上垂直於第一方向的第二方向 (例如，X 方向) 上平行於彼此地安置。第一導電線 140a 至第三導電線 140c 可由 (例如) 多晶矽、金屬以及金屬合金的具有導電性的材料形成。

【0020】 根據實例實施例，第一導電線 140a 至第三導電線 140c 可對應於閘電極。然而，實例實施例 (例如) 不限於此，且第一導電線 140a 至第三導電線 140c 可為導電跡線 (conductive trace)。又，儘管圖 1 中說明單元包含第一導電線 140a 至第三導電線 140c，但

實例實施例不限於此。舉例而言，單元可包含在第一方向延伸且在第二方向上平行於彼此的四個或四個以上導電線。

【0021】 第一接點 150a 以及第一接點 150b 可在第一方向上延伸。又，第一接點 150a 以及第一接點 150b 可在實質上垂直於第一方向的第二方向上平行於彼此地安置。第一接點 150a 以及第一接點 150b 可由（例如）多晶矽、金屬以及金屬合金的具有導電性的材料形成。因此，第一接點 150a 以及第一接點 150b 可提供電力電壓或接地電壓至第一導電線 140a 至第三導電線 140c 之間的下部區域中。

【0022】 根據一些實例實施例，第一接點 150a 以及第一接點 150b 可分別安置於第二導電線 140b 的兩側處。具體言之，第一接點 150a 以及第一接點 150b 可包含：安置在第二導電線 140b 的左側處的第一左接點 150a，以及安置在第二導電線 140b 的右側處的第一右接點 150b。換言之，第一左接點 150a 可安置於第一導電線 140a 與第二導電線 140b 之間，且第一右接點 150b 可安置在所述第二導電線 140b 與第三導電線 140c 之間。

【0023】 根據一些實例實施例，第一左接點 150a 在第二方向上的長度（亦即，寬度 $W1a$ ）可小於第一導電線 140a 與第二導電線 140b 之間的空間 $S1$ 。同樣，第一右接點 150b 在第二方向上的長度（亦即，寬度 $W1b$ ）可小於第二導電線 140b 與第三導電線 140c 之間的空間 $S1$ 。根據實例實施例，第一左接點 150a 的寬度 $W1a$ 與第一右接點 150b 的寬度 $W1b$ 可實質上相同。然而，實例實施例不限於此。舉例而言，根據另一實例實施例，第一左接點 150a 的寬度 $W1a$ 可不同於第一右接點 150b 的寬度 $W1b$ 。

【0024】 第二接點 160a 可安置於第二導電線 140b 以及第一接點 150a 以及第一接點 150b 上，且可藉由電連接至第二導電線 140b 以及第一接點 150a 以及第一接點 150b 而形成單一節點。又，第二接點 160a 可在第二方向上延伸，且因此第二接點 160a 可安置於與第二導電線 140b 以及第一接點 150a 以及第一接點 150b 水平地交叉的方向上。第二接點 160a 可由（例如）多晶矽、金屬以及金屬合金的具有導電性的材料形成。因此，第二接點 160a 可提供（例如）相同電力電壓或相同接地電壓至第二導電線 140b 以及第一接點 150a 以及第一接點 150b。

【0025】 根據一些實例實施例，第二接點 160a 在第二方向上的長度（即，寬度 $W1c$ ）可大於第一左接點 150a 與第一右接點 150b 之間的距離 $D1a$ ，且小於第一導電線 140a 與第三導電線 140c 之間的距離 $D1b$ 。因此，第二接點 160a 可電連接至第二導電線 140b、第一左接點 150a 以及第一右接點 150b，但不連接至第一導電線 140a 以及第三導電線 140c。

【0026】 根據一些實例實施例，第一左接點 150a 在第一方向上的長度（即，高度 $H1a$ ）可與第一右接點 150b 在第一方向上的長度（即，高度 $H1b$ ）相同。因此，第一左接點 150a、第一右接點 150b 以及第二接點 160a 可形成 H 形跨接線（H-shaped jumper）。跨接線為用於在 IC 100A 中連接兩個點或兩個端子的具有相對短長度的導線。

【0027】 如上文所描述，根據一些實例實施例，單一節點可藉由電連接第二導電線 140b、第一接點 150a 以及第一接點 150b 以及第二接點 160a 來形成。因此，在基於展示於圖 1 中的佈局製造的 IC

100A 中，第二導電線 140b 可經跳過或屏蔽。因此，根據一些實例實施例的 H 形跨接線可被稱作跳過裝置。

【0028】 根據一些實例實施例，跳過第二導電線 140b 的單元可藉由電連接第二導電線 140b、第一接點 150a 以及第一接點 150b 以及第二接點 160a 來設計。因此，第一接點 150a 以及第一接點 150b 以及第二接點 160a 可與第二導電線 140b 分離以減小（或替代地消除）在形成跨接線時電短路發生的可能性。

【0029】 關於標準單元的上述佈局的資訊可儲存於標準單元庫中。具體言之，標準單元庫可包含關於多個標準單元的資訊，且儲存於電腦可讀儲存媒體中。舉例而言，非暫時性電腦可讀儲存媒體。對應於包含於標準單元庫中的資訊的標準單元指具有滿足標準的大小的 IC 的單元。舉例而言，標準單元的佈局的高度（例如，圖 1 的 Y 方向上的長度）可固定，且標準單元的寬度（例如，圖 1 的 X 方向上的長度）可根據標準單元發生變化。標準單元可包含用於處理輸入信號的輸入鱗片，以及用於輸出輸出信號的輸出鱗片。

【0030】 IC 可為多個標準單元。IC 設計工具可設計 IC，亦即，藉由使用包含關於多個標準單元的資訊的標準單元庫來完成 IC 的佈局。IC 設計工具可在包含於標準單元中的接腳（亦即，輸入接腳以及輸出接腳）上置放介層窗，使得接腳與在標準單元的接腳在半導體製造程序中形成之後形成的層上的圖案連接。即，藉由將介層窗置放於標準單元的接腳中，可傳輸標準單元的輸入信號或輸出信號。

【0031】 圖 2 為說明根據其他實例實施例的 IC 100B 的一部分的

佈局。

【0032】參看圖 2，IC 100B 可包含第一導電線 140a 至第三導電線 140c、第一左接點 150a、第一右接點 150b'以及第二接點 160a。IC 100B 為展示於圖 1 中的 IC 100A 的經修改實例實施例。因此，圖 1 的描述中的至少一些亦可應用至 IC 100B，且因此將不重複參看圖 1 已描述的特徵以及器件。

【0033】根據一些實例實施例，第一左接點 150a 在第一方向上的長度（即，高度 H1a）可不同於第一右接點 150b'的長度（即，高度 H1b'）。因此，第一左接點 150a、第一右接點 150b'以及第二接點 160a 可形成 L 形跨接線。

【0034】根據一些實例實施例，第一右接點 150b'的高度 H1b'可大於第一左接點 150a 的高度 H1a。根據其他實例實施例，第一左接點 150a 的高度 H1a 可大於第一右接點 150b'的高度 H1b'。第一左接點 150a 的高度 H1a 以及第一右接點 150b'的高度 H1b'在各種實例實施例中可發生變化。

【0035】圖 3 為說明具有圖 1 的佈局的半導體裝置 100a 的實例的沿著圖 1 的線 III-III'切出的橫截面圖。

【0036】參看圖 3，半導體裝置 100a 可包含基板 110、第二導電線 140b、第一接點 150a 以及第一接點 150b，以及第二接點 160a。儘管未說明，但提供（例如）電力電壓或接地電壓的電壓端子可另外安置於第二接點 160a 上。

【0037】基板 110 可為包含選自（例如）以下各者的任一者的半導體基板：矽、絕緣體上矽（silicon-on-insulator；SOI）、藍寶石上矽、鍺、矽-鍺，以及銻-砷化物。舉例而言，基板 110 可為 P 型基

板。又，儘管未說明，但基板 110 可具有摻雜有雜質的主動區。

【0038】 第二導電線 140b 可安置於基板 110 上。根據一些實例實施例，第二導電線 140b 可用作閘電極。在此狀況下，閘極絕緣層可另外安置於第二導電線 140b 與基板 110 的主動區之間。

【0039】 第一接點 150a 以及第一接點 150b 可安置於基板 110 上。因此，第一接點 150a 以及第一接點 150b 可在基板 110 的主動區中提供（例如）電力電壓或接地電壓。根據一些實例實施例，第一接點 150a 以及第一接點 150b 可分別安置於第二導電線 140b 的兩側處。根據一些實例實施例，第一接點 150a 以及第一接點 150b 的上部部分可處於與第二導電線 140b 的上部部分相同的水平。

【0040】 第二接點 160a 可安置於第二導電線 140b 以及第一接點 150a 以及第一接點 150b 上，且藉由電連接至第二導電線 140b 以及第一接點 150a 以及第一接點 150b 而形成單一節點。

【0041】 圖 4 為說明與圖 1 的實例實施例實質上相同的 IC 100A' 的一部分的佈局。

【0042】 參看圖 4，IC 100A' 可包含第一導電線 140a 以及第三導電線 140c 以及第一接點 150a 以及第一接點 150b。第一接點 150a 以及第一接點 150b 可連接至安置於上部部分處的單一金屬線。根據其他實例實施例，IC 100A' 可包含第一接點 150a 以及第一接點 150b 中的僅一者。

【0043】 展示於圖 1 中的佈局中的第一接點 150a 以及第一接點 150b 以及第二接點 160a 形成 H 形跨接線。因此，當實際上製造 IC 100A 時，IC 100A 可與對應於展示於圖 4 中的佈局的 IC 100A' 實質上相同。換言之，歸因於展示於圖 1 中的佈局中的 H 形跨接

線，可跳過第二導電線 140b。

【0044】 同樣，展示於圖 2 中的佈局中的第一接點 150a 以及第一接點 150b'以及第二接點 160a 可形成 L 形跨接線。因此，當實際上製造 IC 100B 時，IC 100B 可與對應於展示於圖 4 中的佈局的 IC 100A'實質上相同。換言之，歸因於展示於圖 2 中的佈局中的 L 形跨接線，可跳過第二導電線 140b。

【0045】 圖 5 為說明根據其他實例實施例的 IC 100C 的一部分的佈局。

【0046】 參看圖 5，IC 100C 可包含至少一單元，其由用粗線指示的單元邊界來界定。單元可包含第一導電線 140e 至第四導電線 140h、第一接點 150c 以及第一接點 150d，以及第二接點 160b。

【0047】 第一導電線 140e 至第四導電線 140h 可在第一方向（例如，Y 方向）上延伸。又，第一導電線 140e 至第四導電線 140h 可在實質上垂直於第一方向的第二方向（例如，X 方向）上平行於彼此地安置。第一導電線 140e 至第四導電線 140h 可由（例如）多晶矽、金屬及/或金屬合金的具有導電性的材料形成。

【0048】 根據一些實例實施例，第一導電線 140e 至第四導電線 140h 可對應於閘電極。然而，實例實施例不限於此。舉例而言，第一導電線 140e 至第四導電線 140h 可為導電跡線。又，儘管圖 5 說明 IC 100C 包含第一導電線 140e 至第四導電線 140h，但實例實施例不限於此，例如，IC 100C 可包含在第一方向上延伸並在第二方向上平行於彼此的五個或五個以上導電線。

【0049】 第一接點 150c 以及第一接點 150d 可在第一方向上延伸。又，第一接點 150c 以及第一接點 150d 可在實質上垂直於第一方

向的第二方向上平行於彼此地安置。第一接點 150c 以及第一接點 150d 可由（例如）多晶矽、金屬以及金屬合金的具有導電性的材料形成。因此，第一接點 150c 以及第一接點 150d 可提供電力電壓或接地電壓至第一導電線 140e 至第四導電線 140h 之間的下部區域中。

【0050】 根據一些實例實施例，第一接點 150c 以及第一接點 150d 可包含：第一左接點 150c，其安置在第二導電線 140f 的左側處；以及第一右接點 150d，其安置在第三導電線 140g 的右側處。換言之，第一左接點 150c 可安置在第一導電線 140e 與第二導電線 140f 之間，且第一右接點 150d 可安置在第三導電線 140g 與第四導電線 140h 之間。

【0051】 根據一些實例實施例，第一左接點 150c 在第二方向上的長度（即，寬度 $W2a$ ）可小於第一導電線 140e 與第二導電線 140f 之間的空間 $S2$ 。同樣，第一右接點 150d 在第二方向上的長度（即，寬度 $W2b$ ）可小於第三導電線 140g 與第四導電線 140h 之間的空間 $S2$ 。根據一些實例實施例，第一左接點 150c 的寬度 $W2a$ 可與第一右接點 150d 的寬度 $W2b$ 實質上相同。然而，實例實施例不限於此。舉例而言，根據其他實例實施例，第一左接點 150c 的寬度 $W2a$ 可不同於第一右接點 150d 的寬度 $W2b$ 。

【0052】 第二接點 160b 可安置於第二導電線 140f 以及第三導電線 140g 以及第一接點 150c 以及第一接點 150d 上，且藉由電連接至第二導電線 140f 以及第三導電線 140g 以及第一接點 150c 以及第一接點 150d 來形成單一節點。又，第二接點 160b 可在第二方向上延伸，且因此第二接點 160b 可在與第二導電線 140f 以及第

三導電線 140g 以及第一接點 150c 以及第一接點 150d 水平地交叉的方向上安置。第二接點 160b 可由（例如）多晶矽、金屬及/或金屬合金的具有導電性的材料形成。因此，第二接點 160b 可提供（例如）相同電力電壓或相同接地電壓至第二導電線 140f 以及第三導電線 140g 以及第一接點 150c 以及第一接點 150d。

【0053】 根據一些實例實施例，第二接點 160b 在第二方向上的長度（即，寬度 $W2c$ ）可大於第一左接點 150c 與第一右接點 150d 之間的距離 $D2a$ ，且小於第一導電線 140e 與第四導電線 140h 之間的距離 $D2b$ 。因此，第二接點 160b 可電連接至第二導電線 140f 以及第三導電線 140g、第一左接點 150c 以及第一右接點 150d，但不連接至第一導電線 140e 以及第四導電線 140h。

【0054】 根據一些實例實施例，第一左接點 150c 在第一方向上的長度（即，高度 $H2a$ ）可與第一右接點 150d 在第一方向的長度（即，高度 $H2b$ ）實質上相同。因此，第一左接點 150c、第一右接點 150d 以及第二接點 160b 可形成 H 形跨接線。跨接線為用於在 IC 100C 中連接兩個點或兩個端子的具有相對短長度的導線。

【0055】 儘管未說明，但根據其他實例實施例，第一左接點 150c 在第一方向上的長度（即，高度 $H2a$ ）可不同於第一右接點 150d 在第一方向上的長度（即，高度 $H2b$ ）。因此，第一左接點 150c、第一右接點 150d 以及第二接點 160b 可形成 L 形跨接線。

【0056】 如上文所描述，根據一些實例實施例，單一節點可藉由使第二導電線 140f 以及第三導電線 140g、第一接點 150c 以及第一接點 150d 以及第二接點 160b 電短路連接（electrically short-circuiting）而形成。因此，在基於展示於圖 5 中的佈局製造的 IC

100C 中，可跳過第二導電線 140f 以及第三導電線 140g。因此，根據一些實例實施例的 H 形跨接線可被稱作跳過裝置。

【0057】 圖 6 為說明具有圖 5 的佈局的半導體裝置 100c 的實例的橫截面圖。

【0058】 參看圖 6，半導體裝置 100c 可包含基板 110、第二導電線 140f 以及第三導電線 140g、第一接點 150c 以及第一接點 150d 以及第二接點 160b。儘管未說明，但提供（例如）電力電壓或接地電壓的電壓端子可另外安置於第二接點 160b 上。

【0059】 基板 110 可為包含選自（例如）以下各者中的任一者的半導體基板：矽、SOI、藍寶石上矽、鍺、矽-鍺以及鎵-砷化物。舉例而言，基板 110 可為 P 型基板。又，儘管未說明，但基板 110 可具有摻雜有雜質的主動區。

【0060】 第二導電線 140f 以及第三導電線 140g 可安置於基板 110 上。根據一些實例實施例，第二導電線 140f 以及第三導電線 140g 可用作閘電極。在此狀況下，閘極絕緣層可另外安置於第二導電線 140f 以及第三導電線 140g 與基板 110 的主動區之間。

【0061】 第一接點 150c 以及第一接點 150d 可安置於基板 110 上。因此，第一接點 150c 以及第一接點 150d 可在基板 110 的主動區中提供（例如）電力電壓或接地電壓。根據一些實例實施例，第一接點 150c 以及第一接點 150d 可分別安置於第二導電線 140f 的左側以及第三導電線 140g 的右側。根據一些實例實施例，第一接點 150c 以及第一接點 150d 的上部部分可處於與第二導電線 140f 以及第三導電線 140g 的上部部分相同的水平。

【0062】 第二接點 160b 可安置於以下各者上並電連接至以下各

者：第二導電線 140f 以及第三導電線 140g，以及第一接點 150c 以及第一接點 150d。因此，第二導電線 140f 以及第三導電線 140g、第一接點 150c 以及第一接點 150d 與第二接點 160b 可形成單一節點。

【0063】圖 7 為說明根據其他實例實施例的 IC 100D 的一部分的佈局。

【0064】參看圖 7，IC 100D 可包含至少一單元，其由用粗線指示的單元邊界來界定。單元可包含第一導電線 140e 至第四導電線 140h、第一左接點 150c、第一右接點 150d、第一中心接點 150e 以及第二接點 160c。IC 100D 為展示於圖 5 中的 IC 100C 的經修改實例實施例，且因此圖 5 的描述中的至少一些亦可應用至 IC 100D。因此，將不重複參看圖 5 已描述的特徵以及器件。

【0065】不同於圖 5 的 IC 100C，根據一些實例實施例的 IC 100D 可更包含第一中心接點 150e。第一中心接點 150e 可安置於第二導電線 140f 與第三導電線 140g 之間。根據一些實例實施例，第二接點 160c 可電連接至第二導電線 140f 以及第三導電線 140g 以及第一左接點 150c、第一右接點 150d 以及第一中心接點 150e，且因此形成單一節點。

【0066】圖 8 為說明具有圖 5 的佈局的半導體裝置 100d 的實例的沿著圖 7 的線 VIII-VIII'切出的橫截面圖。

【0067】參看圖 8，半導體裝置 100d 可包含基板 110、第二導電線 140f 以及第三導電線 140g、第一左接點 150c、第一右接點 150d 以及第一中心接點 150e，以及第二接點 160c。半導體裝置 100d 為圖 6 的半導體裝置 100c 的經修改實施例，且因此，圖 6 的描述亦

可應用至半導體裝置 100d。因此，將不重複參看圖 6 已經描述的特徵以及器件。

【0068】 第一左接點 150c、第一右接點 150d 以及第一中心接點 150e 可分別安置於基板 110 上。因此，第一左接點 150c、第一右接點 150d 以及第一中心接點 150e 可提供（例如）電力電壓或接地電壓至基板 110 的主動區。根據一些實例實施例，第一中心接點 150e 可安置於第二導電線 140f 與第三導電線 140g 之間。根據一些實例實施例，第一左接點 150c、第一右接點 150d 以及第一中心接點 150e 的上部部分可分別處於與分別與第二導電線 140f 以及第三導電線 140g 的上部部分實質上相同的水平。

【0069】 第二接點 160c 可安置於以下各者上並電連接至以下各者：第二導電線 140f 以及第三導電線 140g 以及第一左接點 150c、第一右接點 150d 以及第一中心接點 150e。因此，第二導電線 140f 以及第三導電線 140g 以及第一左接點 150c、第一右接點 150d 以及第一中心接點 150e（分別）可與第二接點 160b 形成單一節點。

【0070】 圖 9 為說明與圖 5 的實例實施例實質上相同的 IC 100C' 的一部分的佈局。

【0071】 參看圖 9，IC 100C'可包含第一導電線 140e 以及第四導電線 140h 以及第一接點 150c 以及第一接點 150d。第一接點 150c 以及第一接點 150d 可連接至安置在第一接點 150c 以及第一接點 150d 上方的相同金屬線。根據其他實例實施例，IC 100C'可包含第一接點 150c 以及第一接點 150d 中的僅一者。

【0072】 包含於展示於圖 5 中的佈局中的第一接點 150c 以及第一接點 150d 以及第二接點 160b 可形成 H 形跨接線。因此，當實際

上製造 IC 100C 時，IC 100C 可與對應於展示於圖 9 中的佈局的 IC 100C'實質上相同。換言之，歸因於展示於圖 5 中的佈局中的 H 形跨接線，可跳過第二導電線 140f 以及第三導電線 140g。

【0073】 同樣，展示於圖 7 中的佈局中的第一左接點 150c、第一右接點 150d 以及第一中心接點 150e 以及第二接點 160c 可形成跨接線。因此，當實際上製造 IC 100D 時，IC 100D 可與對應於展示於圖 9 中的佈局的 IC 100C'實質上相同。換言之，歸因於展示於圖 7 中的佈局中的跨接線，可跳過第二導電線 140f 以及第三導電線 140g。

【0074】 圖 10 為說明根據其他實例實施例的 IC 200 的佈局。

【0075】 參看圖 10，IC 200 可包含至少一單元，其由用粗線繪製的單元邊界來界定。具體言之，圖 10 說明 IC 200 中標準單元的實例。標準單元包含（但不限於）第一主動區 220a 以及第二主動區 220b、多個鰭片、多個導電線、第一接點 250a 至第一接點 250d、第二接點 260 以及切割區 270。

【0076】 根據一些實例實施例，多個鰭片可包含第一至第六鰭片 230a 至 230f，且多個導電線可包含第一至第三導電線 240a 至 240c。然而，實例實施例不限於此。舉例而言，根據其他實例實施例，多個鰭片以及多個導電線可分別包含各種數目個鰭片以及導電線。

【0077】 第一主動區 220a 可在安置第一鰭片 230a 至第三鰭片 230c 之處，例如，N 型金氧半導體（N-type metal oxide semiconductor；NMOS）界定層處。舉例而言，第一主動區 220a 可為 P 型基板中的隨機區域。第二主動區 220b 可在安置第四鰭片 230d 至第六鰭片 230f 之處，例如，P 型 MOS（P-type MOS；PMOS）

界定層處。舉例而言，第二主動區 220b 可為 N 型井區。儘管未繪示，但裝置分離區可安置於第一主動區 220a 與第二主動區 220b 之間。

【0078】 第一鰭片 230a 至第六鰭片 230f 可在第一方向（例如，Y 方向）上平行於彼此地安置，且在實質上垂直於第一方向的第二方向（例如，X 方向）上延伸。根據一些實例實施例，第一鰭片 230a 至第六鰭片 230f 可為主動式鰭片。由此類鰭片形成的鰭式電晶體的通道寬度可與主動式鰭片的數目成比例地增加，且因此在鰭式電晶體中流動的電流的量可增加。儘管未繪示，但 IC 200 可另外包含安置於裝置分離區上的虛設鰭片。

【0079】 根據一些實例實施例，在 IC 200 的佈局中，第一鰭片 230a 至第六鰭片 230f 在第一方向上可具有相同的各別長度，亦即，各別寬度。第一鰭片 230a 至第六鰭片 230f 的各別寬度為以二維形式展示於圖 10 的佈局上的寬度。由於圖 10 為 2D 佈局，因此第一鰭片 230a 至第六鰭片 230f 的各別高度未予展示。

【0080】 第一導電線 240a 至第三導電線 240c 可在第一方向（例如，Y 方向）上延伸。又，第一導電線 240a 至第三導電線 240c 可在實質上垂直於第一方向的第二方向（例如，X 方向）上平行於彼此地安置。第一導電線 240a 至第三導電線 240c 可由（例如）多晶矽、金屬及/或金屬合金的具有導電性的材料形成。根據一些實例實施例，第一導電線 240a 至第三導電線 240c 可對應於閘電極。

【0081】 第一接點 250a 至第一接點 250d 可在第一方向（例如，Y 方向）上延伸。又，第一接點 250a 至第一接點 250d 可在實質上垂直於第一方向的第二方向（例如，X 方向）上平行於彼此地安

置。第一接點 250a 至第一接點 250d 可由（例如）多晶矽、金屬及/或金屬合金的具有導電性的材料形成。

【0082】 根據一些實例實施例，第一接點 250a 至第一接點 250d 可包含第一主動區 220a 上的第一下部接點 250a 以及第一下部接點 250b，以及第二主動區 220b 上的第一上部接點 250c 以及第一上部接點 250d。第一下部接點 250a 以及第一下部接點 250b 可為連接至第一主動區 220a 的接點，例如，源極接點以及汲極接點。因此，第一下部接點 250a 以及第一下部接點 250b 可提供（例如）電力電壓或接地電壓至第一主動區 220a。第一上部接點 250c 以及第一上部接點 250d 可為連接至第二主動區 220b 的接點，例如，源極接點以及汲極接點。因此，第一上部接點 250c 以及第一上部接點 250d 可提供（例如）電力電壓或接地電壓至第二主動區 220b。

【0083】 根據一些實例實施例，第一下部接點 250a 以及第一下部接點 250b 可分別安置於第二導電線 240b 的兩側處。詳言之，第一下部接點 250a 以及第一下部接點 250b 可包含：安置在第二導電線 240b 的左側處的第一左下接點 250a，以及安置在第二導電線 240b 的右側處的第一右下接點 250b。換言之，第一左下接點 250a 可安置於第一導電線 240a 與第二導電線 240b 之間，且第一右下接點 250b 可安置在所述第二導電線 240b 與第三導電線 240c 之間。

【0084】 第二接點 260 可安置於第二導電線 240b 以及第一下部接點 250a 以及第一下部接點 250b 上，且藉由電連接至第二導電線 240b 以及第一下部接點 250a 以及第一下部接點 250b 而形成單一節點。又，第二接點 260 可在第二方向上延伸，即在 X 方向上延

伸，且因此，第二接點 260 可安置於與第二導電線 240b 以及第一下部接點 250a 以及第一下部接點 250b 水平地交叉的方向上。第二接點 260 可由（例如）多晶矽、金屬及/或金屬合金的具有導電性的材料形成。因此，第二接點 260 可提供（例如）相同電力電壓或相同接地電壓至第二導電線 240b 以及第一下部接點 250a 以及第一下部接點 250b。

【0085】 根據一些實例實施例，安置於第一主動區 220a 上的第一導電線 240a 至第三導電線 240c、第一下部接點 250a 以及第一下部接點 250b 以及第二接點 260 可與說明於圖 1 中的 IC 100A 實質上相同。因此，圖 1 的描述亦可應用至 IC 200，且將不重複已參看圖 1 描述的特徵以及器件。

【0086】 如上文所描述，根據一些實例實施例，單一節點可藉由使第一主動區 220a 上的第二導電線 240b、第一下部接點 250a 以及第一下部接點 250b 以及第二接點 260 電短路連接來形成。因此，在基於展示於圖 10 中的佈局製造的 IC 200 中，第二導電線 240b 可在第一主動區 220a 中被跳過，但在第二主動區 220b 中不跳過。因此，IC 200 可包含不對稱閘，在所述閘中，（例如）兩個 NMOS 鰭式電晶體的兩個電晶體處於第一主動區 220a 中，且（例如）三個 PMOS 鰭式電晶體的三個電晶體是在第二主動區 220b 中。

【0087】 儘管圖 10 說明第二接點 260 安置於第一主動區 220a 上的實例實施例，但實例實施例不限於此。舉例而言，根據其他實例實施例，第二接點 260 可安置於第一主動區 220a 以及第二主動區 220b 兩者上。在此狀況下，相同數目個電晶體可安置於第一主動區 220a 以及第二主動區 220b 上。根據其他實例實施例，第二接

點 260 可安置於僅在第二主動區 220b 上。在此狀況下，相較於第二主動區 220b，更多電晶體可安置於第一主動區 220a 上。

【0088】圖 11 為說明與圖 10 的實例實施例實質上相同的 IC 200' 的佈局。

【0089】參看圖 11，IC 200' 可包含第一導電線 240a 至第三導電線 240c，以及第一接點 250a 至第一接點 250d。安置於第一主動區 220a 上的第一下部接點 250a 以及第一下部接點 250b 可連接至第一下部接點 250a 以及第一下部接點 250b 上方的相同金屬線。根據其他實例實施例，IC200' 可包含第一下部接點 250a 以及第一下部接點 250b 中的僅一者。

【0090】包含於展示於圖 10 中的佈局中的第一下部接點 250a 以及第一下部接點 250b 以及第二接點 260 可形成 H 形跨接線。因此，當實際上製造 IC 200 時，IC 200 可與對應於展示於圖 11 中的佈局的 IC 200' 實質上相同。換言之，歸因於展示於圖 10 中的佈局中的 H 形跨接線，可跳過第一主動區 220a 中的第二導電線 240b。因此，如圖 11 中所說明，第二導電線 240b 可在第一主動區 220a 中被跳過，且因此，IC 200 以及 200' 可在第一主動區 220a 中包含兩個 NMOS 鰭式電晶體，且在第二主動區 220b 中包含三個 PMOS 鰭式電晶體。

【0091】圖 12 為說明具有圖 10 的佈局的半導體裝置 200A 的實例的透視圖。圖 13 為說明半導體裝置 200A 的沿著圖 12 的線 XII-XII' 切出的橫截面圖。

【0092】參看圖 12 以及圖 13，半導體裝置 200A 可為塊材式 (bulk type) 鰭式電晶體。半導體裝置 200A 可包含基板 210、第一絕緣

為第 104123475 號中文說明書無劃線修正本

修正日期:104 年 11 月 20 日

層 233、第二絕緣層 236、第一鰭片 230a 至第三鰭片 230c 以及第一導電線（下文中被稱作「閘電極」）240a。

【0093】 基板 210 可為包含選自（例如）以下各者中的任一者的半導體基板：矽、SOI、藍寶石上矽、鍺、矽-鍺以及鍺-砷化物。基板 210 可為 P 型基板並用作第一主動區 220a。

【0094】 第一鰭片 230a 至第三鰭片 230c 可經安置，使得其連接至基板 210。根據一些實例實施例，第一鰭片 230a 至第三鰭片 230c 可為藉由用 n+或 p+雜質對自基板 210 垂直突出的部分進行摻雜而形成的主動區。

【0095】 第一絕緣層 233 以及第二絕緣層 236 可包含選自（例如）以下各者的絕緣材料：氧化物、氮化物及/或氮氧化物。第一絕緣層 233 可安置於第一鰭片 230a 至第三鰭片 230c 上。第一絕緣層 233 可藉由安置於第一鰭片 230a 至第三鰭片 230c 與閘電極 240a 之間而用作閘極絕緣層。第二絕緣層 236 可形成於第一鰭片 230a 至第三鰭片 230c 之間的空間處達某高度。第二絕緣層 236 可藉由安置於第一鰭片 230a 至第三鰭片 230c 之間而用作裝置分離層。

【0096】 閘電極 240a 可安置於第一絕緣層 233 以及第二絕緣層 236 上。因此，閘電極 240a 可包圍第一鰭片 230a 至第三鰭片 230c、第一絕緣層 233 以及第二絕緣層 236。換言之，第一鰭片 230a 至第三鰭片 230c 可位於閘電極 240a 內部。閘電極 240a 可包含諸如鎢（W）或鉭（Ta）的金屬材料、金屬材料的氮化物、金屬材料的矽化物，及/或摻雜多晶矽，且藉由使用沈積製程而形成。

【0097】 圖 14 為說明具有圖 10 的佈局的半導體裝置 200B 的另一實例的透視圖。圖 15 為說明半導體裝置 200B 的沿圖 14 的線 XIV-

XIV'切出的橫截面圖。

【0098】參看圖 14 以及圖 15，半導體裝置 200B 可為 SOI 類型鰭式電晶體。半導體裝置 200B 可包含基板 210'、第一絕緣層 215、第二絕緣層 233'、第一鰭片 230a'至第三鰭片 230c'以及第一導電線（下文中被稱作「閘電極」）240a'。半導體裝置 200B 為展示於圖 12 以及圖 13 中的半導體裝置 200A 的經修改實例實施例。因此，將主要描述半導體 200B 的不同於半導體裝置 200A 的特徵以及器件，且將不重複參看圖 12 以及圖 13 已描述的特徵以及器件。

【0099】第一絕緣層 215 可安置於基板 210'上。第二絕緣層 233'可藉由安置於第一鰭片 230a'至第三鰭片 230c'與閘電極 240a'之間而用作閘極絕緣層。第一鰭片 230a'至第三鰭片 230c'可包含半導體材料，例如，矽及/或摻雜矽。

【0100】閘電極 240a'可安置於第二絕緣層 233'上。因此，閘電極 240a'可包圍第一鰭片 230a'至第三鰭片 230c'以及第二絕緣層 233'。換言之，第一鰭片 230a'至第三鰭片 230c'可位於閘電極 240a'內部。

【0101】圖 16 為說明具有圖 10 的佈局的半導體裝置 200a 的沿著圖 10 的線 XVI-XVI'切出的橫截面圖。

【0102】參看圖 16，半導體裝置 200a 可包含第二鰭片 230b、第二導電線 240b、第一下部接點 250a 以及第一下部接點 250b，以及第二接點 260。儘管未繪示，但提供（例如）電力電壓或接地電壓的電壓端子可另外安置於第二接點 260 上。

【0103】第二導電線 240b 可安置於第二鰭片 230b 上。根據一些實例實施例，第二導電線 240b 可用作閘電極，且閘極絕緣層可另

外安置在第二導電線 240b 與第二鰭片 230b 之間。

【0104】 第一下部接點 250a 以及第一下部接點 250b 可安置於第二鰭片 230b 上。因此，第一下部接點 250a 以及第一下部接點 250b 可提供（例如）電力電壓或接地電壓至第二鰭片 230b。根據一些實例實施例，第一下部接點 250a 以及第一下部接點 250b 可分別安置於第二導電線 240b 的兩側處。根據一些實例實施例，第一下部接點 250a 以及第一下部接點 250b 的上部部分可在與第二導電線 240b 的上部部分相同的水平。

【0105】 第二接點 260 可安置於以下各者上並電連接至以下各者：第二導電線 240b 以及第一下部接點 250a 以及第一下部接點 250b。因此，第二導電線 240b、第一下部接點 250a 以及第一下部接點 250b 與第二接點 260 可形成單一節點。

【0106】 圖 17 為說明根據其他實例實施例的 IC 300 的佈局。

【0107】 參看圖 17，IC 300 可包含至少一單元，其由用粗線繪製的單元邊界來界定。具體言之，圖 17 說明 IC 300 中標準單元的實例。標準單元可包含第一主動區 220a 以及第二主動區 220b、第一鰭片 230a 至第六鰭片 230f、第一導電線 240a 至第三導電線 240c、第一接點 250a 至第一接點 250d、第二接點 260、切割區 270 以及第三接點 380a 至第三接點 380c。IC 300 為展示於圖 10 中的 IC 200 的經修改實例實施例。因此，圖 10 的描述亦可應用至 IC 300，且因此將不重複參看圖 10 已描述的特徵以及器件。

【0108】 相比於圖 10 的 IC 200，根據一些實例實施例的 IC 300 可另外包含第三接點 380a 至第三接點 380c。第三接點中的第一個接點 380a 可安置於第一導電線 240a 上並電連接至所述第一導電線。

第三接點中的第三個接點 380c 可安置於第三導電線 240c 上並電連接至所述第三導電線。

【0109】 第三接點中的第二個接點 380b 可安置於第二導電線 240b 上並電連接至所述第二導電線。由於切割區域 270 是在第二導電線 240b 的中間，因此第三接點 380b 電連接至僅第二主動區 220b 上的第二導電線 240b，但並不電連接至第一主動區 220a 的第二導電線 240b。

【0110】 根據一些實例實施例，單一節點可藉由在第一主動區 220a 上使第二導電線 240b、第一下部接點 250a 以及第一下部接點 250b 以及第二接點 260 電短路連接來形成。因此，在基於圖 17 中展示的佈局製造的 IC 300 中，第二導電線 240b 可在第一主動區 220a 中被跳過，但在第二主動區 220b 中不被跳過，使得 IC 300 具有不對稱閘。因此，IC 300 在第一主動區 220a 中可包含兩個電晶體（例如，兩個 NMOS 緒式電晶體），且在第二主動區 220b 中包含三個電晶體（例如，三個 PMOS 緒式電晶體）。

【0111】 儘管圖 17 說明第二接點 260 安置於第一主動區 220a 上的實例實施例，但實例實施例不限於此。舉例而言，根據其他實例實施例，第二接點 260 可安置於第一主動區 220a 以及第二主動區 220b 兩者上。在此狀況下，相同數目個電晶體可安置於第一主動區 220a 以及第二主動區 220b 上。根據其他實例實施例，第二接點 260 可安置於僅在第二主動區 220b 上。在此狀況下，相較於第二主動區 220b，更多電晶體可安置於第一主動區 220a 上。

【0112】 圖 18 為說明與圖 17 的實例實施例實質上相同的 IC 300' 的一部分的佈局。

【0113】 參看圖 18，IC 300'可包含第一導電線 240a 至第三導電線 240c、第一接點 250a 至第一接點 250d，以及第三接點 380a 至第三接點 380c。第一主動區 220a 上的第一下部接點 250a 以及第一下部接點 250b 可連接至第一下部接點 250a 以及第一下部接點 250b 上方的相同金屬線。根據其他實例實施例，IC 300'可包含第一下部接點 250a 以及第一下部接點 250b 中的僅一者。

【0114】 包含於展示於圖 17 中的佈局中的第一下部接點 250a 以及第一下部接點 250b 以及第二接點 260 可形成 H 形跨接線。因此，當實際上製造 IC 300 時，IC 300 可與對應於展示於圖 18 中的佈局的 IC 300'實質上相同。換言之，如圖 18 中所展示，歸因於展示於圖 17 中的佈局中的 H 形跨接線，可跳過第一主動區 220a 中的第二導電線 240b。因此，IC 300 以及 IC 300'可在第一主動區 220a 中包含兩個 NMOS 鰭式電晶體，且在第二主動區 220b 中可包含三個 PMOS 鰭式電晶體。

【0115】 圖 19 為說明圖 17 的 IC 300 的電路圖。

【0116】 參看圖 17 以及圖 19，IC 300 可包含第一 PMOS 鰭式電晶體 PM1 至第三 PMOS 鰭式電晶體 PM3，以及第一 NMOS 電晶體 NM1 以及第二 NMOS 電晶體 NM2。第一 PMOS 鰭式電晶體 PM1 至第三 PMOS 鰭式電晶體 PM3 可形成於第二主動區 220b 上，且第一 NMOS 鰭式電晶體 NM1 以及第二 NMOS 鰭式電晶體 NM2 可形成於第一主動區 220a 上。

【0117】 第一 PMOS 鰭式電晶體 PM1 以及第一 NMOS 鰭式電晶體 NM1 的各別閘極皆連接至可對應於第三接點中的第一個接點 380a 的節點 A。又，第二 PMOS 鰭式電晶體 PM2 的閘極可連接至

可對應於第三接點中的第二個接點 380b 的節點 B。又，第三 PMOS 鱗式電晶體 PM3 以及第二 NMOS 鱗式電晶體 NM2 的各別閘極可皆連接至可對應於第三接點中的第三個接點 380c 的節點 C。

【0118】 具體言之，在一些實例實施例中，第一 PMOS 鱗式電晶體 PM1 的閘極可連接至第三接點 380a，第一 PMOS 鱗式電晶體 PM1 的汲極可連接至第一節點區域 NA1，且第一節點區域 NA1 可對應於第一左上接點 250c。第二 PMOS 鱗式電晶體 PM2 的閘極可連接至第三接點 380b，第二 PMOS 鱗式電晶體 PM2 的汲極可連接至第二節點區域 NA2，且第二節點區域 NA2 可對應於第一右上接點 250d。第三 PMOS 鱗式電晶體 PM3 的閘極可連接至第三接點中的第三個接點 380c。

【0119】 第一 NMOS 鱗式電晶體 NM1 的閘極可連接至第三接點中的第一個接點 380a，且第二 NMOS 鱗式電晶體 NM2 的閘極可連接至第三接點中的第三個接點 380c。第一 NMOS 鱗式電晶體 NM1 以及第二 NMOS 鱗式電晶體 NM2 可連接至第三節點區域 NA3，其可對應於由圖 17 的第一下部接點 250a 以及第一下部接點 250b 以及第二接點 260 形成的跨接線。

【0120】 圖 20 為詳細地說明圖 19 的第三節點區域 NA3 的電路圖。

【0121】 參看圖 17、圖 19 以及圖 20，單一節點區域（即，第三節點區域 NA3）可藉由連接以下各者來形成：第二鱗片 230b 與第一左下接點 250a 之間的第一節點 ND1、第二鱗片 230b 與第一下部右接點 250b 之間的第二節點 ND2，以及第二接點 260 與第二導電線 240b 之間的第三節點 ND3。

【0122】 圖 21 為說明根據其他實例實施例的 IC 400 的佈局。

【0123】 參看圖 21，IC 400 可包含至少一單元，其由用粗線繪製的單元邊界來界定。具體言之，圖 21 說明 IC 400 中標準單元的實例。標準單元可包含第一鰭片 430a 至第十鰭片 430j、多個閘電極 440b、閘電極 440c 以及閘電極 440d、多個虛設閘電極 440a 以及虛設閘電極 440e、多個源極以及汲極接點 450a 以及 450b、第二接點 460、切割區 470、兩個輸入端子 480、兩個輸入接點 485 以及輸出端子 490。

【0124】 根據實例實施例，第一鰭片 430a、第五鰭片 430e、第六鰭片 430f 以及第十鰭片 430j 可為虛設鰭片，且第二鰭片 430d 至第四鰭片 430b 以及第七鰭片 430g 至第九鰭片 430i 可為主動式鰭片。具體言之，第二鰭片 430b 至第四鰭片 430d 可安置於第一主動區 420a 中，且第七鰭片 430g 至第九鰭片 430i 可安置於第二主動區 420b 中。第一鰭片 430a 可安置於第一裝置分離區 425a 中，第五鰭片 430e 以及第六鰭片 430f 可安置於第二裝置分離區 425b 中，且第十鰭片 430j 可安置於第三裝置分離區 425c 中。

【0125】 首先，第一鰭片 430a 至第十鰭片 430j 可藉由執行單一製造程序而提前形成於半導體基板（圖中未示）上。第二，可形成多個源極接點 450a 以及汲極接點 450b 以及閘電極，所述閘電極包含多個閘電極 440b、閘電極 440c 以及閘電極 440d 以及多個虛設閘電極 440a 以及虛設閘電極 440e。第三，第二接點 460 可形成於閘電極 440c 以及多個源極以及汲極接點 450a 以及 450b 上。第四，可形成兩個輸入端子 480 以及輸出端子 490。

【0126】 第一區 R1 類似於展示於圖 1 中中的佈局，且因此上文參

為第 104123475 號中文說明書無劃線修正本

修正日期:104 年 11 月 20 日

看圖 1 至圖 9 所描述的實例實施例可應用至第一區 R1。第二區 R2 類似於圖 10 中所展示的佈局，且因此上文參看 10 至圖 20 描述的實例實施例可應用至第二區 R2。根據一些實例實施例，第二鰭片 430b 至第四鰭片 430d 可形成 NMOS 電晶體，且第七鰭片 430g 至第九鰭片 430i 可形成 PMOS 電晶體。

【0127】 儘管圖 21 說明第二接點 460 安置於第一主動區 420a 上的實例實施例，但實例實施例不限於此。舉例而言，根據其他實例實施例，第二接點 460 可安置於第一主動區 420a 以及第二主動區 420b 兩者上。在此狀況下，相同數目個電晶體可安置於第一主動區 420a 以及第二主動區 420b 上。根據其他實例實施例，第二接點 460 可安置於僅在第二主動區 420b 上。在此狀況下，相較於第二主動區 420b，更多電晶體可安置於第一主動區 420a 上。

【0128】 圖 22 為說明與圖 21 的實例實施例實質上相同的 IC 400' 的一部分的佈局。

【0129】 參看圖 22，IC 400' 可包含第一鰭片 430a 至第十鰭片 430j、多個閘電極 440b、閘電極 440c 以及閘電極 440d、多個虛設閘電極 440a 以及虛設閘電極 440e、多個源極以及汲極接點 450a 以及 450b、第二接點 460、兩個輸入端子 480、兩個輸入接點 485 以及輸出端子 490。第一主動區 420a 上的多個源極以及汲極接點 450a 以及 450b 可連接至多個源極以及汲極接點 450a 以及 450b 上方的相同金屬線。根據其他實例實施例，IC 400' 在第一主動區 420a 上可包含多個源極以及汲極接點 450a 以及 450b 中的僅一者。

【0130】 包含於展示於圖 21 中的佈局中的多個源極以及汲極接點 450a 以及 450b 以及第二接點 460 可形成 H 形跨接線。因此，當

實際上製造 IC 400 時，IC 400 可與對應於展示於圖 22 中的佈局的 IC 400'實質上相同。換言之，如圖 22 中所展示，歸因於展示於圖 21 中的佈局中的 H 形跨接線，可跳過圖 22 的第一主動區 420a 中的閘電極 440c。因此，IC 400 以及 IC 400'中的每一者可在第一主動區 420a 中包含兩個 NMOS 鰭式電晶體，且在第二主動區 420b 中包含三個 PMOS 鰭式電晶體。

【0131】 圖 23 為說明根據一些實例實施例的電腦可讀儲存媒體 500 的方塊圖。

【0132】 參看圖 23，電腦可讀儲存媒體 500 可包含儲存媒體，所述儲存媒體可由電腦讀取以（例如）提供命令及/或資料至電腦。電腦可讀儲存媒體 500 可為非暫時性的。舉例而言，非暫時性電腦可讀儲存媒體 500 可包含磁性儲存媒體（例如，磁碟或磁帶）以及光學記錄媒體（CD-ROM、DVD-ROM、CD-R、CD-RW、DVD-R 以及 DVD-RW）、揮發性或非揮發性記憶體（例如，RAM、ROM 或快閃記憶體）、可經由 USB 介面存取的非揮發性記憶體，以及微機電系統（microelectromechanical system；MEMS）。電腦可讀記錄媒體可插入於電腦中，整合至電腦中，或經由諸如網路及/或無線鏈路的通信媒體與電腦組合。

【0133】 如圖 23 中所展示，電腦可讀儲存媒體 500 可已儲存有定位以及佈線程式 510、庫 520、分析程式 530 以及資料結構 540。定位以及佈線程式 510 可儲存多個命令從而執行使用標準單元庫的方法，或設計根據本發明概念的實例實施例的 IC 的方法。舉例而言，電腦可讀儲存媒體 500 可儲存包含任意命令從而執行參看以上參看圖式描述的方法中之全部或一部分的定位以及佈線程式

510。庫 520 可包含關於標準單元的資訊，所述標準單元為包含於 IC 中的單元。

【0134】 分析程式 530 可包含用於執行一種基於界定 IC 的資料分析 IC 的方法的多個命令。資料結構 540 可包含用於進行以下操作的儲存空間：管理在使用庫 520 中的標準單元庫的程序期間產生的資料、自庫 520 中的通用標準單元庫提取標記資訊，或分析由分析程式 530 執行的 IC 的時序特性。

【0135】 圖 24 為說明記憶卡 1000 的方塊圖，記憶卡 1000 包含根據一些實例實施例的 IC。

【0136】 參看圖 24，在記憶卡 1000 中，控制器 1100 以及記憶體 1200 可經安置以（例如）經由匯流排交換電信號。舉例而言，當控制器 1100 發佈命令時，記憶體 1200 可傳輸資料。

【0137】 控制器 1100 以及記憶體 1200 可包含根據本發明概念的實例實施例的 IC。具體言之，在控制器 1100 以及記憶體 1200 中的多個半導體裝置當中的至少一半導體裝置中，至少一導電線可藉由形成單一節點而被跳過。單一節點可藉由電連接以下各者來形成：在第一方向（例如，Y 方向）上延伸的至少兩個第一接點，在垂直於第一方向的第二方向（例如，X 方向）上延伸的第二接點，以及在第一方向上延伸的至少一導電線。

【0138】 記憶卡 1000 可為選自各種類型記憶卡的記憶卡，例如，記憶棒卡、智慧型媒體（smart media；SM）卡、安全數位（secure digital；SD）卡、迷你 SD 卡以及多媒體卡（multimedia card；MMC）。

【0139】 圖 25 為說明計算系統 2000 的方塊圖，計算系統包含根據一些實例實施例的 IC。

【0140】 參看圖 25，計算系統 2000 可包含處理器 2100、記憶體裝置 2200、儲存裝置 2300、電源供應器 2400 以及輸入/輸出 (input/output；I/O) 裝置 2500。儘管圖 25 中未說明，但計算系統 2000 可另外包含用於與視訊卡、音效卡、記憶卡、USB 裝置或其他電子裝置通信的埠。

【0141】 包含於計算系統 2000 中的處理器 2100、記憶體裝置 2200、儲存裝置 2300、電源供應器 2400 以及 I/O 裝置 2500 可包含根據本發明概念的實例實施例的 IC。具體言之，在處理器 2100、記憶體裝置 2200、儲存裝置 2300、電源供應器 2400 以及 I/O 裝置 2500 中的多個半導體裝置當中的至少一半導體裝置中，可藉由形成單一節點來跳過至少一導電線。單一節點可藉由電連接以下各者來形成：在第一方向（例如，Y 方向）上延伸的至少兩個第一接點，在垂直於第一方向的第二方向（例如，X 方向）上延伸的第二接點，以及在第一方向上延伸的至少一導電線。

【0142】 處理器 2100 可執行所要（或替代地預定）計算或任務。根據實例實施例，處理器 2100 可為微處理器或中央處理單元 (central processing unit；CPU)。處理器 2100 可經由諸如位址匯流排、控制匯流排以及資料匯流排的匯流排 2600 與記憶體裝置 2200、儲存裝置 2300 以及 I/O 裝置 2500 通信。根據一些實例實施例，處理器 2100 可連接至擴充匯流排，諸如周邊組件互連 (peripheral component interconnect；PCI) 匯流排。

【0143】 記憶體裝置 2200 可儲存對於計算系統 2000 的操作必要的資料。舉例而言，記憶體裝置 2200 可為動態隨機存取記憶體 (dynamic random access memory；DRAM)、行動 DRAM、靜態 RAM

(static RAM ; SRAM)、相變 RAM (phase-change RAM ; PRAM)、鐵電 RAM (ferroelectric RAM ; FRAM)、電阻式 RAM (resistive RAM ; RRAM) 及/或磁阻式 (magnetoresistive RAM ; MRAM)。
儲存裝置 2300 可包含固態磁碟機 (solid state drive ; SSD)、硬碟機 (hard disk drive ; HDD) 以及 CD-ROM。

【0144】 I/O 裝置 2500 可包含輸入裝置，諸如鍵盤、小鍵盤以及滑鼠；以及輸出裝置，諸如印表機以及顯示器。電源供應器 2400 可提供對於計算系統 2000 的操作必需的操作電壓。

【0145】 根據實例實施例的 IC 可經組裝成各種類型的封裝。舉例而言，IC 的至少一些組件可藉由使用諸如以下各者的封裝來安裝：層疊封裝 (Package on Package ; PoP)、球柵陣列 (Ball Grid Array ; BGA)、晶片級封裝 (Chip Scale Package ; CSP)、帶引線塑膠晶片載體 (Plastic Leaded Chip Carrier ; PLCC)、塑膠雙列直插式封裝 (Plastic Dual In-line Package ; PDIP)、窩伏爾組件中晶粒 (Die in Waffle Pack)、晶圓中晶粒形式 (Die in Wafer Form)、板上晶片 (Chip On Board ; COB)、陶瓷雙列直插式封裝 (Ceramic Dual In-line Package ; CERDIP)、塑膠度量方形扁平封裝 (Metric Quad Flat Pack ; MQFP)、薄型方形扁平封裝 (Thin Quad Flat Pack ; TQFP)、小輪廓 (Small Outline ; SOIC)、收縮型小輪廓封裝 (Shrink Small Outline Package ; SSOP)、薄型小輪廓 (Thin Small Outline ; TSOP)、系統級封裝 (System In Package ; SIP)、多晶片封裝 (Multi Chip Package ; MCP)、晶圓級製造封裝 (Wafer-Level Fabricated Package , WFP) 以及晶圓級處理堆疊封裝 (Wafer-Level Processed Stack Package , WSP)。

【0146】 雖然本發明概念的實例實施例已參考其實例實施例具體予以展示以及描述，但應理解，可在不偏離以下申請專利範圍的精神以及範疇的情況下作出形式以及細節的各種改變。

【符號說明】

【0147】

100A、100A'、100B、100C、100C'、100D、200、200'、300、300'、400、400'：積體電路

100a、100c、100d、200A、200a、200B：半導體裝置

110、210、210'：基板

140a、140e、240a：第一導電線

140b、140f、240b：第二導電線

140c、140g、240c：第三導電線

140h：第四導電線

150a、150b、150c、150d、250a、250b、250c、250d：接點

150b'：第一右接點

150e：第一中心接點

160a、160b、160c：第二接點

215：第一絕緣層

220a、420a：第一主動區

220b、420b：第二主動區

230a、230a'、430a：第一鰭片

230b、230b'、430b：第二鰭片

230c、230c'、430c：第三鱗片

230d、430d：第四鱗片

230e、430e：第五鱗片

230f、430f：第六鱗片

233：第一絕緣層

233'、236：第二絕緣層

240a、240a'：閘電極

260、460：第二接點

270、470：切割區

380a、380b、380c：第三接點

425a：第一裝置分離區

425b：第二裝置分離區

425c：第三裝置分離區

430g：第七鱗片

430h：第八鱗片

430i：第九鱗片

430j：第十鱗片

440a、440e：虛設閘電極

440b、440c、440d：閘電極

450a：源極接點

450b：汲極接點

480：輸入端子

485：輸入接點

490：輸出端子

- 500：電腦可讀儲存媒體
- 510：定位以及佈線程式
- 520：庫
- 530：分析程式
- 540：資料結構
- 1000：記憶卡
- 1100：控制器
- 1200：記憶體
- 2000：計算系統
- 2100：處理器
- 2200：記憶體裝置
- 2300：儲存裝置
- 2400：電源供應器
- 2500：輸入/輸出（I/O）裝置
- 2600：匯流排
- A、B、C：節點
- D1a、D1b、D2a、D2b：距離
- H1a、H1b、H1b'、H2a、H2b：高度
- NA1：第一節點區域
- NA2：第二節點區域
- NA3：第三節點區域
- ND1：第一節點
- ND2：第二節點
- ND3：第三節點

NM1：第一 N 型金氧半導體（NMOS）電晶體

NM2：第二 N 型金氧半導體（NMOS）電晶體

PM1：第一 P 型金氧半導體（PMOS）鰭式電晶體

PM2：第二 P 型金氧半導體（PMOS）鰭式電晶體

PM3：第三 P 型金氧半導體（PMOS）鰭式電晶體

R1：第一區

R2：第二區

S1、S2：空間

W1a、W1b、W1c、W2a、W2b、W2c：寬度

III-III'、VIII-VIII'、XII-XII'、XIV-XIV'、XVI-XVI'：線



申請案號: 104123475

公告本

【發明摘要】

【中文發明名稱】

積體電路、基於積體電路的半導體元件及標準單元庫

【英文發明名稱】

INTEGRATED CIRCUIT, SEMICONDUCTOR DEVICE BASED ON
INTEGRATED CIRCUIT, AND STANDARD CELL LIBRARY

【中文】

一種積體電路（IC）可包含至少一單元，至少一單元包含：
多個導電線，其在第一方向上延伸，且在垂直於第一方向的第二
方向上平行於彼此；第一接點，其分別安置於來自多個導電線當
中的至少一導電線的兩側處；以及第二接點，其安置於至少一導
電線以及第一接點上，且藉由電連接至至少一導電線以及第一接
點而形成單一節點。

【英文】

An integrated circuit (IC) may include at least one cell including a plurality
of conductive lines that extend in a first direction and are in parallel to each other
in a second direction that is perpendicular to the first direction, first contacts
respectively disposed at two sides of at least one conductive line from among the
plurality of conductive lines, and a second contact disposed on the at least one

conductive line and the first contacts and forming a single node by being electrically connected to the at least one conductive line and the first contacts.

【指定代表圖】圖 1。

【代表圖之符號簡單說明】

100A：積體電路

140a：第一導電線

140b：第二導電線

140c：第三導電線

150a、150b：第一接點

160a：第二接點

W1a、W1b、W1c：寬度

S1：空間

D1a、D1b：距離

H1a、H1b：高度

III-III'：線

【特徵化學式】

無。

【發明申請專利範圍】

【第1項】一種積體電路，包括：

至少一單元，包含：

多個導電線，其在第一方向上延伸且在第二方向上平行於彼此，所述第二方向垂直於所述第一方向；

多個第一接點，包含在所述多個導電線的第一導電線及第二導電線之間的第一左接點；以及

第二接點，在所述第二導電線以及所述第一接點上，所述第二接點電連接至所述第二導電線以及所述第一接點且電隔離所述第一導電線，使得所述第二接點、所述第二導電線以及所述第一接點形成單一節點。

【第2項】如申請專利範圍第1項所述的積體電路，其中所述第一接點在所述第一方向上延伸，且所述第二接點在所述第二方向上延伸。

【第3項】如申請專利範圍第1項所述的積體電路，其中所述第二接點在垂直於所述第一接點的方向上延伸。

【第4項】如申請專利範圍第1項所述的積體電路，其中所述至少一單元中的每一者更包括：

具有不同導電類型的第一主動區以及第二主動區，且其中，所述第二接點是在所述第一主動區以及所述第二主動區中的至少一所選擇區上。

【第5項】如申請專利範圍第4項所述的積體電路，其中

所述多個導電線分別對應於多個閘電極，且所述第一主動區中的第一電晶體的數目小於所述第二主動區中第二電晶體的數

目。

【第6項】如申請專利範圍第4項所述的積體電路，其中

所述多個導電線分別對應於多個閘電極，且所述第一主動區中的第一電晶體的數目等於或大於所述第二主動區中第二電晶體的數目。

【第7項】如申請專利範圍第4項所述的積體電路，其中所述至少一單元中的每一者更包括：

多個鰭片，其在所述第一主動區以及所述第二主動區中在所述第二方向上延伸，所述多個鰭片在所述第一方向上平行於彼此。

【第8項】如申請專利範圍第7項所述的積體電路，其中

所述多個導電線分別對應於多個閘電極，

所述多個鰭片分別對應於多個鰭式電晶體，且

所述第一主動區中所述多個鰭式電晶體的第一數目小於所述第二主動區中所述多個鰭式電晶體的第二數目。

【第9項】如申請專利範圍第7項所述的積體電路，其中

所述多個導電線分別對應於多個閘電極，

所述多個鰭片分別對應於多個鰭式電晶體，且

所述第一主動區中所述多個鰭式電晶體的第一數目等於或大於所述第二主動區中所述多個鰭式電晶體的第二數目。

【第10項】如申請專利範圍第4項所述的積體電路，更包括：

所述第一主動區與所述第二主動區之間的切割區，所述切割區經設置以使所述第一導電線與所述第二主動區中的所述單一節點絕緣。

【第11項】如申請專利範圍第1項所述的積體電路，其中

所述第一接點包含所述第一左接點以及第一右接點，所述第一左接點是在所述第一導電線的第二側處，且所述第一右接點是在所述第二導電線的第一側處。

【第12項】如申請專利範圍第 11 項所述的積體電路，其中所述第二接點是在以下各者上且電連接至以下各者：所述第一左接點、所述第一右接點、所述第二導電線以及所述多個導電線的第三導電線。

【第13項】如申請專利範圍第 11 項所述的積體電路，其中所述第一接點更包括：第一中心接點，在所述第二導電線與第三導電線之間。

【第14項】如申請專利範圍第 13 項所述的積體電路，其中所述第二接點是在以下各者上且電連接至以下各者：所述第一左接點、所述第一右接點、所述第一中心接點、所述第二導電線以及所述第三導電線。

【第15項】如申請專利範圍第 1 項所述的積體電路，其中

所述多個導電線包含彼此鄰近的第一導電線、第二導電線及第三導電線，

所述第一接點包含所述第一左接點以及第一右接點，所述第一左接點是在所述第一導電線與所述第二導電線之間，且所述第一右接點是在所述第二導電線與所述第三導電線之間，且

所述第二接點在所述第二方向上的長度大於所述第一左接點與所述第一右接點之間的距離，且小於所述第一導電線與所述第三導電線之間的距離。

【第16項】如申請專利範圍第 1 項所述的積體電路，其中所述多

個第一接點在所述第二方向上的各別長度小於所述多個導電線當中兩個鄰近所述導電線之間的空間。

【第17項】如申請專利範圍第1項所述的積體電路，其中
所述多個第一接點在所述第一方向上具有相同長度，且
所述第一接點與所述第二接點形成H形跨接線。

【第18項】如申請專利範圍第1項所述的積體電路，其中
所述多個第一接點在所述第一方向上具有不同長度，且
所述第一接點與所述第二接點形成L形跨接線。

【第19項】一種半導體裝置，包括：

基板，包含第一主動區以及第二主動區，所述第一主動區以及所述第二主動區具有不同導電類型；

多個導電線，其在第一方向上延伸且在第二方向上平行於彼此，所述第二方向垂直於所述第一方向，所述多個導電線包含至少一第一閘電極以及第二閘電極；

多個第一接點，其是在所述多個導電線當中的第二導電線的兩側中的各別側上；以及

第二接點，在所述第一主動區以及所述第二主動區中的至少一者中在所述第二導電線以及所述第一接點上，所述第二接點電連接至所述第二導電線以及所述第一接點且電隔離第一導電線，使得所述第二接點、所述第二導電線以及所述第一接點形成單一節點。

【第20項】如申請專利範圍第19項所述的半導體裝置，其中

所述多個導電線分別對應於多個閘電極，且

所述第一主動區中的電晶體的第一數目小於所述第二主動區

中的電晶體的第二數目。

【第21項】如申請專利範圍第 19 項所述的半導體裝置，其中

所述多個導電線分別對應於多個閘電極，且

所述第一主動區中的電晶體的第一數目等於或大於所述第二主動區中電晶體的第二數目。

【第22項】一種標準單元庫，儲存於非暫時性電腦可讀儲存媒體中，所述標準單元庫包括：

與至少一標準單元相關聯的資訊，所述至少一標準單元包含：

第一主動區以及第二主動區，所述第一主動區以及所述第二主動區具有不同導電類型，

多個鰭片，其在所述第一主動區以及所述第二主動區中平行於彼此，

多個導電線，在所述多個鰭片上方，所述多個導電線在第一方向上延伸，且在第二方向上平行於彼此，所述第二方向垂直於所述第一方向，所述多個導電線包含至少一第一閘電極以及第二閘電極，

多個第一接點，其是在所述多個導電線當中的第二導電線的兩側中的各別側上，以及

第二接點，其電連接至所述第一主動區以及所述第二主動區中的至少一者中的所述第二導電線以及所述第一接點且電隔離第一導電線，使得所述第二接點、所述第二導電線以及所述第一接點在所述第一主動區以及所述第二主動區中的所述至少一者中形成單一節點。

【第23項】一種積體電路，包括：

至少一單元，包含：

多個導電線，其在第一方向上延伸且在第二方向上平行於彼此，所述第二方向垂直於所述第一方向；

第一接點，在所述多個導電線當中的至少一所述導電線的兩側中的各別側上；以及

第二接點，在至少一所述導電線以及所述第一接點上，所述第二接點電連接至至少一所述導電線以及所述第一接點，使得所述第二接點、至少一所述導電線以及所述第一接點形成單一節點，其中

所述第一接點具有以下其中一者：(i)在所述第一方向上的相同長度，以使所述第一接點與所述第二接點形成 H 形跨接線，以及(ii)在所述第一方向上的不同長度，以使所述第一接點與所述第二接點形成 L 形跨接線。

【第24項】 一種半導體裝置，包括：

基板，包含具有第一導電類型的第一主動區；

多個閘電極，其在第一方向上延伸，使得所述多個閘電極在第二方向上平行於彼此，所述第二方向垂直於所述第一方向，所述多個閘電極包含至少一第一閘電極以及經跳過閘電極；

多個第一接點，其在所述多個閘電極的所述經跳過閘電極的兩側中的各別側處，所述經跳過閘電極為連接至所述第一接點的所述多個閘電極中的一者；以及

第二接點，其電連接至所述第一主動區中的所述經跳過閘電

極以及所述第一接點且電隔離所述第一閘電極，使得所述第二接點、所述經跳過閘電極以及所述第一接點在所述第一主動區中形成單一節點。

【第25項】如申請專利範圍第 24 項所述的半導體裝置，其中所述半導體裝置包含至少一不對稱閘積體電路，相較於所述第一主動區，所述不對稱閘積體電路在所述第二主動區中包含較大數目個電晶體。

conductive line and the first contacts and forming a single node by being electrically connected to the at least one conductive line and the first contacts.

【指定代表圖】圖 1。

【代表圖之符號簡單說明】

100A：積體電路

140a：第一導電線

140b：第二導電線

140c：第三導電線

150a、150b：第一接點

160a：第二接點

W1a、W1b、W1c：寬度

S1：空間

D1a、D1b：距離

H1a、H1b：高度

III-III'：線

【特徵化學式】

無。