



(12) 发明专利申请

(10) 申请公布号 CN 102034547 A

(43) 申请公布日 2011. 04. 27

(21) 申请号 201010275308. 9

(22) 申请日 2010. 09. 03

(30) 优先权数据

231832/2009 2009. 10. 05 JP

(71) 申请人 株式会社东芝

地址 日本东京都

(72) 发明人 樱田健次 内川浩典

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 杨晓光 于静

(51) Int. Cl.

G11C 16/34 (2006. 01)

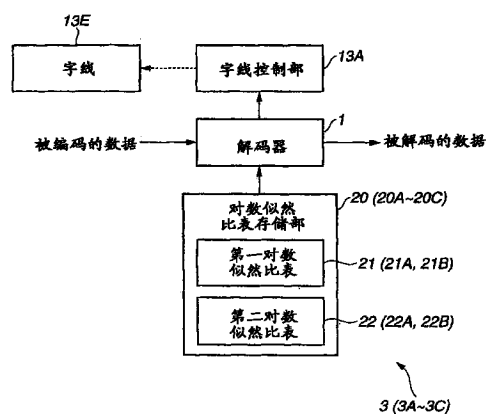
权利要求书 3 页 说明书 8 页 附图 11 页

(54) 发明名称

存储器系统以及对存储器系统的控制方法

(57) 摘要

本发明涉及存储器系统以及对存储器系统的控制方法。一种具有主机和存储卡的存储器系统,包括:多个半导体存储器基元,每一个基元被配置为存储基于阈值电压分布的N位被编码的数据;LLR表存储部,其被配置为存储第一LLR表和第二LLR表,所述第一LLR表由与预定阈值电压对应的正常LLR数据构成,所述第二LLR表由这样的LLR数据构成,该LLR数据使得在与所述第一LLR表中的其中两个相邻LLR之间符号反转的每一个位置对应的每一个位置处的两个LLR的值为“0”;以及解码器,其被配置为使用LLR通过基于概率的重复计算而进行解码处理。



1. 一种存储器系统,包括:

存储装置,其包括多个半导体存储器基元,每一个基元被配置为存储基于 2^N (N 为不小于 2 的自然数) 个阈值电压分布的 N 位被编码的数据;

存储部,其被配置为存储第一 LLR 表和第二 LLR 表,所述第一 LLR 表由与预定阈值电压对应的正常 LLR 数据构成,所述第二 LLR 表由这样的 LLR 数据构成,该 LLR 数据使得在与所述第一 LLR 表中的其中两个相邻 LLR 之间符号反转的每一个位置对应的每一个位置处的两个 LLR 的绝对值不同于在所述第一 LLR 表中的相应的 LLR 的绝对值;以及

解码器,其被配置为,当使用根据所述第一或第二 LLR 表和所述阈值电压计算出的 LLR 通过基于概率的重复计算而进行解码处理时,

如果使用根据所述第一 LLR 表和所述阈值电压计算出的 LLR 而进行的所述解码处理导致错误,则使用根据所述第二 LLR 表和所述阈值电压计算出的 LLR 而进行所述解码处理。

2. 根据权利要求 1 的存储器系统,其中

N 不大于 7。

3. 根据权利要求 2 的存储器系统,其中

在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的绝对值小于在所述第一 LLR 表中的相应的 LLR 的绝对值。

4. 根据权利要求 3 的存储器系统,其中

在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的值均为“0”。

5. 根据权利要求 2 的存储器系统,其中

在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的绝对值之差大于在所述第一 LLR 表中的其中在 LLR 之间符号反转的所述位置处的所述两个 LLR 的绝对值之差,并且在所述对应位置处的所述两个 LLR 中的高电压侧的阈值电压的每个 LLR 的绝对值大于在另一侧的 LLR 的绝对值,以便呈现所述阈值电压分布向低电压侧移动的情况。

6. 根据权利要求 2 的存储器系统,其中

在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的绝对值之差大于在所述第一 LLR 表中的其中在 LLR 之间符号反转的所述位置处的所述两个 LLR 的绝对值之差,并且在所述对应位置处的所述两个 LLR 中的高电压侧的阈值电压的每个 LLR 的绝对值小于在另一侧的 LLR 的绝对值,以便呈现所述阈值电压分布向高电压侧移动的情况。

7. 根据权利要求 2 的存储器系统,其中

所述第二 LLR 表包括:

第三 LLR 表,其中在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的绝对值之差大于在所述第一 LLR 表中的其中在 LLR 之间符号反转的所述位置处的所述两个 LLR 的绝对值之差,并且在所述对应位置处的所述两个 LLR 中的高电压侧的阈值电压的每个 LLR 的绝对值大于在另一侧的 LLR 的绝对值,以便呈现所述阈值电压分布向低电压侧移动的情况;以及

第四 LLR 表,其中在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的绝对值之差大于在所述第一 LLR 表中的其中在 LLR 之间符号反转的所述位置处的所述两个 LLR 的绝对值之差,并且在所述对应位置处的所述两个 LLR 中的高电压侧的阈值电压的每个 LLR 的绝对值小于在另一侧的 LLR 的绝对值,以便呈现所述阈值电压分布向高电压侧移动的情况。

况,并且其中

所述解码器使用所述第三 LLR 表和所述第四 LLR 表中的至少任一者作为所述第二 LLR 表进行所述解码处理。

8. 根据权利要求 7 的存储器系统,其中

如果使用根据所述第三或第四 LLR 表和所述阈值电压计算出的 LLR 而进行的所述解码处理导致错误,则所述解码器使用根据另一个 LLR 表和所述阈值电压计算出的 LLR 而进行所述解码处理。

9. 一种对存储器系统的控制方法,包括:

检测半导体存储器基元的阈值电压,每一个基元存储基于 2^N (N 为不小于 2 的自然数) 个阈值电压分布的 N 位被编码的数据;

根据第一 LLR 表和所检测到的阈值电压计算出第一 LLR,所述第一 LLR 表由与预定阈值电压对应的正常 LLR 数据构成;

进行第一 LDPC 解码,其中基于所述第一 LLR 而进行解码处理;

如果所述第一 LDPC 解码失败,则根据第二 LLR 表和所检测到的阈值电压计算出第二 LLR,所述第二 LLR 表由这样的 LLR 数据构成,该 LLR 数据使得在与所述第一 LLR 表中的其中两个相邻 LLR 之间符号反转的每一个位置对应的的每一个位置处的两个 LLR 的绝对值小于在所述第一 LLR 表中的相应的 LLR 的绝对值;以及

进行第二 LDPC 解码,其中基于所述第二 LLR 而进行解码处理。

10. 根据权利要求 9 的对存储器系统的控制方法,其中

N 不大于 7。

11. 根据权利要求 10 的对存储器系统的控制方法,其中

在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的绝对值小于在所述第一 LLR 表中的相应的 LLR 的绝对值。

12. 根据权利要求 11 的对存储器系统的控制方法,其中

在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的值均为“0”。

13. 根据权利要求 10 的对存储器系统的控制方法,其中

在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的绝对值之差大于在所述第一 LLR 表中的其中在 LLR 之间符号反转的所述位置处的所述两个 LLR 的绝对值之差,并且在所述对应位置处的所述两个 LLR 中的高电压侧的阈值电压的每个 LLR 的绝对值大于在另一侧的 LLR 的绝对值,以便呈现所述阈值电压分布向低电压侧移动的情况。

14. 根据权利要求 10 的对存储器系统的控制方法,其中

在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的绝对值之差大于在所述第一 LLR 表中的其中在 LLR 之间符号反转的所述位置处的所述两个 LLR 的绝对值之差,并且在所述对应位置处的所述两个 LLR 中的高电压侧的阈值电压的每个 LLR 的绝对值小于在另一侧的 LLR 的绝对值,以便呈现所述阈值电压分布向高电压侧移动的情况。

15. 根据权利要求 10 的对存储器系统的控制方法,其中

所述第二 LLR 表包括:

第三 LLR 表,其中在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的绝对值之差大于在所述第一 LLR 表中的其中在 LLR 之间符号反转的所述位置处的所述两个 LLR 的

绝对值之差,并且在所述对应位置处的所述两个 LLR 中的高电压侧的阈值电压的每个 LLR 的绝对值大于在另一侧的 LLR 的绝对值,以便呈现所述阈值电压分布向低电压侧移动的情况;以及

第四 LLR 表,其中在所述第二 LLR 表中的所述对应位置处的所述两个 LLR 的绝对值之差大于在所述第一 LLR 表中的其中在 LLR 之间符号反转的所述位置处的所述两个 LLR 的绝对值之差,并且在所述对应位置处的所述两个 LLR 中的高电压侧的阈值电压的每个 LLR 的绝对值小于在另一侧的 LLR 的绝对值,以便呈现所述阈值电压分布向高电压侧移动的情况,并且其中

使用所述第三 LLR 表和所述第四 LLR 表中的至少任一者作为所述第二 LLR 表进行所述解码处理。

16. 根据权利要求 15 的对存储器系统的控制方法,其中

如果使用根据所述第三或第四 LLR 表和所述阈值电压计算出的 LLR 而进行的所述解码处理导致错误,则使用根据另一个 LLR 表和所述阈值电压计算出的 LLR 而进行所述解码处理。

17. 根据权利要求 10 的对存储器系统的控制方法,其中

如果读取的次数达到预定次数或更多次数,则比所述第一 LDPC 解码优先使用所述第二 LDPC 解码。

18. 根据权利要求 10 的对存储器系统的控制方法,其中

所述第一 LDPC 解码的迭代次数的上限值小于所述第二 LDPC 解码的迭代次数的上限值。

19. 一种存储器系统,包括:

存储装置,其包括多个 NAND 型半导体存储器基元,每一个基元被配置为存储基于 2^N (N 为不小于 2 但不大于 7 的自然数) 个阈值电压分布的 N 位被编码的数据;

LLR 表存储部,其被配置为存储第一 LLR 表和第二 LLR 表,所述第一 LLR 表由与多个半导体存储器基元的平均阈值电压分布对应的正常 LLR 数据构成,在所述第二 LLR 表中,在与所述第一 LLR 表中的其中两个相邻 LLR 之间符号反转的每一个位置对应的每一个位置处的两个 LLR 的值都为“0”;以及

解码器,其被配置为当使用根据所述第一或第二 LLR 表和所述阈值电压计算出的 LLR 通过基于概率的重复计算而进行 LDPC 解码处理时,如果使用根据所述第一 LLR 表和所述阈值电压计算出的 LLR 而进行的所述解码处理导致错误,则使用根据所述阈值电压和与所述阈值电压分布的移动相适应的所述第二 LLR 表计算出的 LLR 而进行所述解码处理。

存储器系统以及对存储器系统的控制方法

[0001] 相关申请的交叉引用

[0002] 本发明基于在日本于 2009 年 10 月 5 日提交的在先的日本专利申请 2009-231832 并要求其优先权；通过引用将其全部内容并入到这里。

技术领域

[0003] 本发明涉及存储器系统以及对存储器系统的控制方法，其被配置为对数据进行编码处理并将该数据存储为被编码的数据且当读出该被编码的数据时对被编码的数据进行解码处理，更特别地，涉及这样的存储器系统以及对存储器系统的控制方法，其被配置为使用 LLR 表来通过基于概率的重复计算而进行解码处理。

背景技术

[0004] 在包括主机和具有半导体存储器部的存储装置的存储器系统中，使用错误校正码来进行数据编码处理和解码处理。

[0005] 错误校正码可以被粗略地分为基于代数的硬判 (hard decision) 解码代码 (例如 BCH 码或 RS 码) 和使用基于概率的重复计算的软判 (soft decision) 解码代码。属于软判解码代码的低密度奇偶校验码 (下文中称为“LDPC 码”) 日益成为关注的焦点。对于 LDPC 码，已经报道了接近香农极限 (Shannon limit) 的优良性能，香农极限是代码性能的理论极限。

[0006] 这里，在具有 NAND 型半导体存储器部的存储装置中，在一个存储器基元 (memory cell) 中或所谓的多值存储器中多个位的数据的存储非常有助于提高存储密度。在多值存储器中，当对字线施加与在每个存储器基元的电荷存储层中注入的电荷的量对应的阈值电压时，数据被读出。

[0007] 本申请人在日本专利申请特开公开 2008-59679 中公开了所谓的 16 级读取方法，用于以总共 15 种读取电压 (三种硬位读取电压和 12 种软位读取电压) 在具有 4 值存储器基元的半导体存储装置中读取数据。

[0008] 然而，在其中使用对数似然比 (log likelihood ratio) (下文中也称为“LLR”并用符号 λ 表示) 表来进行通过基于概率的重复计算的解码处理的存储器系统中，由于阈值电压分布的变化，错误校正能力会降低。

发明内容

[0009] 根据该申请的本发明的一方面，提供了一种具有主机和存储装置的存储器系统，包括：多个半导体存储器基元，每一个基元被配置为存储基于 2^N (N 为不小于 2 的自然数) 个阈值电压分布的 N 位被编码的数据；存储部，其被配置为存储第一 LLR 表和第二 LLR 表，所述第一 LLR 表由与预定阈值电压对应的正常 LLR 数据构成，所述第二 LLR 表由这样的 LLR 数据构成，该 LLR 数据使得在与所述第一 LLR 表中的其中两个相邻 LLR 之间符号反转的每一个位置对应的每一个位置处的两个 LLR 的绝对值不同于在所述第一 LLR 表中的相应的 LLR

的绝对值；以及解码器，其被配置为使用根据所述第一或第二 LLR 表和所述阈值电压计算出的 LLR 来通过基于概率的重复计算而进行解码处理，其中，如果使用根据所述第一 LLR 表和所述阈值电压计算出的 LLR 而进行的所述解码处理导致错误，则使用根据所述第二 LLR 表和所述阈值电压计算出的 LLR 而进行所述解码处理。

[0010] 根据本发明的另一方面，提供了一种对存储器系统的控制方法，包括：检测半导体存储器基元的阈值电压，每一个基元被配置为存储基于 2^N (N 为不小于 2 的自然数) 个阈值电压分布的 N 位被编码的数据；根据第一 LLR 表和所检测到的阈值电压计算出第一 LLR，所述第一 LLR 表由与预定阈值电压对应的正常 LLR 数据构成；进行第一 LDPC 解码，其中基于所述第一 LLR 而进行解码处理；如果所述第一 LDPC 解码失败，则根据第二 LLR 表和所检测到的阈值电压计算出第二 LLR，所述第二 LLR 表由这样的 LLR 数据构成，该 LLR 数据使得在与所述第一 LLR 表中的其中两个相邻 LLR 之间符号反转的每一个位置对应的每一个位置处的两个 LLR 的绝对值小于在所述第一 LLR 表中的相应的 LLR 的绝对值；以及进行第二 LDPC 解码，其中基于所述第二 LLR 而进行解码处理。

附图说明

[0011] 图 1 为示出了第一实施例中的存储器系统的示意性配置的配置图；

[0012] 图 2 为示出了第一实施例中的存储器系统的配置的配置图；

[0013] 图 3 为示出了在阈值电压分布、被存储的数据以及 LLR 表之间的关系的示例图；

[0014] 图 4 为已知的存储器系统的示例性 LLR 表，其中横坐标对应于阈值电压，图的右侧为高电压侧；

[0015] 图 5A 和 5B 为用于说明由阈值电压分布改变导致的 LLR 改变的图，其中图 5A 示出了阈值电压分布与 LLR 表对准的情况，图 5B 示出了由于阈值电压分布向低电压侧移动而导致阈值电压分布与 LLR 表未对准的情况；

[0016] 图 6 示出了第一实施例中的存储器系统的 LLR 表；

[0017] 图 7 为用于说明第一实施例中的存储器系统的操作流程的流程图；

[0018] 图 8 示出了第二实施例中的存储器系统的 LLR 表；

[0019] 图 9A 和 9B 为用于说明由阈值电压分布的移动导致的 LLR 改变的图，其中图 9A 示出了阈值电压分布与 LLR 表对准的情况，图 9B 示出了由于阈值电压分布向高电压侧移动而导致阈值电压分布与 LLR 表未对准的情况；

[0020] 图 10 示出了第二实施例的变形例中的存储器系统的 LLR 表；以及

[0021] 图 11 为用于说明第三实施例中的存储器系统的操作流程的流程图。

具体实施方式

[0022] < 第一实施例 >

[0023] 首先，将使用图 1 和 2 说明本发明的第一实施例中的存储器系统 5 以及对存储器系统 5 的控制方法。如图 1 所示，存储器系统 5 包括：主机 4，例如个人计算机或数字照相机；以及存储卡 3，其是可拆卸地与主机 4 连接的存储装置。主机 4 在主机 CPU（未示出）的控制下向存储卡 3 发送数据和从存储卡 3 接收数据。

[0024] 该存储器系统可具有主机以及被容纳在主机内部并被配置为存储用于主机的启

动数据等等的所谓的嵌入型存储装置,并且该存储装置可以为诸如半导体盘:SSD(固态驱动器)的形式。可替代地,该存储器系统可以用作其中集成了与存储卡 3 对应的存储装置和主机的移动音乐播放器等等。

[0025] 如图 1 所示,作为存储装置的存储卡 3 具有半导体存储器部 13 和存储器控制器 2。半导体存储器部 13 为闪速存储器部并具有这样的结构,在该结构中,例如通过字线 13E 连接作为单位基元 (unit cell) 的多个存储器基元 13D,其中字线 13E 用于将受字线控制部 13A 控制的读取电压施加到存储器基元 13D。

[0026] 存储卡 3 的存储器基元 13D 为能够基于阈值电压分布而使每存储器基元存储 N 位 (N 为不小于 2 的自然数) 数据的多值存储器基元。将采用具有 $N = 3$ 的 8 值存储器基元作为实例进行下面的描述。

[0027] 存储器控制器 2 具有通过总线 17 而彼此连接的 ROM 10、CPU 核 11、RAM 18、主机 I/F(接口)14、错误检查和校正部(下文中称为“ECC 部”)15 以及 NAND I/F(接口)16。

[0028] 存储器控制器 2 在 CPU 核 11 的控制下通过主机 I/F 14 向主机 4 发送数据和从主机 4 接收数据并通过 NAND I/F 16 向存储器部 13 发送数据和从存储器部 13 接收数据。存储器控制器 2 通过由 CPU 核 11 执行的 FW(固件)而实施对存储器部 13 的地址管理。还可以由 CPU 核 11 根据来自主机 4 的命令通过 FW 而执行对整个存储卡 3 的控制。ROM 10 存储用于存储卡 3 的控制程序等等。RAM 18 存储在地址管理中所必需的地址转换表等等。

[0029] ECC 部 15 具有编码器 12 和解码器 1,编码器 12 被配置为当存储数据时生成和附加错误校正码,解码器 1 被配置为当读取数据时对所读取的被编码的数据进行解码。本实施例中的 ECC 部 15 使用 LDPC 码,其是要通过基于概率的重复计算进行软判解码处理的软判解码代码。当然,ECC 部 15 可以被配置为使用由软判解码代码和硬判解码代码构成的链接码。

[0030] 如图 2 所示,存储卡 3 具有:字线控制部 13A,其被配置为进行对通过字线 13E 向存储器基元 13D 施加预定读取电压的控制;LLR 表存储部 20,其是被配置为基于读出电压而存储 LLR 表的存储部;以及解码器 1,其被配置为使用 LLR 进行软判解码处理。LLR 表存储部 20 存储第一 LLR 表 21 和第二 LLR 表 22。

[0031] LLR 表存储部 20 可以为 ROM 10 的一部分,或可以在启动存储卡 3 时从 ROM 19 转移到 RAM 18 而成为 RAM 18 的一部分,或可以位于 ECC 部 15 中。

[0032] 现在,将说明本实施例中的存储器系统 5 的操作。

[0033] 从主机 4 发送到存储卡 3 的数据被编码器 12 编码,并被存储在半导体存储器部 13 中作为被编码的数据。当从主机 4 提供读取指令时,在 CPU 核 11 的控制下从半导体存储器部 13 读出被编码的数据,并通过解码器 1 对该被编码的数据进行解码处理。解码处理之后的数据被发送到主机 4。

[0034] 在对使用 LDPC 码编码的被编码的数据进行解码处理时,首先基于来自以预定的读取电压读出的数据的 LLR 表来计算指示出数据的似然的 LLR。对数似然比 (LLR) λ 的绝对值 $|\lambda|$ 称为信赖度 (reliability)。信赖度越大意味着信赖度越高,而信赖度越接近 0,则意味着信赖度越低。在 LDPC 解码处理中,基于 LLR,使用通过基于概率的重复计算的软判解码处理来进行错误校正处理。

[0035] 在本实施例的存储器系统 5 中,预先计算阈值电压与 LLR 之间的关系并将该关系

存储在 LLR 表存储部 20 中。例如,如图 3 所示,在 $2^3(8)$ 种阈值电压分布当中,用于存储数据 (111) 的 3 位存储器基元的阈值电压分布为 $P1(x)$ 。然后,分别根据图 3 中的等式来计算数据的高位 (higher bit)LLR(H)、上位 (upper bit)LLR(U) 以及下位 (lower bit)LLR(L)。也就是,根据每一个位是“0”还是“1”的概率计算出的 LLR 被存储为 LLR 表。

[0036] 然而,虽然存储相同的数据,但由于诸如制造存储器基元时的变化的原因,一个存储器基元与另一个存储器基元的阈值电压会不同。也就是,存储相同数据的多个存储器基元的阈值电压呈现预定的分布。在阈值电压分布的中心附近的电压处读出的数据的信赖度是高的,而在阈值电压的上限或下限附近的电压处读出的数据的信赖度是低的。

[0037] 因此,如图 4 所示,例如,以中央值为基准将每一个电压分布分割为四个范围,并将在每一个范围中的预定阈值电压的 LLR 存储为 LLR 表。阈值电压分布可以被分割为大于四个或小于四个的范围,并且可以不以基本相等的间隔被均匀分割。例如,在特定的点处 LLR 相对于阈值电压突然变化,则优选地基于这些点来分割阈值电压分布。

[0038] 如已经描述的,虽然存储相同的数据,但一个存储器基元与另一个存储器基元的阈值电压也会不同。此外,阈值电压分布可能相对于阈值电压移动。这里,如图 5A 所示,在阈值电压范围 A 中,在生成 LLR 表时,(与具有数据 0 的存储器基元对应的区域 11 的面积) $>$ (与具有数据 1 的存储器基元对应的区域 12 的面积),因此数据为“0”,并且该数据的 LLR 为例如通过(区域 11 的面积)/(区域 12 的面积)而计算出的正值。另一方面,在阈值电压范围 B 中,数据为“1”,并且该数据的 LLR 为负值。也就是,在图 5A 中所示的位置处,两个相邻 LLR 之间的符号是相反的。

[0039] 在该情况下,如图 5B 所示,如果阈值电压分布向左移动,即,如果阈值电压向低电压侧移动,由此最优读取电平(level)移动,那么在阈值电压范围 A 中的该数据实际为“1”,这是因为(区域 11 的面积) $<$ (区域 12 的面积),并且该数据的 LLR 为通过(区域 11 的面积)/(区域 12 的面积)而计算出的负值。

[0040] 也就是,发生了 LLR 的符号不正确地反转的现象,即发生了将数据“0”解码为“1”的错误处理。因为 LDPC 解码处理涉及通过迭代处理进行解码处理,在该迭代处理中,多个位数据(many pieces of bit data)彼此交换 LLR,因此任何位数据的不正确的值将会影响整个的代码处理,导致校正能力和处理速度的降低。

[0041] 因此,如图 6 所示,除了由与预定阈值电压对应的正常 LLR 数据构成的第一 LLR 表 21 之外,本实施例中的存储器系统 5 具有第二 LLR 表 22。由正常 LLR 数据构成的第一 LLR 表 21 为存储与许多存储器基元的平均阈值电压分布对应的 LLR 的表。

[0042] 另一方面,第二 LLR 表 22 由这样的 LLR 数据构成,该 LLR 数据使得在与第一 LLR 表中的其中两个相邻 LLR 之间符号反转的每一个位置对应的每一个位置处的两个 LLR 为 0。也就是,第二 LLR 表 22 为存储了这样的 LLR 的表,该 LLR 所对应的阈值电压分布将存储器基元之间的变化等等也考虑进去。

[0043] 例如,在图 6 的上层中示出的第一 LLR 表 21 中,在数据 (HUL) (001) 与 (101) 之间的边界处的 LLR(H) 为“6”和“-5”,因此在该位置处发生了符号反转。另一方面,在图 6 的下层中示出的第二 LLR 表 22 中,在数据 (HUL) (001) 与 (101) 之间的边界处的 LLR(H) 均为“0”。也就是,曾经为“6”或“-5”的 LLR 现在为“0”。

[0044] 存储器系统 5 的解码器 1 使用根据第一 LLR 表 21 或第二 LLR 表 22 计算出的 LLR

来进行通过基于概率的重复计算（迭代处理）的解码处理。

[0045] 因为“0”的 LLR 意味着信赖度最低，因此该数据被认为在迭代处理初始时为“0”还是为“1”这一方面是未知的。因此，无论该数据是“0”还是“1”，对整个 LDPC 解码处理的不利影响将是小的。

[0046] 现在，将根据图 7 的流程图说明本实施例的存储器系统 5 中的解码处理。

[0047] < 步骤 S10>

[0048] 通过对字线 13E 施加的电压来检测存储器基元的阈值电压。该阈值电压检测步骤仅仅确定阈值电压是高于还是低于预定的读取电平电压 (read level voltage) 而不检测阈值电压的具体值。

[0049] < 步骤 S11>

[0050] 根据检测到的阈值电压和存储在 LLR 表存储部 20 中的第一 LLR 表 21 计算出 LLR。

[0051] < 步骤 S12>

[0052] 以预定数目的位数据 (pieces of bit data) 为单位进行 LDPC 解码处理。

[0053] < 步骤 S13>

[0054] 如果在预定的最大次数的迭代（例如，N1 次迭代）内完成了解码处理（是），则在步骤 18 中向主机传送被解码的数据。

[0055] < 步骤 S14>

[0056] 如果在 S13 中在进行了预定最大次数的迭代处理之后解码处理未完成（否），则根据检测到的阈值电压和第二 LLR 表 22 计算出 LLR。

[0057] < 步骤 S15>

[0058] 以预定数目的位数据为单位进行 LDPC 解码处理。

[0059] < 步骤 S16>

[0060] 如果在预定的最大次数的迭代（例如，N2 次迭代）内完成了解码处理（是），则在步骤 18 中向主机传送被解码的数据。

[0061] < 步骤 S17>

[0062] 如果在 S16 中在进行了预定最大次数的迭代处理之后解码处理未完成（否），则例如向主机发送错误命令。

[0063] 如上所述，本实施例中的存储器系统 5、存储卡 3 以及存储器控制器 2 使得 LLR 表存储部 20 被配置为存储第一 LLR 表和第二 LLR 表，其中第一 LLR 表由与预定阈值电压对应的正常 LLR 数据构成，而第二 LLR 表由这样的 LLR 数据构成，该 LLR 数据使得在与第一 LLR 表中的其中两个相邻 LLR 之间符号反转的每一个位置对应的每一个位置处的两个 LLR 的绝对值小于在第一 LLR 表中的相应的 LLR 的绝对值。如果使用根据第一 LLR 表和阈值电压计算出的 LLR 进行的解码处理导致错误，则使用根据第二 LLR 表和阈值电压计算出的 LLR 来进行解码处理。具体地，在第二 LLR 表中的对应位置处的两个 LLR 优选均为“0”。

[0064] 本实施例中的对存储器系统 5 的控制方法包括：检测基于 2^N (N 为不小于 2 的自然数) 个阈值电压分布而存储 N 位被编码的数据的半导体存储器基元的阈值电压；根据第一 LLR 表和检测到的阈值电压计算出第一 LLR，所述第一 LLR 表由与预定阈值电压对应的正常 LLR 数据构成；进行第一 LDPC 解码，其中基于第一 LLR 进行迭代解码处理；如果第一 LDPC 解码失败，则根据来自第二 LLR 表和检测到的阈值电压计算出第二 LLR，所述第二 LLR 表由这

样的 LLR 数据构成,该 LLR 数据使得在与第一 LLR 表中的其中两个相邻 LLR 之间符号反转的每一个位置对应的每一个位置处的两个 LLR 的绝对值小于在第一 LLR 表中的相应的 LLR 的绝对值;以及进行第二 LDPC 解码,其中基于第二 LLR 而进行迭代解码处理。

[0065] 如上所述,存储器系统 5 以及对存储器系统 5 的控制方法实现了高错误校正能力。

[0066] < 第二实施例 >

[0067] 下文中,将参考附图说明本发明的第二实施例中的存储器系统 5A 以及对存储器系统 5A 的控制方法。因为第二实施例中的存储器系统 5A 与第一实施例中的存储器系统 5 相似,因此略去了对相同部件的说明。

[0068] 本实施例中的存储器系统 5A 的 LLR 表存储部 20A 与第一实施例中的存储器系统 5 的 LLR 表存储部不同。也就是,LLR 表存储部 20A 具有第一 LLR 表 21A 和第二 LLR 表 22A,其中第一 LLR 表 21A 与第一 LLR 表 21 相同并由与预定阈值电压对应的正常 LLR 数据构成。第二 LLR 表 22A 使得在与第一 LLR 表 21A 中的其中两个相邻 LLR 之间符号反转的每一个位置对应的每一个位置处的两个 LLR 的绝对值之差大于在第一 LLR 表 21A 中的差,并且在两个 LLR 中的高电压侧的阈值电压的 LLR(第一 LLR)的绝对值大于在低电压侧的 LLR(第二 LLR)的绝对值。

[0069] 也就是,存储器系统 5A 具有图 8 所示的第二 LLR 表 22A,其呈现 (assume) 其中阈值电压分布向低电压侧移动或者读取电平向高电压侧移动的图 5B 所示的情况。

[0070] 适当地确定第一 LLR 和第二 LLR。例如,将在第一 LLR 表 21A 中的 LLR 当中的具有最小绝对值的 LLR 设定为基准 LLR,以便第一 LLR 的绝对值大于基准 LLR 的绝对值,而第二 LLR 的绝对值小于基准 LLR 的绝对值。

[0071] 在图 8A 的上层中所示出的存储在 LLR 表存储部 20A 中的第一 LLR 表 21A 中,其中被粗体框围绕而示出的在两个相邻 LLR 之间符号反转的位置处的 LLR 的绝对值的最小者为“5”,并且绝对值之间的最大差为“1”。在图 8A 的下层中所示出的存储在 LLR 表存储部 20A 中的第二 LLR 表 22A 中,在与第一 LLR 表 21A 中的其中两个相邻 LLR 之间符号反转的位置对应的位置(粗体框)处,第一 LLR 的绝对值为“7”,第二 LLR 的绝对值为“1”。

[0072] 除了具有第一实施例中的存储器系统 5 的优点等等之外,如果阈值电压分布或读取电平移动,上述实施例中的存储器系统 5A 以及对存储器系统 5A 的控制方法还实现了比存储器系统 5 更高的错误校正能力。

[0073] < 第二实施例的变形例 >

[0074] 下文中,将参考图 9A、9B 和 10 说明本发明的第二实施例的变形例中的存储器系统 5B 以及对存储器系统 5B 的控制方法。因为本变形例中的存储器系统 5B 与第二实施例中的存储器系统 5A 相似,因此略去了对相同部件的说明。

[0075] 存储器系统 5A 具有呈现其中阈值电压分布向低电压侧移动或读取电平向高电压侧移动的图 5B 所示的情况的第二 LLR 表 22A。比较而言,存储器系统 5B 呈现其中阈值电压分布向高电压侧移动或读取电平向低电压侧移动的如图 9B 示出的情况。

[0076] 也就是,如图 9B 所示,如果阈值电压分布向右侧移动,即,如果阈值电压向高电压侧移动,由此最优读取电平移动,那么(区域 11 的面积) >> (区域 12 的面积),从而在阈值电压范围 A 中的信赖度增加。然而,在阈值电压范围 B 中的信赖度降低。

[0077] 因此,作为第二 LLR 表,存储器系统 5B 具有在图 10 的下层中示出的第二 LLR 表

B(22B)。存储在 LLR 表存储部 20B 中并被示例于图 10 中的第一 LLR 表 21B 和第二 LLR 表 B(22B) 使用“1”作为第一 LLR 的绝对值且使用“7”作为第二 LLR 的绝对值。也就是,在第二 LLR 表 B 中,第一 LLR 和第二 LLR 的绝对值与存储器系统 5A 的第二 LLR 表 A(22A) 中的情况相反。

[0078] 除了具有第一实施例中的存储器系统 5 的优点等等之外,如果阈值电压分布或读取电平移动,则上述变形例中的存储器系统 5B 以及对存储器系统 5B 的控制方法还实现了比存储器系统 5 更高的错误校正能力等等。

[0079] < 第三实施例 >

[0080] 下文中,将参考附图说明本发明的第三实施例中的存储器系统 5C 以及对存储器系统 5C 的控制方法。因为第三实施例中的存储器系统 5C 与第二实施例中的存储器系统 5A 等等相似,因此略去了对相同部件的描述。

[0081] 存储器系统 5A 具有呈现其中阈值电压分布向低电压侧移动的图 5B 示出的情况的第二 LLR 表 A(22A),存储器系统 5B 具有呈现其中阈值电压分布向高电压侧移动的情况的第二 LLR 表 B(22B)。

[0082] 比较而言,存储器系统 5C 具有这样的 LLR 表存储部 20C,该 LLR 表存储部 20C 被配置为存储第二 LLR 表 A(22A) 和第二 LLR 表 B(22B) 作为第二 LLR 表。下文中,第二 LLR 表 A 也被称为第三 LLR 表,而第二 LLR 表 B 也被称为第四 LLR 表。换言之,存储器系统 5C 中的第二 LLR 表具有第三 LLR 表 22A 和第四 LLR 表 22B。

[0083] 图 11 为用于说明存储器系统 5C 的操作流程的流程图。如图 11 所示,在存储器系统 5C 中,如果利用使用正常 LLR 表(第一 LLR 表)计算出的 LLR 进行的解码处理失败,则利用根据第三 LLR 表 22A 计算出的 LLR 进行解码处理。如果该解码处理仍失败,则利用根据第四 LLR 表 22B 计算出的 LLR 进行解码处理。

[0084] 可替代地,如果利用使用正常 LLR 表(第一 LLR 表)计算出的 LLR 进行的解码处理失败,可以利用根据第四 LLR 表 22B 计算出的 LLR 进行解码处理。如果该解码处理仍失败,可以利用根据第三 LLR 表 22A 计算出的 LLR 进行解码处理。

[0085] 存储器系统 5C 能够在阈值电压分布或读取电平向高电压侧或低电压侧移动的任一情况下进行解码处理。由此,存储器系统实现了解码处理中的高信赖度。

[0086] < 附加说明 >

[0087] 上述实施例中的存储器系统 5 和 5A 到 5C 以及对存储器系统 5 和 5A 到 5C 的控制方法提供了具有高错误校正能力的增强的存储器系统,即使阈值电压分布移动也能够以高信赖度进行错误校正。由于通过在 LLR 表之间切换来进行处理的能力,这些存储器系统还实现了允许显著缩短解码处理时间的高处理速度。当与其他部件组合使用作为存储系统 5 和 5A 到 5C 的存储装置的任何存储卡 3 和 3A 到 3C 或任何存储器控制器 2 和 2A 到 2C 时,也可以获得上述相同的优点。

[0088] 当与其他部件组合使用作为存储系统 5 等等的存储装置的存储卡 3、存储器控制器 2、ECC 部 15 或解码器 1 时,也可以获得上述相同的优点。

[0089] 在上述说明中已采用具有其中 $N = 3$ 的 8 值存储存储器基元的存储器系统 5 等等作为实例。然而,在诸如具有其中 $N = 2$ 的 4 值存储存储器基元的存储器系统和具有其中 $N = 4$ 的 16 值存储存储器基元的存储器系统中,也可以获得本发明的优点。此外,随着 N 增

加,本发明的优点变得显著。也就是,虽然 N 为 2 或更大,但当 N 为 3 或更大或者 N 为 4 或更大时,本发明的优点显著。从工业实施的观点, N 的上限为 7 或更小。

[0090] 代码并不限于 LDPC 码,只要该代码可以通过基于概率的重复计算进行解码即可。所使用的解码算法的类型为和积 (sum-product) 解码、最小和 (min-sum) 解码以及归一化的最小和 (normalized min-sum) 解码算法中的任何一种。

[0091] 阈值电压分布会随时间改变而改变,例如,随读取次数的增加而改变。因此,可以进行控制,以便如果读取次数达到预定次数或更多,则优先使用第二 LLR 表 22。可替代地,如果已经使用第二 LLR 表 22 对 LLR 连续进行了预定的次数或更多次数 (例如 10 次或更多次) 的计算,则可以进行控制以在随后优先使用第二 LLR 表 22。另外,如果已经使用第一 LLR 表 21 对 LLR 连续进行了预定的次数或更多次数 (例如 10 次或更多次) 的计算,则可以进行控制以在随后再次优先使用第一 LLR 表 21。

[0092] 当然,对于每个存储器基元或者每个特定的存储器基元组,可以改变优先使用的 LLR 表。此外,如果存储卡的累积使用时间超过预定量的时间,则可以进行控制以优先使用第二 LLR 表 22。此外,特定的存储器基元组,例如,已经被读取许多次的存储器基元组,可以进行控制以在流逝了比被较少次数读取的存储器基元组的累积使用时间短的累积使用时间之后使用第二 LLR 表 22 来计算 LLR。

[0093] 使用第一 LLR 表 21 进行的 LDPC 解码处理的迭代次数的上限值 $N1$ 可以被设定为小于使用第二 LLR 表 22 进行的 LDPC 解码处理的迭代次数的上限值 $N2$ 的值。

[0094] 对于提供了第三 LLR 表和第四 LLR 表的情况,可以以与如上所述相似的方式进行控制。

[0095] 已经参考附图说明了本发明的优选实施例,应理解,本发明不限于这些精确的实施例,并且本领域的技术人员可以对其进行各种改变和修改而不背离在所附权利要求中限定的本发明的精神或范围。

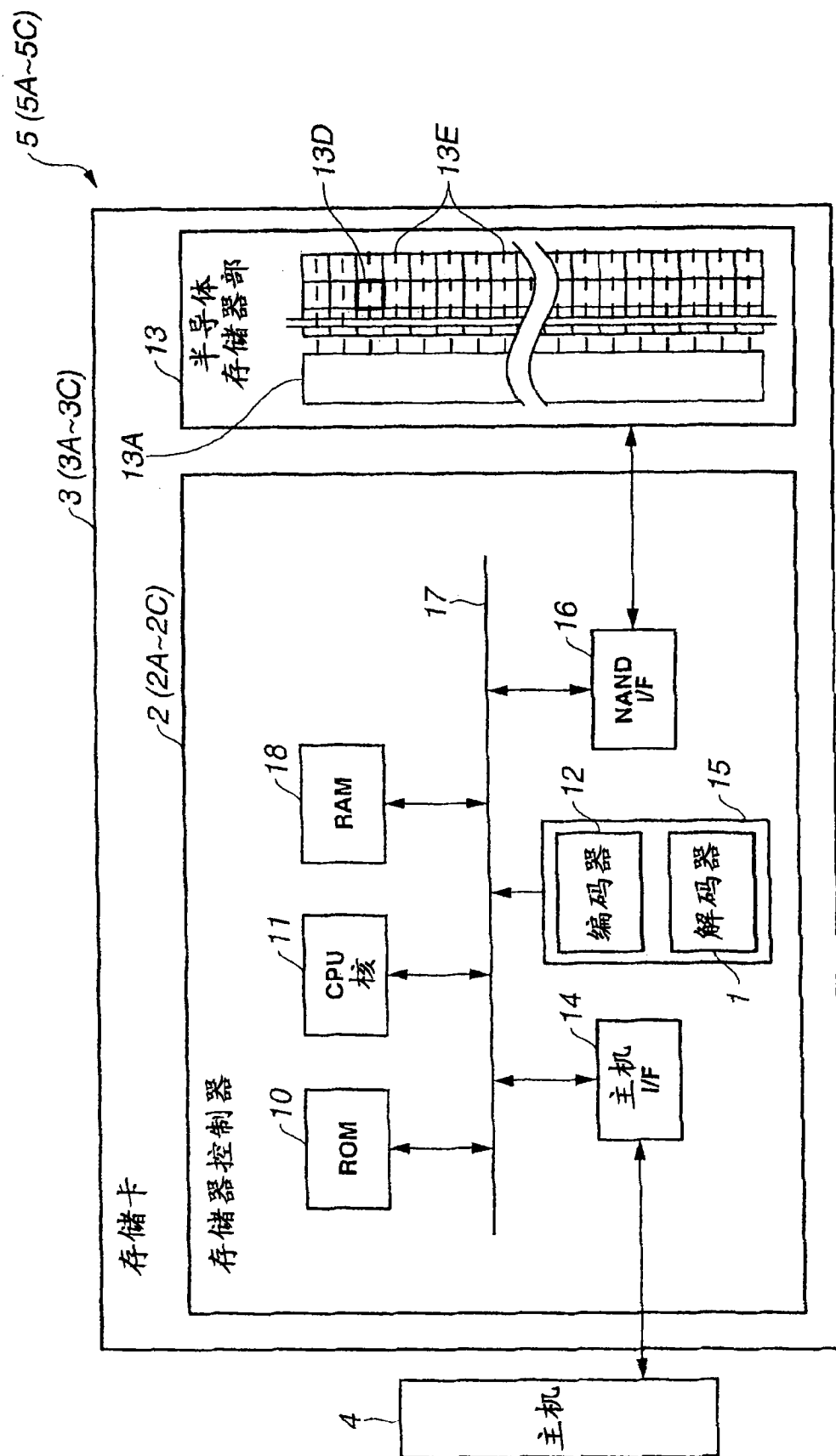


图 1

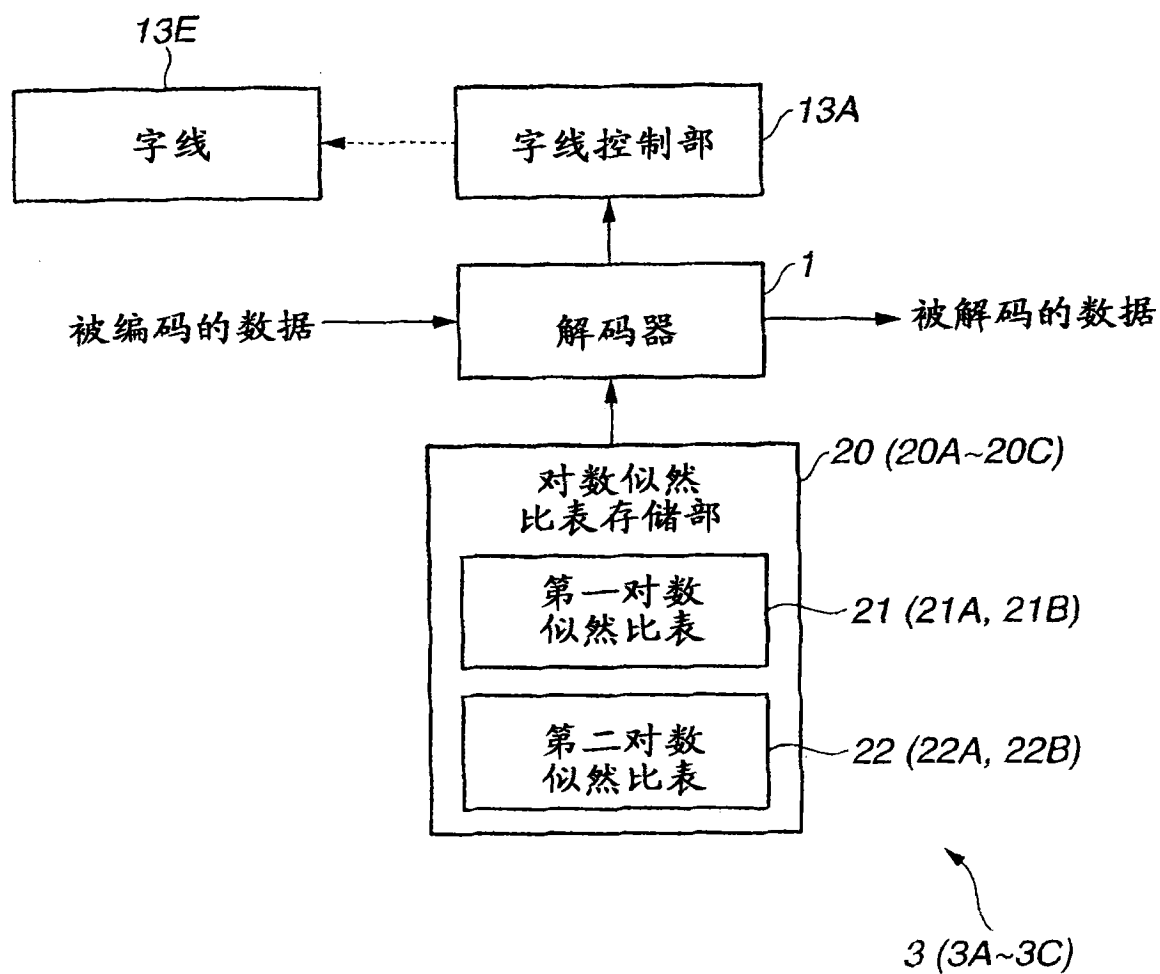


图 2

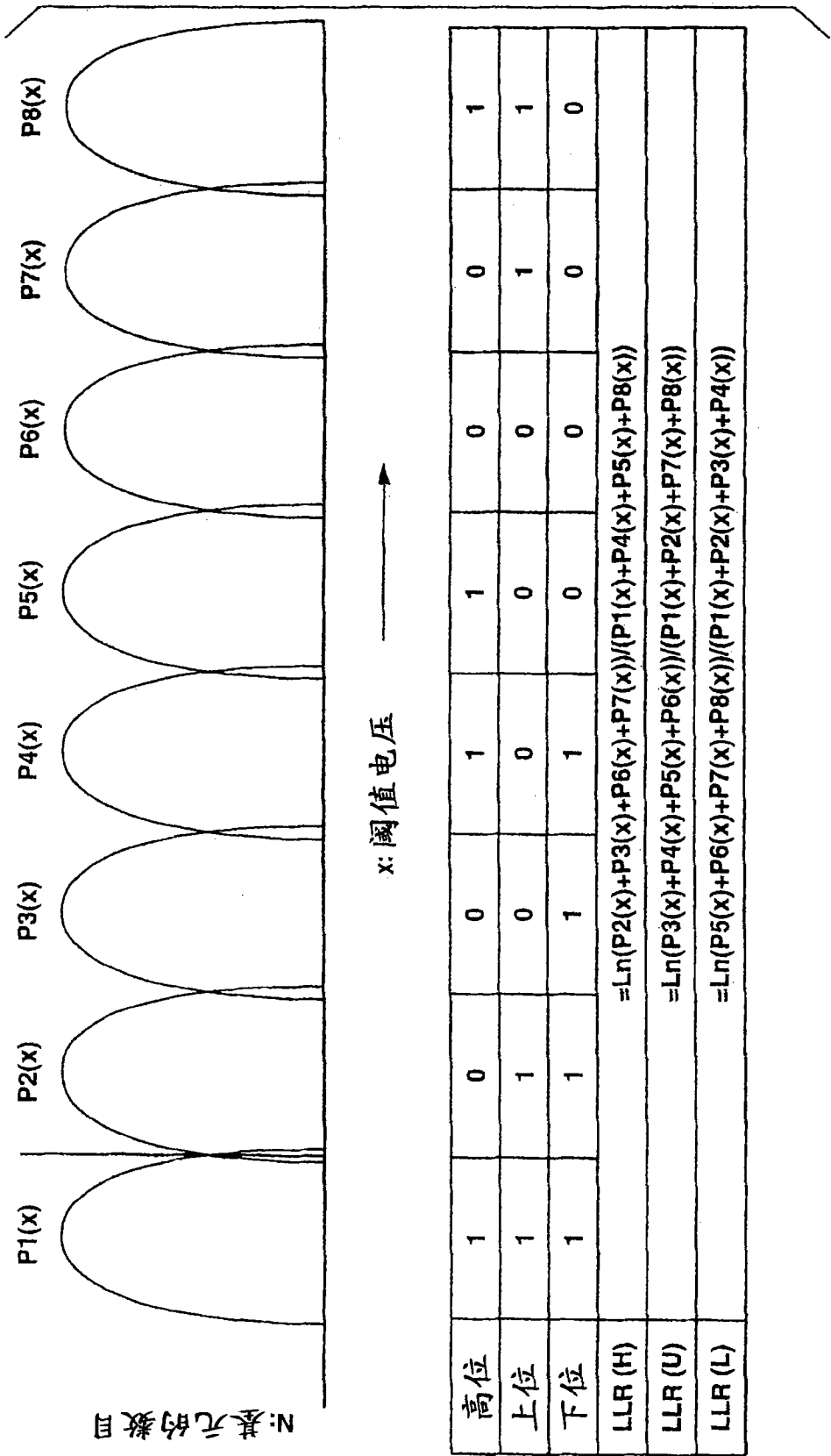


图 3

x: 阈值电压

高位	1	0	0	1	1	0	0	1	0	0	1																					
上位	1	1	0	0	0	0	1	0	1	1	1																					
下位	1	1	1	1	0	0	0	0	0	0	0																					
LLR (H)	-11	-9	-8	-6	5	9	10	11	12	10	8	6	-5	-9	-11	-12	-11	-9	-8	-5	5	9	10	11	12	11	9	6	-6	-9	-11	-14
LLR (U)	-15	-15	-14	-13	-12	-9	-8	-5	5	9	10	11	12	13	13	16	17	17	15	11	10	10	9	6	-5	-9	-11	-12	-13	-15	-16	-17
LLR (L)	-22	-20	-19	-19	-18	-17	-16	-16	-15	-15	-14	-13	-12	-9	-8	-5	6	9	10	11	12	13	13	14	15	16	16	18	19	21	22	22

图 4

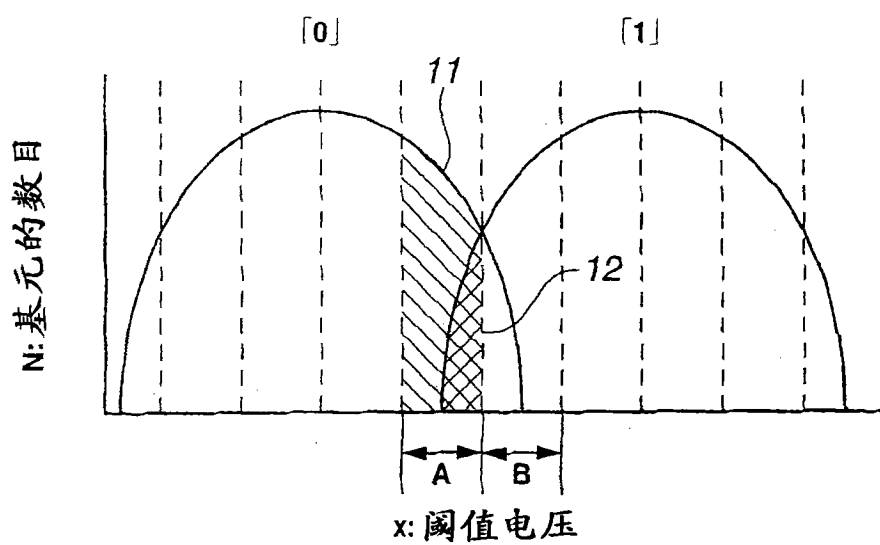


图 5A

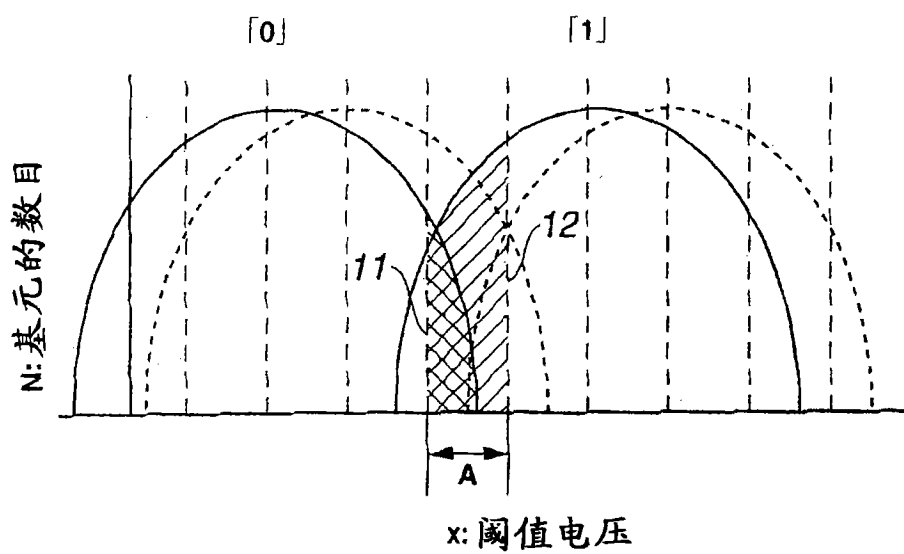


图 5B

20

21

x: 阈值电压

高位	1	0	0	0	1	1	0	0	0	1	0	0	0	0	0	1															
上位	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1															
下位	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0															
LLR (H)	-11	-9	-8	-6	5	9	10	11	12	10	8	6	-5	-9	-11	-12	-11	-9	-8	-5	9	10	11	12	11	9	6	-6	-9	-11	-14
LLR (U)	-15	-15	-14	-13	-12	-9	-8	-5	9	10	11	12	13	13	16	17	17	15	11	10	10	9	6	-5	-9	-11	-12	-13	-15	-16	-17
LLR (L)	-22	-20	-19	-19	-18	-17	-16	-16	-15	-15	-14	-13	-12	-9	-8	-5	6	9	10	11	12	13	14	15	16	16	18	19	21	22	22

22

x: 阈值电压

高位	1	0	0	0	1	1	0	0	0	1	0	0	0	0	0	1																
上位	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1																
下位	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0																
LLR (H)	-11	-9	-8	0	0	9	10	11	12	10	8	0	0	-9	-11	-12	-11	-9	-8	0	0	9	10	11	12	11	9	0	0	-9	-11	-14
LLR (U)	-15	-15	-14	-13	-12	-9	-8	0	0	9	10	11	12	13	13	16	17	17	15	11	10	9	0	0	-9	-11	-12	-13	-15	-16	-17	
LLR (L)	-22	-20	-19	-19	-18	-17	-16	-16	-15	-15	-14	-13	-12	-9	-8	0	0	9	10	11	12	13	14	15	16	16	18	19	21	22	22	

图 6

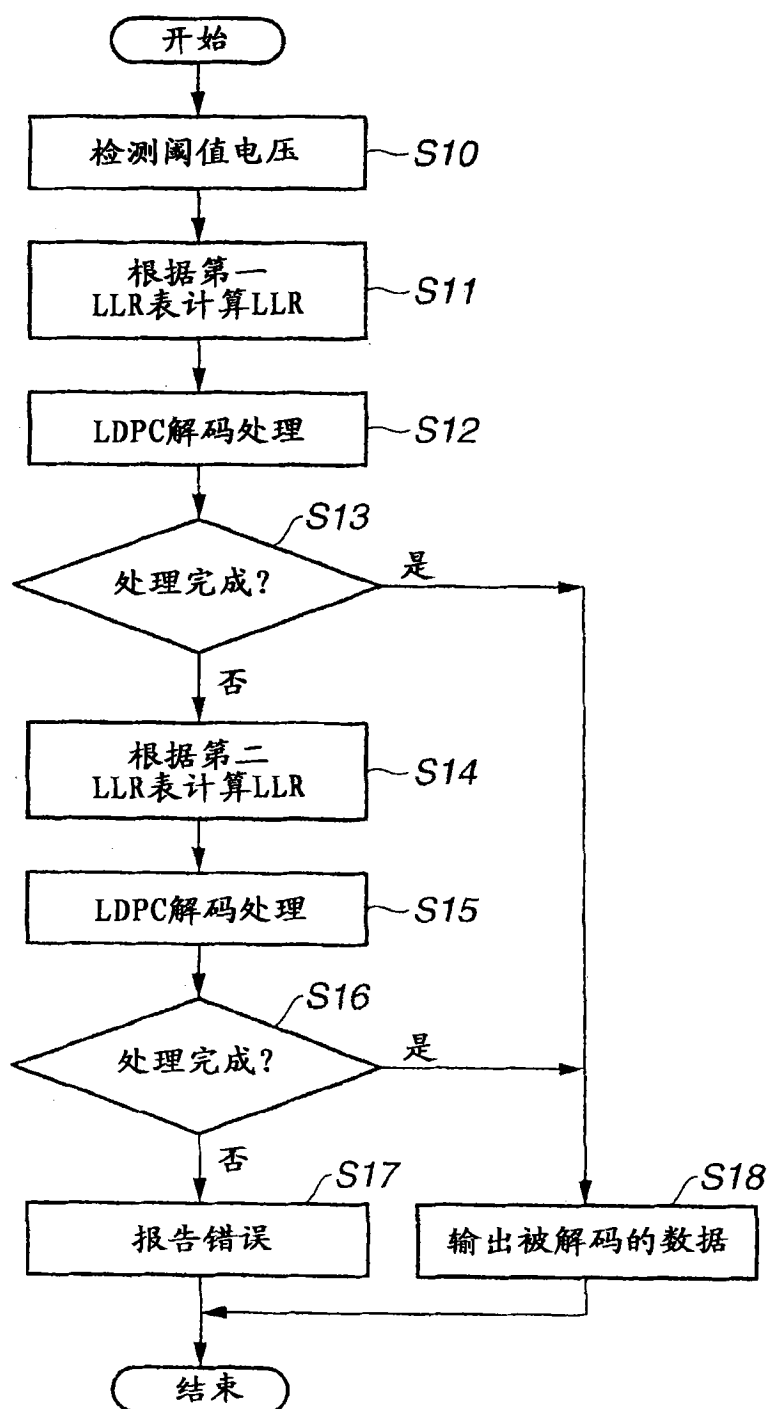


图 7

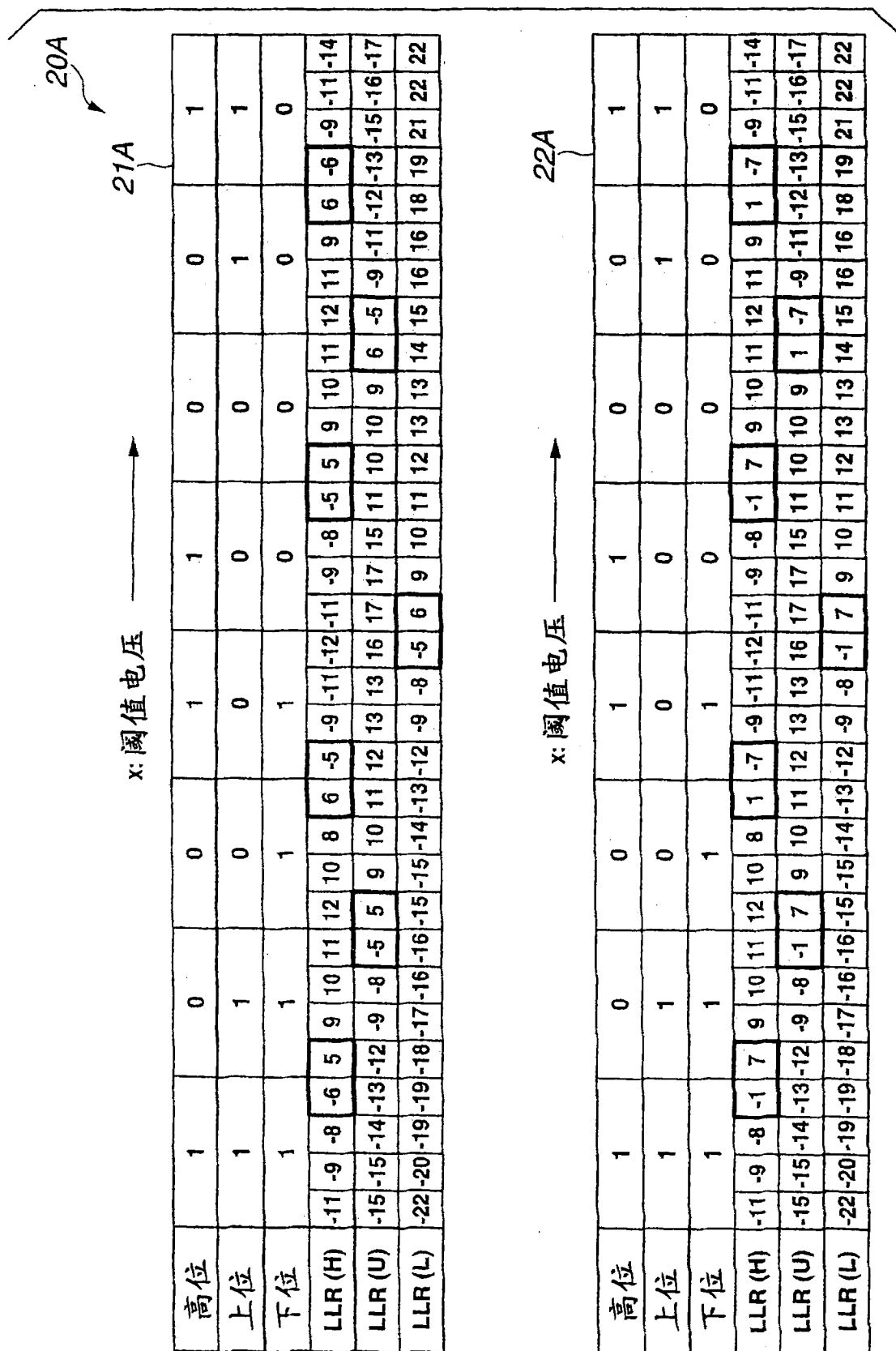


图 8

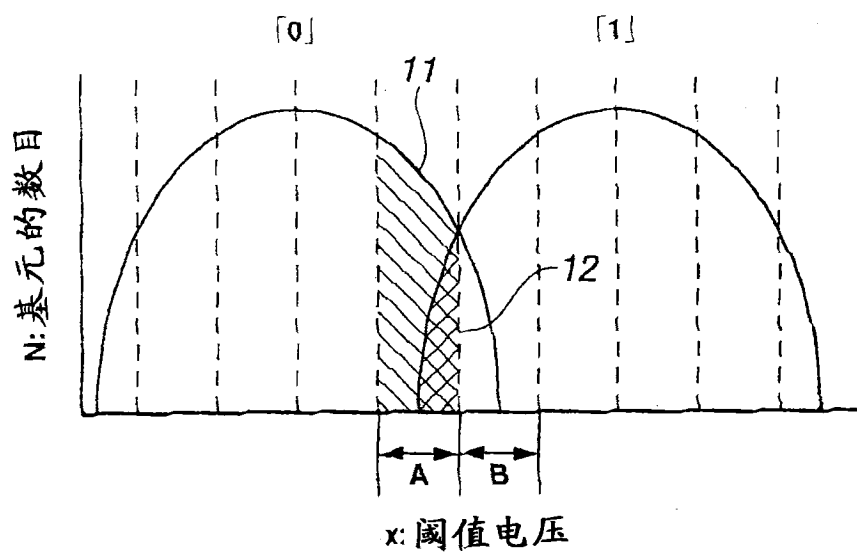


图 9A

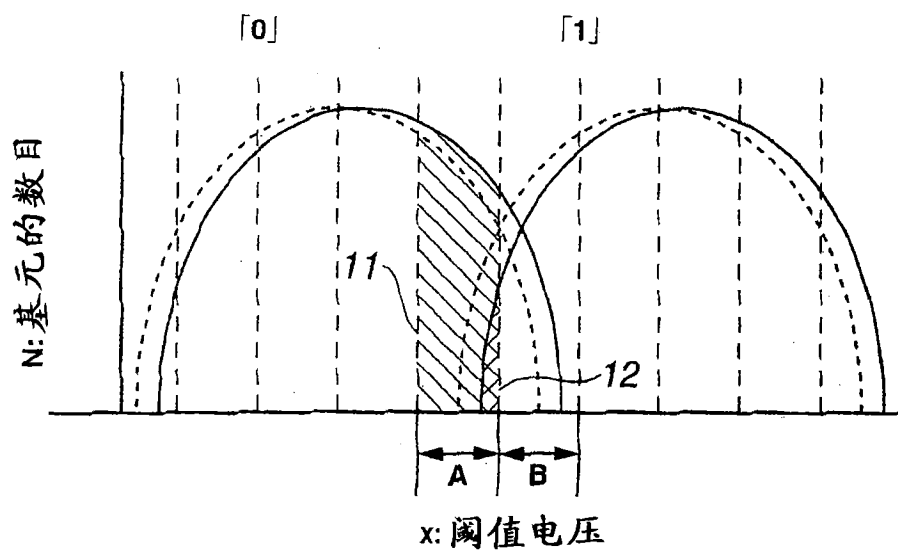


图 9B

20B

x: 阈值电压

21B

高位	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
----	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

图 10

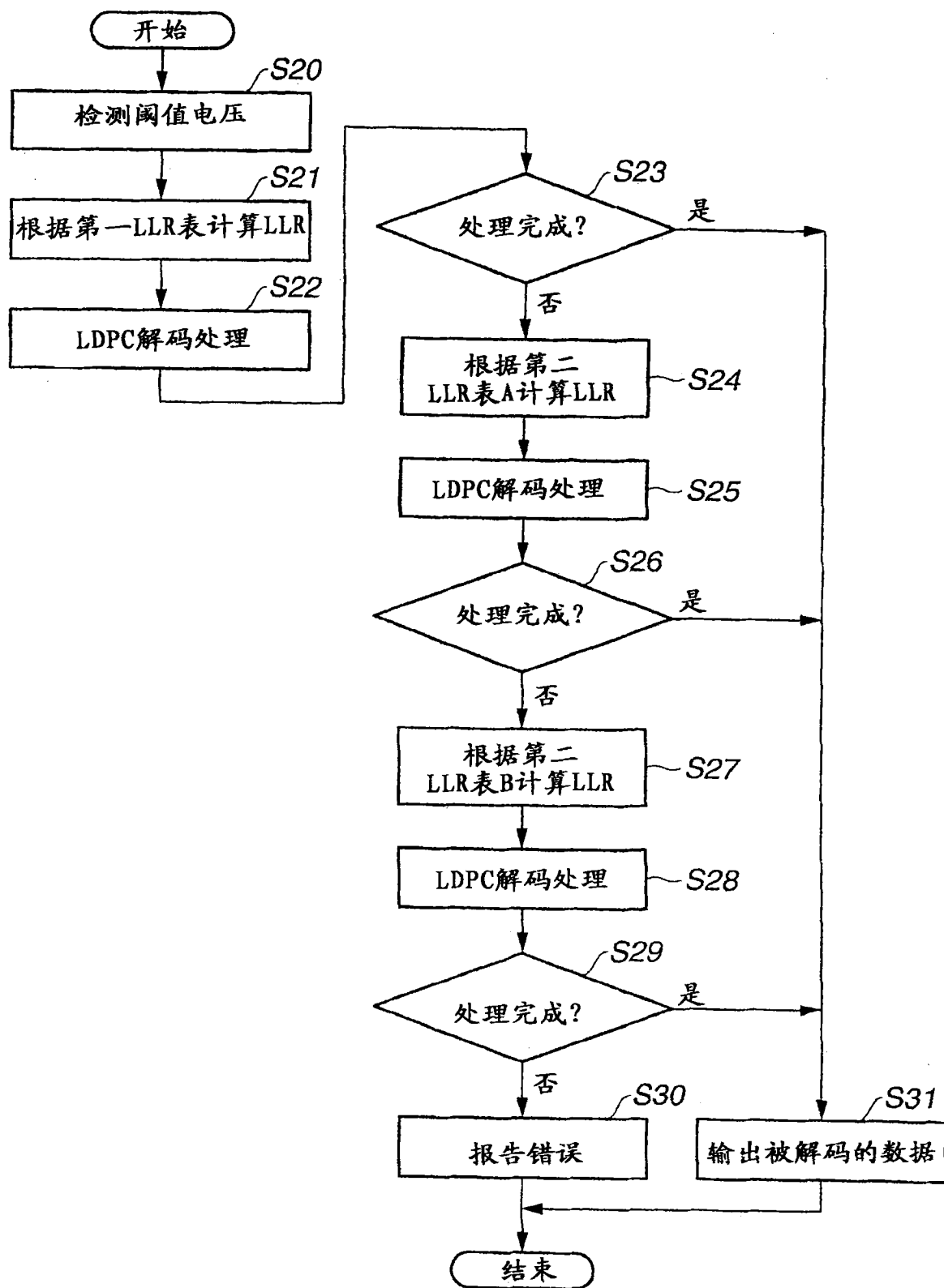


图 11