



(12) 发明专利申请

(10) 申请公布号 CN 116868262 A

(43) 申请公布日 2023. 10. 10

(21) 申请号 202180003550.7

(51) Int.Cl.

(22) 申请日 2021.11.24

G09G 3/32 (2016.01)

(85) PCT国际申请进入国家阶段日

2021.11.29

(86) PCT国际申请的申请数据

PCT/CN2021/132874 2021.11.24

(87) PCT国际申请的公布数据

W02023/092346 ZH 2023.06.01

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 肖丽 韩承佑 刘冬妮 郑皓亮

玄明花 赵蛟 陈亮 崔晓荣

(74) 专利代理机构 北京中博世达专利商标代理

有限公司 11274

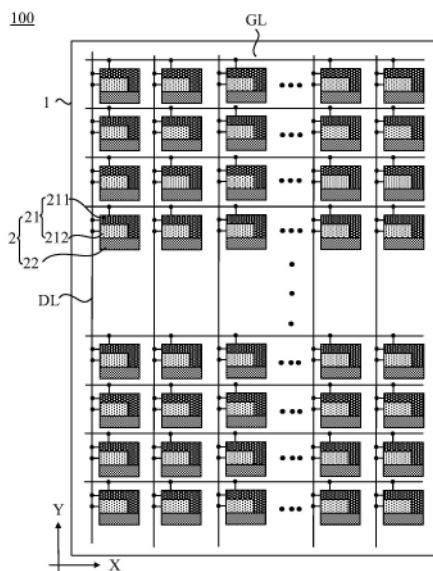
专利代理师 申健

(54) 发明名称

显示基板及其驱动方法、显示装置

(57) 摘要

一种显示基板(100),包括:沿第一方向(Y)延伸的多条数据线(DL);以及,多个子像素(2)。子像素(2)包括像素驱动电路(21)及发光器件(22)。像素驱动电路(21)包括:电流控制电路(211),及与电流控制电路(211)、发光器件(22)电连接的时长控制电路(212)。电流控制电路(211)被配置为,生成驱动信号,以驱动发光器件(22)发光;时长控制电路(212)被配置为,生成时长控制信号,以控制电流控制电路(211)和发光器件(22)之间的导通时长。其中,电流控制电路(211)和时长控制电路(212),与同一条数据线电连接。



(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023年6月1日 (01.06.2023)



(10) 国际公布号
WO 2023/092346 A1

- (51) 国际专利分类号:
G09G 3/32 (2016.01)
- (21) 国际申请号: PCT/CN2021/132874
- (22) 国际申请日: 2021年11月24日 (24.11.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。
- (72) 发明人: 肖丽(**XIAO, Li**); 中国北京市北京经济技术
开发区地泽路9号, Beijing 100176 (CN)。 韩
承佑(**HAN, Seungwoo**); 中国北京市北京经济技术
开发区地泽路9号, Beijing 100176 (CN)。 刘

冬妮(**LIU, Dongni**); 中国北京市北京经济技术
开发区地泽路9号, Beijing 100176 (CN)。 郑皓
亮(**ZHENG, Haoliang**); 中国北京市北京经济技术
开发区地泽路9号, Beijing 100176 (CN)。 玄
明花(**XUAN, Minghua**); 中国北京市北京经济技术
开发区地泽路9号, Beijing 100176 (CN)。
赵蛟(**ZHAO, Jiao**); 中国北京市北京经济技术
开发区地泽路9号, Beijing 100176 (CN)。 陈亮
(**CHEN, Liang**); 中国北京市北京经济技术开
发区地泽路9号, Beijing 100176 (CN)。 崔晓荣
(**CUI, Xiaorong**); 中国北京市北京经济技术开
发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司
(**BEIJING ZBSD PATENT & TRADEMARK AGENT**)

(54) **Title:** DISPLAY SUBSTRATE AND DRIVING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 显示基板及其驱动方法、显示装置

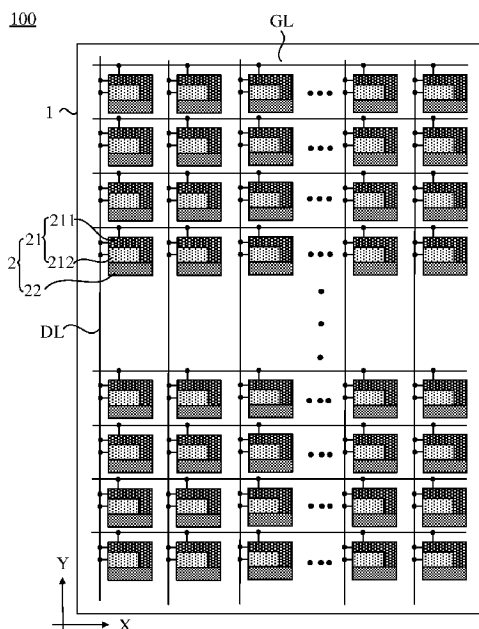


图 5

(57) **Abstract:** A display substrate (100), comprising: a plurality of data lines (DL) extending in a first direction; and a plurality of subpixels (2). Each subpixel (2) comprises a pixel driving circuit (21) and a light-emitting device (22). The pixel driving circuit (21) comprises: a current control circuit (211) and a duration control circuit (212) electrically connected to the current control circuit (211) and the light-emitting device (22). The current control circuit (211) is configured to generate a driving signal, so as to drive the light-emitting device (22) to emit light; and the duration control circuit (212) is configured to generate a duration control signal, so as



WO 2023/092346 A1

LTD.); 中国北京市海淀区交大东路31号11
号楼8层, Beijing 100044 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

to control the duration of conduction between the current control circuit (211) and the light-emitting device (22). The current control circuit (211) and the duration control circuit (212) are electrically connected to a same data line.

(57) 摘要: 一种显示基板(100), 包括: 沿第一方向(Y)延伸的多条数据线(DL); 以及, 多个子像素(2)。子像素(2)包括像素驱动电路(21)及发光器件(22)。像素驱动电路(21)包括: 电流控制电路(211), 及与电流控制电路(211)、发光器件(22)电连接的时长控制电路(212)。电流控制电路(211)被配置为, 生成驱动信号, 以驱动发光器件(22)发光; 时长控制电路(212)被配置为, 生成时长控制信号, 以控制电流控制电路(211)和发光器件(22)之间的导通时长。其中, 电流控制电路(211)和时长控制电路(212), 与同一条数据线电连接。

显示基板及其驱动方法、显示装置

技术领域

本公开涉及显示技术领域，尤其涉及一种显示基板及其驱动方法、显示装置。

背景技术

显示市场目前正在蓬勃发展，并且随着消费者对笔记本电脑、智能手机、电视、平板电脑、智能手表和健身腕带等各类显示产品的需求的持续提升，将来会涌现出更多的新显示产品。

发明内容

一方面，提供一种显示基板。所述显示基板沿第一方向延伸的多条数据线；以及，多个子像素。子像素包括像素驱动电路及发光器。所述像素驱动电路包括：电流控制电路，及与所述电流控制电路、所述发光器件电连接的时长控制电路。所述电流控制电路被配置为，生成驱动信号，以驱动所述发光器件发光；所述时长控制电路被配置为，生成时长控制信号，以控制所述电流控制电路和所述发光器件之间的导通时长。其中，所述电流控制电路和所述时长控制电路，与同一条数据线电连接。

在一些实施例中，所述多个子像素沿第二方向排列为多列。同一条数据线与至少一列子像素电连接。

在一些实施例中，任意相邻两条数据线之间，设置有至少一列子像素。

在一些实施例中，所述显示基板，还包括：与所述多条数据线电连接的多路输出选择电路；与所述多路输出选择电路电连接的多条数据传输线；及，与所述多路输出选择电路电连接的多条选择信号线。其中，所述多路输出选择电路被配置为，在所述多条选择信号线所传输的选择信号的控制下，将所述多条数据传输线所传输的数据信号，分时传输至所述多条数据线。

在一些实施例中，所述多条数据线至少包括：多条第一数据线、多条第二数据线和多条第三数据线。所述多条数据传输线至少包括：多条第一数据传输线、多条第二数据传输线和多条第三数据传输线。所述多路输出选择电路包括：多个选择晶体管组；选择晶体管组与选择信号线、第一数据线、第二数据线及第三数据线电连接。其中，第一数据传输线与至少两个选择晶体管组电连接，并通过所述至少两个选择晶体管组与相应的第一数据线电连接。第二数据传输线与所述至少两个选择晶体管组电连接，并通过所述至少两个选择晶体管组与相应的第二数据线电连接。第三数据传输线与所述至少两个选择晶体管组电连接，并通过所述至少两个选择晶体管组与相应的第三数据线电连接。

在一些实施例中，所述第一数据传输线、所述第二数据传输线和所述第三数据传输线呈周期性排布。和/或，所述第一数据线、所述第二数据线和所述第三数据线呈周期性排布。

在一些实施例中，所述选择晶体管组至少包括：第一选择晶体管、第二选择晶体管和第三选择晶体管。所述第一选择晶体管的控制极与所述选择信号线电连接，所述第一选择晶体管的第一极与所述第一数据传输线电连接，所述第一选择晶体管的第二极与所述第一数据线电连接。所述第二选择晶体管的控制极与所述选择信号线电连接，所述第二选择晶体管的第一极与所述第二数据传输线电连接，所述第二选择晶体管的第二极与所述第二数据线电连接。所述第三选择晶体管的控制极与所述选择信号线电连接，所述第三选择晶体管的第一极与所述第三数据传输线电连接，所述第三选择晶体管的第二极与所述第三数据

线电连接。

在一些实施例中，同一条数据线与一列子像素电连接。

在一些实施例中，同一条数据线与至少两列子像素电连接。所述显示基板还包括：沿第一方向延伸的多条栅线；一个子像素与一条栅线电连接。其中，所述多个子像素沿所述第二方向排列为多行；一行子像素与至少两条栅线电连接。所述至少两条栅线被配置为，分别向相应的子像素传输扫描信号，以控制所述一行子像素分时接收所述数据线所传输的数据信号。

在一些实施例中，同一条数据线所电连接的子像素的列数，与同一行子像素所电连接的栅线条数，相等。

在一些实施例中，所述至少两条栅线分别设置在所述一行子像素的相对两侧。

在一些实施例中，同一行子像素中，任意相邻的两个子像素分别与不同栅线电连接。

在一些实施例中，所述显示基板，还包括：衬底；所述多条数据线所述多个子像素设置在所述衬底的一侧；以及，设置在所述衬底边缘的多条连接配线。连接配线的一端与至少一条所述数据线电连接，所述连接配线的另一端延伸至所述衬底的另一侧。在所述显示基板还包括多路输出选择电路、多条数据传输线的情况下，所述连接配线的一端与数据传输线电连接，并通过所述多路输出选择电路与多条数据线电连接。

在一些实施例中，所述电流控制电路至少与扫描信号端、数据信号端、第一使能信号端、第一电压信号端及第一节点电连接；所述电流控制电路被配置为，响应于在所述扫描信号端处接收的扫描信号、在所述数据信号端处接收的数据信号、在所述第一使能信号端处接收的第一使能信号及在所述第一电压信号端处接收的第一电压信号，生成驱动信号。所述时长控制电路至少与所述数据信号端、第一复位信号端、第二复位信号端、所述第一使能信号端、第二使能信号端、所述第一节点及所述发光器件电连接；所述时长控制电路被配置为，响应于所述数据信号和在所述第一复位信号端处接收的第一复位信号，根据在所述第二使能信号端处接收的第二使能信号控制所述第一节点和所述发光器件之间的导通时长；或，响应于所述数据信号和在所述第二复位信号端处接收的第二复位信号，根据在所述第一使能信号，控制所述第一节点和所述发光器件之间的导通时长。其中，所述电流控制电路和所述时长控制电路，均通过所述数据信号端与所述数据线电连接。

在一些实施例中，所述第一复位信号和所述第二复位信号的有效电平时间不重合。所述数据信号中，与所述第一复位信号的有效电平相对应的电平、及与所述第二复位信号的有效电平相对应的电平中的一者，为有效电平。

在一些实施例中，在生成所述驱动信号的阶段，所述数据信号的电平跳变为有效电平的时间，早于所述扫描信号的电平跳变为有效电平的时间。

在一些实施例中，所述时长控制电路包括：第一控制子电路、第二控制子电路及第三控制子电路。第一控制子电路至少与所述数据信号端、所述第一复位信号端、所述第二使能信号端及第二节点电连接。所述第一控制子电路被配置为，响应于所述数据信号和所述第一复位信号，将所述第二使能信号传输至所述第二节点。第二控制子电路至少与所述数据信号端、所述第二复位信号端、所述第一使能信号端及所述第二节点电连接。所述第二控制子电路被配置为，响应于所述数据信号和所述第二复位信号，将所述第一使能信号传输至所述第二节点。第三控制子电路与所述第一节点、所述第二节点及所述发光器件电连接。所述第三控制子电路被配置为，在来自所述第二节点的信号的控制下，控制所述第一

节点和所述发光器件之间的导通时长。

在一些实施例中，所述第一控制子电路包括：第一晶体管、第二晶体管和第一电容器。所述第一晶体管的控制极与所述第一复位信号端电连接，所述第一晶体管的第一极与所述数据信号端电连接，所述第一晶体管的第二极与第三节点电连接。所述第二晶体管的控制极与所述第三节点电连接，所述第二晶体管的第一极与所述第二使能信号端电连接，所述第二晶体管的第二极与所述第二节点电连接。所述第一电容器的第一极与初始信号端电连接，所述第一电容器的第二极与所述第三节点电连接。所述第二控制子电路包括：第三晶体管、第四晶体管和第二电容器。所述第三晶体管的控制极与所述第二复位信号端电连接，所述第三晶体管的第一极与所述数据信号端电连接，所述第三晶体管的第二极与第四节点电连接。所述第四晶体管的控制极与所述第四节点电连接，所述第四晶体管的第一极与所述第一使能信号端电连接，所述第四晶体管的第二极与所述第二节点电连接。所述第二电容器的第一极与所述初始信号端电连接，所述第二电容器的第二极与所述第四节点电连接。所述第三控制子电路包括：第五晶体管。所述第五晶体管的控制极与所述第二节点电连接，所述第五晶体管的第一极与所述第一节点电连接，所述第五晶体管的第二极与所述发光器件电连接。

在一些实施例中，所述电流控制电路包括：数据写入子电路、驱动子电路、补偿子电路以及发光控制子电路。数据写入子电路与所述扫描信号端、所述数据信号端及第五节点电连接；所述数据写入子电路被配置为，在所述扫描信号的控制下，将所述数据信号传输至所述第五节点。驱动子电路至少与所述第一节点、所述第五节点及第六节点电连接；所述驱动子电路被配置为，在所述第六节点的电压的控制下，将来自所述第五节点的信号传输至所述第一节点。补偿子电路与所述扫描信号端、所述第一节点及所述第六节点电连接；所述补偿子电路被配置为，在所述扫描信号的控制下，将来自所述第一节点的信号传输至所述第六节点，以对所述驱动子电路进行阈值电压的补偿。发光控制子电路与所述第一使能信号端、所述第一电压信号端及所述第五节点电连接；所述发光控制子电路被配置为，在所述第一使能信号的控制下，将所述第一电压信号传输至所述第五节点。

在一些实施例中，所述数据写入子电路包括：第六晶体管。所述第六晶体管的控制极与所述扫描信号端电连接，所述第六晶体管的第一极与所述数据信号端电连接，所述第六晶体管的第二极与所述第五节点电连接。所述驱动子电路包括：第七晶体管和第三电容器。所述第七晶体管的控制极与所述第六节点电连接，所述第七晶体管的第一极与所述第五节点电连接，所述第七晶体管的第二极与所述第一节点电连接。所述第三电容器的第一极与所述第六节点电连接，所述第三电容器的第二极与所述第一电压信号端电连接。所述补偿子电路包括：第八晶体管。所述第八晶体管的控制极与所述扫描信号端电连接，所述第八晶体管的第一极与所述第一节点电连接，所述第八晶体管的第二极与所述第六节点电连接。所述发光控制子电路包括：第九晶体管。所述第九晶体管的控制极与所述第一使能信号端电连接，所述第九晶体管的第一极与所述第一电压信号端电连接，所述第九晶体管的第二极与所述第五节点电连接。

在一些实施例中，所述电流控制电路还包括：复位子电路。所述复位子电路与所述第一复位信号端、初始信号端、所述第六节点及所述发光器件电连接；所述复位子电路被配置为，响应于所述第一复位信号，将在所述初始信号端处接收的初始信号传输至所述第六节点及所述发光器件。

在一些实施例中，所述复位子电路包括：第十晶体管和第十一晶体管。所述第十晶体管的控制极与所述第一复位信号端电连接，所述第十晶体管的第一极与所述初始信号端电连接，所述第十晶体管的第二极与所述第六节点电连接。所述第十一晶体管的控制极与所述第一复位信号端电连接，所述第十一晶体管的第一极与所述初始信号端电连接，所述第十一晶体管的第二极与所述发光器件电连接。

另一方面，提供一种显示基板的驱动方法。所述驱动方法用于驱动如上述任一项实施例所述的显示基板。所述驱动方法包括：向所述显示基板的多条数据线传输数据信号，同一子像素的电流控制电路和时长控制电路同时接收所述数据信号。

在一些实施例中，所述电流控制电路包括数据写入子电路、驱动子电路、补偿子电路及发光控制子电路，所述时长控制电路包括第一控制子电路、第二控制子电路及第三控制子电路。在一帧显示阶段，所述驱动方法还包括：第一阶段、第二阶段、第三阶段和第四阶段。在所述显示基板的子像素所显示的灰阶大于或等于阈值灰阶的情况下，在所述第一阶段，响应于在第一复位信号端处接收的第一复位信号和所述数据信号，所述第一控制子电路关断；在所述第二阶段，响应于在第二复位信号端处接收的第二复位信号和所述数据信号，所述第二控制子电路导通，将在第一使能信号端处接收的第一使能信号传输至第二节点。在所述显示基板的子像素所显示的灰阶小于阈值灰阶的情况下，在所述第一阶段，响应于所述第一复位信号和所述数据信号，所述第一控制子电路导通，将在第二使能信号端处接收的第二使能信号传输至所述第二节点；在所述第二阶段，响应于所述第二复位信号和所述数据信号，所述第二控制子电路关断。其中，在所述第三阶段，响应于在扫描信号端处接收的扫描信号，所述数据写入子电路和所述补偿子电路导通，将所述数据信号依次经第五节点、所述驱动子电路、第一节点及所述补偿子电路，传输至第六节点，对所述驱动子电路进行阈值电压的补偿。在所述第四阶段，响应于所述第一使能信号，所述发光控制子电路导通，将在第一电压信号端处接收的第一电压信号依次经第五节点和所述驱动子电路，传输至所述第一节点。

在一些实施例中，数据线被配置为，对所述数据信号进行存储。所述扫描信号端被配置为，在所述第三阶段，在所述数据线存储所述数据信号之后，传输所述扫描信号，以控制所述数据写入子电路和所述补偿子电路导通。

又一方面，提供一种显示装置。所述显示装置，包括：至少一个如上述任一实施例所述的显示基板。

在一些实施例中，所述显示基板包括衬底及设置在所述衬底边缘的多条连接配线；所述多条连接配线的一端位于所述衬底的一侧，所述多条连接配线的另一端延伸至所述衬底的另一侧。所述显示装置还包括：设置在所述衬底另一侧的驱动芯片。所述驱动芯片与所述多条连接配线的另一端电连接。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

图 1 为根据一种实现方式中的一种显示基板的结构图；

- 图 2 为根据一种实现方式中的一种对应于图 1 所示显示基板的时序图；
图 3 为根据一种实现方式中的另一种对应于图 1 所示显示基板的时序图；
图 4 为根据一种实现方式中的又一种对应于图 1 所示显示基板的时序图；
图 5 为根据本公开一些实施例中的一种显示基板的结构图；
图 6 为根据本公开一些实施例中的一种子像素的结构图；
图 7 为根据本公开一些实施例中的一种子像素的电路图；
图 8 为根据本公开一些实施例中的一种焊盘及像素驱动电路的分布图；
图 9 为根据本公开一些实施例中的另一种焊盘及像素驱动电路的分布图；
图 10 为根据本公开一些实施例中的一种对应于图 7 所示子像素的时序图；
图 11 为根据本公开一些实施例中的另一种对应于图 7 所示子像素的时序图；
图 12 为根据本公开一些实施例中的另一种显示基板的结构图；
图 13 为根据本公开一些实施例中的又一种显示基板的结构图；
图 14 为根据本公开一些实施例中的一种对应于图 13 所示显示基板的时序图；
图 15 为根据本公开一些实施例中的另一种对应于图 13 所示显示基板的时序图；
图 16 为根据本公开一些实施例中的又一种显示基板的结构图；
图 17 为根据本公开一些实施例中的又一种显示基板的结构图；
图 18 为根据本公开一些实施例中的一种对应于图 17 所示显示基板的时序图；
图 19 为根据本公开一些实施例中的又一种显示基板的结构图；
图 20 为根据本公开一些实施例中的又一种显示基板的结构图；
图 21 为根据本公开一些实施例中的一种显示装置的结构图；
图 22 为根据本公开一些实施例中的另一种显示装置的结构图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括 (comprise)”及其其他形式例如第三人称单数形式“包括 (comprises)”和现在分词形式“包括 (comprising)”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例 (one embodiment)”、“一些实施例 (some embodiments)”、“示范性实施例 (exemplary embodiments)”、“示例 (example)”、“特定示例 (specific example)”或“一些示例 (some examples)”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“连接”及其衍生的表达。例如，描述一些实施例

时可能使用了术语“连接”以表明两个或两个以上部件彼此间有直接物理接触或电接触。这里所公开的实施例并不必然限制于本文内容。

“A、B 和 C 中的至少一个”与“A、B 或 C 中的至少一个”具有相同含义，均包括以下 A、B 和 C 的组合：仅 A，仅 B，仅 C，A 和 B 的组合，A 和 C 的组合，B 和 C 的组合，及 A、B 和 C 的组合。

“A 和/或 B”，包括以下三种组合：仅 A，仅 B，及 A 和 B 的组合。

如本文中所使用，根据上下文，术语“如果”任选地被解释为意思是“当……时”或“在……时”或“响应于确定”或“响应于检测到”。类似地，根据上下文，短语“如果确定……”或“如果检测到[所陈述的条件或事件]”任选地被解释为是指“在确定……时”或“响应于确定……”或“在检测到[所陈述的条件或事件]时”或“响应于检测到[所陈述的条件或事件]”。

本文中“适用于”或“被配置为”的使用意味着开放和包容性的语言，其不排除适用于或被配置为执行额外任务或步骤的设备。

另外，“基于”的使用意味着开放和包容性，因为“基于”一个或多个所述条件或值的过程、步骤、计算或其他动作在实践中可以基于额外条件或超出所述的值。

如本文所使用的那样，“约”或“近似”包括所阐述的值以及处于特定值的可接受偏差范围内的平均值，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层和区域的厚度。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

本公开的实施例提供的电路中所采用的晶体管可以为薄膜晶体管、场效应晶体管或其他特性相同的开关器件，本公开的实施例中均以薄膜晶体管为例进行说明。

在一些实施例中，各电路所采用的各晶体管的控制极为晶体管的栅极，第一极为晶体管的源极和漏极中一者，第二极为晶体管的源极和漏极中另一者。由于晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的，也就是说，本公开的实施例中的晶体管的第一极和第二极在结构上可以是没有区别的。示例性的，在晶体管为 P 型晶体管的情况下，晶体管的第一极为源极，第二极为漏极；示例性的，在晶体管为 N 型晶体管的情况下，晶体管的第一极为漏极，第二极为源极。

在本公开的实施例提供的电路中，“节点”并非表示实际存在的部件，而是表示电路图中相关电连接的汇合点，也就是说，这些节点是由电路图中相关电连接的汇合点等效而成的节点。

在本公开的实施例提供的各电路所包括的晶体管，可以均为 N 型晶体管，也可以均为 P 型晶体管。或者，各电路所包括的晶体管中的一部分晶体管可以为 N 型晶体管，另一部分可以为 P 型晶体管。

在本公开中，“有效电平”指的是，可以使晶体管导通的电平。

下面，在本公开的实施例提供的各电路，以晶体管均为 P 型晶体管（此时有效电平为

低电平)为例进行说明。需要说明的是,下面提及的各电路中的晶体管采用相同的导通类型,可以简化工艺流程,减少工艺难度,提高产品(例如显示基板100及显示装置1000)的良率。

本公开的一些实施例提供了一种显示基板100、显示基板的驱动方法及显示装置1000,以下对显示基板100、显示基板的驱动方法及显示装置1000分别进行介绍。

本公开的一些实施例提供一种显示装置1000,如图21和图22所示。该显示装置1000可以是显示不论运动(例如,视频)还是固定(例如,静止图像)的且不论文字还是的图像的任何装置。更明确地说,预期所述实施例可实施在多种电子装置中或与多种电子装置关联,所述多种电子装置例如(但不限于)移动电话、无线装置、个人数据助理(PDA)、手持式或便携式计算机、GPS接收器/导航器、相机、MP4视频播放器、摄像机、游戏控制台、手表、时钟、计算器、电视监视器、平板显示器、计算机监视器、汽车显示器(例如,里程表显示器等)、导航仪、座舱控制器和/或显示器、相机视图的显示器(例如,车辆中后视相机的显示器)、电子相片、电子广告牌或指示牌、投影仪、建筑结构、包装和美学结构(例如,对于一件珠宝的图像的显示器)等。

在一些实施例中,如图21所示,上述显示装置1000可以包括:至少一个显示基板100。也即,显示装置1000可以包括一个显示基板100,也可以包括多个显示基板100。

其中,如图21所示,在显示装置1000包括多个显示基板100的情况下,该多个显示基板100可以相互拼接,使得显示装置1000能够具有较大的屏幕尺寸。此时,上述显示基板100可以称为拼接显示基板,上述显示装置1000可以称为拼接显示装置。

当然,如图22所示,上述显示装置1000例如还可以包括:驱动芯片200以及其他电子配件等。

示例性的,驱动芯片200可以包括但不限于包括:用于提供数据信号的源极驱动电路或用于提供第一电压信号的电源电路等。

在一些实施例中,如图5所示,上述显示基板100可以包括:衬底1、多个子像素2、多条数据线DL及多条栅线GL。

上述衬底1的类型包括多种,可以根据是实际需要选择设置。

示例性的,衬底1可以为刚性衬底。该刚性衬底的材料例如可以包括玻璃、石英或塑料等。

示例性的,衬底1可以为柔性衬底。该柔性衬底的材料例如可以包括PET(Polyethylene terephthalate,聚对苯二甲酸乙二醇酯)、PEN(Polyethylene naphthalate two formic acid glycol ester,聚萘二甲酸乙二醇酯)或PI(Polyimide,聚酰亚胺)等。

在一些示例中,上述多个子像素2、多条数据线DL及多条栅线GL均设置在衬底1的一侧。其中,该多条数据线DL可以沿第一方向Y延伸,该多条栅线GL可以沿第二方向X延伸。每个子像素2与一条数据线DL及一条栅线GL电连接。

在一些示例中,如图5所示,上述多个子像素2可以沿第二方向X排列为多列,沿第一方向Y排列为多行。其中,任意相邻两列子像素所包括的子像素2的数量可以相等,也可以不相等;任意相邻两行子像素所包括的子像素2的数量可以相等,也可以不相等。

此处,第一方向Y和第二方向X相互交叉。第一方向Y和第二方向X之间的夹角可以根据实际需要选择设置。示例性的,第一方向Y和第二方向X之间的夹角可以为85°、88°、90°、92°或95°等。

示例性的，上述多个子像素 2 可以包括多种颜色子像素。例如，该多个子像素 2 可以包括：红色子像素、绿色子像素和蓝色子像素。当然，该多个子像素 2 例如还可以包括：白色子像素。在该多个子像素 2 包括红色子像素、绿色子像素和蓝色子像素的情况下，该三种子像素可以采用水平并列、竖直并列或品字型等方式排列。在包括该多个子像素 2 包括红色子像素、绿色子像素、蓝色子像素和白色子像素的情况下，该四种子像素可以采用水平并列、竖直并列或阵列等方式排列，本公开在此不做限定。

在一些示例中，如图 5 和图 6 所示，上述多个子像素 2 中，每个子像素 2 可以包括像素驱动电路 21 及与该像素驱动电路 21 电连接的发光器件 22。像素驱动电路 21 可以提供驱动信号至发光器件 22，驱动发光器件 22 发光。

此处，根据子像素的颜色类型，发光器件 22 可以发出不同颜色的光。

例如，红色子像素中的发光器件 22 可以发出红色光，绿色子像素中的发光器件 22 可以发出绿色光，蓝色子像素中的发光器件 22 可以发出蓝色光，白色子像素中的发光器件 22 可以发出白色光。

又如，红色子像素、绿色子像素、蓝色子像素和白色子像素中的发光器件 22 均可以发出蓝色光。此时，红色子像素、绿色子像素和白色子像素，可以分别通过配合色转材料（例如量子点、荧光粉等材料），将蓝色光转换为红色光、绿色光和白色光，实现红、绿、蓝和白等相应颜色的出光。

也就是说，上述子像素 2 的排列方式，可以指的是，发光器件 22 的排列方式。

示例性的，上述发光器件 22 电流型驱动元件。该发光器件 22 的类型包括多种，可以根据实际需要选择设置。

例如，上述发光器件 22 可以为：微发光二极管（Micro Light Emitting Diodes，简称 Micro LED）、迷你发光二极管（Mini Light Emitting Diodes，简称 Mini LED）或发光二极管（Light Emitting Diodes，简称 LED）等。

需要说明的是，在上述发光器件 22 发光的情况下，发光器件 22 所呈现的亮度，与其所接收的驱动信号（也即电流信号）的电流幅值及所接收的驱动信号的时长相关。

例如，在发光器件 22 所接收的驱动信号的时长为定值的情况下，驱动信号的电流幅值越大，则发光器件 22 所呈现的亮度越大，驱动信号的电流幅值越小，则发光器件 22 所呈现的亮度越小。在发光器件 22 所接收的驱动信号的电流幅值为定值的情况下，其所接收的驱动信号的时长越长，则所呈现的亮度越大，其所接收的驱动信号的时长越短，则所呈现的亮度越小。

然而，在具有较低电流密度的驱动信号（也即驱动信号的电流幅值较小）的驱动下，上述发光器件 22 容易出现色坐标漂移、外量子效率较低的情况，进而导致显示基板 100 出现亮度均一性较差的现象，也就是说，仅通过控制驱动信号的电流幅值大小难以准确显示低灰阶。因此，可以在控制驱动信号的电流幅值的基础上，控制向发光器件 22 提供的驱动信号的时间长度，来实现准确的低灰阶显示。

在一些示例中，如图 5 和图 6 所示，上述像素驱动电路 21 可以包括：电流控制电路 211，及与电流控制电路 211、发光器件 22 电连接的时长控制电路 212。其中，电流控制电路 211 被配置为，生成驱动信号，以驱动发光器件 22 发光。时长控制电路 212 被配置为，生成时长控制信号，以控制电流控制电路 211 和发光器件 22 之间的导通时长。

示例性的，上述电流控制电路 211 能够生成驱动信号，发光器件 22 可以在该驱动信

号的作用下发光。其中，该驱动信号的电流幅值是可变的，相应的，发光器件 22 所发出的光的亮度也是可变的。通过调整电流控制电路 211 所生成的驱动信号的电流幅值，可以使得发光器件 22 显示不同的灰阶。

示例性的，时长控制电路 212 设置在电流控制电路 211 和发光器件 22 之间。时长控制电路 212 可以控制电流控制电路 211 和发光器件 22 之间是否导通。也即，在时长控制电路 212 未生成时长控制信号的情况下，电流控制电路 211 和发光器件 22 之间断开，未导通，即使电流控制电路 211 生成驱动信号，该驱动信号难以施加至发光器件 22。

另外，时长控制电路 212 所生成的时长控制信号，可以控制电流控制电路 211 和发光器件 22 之间的导通时长。也即，在时长控制信号的电平为有效电平的情况下，电流控制电路 211 和发光器件 22 之间可以相互电连接，形成通路；在时长控制信号的电平为非有效电平的情况下，电流控制电路 211 和发光器件 22 之间断开。此处，时长控制信号的占空比是可变的，也就是说，时长控制信号的电平为有效电平的时长是可变的。通过调整时长控制信号的占空比，可以调整电流控制电路 211 和发光器件 22 之间的导通时长，进而可以调整发光器件 22 的发光时长，使得发光器件 22 显示不同的灰阶。

也就是说，本公开可以在利用电流控制电路 211 生成具有较高电流幅值的驱动信号的基础上，利用时长控制电路 212 生成的时长控制信号控制该驱动信号传输至发光器件 22 的时长，共同控制发光器件 22 所呈现的亮度，这样有利于提高显示基板 100 的亮度均一性，提高显示基板 100 的显示效果。

此处，上述驱动信号的较高电流幅值范围可以是在，发光器件 22 工作在发光效率高且稳定、色坐标均一度好且出光主波长稳定的范围内。因此，无论发光器件 22 所显示的灰阶是较高灰阶还是较低灰阶，驱动信号的电流幅值范围可以是相同的。

在一种实现方式中，如图 1 所示，子像素中像素驱动电路所电连接的数据信号端包括两类，也即，与电流控制电路电连接的电流数据信号端、及与时长控制电路电连接的时长数据信号端；电流控制电路可以根据电流数据信号端所传输的电流数据信号，控制驱动信号的电流幅值，时长控制电路可以根据时长数据信号端所传输的时长数据信号，选择时长控制信号的占空比。相应的，显示基板所包括的数据线可以包括：与电流数据信号端电连接的电流数据线 DI、及与时长数据信号端电连接的时长数据线 DT。其中，第 i 条电流数据线 DI_i 和第 i 条时长数据线 DT_i 分别位于第 i 列子像素的相对两侧，第 i 列子像素和第 $i+1$ 列子像素之间则设置有两条数据线。该两条数据线例如可以为：第 i 条时长数据线 DT_i 和第 $i+1$ 条电流数据线 DI_{i+1} 、或者第 i 条电流数据线 DI_i 和第 $i+1$ 条时长数据线 DT_{i+1} 。 n 和 i 均为正整数。

以第 i 列子像素和第 $i+1$ 列子像素之间设置有第 i 条时长数据线 DT_i 和第 $i+1$ 条电流数据线 DI_{i+1} 为例。本公开的发明人发现，在将第 $i+1$ 列子像素中某个子像素所需的电流数据信号写入至第 $i+1$ 条电流数据线 DI_{i+1} 后，第 $i+1$ 条电流数据线 DI_{i+1} 会处于浮置状态。在此过程中，写入至第 i 条时长数据线 DT_i 的时长数据信号的电平可能会发生变化。此时，第 $i+1$ 条电流数据线 DI_{i+1} 中的电流数据信号会因该时长数据信号的电平的变化而发生跳变，这样会导致上述第 $i+1$ 列子像素中某个子像素的电流控制电路所生成的驱动信号发生变化，进而导致上述第 $i+1$ 列子像素中某个子像素所呈现的亮度发生变化，出现列向亮暗差异不良现象。

例如，写入至第 i 条时长数据线 DT_i 的时长数据信号的电平，由高电平跳变为低电平，

相应的,第 $i+1$ 条电流数据线 DI_{i+1} 中的电流数据信号的电平会被拉低,导致上述第 $i+1$ 列子像素中某个子像素的电流控制电路所生成的驱动信号的电流幅值增大,进而导致上述第 $i+1$ 列子像素中某个子像素所呈现的亮度变大,出现列向亮暗差异不良现象。

基于此,在一些示例中,如图 5 所示,本公开所提供的子像素 2 中,电流控制电路 211 和时长控制电路 212,与同一条数据线 DL 电连接。其中,与同一条数据线 DL 电连接的电流控制电路 211 和时长控制电路 212,属于同一个子像素 2 的像素驱动电路 21。

也即,在本公开中,同一个子像素 2 与同一条数据线 DL 电连接,该同一条数据线 DL 所传输的数据信号可以同时传输至电流控制电路 211 和时长控制电路 212。

示例性的,由于同一个子像素 2 的电流控制电路 211 和时长控制电路 212,接收相同的数据信号,因此,本公开可以将数据信号的有效电平,分时写入至电流控制电路 211 和时长控制电路 212。

例如,写入至电流控制电路 211 的数据信号的有效电平可以称为第一有效电平,写入至时长控制电路 212 的数据信号的有效电平可以称为第二有效电平。在一帧显示阶段,可以先将具有第二有效电平的数据信号写入至时长控制电路 212,使得时长控制电路 212 生成时长控制信号(该时长控制信号的占空比根据子像素 2 所需显示的灰阶而定),然后将具有第一有效电平的数据信号写入至电流控制电路 211,使得电流控制电路 211 生成驱动信号(该驱动信号的电流幅值根据子像素 2 所需显示的灰阶而定)。

由于本公开中同一子像素 2 与同一条数据线 DL 电连接,并将数据信号的有效电平,分时写入至电流控制电路 211 和时长控制电路 212,这样可以使得与电流控制电路 211 相对应的写入及补偿阶段,及与时长控制电路 212 相对应的生成时长控制信号的阶段隔开,无重合,且数据信号的电平在各阶段基本无变化。这样可以有效避免相邻两条数据线 DL 之间产生信号串扰,避免出现因写入至时长控制电路 212 的数据信号的电平发生变化而导致写入至电流控制电路 211 的数据信号的电平发生跳变的情况,进而有利于改善列向亮暗差异不良现象。

由此,本公开的一些实施例所提供的显示基板 100,通过将同一子像素 2 中像素驱动电路 21 所包括的电流控制电路 211 和时长控制电路 212,与同一条数据线 DL 电连接,可以将数据信号的有效电平,分时写入至电流控制电路 211 和时长控制电路 212。这样可以使得电流控制电路 211 生成驱动信号的阶段与时长控制电路 212 生成时长控制信号的阶段无重合,有利于确保各阶段数据信号的稳定性,避免相邻两条数据线 DL 之间产生信号串扰,进而避免因写入至时长控制电路 212 的数据信号的电平发生变化而导致写入至电流控制电路 211 的数据信号的电平发生跳变,有利于改善列向亮暗差异不良现象,提高显示基板 100 的显示效果。

另外,由于同一子像素 2 与同一条数据线 DL 电连接,这样可以有效减小数据线 DL 的数量,减小数据线 DL 所占的空间,增大显示基板 100 的布线空间。

需要说明的是,上述子像素 2 中电流控制电路 211 和时长控制电路 212 的结构包括多种,本公开以如图 6 和图 7 所示的结构进行示意性说明。当然,电流控制电路 211 和时长控制电路 212 的结构并不局限于本公开举例的结构。

在一些实施例中,如图 6 和图 7 所示,电流控制电路 211 至少与扫描信号端 Gate、数据信号端 Data、第一使能信号端 EM、第一电压信号端 VDD 及第一节点 N1 电连接。其中,电流控制电路 211 被配置为,响应于在扫描信号端 Gate 处接收的扫描信号、在数据信号端

Data 处接收的数据信号、在第一使能信号端 EM 处接收的第一使能信号及在第一电压信号端 VDD 处接收的第一电压信号,生成驱动信号。时长控制电路 212 至少与数据信号端 Data、第一复位信号端 Res_A、第二复位信号端 Res_B、第一使能信号端 EM、第二使能信号端 Hf、第一节点 N1 及发光器件 22 电连接。其中,时长控制电路 212 被配置为,响应于数据信号和在第一复位信号端 Res_A 处接收的第一复位信号,根据在第二使能信号端 EM 处接收的第二使能信号控制第一节点 N1 和发光器件 22 之间的导通时长;或,响应于数据信号和在第二复位信号端 Res_B 处接收的第二复位信号,根据在第一使能信号,控制第一节点 N1 和发光器件 22 之间的导通时长。也即,时长控制信号为第一使能信号或第二使能信号。

在一些示例中,如图 6 和图 7 所示,发光器件 22 的阳极与第一节点 N1 电连接,发光器件 22 的阴极与第二电压信号端 VSS 电连接。

在一些示例中,第一电压信号端 VDD 被配置为传输直流高电平信号,本文将该直流高电平信号称为第一电压信号。第二电压信号端 VSS 被配置为传输直流低电平信号,本文将该直流低电平信号称为第二电压信号。本文中的“高电平”和“低电平”是相对而言的,并不因此限定电压值的大小。

在一些示例中,第二使能信号端 Hf 所传输的第二使能信号为高频脉冲信号。示例性的,在一帧显示阶段内,第二使能信号包括多个脉冲。例如,第二使能信号的频率大于第一使能信号的频率。例如,在单位时间内,第二使能信号中出现有效电平的时间段的次数,大于第一使能信号中出现有效电平的时间段的次数。

示例性的,在传输第二使能信号的过程中,第二使能信号可以同时传输至显示基板 100 所包括的多个子像素 2。第二使能信号的频率例如可以根据显示基板 100 所包括的子像素行数进行划分。例如,显示基板 100 的帧频率为 60Hz,也即,在 1s 的时间段内,显示基板 100 可以显示 60 帧图像,且每帧图像的显示时长相等。在每帧显示阶段内,例如每隔 4 行或 5 行子像素的刷新时间,第二使能信号中出现一次有效电平。

此处,通过控制时长控制信号的频率,可以控制电流控制电路 211 和发光器件 22 之间的导通频率,通过控制时长控制信号的占空比,可以控制电流控制电路 211 和发光器件 22 之间的导通时长。在一帧显示阶段的发光阶段,控制电流控制电路 211 和发光器件 22 之间的导通频率及每次导通时的导通时长,决定了发光器件 22 发光的总时长(也即多次导通的时长之和)。

在发光器件 22 所显示的灰阶大于或等于阈值灰阶的情况下,时长控制电路 212 可以将第一使能信号作为时长控制信号,使得在发光阶段,电流控制电路 211 和发光器件 22 之间一直处于导通状态,像素驱动电路 21 与发光器件 22 之间一直形成导电通路。此时,电流控制电路 211 生成的驱动信号可以持续传输至发光器件 22,进而可以实现较高灰阶的显示。

在发光器件 22 所显示的灰阶小于阈值灰阶的情况下,时长控制电路 212 可以将第二使能信号作为时长控制信号,使得在发光阶段,电流控制电路 211 和发光器件 22 之间在第二使能信号的高频脉冲信号的控制下处于导通和截止交替的状态。此时,电流控制电路 211 生成的驱动信号可以间歇性地传输至发光器件 22,使得发光器件 22 周期性地接收驱动信号。例如,发光器件 22 接收一段时间驱动信号后停止一段时间,再接收一段时间驱动信号后停止一段时间。这样,像素驱动电路 21 与发光器件 22 之间形成导电通路的时间被缩短,驱动信号传输至发光器件 22 的时间被缩短,发光器件 22 发光的总时长被缩短,

进而实现较低灰阶的显示。

在本公开的一些示例中，同一子像素 2 中的电流控制电路 211 和时长控制电路 212，均通过数据信号端 Data 与同一数据线 DL 电连接。也即，电流控制电路 211 和时长控制电路 212，均与同一数据信号端 Data 电连接，并通过该数据信号端 Data 与同一数据线 DL 电连接。该数据线 DL 所传输的数据信号，可以经该数据信号端 Data 同时传输至电流控制电路 211 和时长控制电路 212。

在上述一种实现方式中，如图 1 所示，设置有多路输出选择电路 4'，该多路输出选择电路 4' 分别与多条电流数据线 DI、多条时长数据线 DT、第一电流选择信号线 DI_MUX₁、第二电流选择信号线 DI_MUX₂、第一时长选择信号线 DT_MUX₁ 及第二时长选择信号线 DT_MUX₂ 电连接。其中，多路输出选择电路 4' 在第一电流选择信号和第二电流选择信号的控制下，将电流数据信号分时传输至电流数据线 DI，并可以在第一时长选择信号和第二时长选择信号的控制下，将时长数据信号传输至时长数据线 DT。

在图 2 中，DI_MUX₂ 表示为第二电流选择信号，DT_MUX₁ 表示为第一时长选择信号，Gate 表示第 n 行子像素所接收的扫描信号，DT_i (低于阈值灰阶) 表示为第 n 行第 i 列子像素在显示灰阶小于阈值灰阶的情况下所接收的时长数据信号，DT_i (高于阈值灰阶) 表示为第 n 行第 i 列子像素在显示灰阶大于阈值灰阶的情况下所接收的时长数据信号，DI_{i+1} 表示为第 n 行第 i+1 列子像素所接收的电流数据信号。

在上述一种实现方式中，电流控制电路和时长控制电路均与扫描信号端电连接。从图 2 中可以看出，对于同一行子像素中的相邻两个子像素而言，与其中一个子像素的电流控制电路相对应的写入及补偿阶段，及与另一个子像素的时长控制电路相对应的生成时长控制信号的阶段会具有重合。在扫描信号为有效电平（也即低电平）的阶段，电流数据信号随第二电流选择信号写入至第 i+1 条电流数据线 DI_{i+1} 后，第二电流选择信号的电平变为非有效电平，使得第 i+1 条电流数据线 DI_{i+1} 处于浮置状态。在生成时长控制信号的阶段，第一时长选择信号的电平变为有效电平后，时长数据信号随第一时长选择信号写入至第 i 条时长数据线 DT_i。在第 n 行第 i 列子像素所显示的灰阶为高于阈值灰阶的情况下，时长数据信号的电平会由高电平跳变为低电平，相应的，第 i+1 条电流数据线 DI_{i+1} 中的电流数据信号的电平会被拉低，进而导致上述第 n 行第 i+1 列子像素所呈现的亮度变大，出现列向亮暗差异不良现象。

而本公开中，仅将电流控制电路 211 和扫描信号端 Gate 电连接，将时长控制电路 212 与其他的信号端电连接，并将电流控制电路 211 和时长控制电路 212，均与同一数据线 DL 电连接，可以在分时写入数据信号的有效电平同时，确保与某一子像素 2 的电流控制电路 211 相对应的写入及补偿阶段，及与另一子像素 2（该子像素 2 与上述某一子像素 2 位于同一行且相邻）的时长控制电路 212 生成时长控制信号的阶段无重合。这样可以进一步避免相邻两条数据线 DL 之间产生信号串扰，避免出现因写入至某一子像素 2 的时长控制电路 212 的数据信号的电平发生变化，而导致写入至另一子像素 2 的电流控制电路 211 的数据信号的电平发生跳变的情况，进而有利于改善列向亮暗差异不良现象。

在一些实施例，如图 10 和图 11 所示，上述第一复位信号和第二复位信号的有效电平时间不重合。上述数据信号中，与第一复位信号的有效电平相对应的电平、及与第二复位信号的有效电平相对应的电平中的一者，为有效电平。

也就是说，在第一复位信号的电平为有效电平的阶段，数据信号的电平可以为有效电

平，也可以为非有效电平。在第二复位信号的电平为有效电平的阶段，数据信号的电平可以为有效电平，也可以为非有效电平。但是，在第一复位信号的电平为有效电平的阶段及第二复位信号的电平为有效电平的阶段中，数据信号的电平相反。

相应的，第一复位信号、第二复位信号及数据信号的有效电平之间的关系可以包括两种。其中一种关系为：在第一复位信号的电平为有效电平的阶段，数据信号的电平为有效电平，在第二复位信号的电平为有效电平的阶段，数据信号的电平为非有效电平。另一种关系为：在第一复位信号的电平为有效电平的阶段，数据信号的电平为非有效电平，在第二复位信号的电平为有效电平的阶段，数据信号的电平为有效电平。

需要说明的是，本公开不对第一复位信号的电平为有效电平的阶段及第二复位信号的电平为有效电平的阶段的先后顺序做限定，可以根据实际需要选择设置。

对于同一子像素 2，通过采用上述设置方式设置第一复位信号、第二复位信号及数据信号，可以在生成时长控制信号的阶段，使得时长控制电路 212 仅在数据信号和第一复位信号的共同控制下，将第二使能信号作为时长控制信号，或者仅在数据信号和第二复位信号的共同控制下，将第一使能信号作为时长控制信号。这样有利于确保时长控制电路 212 的工作性能，确保时长控制电路 212 能够仅选择第一使能信号和第二使能信号中的一者作为时长控制信号，提高信号选择的稳定性，进而提高对发光器件 22 所显示灰阶的控制性。

在一些实施例中，如图 6 所示，时长控制电路 212 包括：第一控制子电路 2121、第二控制子电路 2122 和第三控制子电路 2123。

在一些示例中，如图 6 所示，第一控制子电路 2121 至少与数据信号端 Data、第一复位信号端 Res_A、第二使能信号端 Hf 及第二节点 N2 电连接。其中，第一控制子电路 2121 被配置为，响应于数据信号和第一复位信号，将第二使能信号传输至第二节点 N2。

示例性的，在数据信号的电平为有效电平且第一复位信号的电平为有效电平的情况下，第一控制子电路 2121 可以在数据信号和第一复位信号的控制下，将第二使能信号作为时长控制信号传输至第二节点 N2。

在一些示例中，如图 6 所示，第二控制子电路 2122 至少与数据信号端 Data、第二复位信号端 Res_B、第一使能信号端 EM 及第二节点 N2 电连接。其中，第二控制子电路 2122 被配置为，响应于数据信号和第二复位信号，将第一使能信号传输至第二节点 N2。

示例性的，在数据信号的电平为有效电平且第二复位信号的电平为有效电平的情况下，第二控制子电路 2122 可以在数据信号和第二复位信号的控制下，将第一使能信号作为时长控制信号传输至第二节点 N2。

在一些示例中，如图 6 所示，第三控制子电路 2123 与第一节点 N1、第二节点 N2 及发光器件 22 电连接。其中，第三控制子电路 2123 被配置为，在来自第二节点 N2 的信号的控制下，控制第一节点 N1 和发光器件 22 之间的导通时长。

示例性的，在第一控制子电路 2121 将第二使能信号传输至第二节点 N2 的情况下，第三控制子电路 2123 可以在第二使能信号的控制下，将第一节点 N1 和发光器件 22 之间的导通。由于第二使能信号为高频脉冲信号，因此，第一节点 N1 和发光器件 22 之间会处于导通和截止交替的状态，第一节点 N1 和发光器件 22 之间的导通时长则为多次导通状态而定总时长。

在第二控制子电路 2122 将第一使能信号传输至第二节点 N2 的情况下，第三控制子电路 2123 可以在第一使能信号的控制下，将第一节点 N1 和发光器件 22 之间的导通。其中，

在发光阶段，第一节点 N1 和发光器件 22 之间可以一直导通。

此处，基于第一复位信号、第二复位信号及数据信号之间的有效电平的设置方式，在生成时长控制信号的阶段，可以仅使得第一控制子电路 2121 和第二控制子电路 2122 中的一者工作，进而可以实现时长控制信号的选择，避免出现第一控制子电路 2121 和第二控制子电路 2122 同时工作、导致发光器件 22 所显示灰阶异常的情况。

在一些实施例中，如图 6 所示，电流控制电路 211 包括：数据写入子电路 2111、驱动子电路 2112、补偿子电路 2113 和发光控制子电路 2114。

在一些示例中，如图 6 所示，数据写入子电路 2111 与扫描信号端 Gate、数据信号端 Data 及第五节点 N5 电连接。其中，数据写入子电路 2111 被配置为，在扫描信号的控制下，将数据信号传输至第五节点 N5。

示例性的，在扫描信号的电平为有效电平的情况下，数据写入子电路 2111 可以在扫描信号的控制下导通，接收并传输数据信号至第五节点 N5。

在一些示例中，如图 6 所示，驱动子电路 2112 至少与第一节点 N1、第五节点 N5 及第六节点 N6 电连接。其中，驱动子电路 2112 被配置为，在第六节点 N6 的电压的控制下，将来自第五节点 N5 的信号传输至第一节点 N1。

示例性的，来自第五节点 N5 的信号可以为，数据写入子电路 2111 所传输的数据信号。在第六节点 N6 的电压为有效电平的情况下，驱动子电路 2112 可以在第六节点 N6 的电压的控制下导通，将来自第五节点 N5 的信号传输至第一节点 N1。

在一些示例中，如图 6 所示，补偿子电路 2113 与扫描信号端 Gate、第一节点 N1 及第六节点 N6 电连接。其中，补偿子电路 2113 被配置为，在扫描信号的控制下，将来自第一节点 N1 的信号传输至第六节点 N6，以对驱动子电路 2112 进行阈值电压的补偿。

示例性的，来自第一节点 N1 的信号可以为，数据写入子电路 2111 所传输的数据信号。在扫描信号的电平为有效电平的情况下，补偿子电路 2113 可以在扫描信号的控制下导通，将来自第一节点 N1 的信号传输至第六节点 N6，以对驱动子电路 2112 进行阈值电压的补偿。

由于数据写入子电路 2111 和补偿子电路 2113 均与扫描信号端 Gate 电连接，因此，数据写入子电路 2111 和补偿子电路 2113 可以同时扫描信号的控制下导通。数据信号端 Data 所传输的数据信号便可以依次经数据写入子电路 2111、驱动子电路 2112、补偿子电路 2113 传输至第六节点 N6，直至驱动子电路 2112 截止，完成对驱动子电路 2112 的阈值电压的补偿。

在一些示例中，如图 6 所示，发光控制子电路 2114 与第一使能信号端 EM、第一电压信号端 VDD 及第五节点 N5 电连接。其中，发光控制子电路 2114 被配置为，在第一使能信号的控制下，将第一电压信号传输至第五节点 N5。

示例性的，在第一使能信号的电平为有效电平的情况下，发光控制子电路 2114 可以在第一使能信号的控制下导通，接收并传输第一电压信号至第五节点 N5。

此处，在时长控制信号控制第一节点 N1 和发光器件 22 之间的导通的情况下，驱动子电路 2112 可以根据来自第五节点 N5 的第一电压信号及写入至第六节点 N6 的数据信号，生成驱动信号，并将该驱动信号传输至发光器件 22，驱动发光器件 22 发光。

由于数据信号分时写入至电流控制电路 211 和时长控制电路 212，且数据写入子电路 2111 与扫描信号端 Gate 电连接，第一控制子电路 2121 与第一复位信号端 Res_A 电连接，

第二控制子电路 2122 与第二复位信号端 Res_B 电连接, 因此, 扫描信号的有效电平时间, 与第一复位信号、第二复位信号的有效电平时间均不重合。这样也就可以使得对驱动子电路 2112 进行阈值电压补偿的阶段, 及第一控制子电路 2121、第二控制子电路 2122 选择时长控制信号的阶段不重合, 有利于避免相邻两条数据线 DL 之间产生信号串扰, 避免出现因写入至时长控制电路 212 的数据信号的电平发生变化而导致写入至驱动子电路 2112 的数据信号的电平发生跳变的情况, 进而有利于改善列向亮暗差异不良现象。

在一些实施例中, 如图 6 所示, 电流控制电路 211 还包括: 复位子电路 2115。

在一些示例中, 如图 6 所示, 复位子电路 2115 与第一复位信号端 Res_A、初始信号端 Vinit、第六节点 N6 及发光器件 22 电连接。其中, 复位子电路 2115 被配置为, 响应于第一复位信号, 将在初始信号端 Vinit 处接收的初始信号传输至第六节点 N6 及发光器件 22。

示例性的, 复位子电路 2115 与发光器件 22 的阳极电连接。初始信号端 Vinit 所传输的初始信号可以为直流低电平信号。

示例性的, 在第一复位信号的电平为有效电平的情况下, 复位子电路 2115 可以在第一复位信号的控制下导通, 接收并传输初始信号传输至第六节点 N6 及发光器件 22 的阳极, 对第六节点 N6 及发光器件 22 的阳极进行复位。

通过设置复位子电路 2115, 可以为第六节点 N6 及发光器件 22 的阳极提供基准电压, 消除上一帧显示过程中残留的电荷, 提高像素驱动电路 21 的可控性。

下面结合图 7 对电流控制电路 211 所包括的各子电路及时长控制电路 212 所包括的各子电路的结构进行示意性说明, 当然, 电流控制电路 211 所包括的各子电路及时长控制电路 212 所包括的各子电路的结构并不局限于此。

在一些示例中, 如图 7 所示, 上述第一控制子电路 2121 包括: 第一晶体管 T1、第二晶体管 T2 和第一电容器 C1。

示例性的, 如图 7 所示, 第一晶体管 T1 的控制极与第一复位信号端 Res_A 电连接, 第一晶体管 T1 的第一极与数据信号端 Data 电连接, 第一晶体管 T1 的第二极与第三节点 N3 电连接。

例如, 在第一复位信号的电平为有效电平 (也即低电平) 的情况下, 第一晶体管 T1 可以在第一复位信号的控制下导通, 接收并传输数据信号至第三节点 N3。

示例性的, 如图 7 所示, 第二晶体管 T2 的控制极与第三节点 N3 电连接, 第二晶体管 T2 的第一极与第二使能信号端 Hf 电连接, 第二晶体管 T2 的第二极与第二节点 N2 电连接。

例如, 第三节点 N3 的电压由数据信号的电平而定。在传输至第三节点 N3 的数据信号的电平为低电平的情况下, 第三节点 N3 的电压则为低电平, 第二晶体管 T2 可以在第三节点 N3 的电平的控制下导通, 将第二使能信号作为时长控制信号, 接收并传输至第二节点 N2。

示例性的, 如图 7 所示, 第一电容器 C1 的第一极与初始信号端 Vinit 电连接, 第一电容器 C1 的第二极与第三节点 N3 电连接。

第一电容器 C1 具有存储功能, 可以对传输至第三节点 N3 的数据信号进行存储。

例如, 在上述数据信号的电平为非有效电平 (也即高电平) 的情况下, 第三节点 N3 的电压则为高电平, 第二晶体管 T2 可以在该第三节点 N3 的电压的控制下关断。在第一晶体管 T1 关断后, 第一电容器 C1 可以进行放电, 使得第三节点 N3 的电压维持为高电平, 进而使得第二晶体管 T2 保持为关断状态。

又如，在上述数据信号的电平为低电平的情况下，第三节点 N3 的电压则为低电平，第二晶体管 T2 可以在该第三节点 N3 的电压的控制下导通。在第一晶体管 T1 关断后，第一电容器 C1 可以进行放电，使得第三节点 N3 的电压维持为低电平，进而使得第二晶体管 T2 保持为导通状态，持续传输第二使能信号至第二节点 N2。

在一些示例中，如图 7 所示，第二控制子电路 2122 包括：第三晶体管 T3、第四晶体管 T4 和第二电容器 C2。

示例性的，如图 7 所示，第三晶体管 T3 的控制极与第二复位信号端 Res_B 电连接，第三晶体管 T3 的第一极与数据信号端 Data 电连接，第三晶体管 T3 的第二极与第四节点 N4 电连接。

例如，在第二复位信号的电平为低电平的情况下，第三晶体管 T3 可以在第二复位信号的控制下导通，接收并传输数据信号至第四节点 N4。

示例性的，如图 7 所示，第四晶体管 T4 的控制极与第四节点 N4 电连接，第四晶体管 T4 的第一极与第一使能信号端 EM 电连接，第四晶体管 T4 的第二极与第二节点 N2 电连接。

例如，第四节点 N4 的电压由数据信号的电平而定。在传输至第四节点 N4 的数据信号的电平为低电平的情况下，第四节点 N4 的电压则为低电平，第四晶体管 T4 可以在第四节点 N4 的电平的控制下导通，将第一使能信号作为时长控制信号，接收并传输至第二节点 N2。

示例性的，如图 7 所示，第二电容器 C2 的第一极与初始信号端 Vinit 电连接，第二电容器 C2 的第二极与第四节点 N4 电连接。

第二电容器 C2 具有存储功能，可以对传输至第四节点 N4 的数据信号进行存储。

例如，在上述数据信号的电平为高电平的情况下，第四节点 N4 的电压则为高电平，第四晶体管 T4 可以在该第四节点 N4 的电压的控制下关断。在第三晶体管 T3 关断后，第二电容器 C2 可以进行放电，使得第四节点 N4 的电压维持为高电平，进而使得第四晶体管 T4 保持为关断状态。

又如，在上述数据信号的电平为低电平的情况下，第四节点 N4 的电压则为低电平，第四晶体管 T4 可以在该第四节点 N4 的电压的控制下导通。在第三晶体管 T3 关断后，第二电容器 C2 可以进行放电，使得第四节点 N4 的电压维持为低电平，进而使得第四晶体管 T4 保持为导通状态，持续传输第一使能信号至第二节点 N2。

此处，基于第一复位信号、第二复位信号及数据信号之间的有效电平的设置方式，在生成时长控制信号的阶段，可以仅使得第二晶体管 T2 导通、并将第二使能信号作为时长控制信号传输至第二节点 N2，或者仅使得第四晶体管 T4 导通、并将第一使能信号作为时长控制信号传输至第二节点 N2，这样便可以实现时长控制信号的选择，避免出现第二晶体管 T2 和第四晶体管 T4 同时导通、导致发光器件 22 所显示灰阶异常的情况。

在一些示例中，如图 7 所示，第三控制子电路 2123 包括：第五晶体管 T5。

示例性的，如图 7 所示，第五晶体管 T5 的控制极与第二节点 N2 电连接，第五晶体管 T5 的第一极与第一节点 N1 电连接，第五晶体管 T5 的第二极与发光器件 22 电连接。

例如，在第二晶体管 T2 将第二使能信号传输至第二节点 N2 的情况下，由于第二使能信号为高频脉冲信号，因此，第五晶体管 T5 可以在第二使能信号的控制下，交替地导通、关断，进而使得第一节点 N1 和发光器件 22 之间会处于导通和截止交替的状态。

又如，在第四晶体管 T4 将第一使能信号传输至第二节点 N2 的情况下，第五晶体管 T5 可以在第一使能信号的控制下保持持续导通的状态，使得第一节点 N1 和发光器件 22 之间可以一直导通。

在一些示例中，如图 7 所示，数据写入子电路 2111 包括：第六晶体管 T6。

示例性的，如图 7 所示，第六晶体管 T6 的控制极与扫描信号端 Gate 电连接，第六晶体管 T6 的第一极与数据信号端 Date 电连接，第六晶体管 T6 的第二极与第五节点 N5 电连接。

例如，在扫描信号的电平为低电平的情况下，第六晶体管 T6 可以在扫描信号的控制下导通，接收并传输数据信号至第五节点 N5。

在一些示例中，如图 7 所示，驱动子电路 2112 包括：第七晶体管 T7 和第三电容器 C3。

示例性的，如图 7 所示，第七晶体管 T7 的控制极与第六节点 N6 电连接，第七晶体管 T7 的第一极与第五节点 N5 电连接，第七晶体管 T7 的第二极与第一节点 N1 电连接。

例如，在第六节点 N6 的电平为低电平的情况下，第七晶体管 T7 可以在第六节点 N6 的电压的控制下导通，将来自第五节点 N5 的数据信号传输至第一节点 N1。

示例性的，如图 7 所示，第三电容器 C3 的第一极与第六节点 N6 电连接，第三电容器 C3 的第二极与第一电压信号端 VDD 电连接。

例如，第三电容器 C3 具有存储功能，可以对传输至第六节点 N6 的信号进行存储，还可以放电维持第六节点 N6 的电平。

在一些示例中，如图 7 所示，补偿子电路 2113 包括：第八晶体管 T8。

示例性的，如图 7 所示，第八晶体管 T8 的控制极与扫描信号端 Gate 电连接，第八晶体管 T8 的第一极与第一节点 N1 电连接，第八晶体管 T8 的第二极与第六节点 N6 电连接。

例如，在扫描信号的电平为低电平的情况下，第八晶体管 T8 可以在扫描信号的控制下导通，将来自第一节点 N1 的数据信号传输至第六节点 N6，直至第七晶体管 T7 截止，完成对第七晶体管 T7 的阈值电压的补偿。

此处，在第八晶体管 T8 关断后，第三电容器 C3 可以进行放电，维持第六节点 N6 的电压。

在一些示例中，如图 7 所示，发光控制子电路 2114 包括：第九晶体管 T9。

示例性的，如图 7 所示，第九晶体管 T9 的控制极与第一使能信号端 EM 电连接，第九晶体管 T9 的第一极与第一电压信号端 VDD 电连接，第九晶体管 T9 的第二极与第五节点 N5 电连接。

例如，在第一使能信号的电平为低电平的情况下，第九晶体管 T9 可以在第一使能信号的控制下导通，接收并传输第一电压信号至第五节点 N5。

在一些示例中，如图 7 所示，复位子电路 2115 包括：第十晶体管 T10 和第十一晶体管 T11。

示例性的，如图 7 所示，第十晶体管 T10 的控制极与第一复位信号端 Res_A 电连接，第十晶体管 T10 的第一极与初始信号端 Vinit 电连接，第十晶体管 T10 的第二极与第六节点 N6 电连接。第十一晶体管 T11 的控制极与第一复位信号端 Res_A 电连接，第十一晶体管 T11 的第一极与初始信号端 Vinit 电连接，第十一晶体管 T11 的第二极与发光器件 22 电连接。

例如,在第一复位信号的电平为低电平的情况下,第十晶体管 T10 和第十一晶体管 T11 可以在第一复位信号的控制下同时导通,第十晶体管 T10 可以接收并传输初始信号至第六节点 N6,对第六节点 N6 进行复位;第十一晶体管 T11 可以接收并传输初始信号至发光器件 22,对发光器件 22 进行复位。

在一些实施例中,如图 8 和图 9 所示,上述显示基板 100 还可以包括:设置在像素驱动电路 21 远离衬底 1 一侧的多个焊盘 P。该多个焊盘 P 包括多个阳极焊盘 P1 和多个阴极焊盘 P2,一个阳极焊盘 P1 和一个阴极焊盘 P2 可以构成一个焊盘对。其中,一个像素驱动电路 21 可以与至少一个焊盘对相对应。

在一些示例中,上述显示基板 100 还可以包括:多条第二电压信号线。其中,每个焊盘对中,阳极焊盘 P1 可以与一个像素驱动电路 21 中的复位子电路 2115 及第三控制子电路 2123 的一端电连接,接收复位子电路 2115 所传输的初始信号及第三控制子电路 2123 所传输的驱动信号;阴极焊盘 P2 可以与一条第二电压信号线电连接,接收第二电压信号线所传输的第二电压信号。阴极焊盘 P2 例如可以作为第二电压信号端 VSS。

如图 8 和图 9 所示,以一个像素驱动电路 21 与一个焊盘对相对应、且显示基板 100 所包括的多个子像素 2 包括红色子像素、绿色子像素和蓝色子像素为例。其中,一个红色子像素、一个绿色子像素和一个蓝色子像素,例如可以构成一个像素单元(如图 8 和图 9 中虚线框所示)。

在一些示例中,与上述像素驱动电路 21 电连接的发光器件 22,可以包括阳极电极引脚和阴极电极引脚。其中,阳极电极引脚可以与该焊盘对中的阳极焊盘 P1 进行绑定,实现与复位子电路 2115 及第三控制子电路 2123 之间的电连接,阴极电极引脚可以与该焊盘对中的阴极焊盘 P2 进行绑定,实现与第二电压信号端 VSS 之间的电连接。

示例性的,如图 8 和图 9 所示,上述多个焊盘 P 在衬底 1 上的正投影,与各像素驱动电路 21 中第七晶体管 T7 在衬底 1 上的正投影,无重叠。这样在将发光器件 22 与相应的焊盘进行绑定、并施加压力的过程中,可以避免对第七晶体管 T7 造成不良影响,确保第七晶体管 T7 具有较好的驱动性能。

示例性的,发光器件 22 的结构类型包括多种,可以根据实际需要选择设置。例如,发光器件 22 的结构类型可以为正装结构、垂直结构或者倒装结构。

此处,各焊盘对的排列方式包括多种,能够满足各像素单元(在宏观上可视的像素单元是由像素单元中的发光器件构成)之间的间距要求(此处的间距要求例如指的是,宏观上可视的像素单元之间的间距)及发光器件 22 与焊盘对之间的绑定能力即可。

示例性的,各焊盘对的排列方式,与各子像素中发光器件 22 的排列方式相同。

例如,各像素单元中,发光器件 22 采用品字型的方式排列。相应的,如图 8 所示,与各像素单元相对应的焊盘对可以采用品字型的方式排列。此时,同一像素单元中,各焊盘对的中心,构成三角形(例如为锐角三角形)。这样有利于确保任意相邻两个焊盘对之间具有较大间距,进而使得任意相邻两个发光器件 22 之间具有较大间距,既能够满足各像素单元之间的间距要求,又能够降低对发光器件 22 进行绑定的难度。

又如,各像素单元中,发光器件 22 采用水平并列的方式排列。相应的,如图 9 所示,与各像素单元相对应的焊盘对可以采用水平并列的方式排列。

可以理解的是,在本公开的示例中,如图 8 和图 9 所示,任意相邻的三行子像素,分别为第 $2N-1$ 行子像素、第 $2N$ 行子像素和第 $2N+1$ 行子像素。第 $2N-1$ 行子像素和第 $2N$ 行

子像素之间的区域为第一间隙区域 GA1，第 2N 行子像素和第 2N+1 行子像素之间的区域为第二间隙区域 GA2。其中，第 2N-1 行子像素和第 2N 行子像素中，像素驱动电路 21 更靠近第一间隙区域 GA1；第 2N 行子像素和第 2N+1 行子像素中，像素驱动电路 21 更远离第二间隙区域 GA2。N 为正整数。

例如，第 2N-1 行子像素和第 2N 行子像素中，各像素驱动电路 21 关于第一间隙区域 GA1 对称设置，且各像素驱动电路 21 更靠近第一间隙区域 GA1，各焊盘对更远离第一间隙区域 GA1。第 2N 行子像素和第 2N+1 行子像素中，各像素驱动电路 21 关于第一间隙区域 GA2 对称设置，且各像素驱动电路 21 更远离第二间隙区域 GA2，各焊盘对更靠近第二间隙区域 GA2。

示例性的，沿第一方向 Y，第二间隙区域 GA2 的尺寸大于第一间隙区域 GA1 的尺寸。

这样可以在满足各像素单元之间的间距要求的前提下，提高各像素单元的分布均匀性，实现像素驱动电路 21 的紧凑排布，有效利用布线空间。

例如，同一行像素单元中，任意相邻两个像素单元之间的间距相等。同一列像素单元中，任意相邻两个像素单元之间的间距相等。

需要说明的是，本示例仅对各子像素中的像素驱动电路和焊盘对的位置进行了限定，并未对像素驱动电路 21 中的具体结构是否对称进行限定。由于像素驱动电路 21 包括多个膜层，在制备该多个膜层的过程中，可能会因为工艺误差等不可避免的原因导致不同像素驱动电路 21 所包括的膜层尺寸之间具有差异。这样也就不能使得第 2N-1 行子像素中的像素驱动电路 21 和第 2N 行子像素中的像素驱动电路 21 关于第一间隙区域 GA1 严格对称设置，不能使得第 2N 行子像素中的像素驱动电路 21 和第 2N+1 行子像素中的像素驱动电路 21 关于第二间隙区域 GA2 严格对称设置。

在一些实施例中，如图 12、图 13、图 16 和图 17 所示，同一条数据线 DL 与至少一列子像素电连接。

在一些示例中，如图 12 和图 13 所示，一条数据线 DL 可以与一列子像素电连接，也即，两者一一对应。数据线 DL 的条数和子像素的列数相等。此时，各数据线 DL 所传输的数据信号仅写入至相应的一列子像素。

在另一些示例中，如图 16 和图 17 所示，一条数据线 DL 可以与多列子像素电连接。数据线 DL 的条数小于子像素的列数。此时，各数据线 DL 所传输的数据信号可以分时写入至相应的多列子像素。

此处，通过将同一条数据线 DL 与至少一列子像素电连接，有利于减小数据线 DL 的数量，减小数据线 DL 所占的空间，增大显示基板 100 的布线空间。

在一些实施例中，如图 12、图 13、图 16 和图 17 所示，任意相邻两条数据线 DL 之间，设置有至少一列子像素。

在一些示例中，如图 12 和图 13 所示，任意相邻两条数据线 DL 之间，设置有一列子像素。相应的，各条数据线 DL 可以与一列子像素电连接。

在另一些示例中，如图 16 和图 17 所示，任意相邻两条数据线 DL 之间，设置有多列子像素。相应的，各条数据线 DL 可以与多列子像素电连接。

需要说明的是，在相邻两条数据线 DL 之间未设置子像素的情况下，需要使得该相邻两条数据线 DL 之间具有较大的间距，避免在两者之间形成寄生电容。但是，这样容易增大数据线 DL 在显示基板 100 中所占据的空间，增大布线难度。

本公开通过在任意相邻两条数据线 DL 之间设置有至少一列子像素，可以利用该至少一列子像素将任意相邻两条数据线 DL 隔开。这样不仅有利于减小数据线 DL 在显示基板 100 中所占据的空间，降低布线难度，还可以避免相邻两条数据线 DL 之间产生信号串扰，有利于确保各数据线 DL 所传输的数据信号的准确性。

在一些实施例中，如图 19 和图 20 所示，显示基板 100 还包括：设置在衬底 1 的边缘的多条连接配线 3。其中，显示基板 100 所包括的多个子像素 2 可以设置在衬底 1 的一侧，显示装置 1000 所包括的驱动芯片 200 可以设置在衬底 1 的另一侧。

在一些示例中，各连接配线 3 可以呈 U 型。连接配线 3 的一端可以位于衬底 1 的一侧，并与至少一条数据线 DL 电连接（例如包括直接电连接或间接电连接），连接配线 3 的另一端可以延伸至衬底 1 的另一侧。如图 22 所示，连接配线 3 的另一端可以与驱动芯片 200 电连接。该驱动芯片 200 例如可提供数据信号至连接配线 3，连接配线 3 可以将该数据信号传输至相应的数据线 DL。

示例性的，上述设置方式可以称为侧边走线的方式。

通过采用侧边走线的方式对子像素 2 和驱动芯片 200 进行电连接，有利于减小显示基板 100 的边框的尺寸，便于实现窄边框甚至无边框设计。

另外，在显示装置 1000 由多个显示基板 100 拼接而成的情况下，通过采用侧边走线的方式对显示基板 100 进行拼接，可以有效减小拼缝的尺寸，甚至实现无拼缝拼接，进而有利于实现窄边框甚至无边框设计。

由于本公开提供的显示基板 100 中具有较少数量的数据线 DL，这样可以相应减小连接配线 3 的数量，进而有利于提高侧边走线的工艺良率，提高显示基板 100 及显示装置 1000 的良率。

此外，在一条数据线 DL 与多列子像素电连接的情况下，可以进一步减小连接配线 3 的数量，有利于进一步提高侧边走线的工艺良率，进一步提高显示基板 100 及显示装置 1000 的良率。

需要说明的是，在采用侧边走线的方式的情况下，有效减小连接配线 3 的数量的设置方式可以有多种，具体可以根据实际需要选择设置。另外，该多种设置方式包括但不限于本公开举例的方式。

在一种示例性实施例中，如图 12 和图 13 所示，上述显示基板 100 还包括：多路输出选择电路 4、多条数据传输线 DTL 和多条选择信号线 Mux。

在一些示例中，上述多路输出选择电路 4 可以与子像素 2 位于衬底 1 的同一侧。该多路输出选择电路 4 可以与显示基板 100 所包括的多条数据线 DL 电连接。

在一些示例中，上述多条数据传输线 DTL 可以与子像素 2 位于衬底 1 的同一侧。该多条数据传输线 DTL 可以沿第一方向 Y 延伸，并与上述多路输出选择电路 4 电连接。当然，每条数据传输线 DTL 的一部分可以沿第一方向 Y 延伸，另一部分可以沿第二方向 X 延伸。

在一些示例中，上述多条选择信号线 Mux 可以与子像素 2 位于衬底 1 的同一侧。该多条选择信号线 Mux 可以沿第二方向 X 延伸，并与上述多路输出选择电路 4 电连接。当然，每条选择信号线 Mux 的一部分可以沿第一方向 Y 延伸，另一部分可以沿第二方向 X 延伸。

在一些示例中，上述多路输出选择电路 4 被配置为，在上述多条选择信号线 Mux 所传输的选择信号的控制下，将上述多条数据传输线 DTL 所传输的数据信号，分时传输至上述多条数据线 DL。

需要说明的是,数据传输线 DTL 的数量少于数据线 DL 的数量,一条数据传输线 DTL 与多条数据线 DL 相对应。上述多路输出选择电路 4 具有选择功能,在选择控制信号的作用下,多路输出选择电路 4 可以将每条数据传输线 DTL 所传输的数据信号,在某一时间段内,仅传输至相对应的多条数据线 DL 中的某一条数据线 DL,然后在下一时间段内,仅传输至相对应的多条数据线 DL 中的另一条数据线 DL。

在此情况下,上述多条数据线 DL 可以通过上述多条数据传输线 DTL,与生成数据信号的源极驱动电路(例如可以为上述驱动芯片 200)电连接。由于数据传输线 DTL 的数量少于数据线 DL 的数量,因此,可以减小用于与驱动芯片 200 电连接的引脚的数量,有利于提高与该引脚电连接的良率,提高显示装置 1000 的良率。

另外,在显示基板 100 包括连接配线 3 的情况下,各连接配线 3 位于衬底 1 一侧的一端可以与一条数据传输线 DTL 电连接,从而可以依次通过该数据传输线 DTL、多路输出选择电路 4 与相应的多条数据线 DL 电连接。

由于数据传输线 DTL 的数量少于数据线 DL 的数量,因此,可以减小连接配线 3 的数量,这样可以有效提高侧边走线的良率。

在一些实施例中,如图 12 和图 13 所示,上述多条数据线 DL 至少包括:多条第一数据线 DL₁、多条第二数据线 DL₂和第三条数据线 DL₃。上述多条数据传输线 DTL 至少包括:多条第一数据传输线 DTL₁、多条第二数据传输线 DTL₂和第三条数据传输线 DTL₃。其中,上述多路输出选择电路 4 可以包括:多个选择晶体管组 41。选择晶体管组 41 可以与选择信号线 Mux、第一数据线 DL₁、第二数据线 DL₂及第三条数据线 DL₃电连接。

示例性的,每个选择晶体管组 41 可以与一条选择信号线 Mux、一条第一数据线 DL₁、一条第二数据线 DL₂及一条第三数据线 DL₃电连接。

在一些示例中,如图 13 所示,第一数据传输线 DTL₁与至少两个选择晶体管组 41 电连接,并通过该至少两个选择晶体管组 41 与相应的第一数据线 DL₁电连接。

由于每个选择晶体管组 41 可以与一条选择信号线 Mux 及一条第一数据线 DL₁电连接,因此,每条第一数据传输线 DTL₁可以与至少两条选择信号线 Mux 及至少两条第一数据线 DL₁相对应。第一数据传输线 DTL₁所传输的数据信号,可以在其中一条选择信号线 Mux 所传输的选择信号的控制下,传输至相应的一条第一数据线 DL₁,并在另一条选择信号线 Mux 所传输的选择信号的控制下,传输至相应的另一条第一数据线 DL₁,实现第一数据传输线 DTL₁所传输的数据信号的分时写入。

示例性的,第一数据传输线 DTL₁可以与两个、三个、四个或六个选择晶体管组 41 等电连接,相应的,第一数据传输线 DTL₁可以与两条、三条、四条或六条第一数据线 DL₁等电连接。

在一些示例中,如图 13 所示,第二数据传输线 DTL₂与上述至少两个选择晶体管组 41 电连接,并通过该至少两个选择晶体管组 41 与相应的第二数据线 DL₂电连接。

由于每个选择晶体管组 41 可以与一条选择信号线 Mux 及一条第二数据线 DL₂电连接,因此,每条第二数据传输线 DTL₂可以与至少两条选择信号线 Mux 及至少两条第二数据线 DL₂相对应。第二数据传输线 DTL₂所传输的数据信号,可以在其中一条选择信号线 Mux 所传输的选择信号的控制下,传输至相应的一条第二数据线 DL₂,并在另一条选择信号线 Mux 所传输的选择信号的控制下,传输至相应的另一条第二数据线 DL₂,实现第二数据传输线 DTL₂所传输的数据信号的分时写入。

示例性的，第二数据传输线 DTL₂ 可以与两个、三个、四个或六个选择晶体管组 41 等电连接，相应的，第二数据传输线 DTL₂ 可以与两条、三条、四条或六条第二数据线 DL₂ 等电连接。

在一些示例中，如图 13 所示，第三数据传输线 DTL₃ 与上述至少两个选择晶体管组 41 电连接，并通过该至少两个选择晶体管组 41 与相应的第三数据线 DL₃ 电连接。

由于每个选择晶体管组 41 可以与一条选择信号线 Mux 及一条第三数据线 DL₃ 电连接，因此，每条第三数据传输线 DTL₃ 可以与至少两条选择信号线 Mux 及至少两条第三数据线 DL₃ 相对应。第三数据传输线 DTL₃ 所传输的数据信号，可以在其中一条选择信号线 Mux 所传输的选择信号的控制下，传输至相应的一条第三数据线 DL₃，并在另一条选择信号线 Mux 所传输的选择信号的控制下，传输至相应的另一条第三数据线 DL₃，实现第三数据传输线 DTL₃ 所传输的数据信号的分时写入。

示例性的，第三数据传输线 DTL₃ 可以与两个、三个、四个或六个选择晶体管组 41 等电连接，相应的，第三数据传输线 DTL₃ 可以与两条、三条、四条或六条第三数据线 DL₃ 等电连接。

可选的，如图 13 所示，上述多条选择信号线 Mux 的数量可以为六条，相应的，上述多个选择晶体管组 41 的数量可以为 6i 个。此时，第一条选择信号线 Mux₁ 可以与第 6i-5 个选择晶体管组 41 电连接，第二条选择信号线 Mux₂ 可以与第 6i-4 个选择晶体管组 41 电连接，第三条选择信号线 Mux₃ 可以与第 6i-3 个选择晶体管组 41 电连接，第四条选择信号线 Mux₄ 可以与第 6i-2 个选择晶体管组 41 电连接，第五条选择信号线 Mux₅ 可以与第 6i-1 个选择晶体管组 41 电连接，第六条选择信号线 Mux₆ 可以与第 6i 个选择晶体管组 41 电连接。其中，i 为正整数。

在此情况下，结合图 13，对各选择晶体管组 41 与数据传输线 DTL 及数据线 DL 之间的连接关系进行示意性说明。

示例性的，第 i 条第一数据传输线 DTL₁ 可以与第 6i-5 个选择晶体管组 41 电连接，并通过该第 6i-5 个选择晶体管组 41 与第 6i-5 条第一数据线 DL₁ 电连接；第 i 条第一数据传输线 DTL₁ 还可以与第 6i-4 个选择晶体管组 41 电连接，并通过该第 6i-4 个选择晶体管组 41 与第 6i-4 条第一数据线 DL₁ 电连接；第 i 条第一数据传输线 DTL₁ 还可以与第 6i-3 个选择晶体管组 41 电连接，并通过该第 6i-3 个选择晶体管组 41 与第 6i-3 条第一数据线 DL₁ 电连接；第 i 条第一数据传输线 DTL₁ 还可以与第 6i-2 个选择晶体管组 41 电连接，并通过该第 6i-2 个选择晶体管组 41 与第 6i-2 条第一数据线 DL₁ 电连接；第 i 条第一数据传输线 DTL₁ 还可以与第 6i-1 个选择晶体管组 41 电连接，并通过该第 6i-1 个选择晶体管组与第 6i-1 条第一数据线 DL₁ 电连接；第 i 条第一数据传输线 DTL₁ 还可以与第 6i 个选择晶体管组电连接，并通过该第 6i 个选择晶体管组与第 6i 条第一数据线 DL₁ 电连接。

示例性的，第 i 条第二数据传输线 DTL₂ 可以与第 6i-5 个选择晶体管组 41 电连接，并通过该第 6i-5 个选择晶体管组与第 6i-5 条第二数据线 DL₂ 电连接；第 i 条第二数据传输线 DTL₂ 还可以与第 6i-4 个选择晶体管组 41 电连接，并通过该第 6i-4 个选择晶体管组 41 与第 6i-4 条第二数据线 DL₂ 电连接；第 i 条第二数据传输线 DTL₂ 还可以与所述第 6i-3 个选择晶体管组 41 电连接，并通过该第 6i-3 个选择晶体管组与第 6i-3 条第二数据线 DTL₂ 电连接；第 i 条第二数据传输线 DTL₂ 还可以与第 6i-2 个选择晶体管组 41 电连接，并通过该第 6i-2 个选择晶体管组 41 与第 6i-2 条第二数据线 DL₂ 电连接；第 i 条第二数据传输线 DTL₂

还可以与第 $6i-1$ 个选择晶体管组 41 电连接, 并通过该第 $6i-1$ 个选择晶体管组与第 $6i-1$ 条第二数据线 DL_2 电连接; 第 i 条第二数据传输线 DTL_2 还可以与第 $6i$ 个选择晶体管组 41 电连接, 并通过该第 $6i$ 个选择晶体管组与第 $6i$ 条第二数据线 DL_2 电连接。

示例性的, 第 i 条第三数据传输线 DTL_3 可以与第 $6i-5$ 个选择晶体管组 41 电连接, 并通过该第 $6i-5$ 个选择晶体管组 41 与第 $6i-5$ 条第三数据线 DL_3 电连接; 第 i 条第三数据传输线 DTL_3 还可以与第 $6i-4$ 个选择晶体管组 41 电连接, 并通过该第 $6i-4$ 个选择晶体管组与第 $6i-4$ 条第三数据线 DL_3 电连接; 第 i 条第三数据传输线 DTL_3 还可以与第 $6i-3$ 个选择晶体管组 41 电连接, 并通过该第 $6i-3$ 个选择晶体管组 41 与第 $6i-3$ 条第三数据线 DL_3 电连接; 第 i 条第三数据传输线 DTL_3 还可以与第 $6i-2$ 个选择晶体管组 41 电连接, 并通过该第 $6i-2$ 个选择晶体管组 41 与第 $6i-2$ 条第三数据线 DL_3 电连接; 第 i 条第三数据传输线 DTL_3 还可以与第 $6i-1$ 个选择晶体管组 41 电连接, 并通过该第 $6i-1$ 个选择晶体管组 41 与第 $6i-1$ 条第三数据线 DL_3 电连接; 第 i 条第三数据传输线 DTL_3 还可以与第 $6i$ 个选择晶体管组 41 电连接, 并通过该第 $6i$ 个选择晶体管组 41 与第 $6i$ 条第三数据线 DL_3 电连接。

在一些示例中, 如图 12 和图 13 所示, 上述第一数据传输线 DTL_1 、第二数据传输线 DTL_2 和第三数据传输线 DTL_3 呈周期性排布。也即, 第一数据传输线 DTL_1 、第二数据传输线 DTL_2 和第三数据传输线 DTL_3 可以按照一定的排列次序, 依次循环排布。

上述排列次序可以包括多种, 可以根据实际需要选择设置。

示例性的, 如图 12 和图 13 所示, 一个周期的排列次序可以为: 第一数据传输线 DTL_1 、第二数据传输线 DTL_2 和第三数据传输线 DTL_3 ; 或者, 第二数据传输线 DTL_2 、第一数据传输线 DTL_1 和第三数据传输线 DTL_3 ; 或者, 第三数据传输线 DTL_3 、第一数据传输线 DTL_1 和第二数据传输线 DTL_2 等。

在一些示例中, 如图 12 和图 13 所示, 上述第一数据线 DL_1 、第二数据线 DL_2 和第三数据线 DL_3 呈周期性排布。也即, 第一数据线 DL_1 、第二数据线 DL_2 和第三数据线 DL_3 可以按照一定的排列次序, 依次循环排布。

上述排列次序可以包括多种, 可以根据实际需要选择设置。

示例性的, 如图 12 和图 13 所示, 一个周期的排列次序可以为: 第一数据线 DL_1 、第二数据线 DL_2 和第三数据线 DL_3 ; 或者, 第二数据线 DL_2 、第一数据线 DL_1 和第三数据线 DL_3 ; 或者, 第三数据线 DL_3 、第一数据线 DL_1 和第二数据线 DL_2 等。

例如, 如图 12 和图 13 所示, 数据传输线 DTL 的排列次序可以和数据线 DL 的排列次序相同。这样有利于提高布线的规律性, 降低布线的难度。

可选的, 与第一数据线 DL_1 所电连接的子像素 2 可以均为红色子像素, 与第二数据线 DL_2 所电连接的子像素 2 可以均为绿色子像素, 与第三数据线 DL_3 所电连接的子像素 2 可以均为蓝色子像素。

可选的, 在子像素 2 还包括白色子像素的情况下, 数据线 DL 例如可以包括第四数据线 DL_4 , 数据传输线 DTL 例如可以包括第四数据传输线 DTL_4 。其中, 第四数据线 DL_4 、第四数据传输线 DTL_4 与各选择晶体管组 41 之间的连接关系, 可以参照上述一下示例中的说明, 此处不再赘述。

在一些实施例中, 如图 13 所示, 选择晶体管组 41 至少包括: 第一选择晶体管 411、第二选择晶体管 412 和第三选择晶体管 413。

在一些示例中, 如图 13 所示, 第一选择晶体管 411 的控制极与选择信号线 Mux 电连

接，第一选择晶体管 411 的第一极与第一数据传输线 DTL_1 电连接，第一选择晶体管 411 的第二极与第一数据线 DL_1 电连接。

示例性的，在选择信号线 Mux 所传输的选择信号的电平为低电平的情况下，第一选择晶体管 411 可以在选择信号的控制下导通，将来自第一数据传输线 DTL_1 的数据信号传输至第一数据线 DL_1 。

在一些示例中，如图 13 所示，第二选择晶体管 412 的控制极与选择信号线 Mux 电连接，第二选择晶体管 412 的第一极与第二数据传输线 DTL_2 电连接，第二选择晶体管 412 的第二极与第二数据线 DL_2 电连接。

示例性的，在选择信号线 Mux 所传输的选择信号的电平为低电平的情况下，第二选择晶体管 412 可以在选择信号的控制下导通，将来自第二数据传输线 DTL_2 的数据信号传输至第二数据线 DL_2 。

在一些示例中，如图 13 所示，第三选择晶体管 413 的控制极与选择信号线 Mux 电连接，第三选择晶体管 413 的第一极与第三数据传输线 DTL_3 电连接，第三选择晶体管 413 的第二极与第三数据线 DL_3 电连接。

示例性的，在选择信号线 Mux 所传输的选择信号的电平为低电平的情况下，第三选择晶体管 413 可以在选择信号的控制下导通，将来自第三数据传输线 DTL_3 的数据信号传输至第三数据线 DL_3 。

可选的，如图 13 所示，以选择信号线 Mux 的数量为六条，选择晶体管组 41 的数量为 $6i$ 个为例。

第 i 条第一数据传输线 DTL_1 可以与第 $6i-5$ 至第 $6i$ 个选择晶体管组 41 中的第一选择晶体管 411 电连接。第 i 条第一数据传输线 DTL_1 所传输的数据信号，则可以分别在第一条选择信号线 Mux_1 所传输的选择信号、第二条选择信号线 Mux_2 所传输的选择信号、第三条选择信号线 Mux_3 所传输的选择信号、第四条选择信号线 Mux_4 所传输的选择信号、第五条选择信号线 Mux_5 所传输的选择信号、第六条选择信号线 Mux_6 所传输的选择信号的控制下，分时传输至第 $6i-5$ 至第 $6i$ 条第一数据线 DL_1 ，实现数据信号的分时写入。

第 i 条第二数据传输线 DTL_2 可以与第 $6i-5$ 至第 $6i$ 个选择晶体管组 41 中的第二选择晶体管 412 电连接。第 i 条第二数据传输线 DTL_2 所传输的数据信号，则可以分别在第一条选择信号线 Mux_1 所传输的选择信号、第二条选择信号线 Mux_2 所传输的选择信号、第三条选择信号线 Mux_3 所传输的选择信号、第四条选择信号线 Mux_4 所传输的选择信号、第五条选择信号线 Mux_5 所传输的选择信号、第六条选择信号线 Mux_6 所传输的选择信号的控制下，分时传输至第 $6i-5$ 至第 $6i$ 条第二数据线 DL_2 ，实现数据信号的分时写入。

第 i 条第三数据传输线 DTL_3 可以与第 $6i-5$ 至第 $6i$ 个选择晶体管组 41 中的第三选择晶体管 413 电连接。第 i 条第三数据传输线 DTL_3 所传输的数据信号，则可以分别在第一条选择信号线 Mux_1 所传输的选择信号、第二条选择信号线 Mux_2 所传输的选择信号、第三条选择信号线 Mux_3 所传输的选择信号、第四条选择信号线 Mux_4 所传输的选择信号、第五条选择信号线 Mux_5 所传输的选择信号、第六条选择信号线 Mux_6 所传输的选择信号的控制下，分时传输至第 $6i-5$ 至第 $6i$ 条第三数据线 DL_3 ，实现数据信号的分时写入。

需要说明的是，在子像素 2 还包括白色子像素的情况下，选择晶体管组 41 例如还可以包括第四选择晶体管。其中，第四选择晶体管的电连接关系，可以参照上述一下示例中的说明，此处不再赘述。

在一些示例中，如图 12 和图 13 所示，同一条数据线 DL 可以与一列子像素电连接。也即，数据线 DL 的条数和子像素的列数相等。

可以理解的是，在本实施例中，同一行子像素可以仅与一条栅线 GL 电连接。也即，每条栅线 GL 所传输的扫描信号，可以同时控制同一行子像素中，各数据写入子电路 2111 和补偿子电路 2113 的工作情况。

在另一种示例性实施例中，如图 16 和图 17 所示，同一条数据线 DL 与至少两列子像素电连接，且一行子像素与至少两条栅线 GL 电连接。其中，该至少两条栅线 GL 被配置为，分别向相应的子像素传输扫描信号，以控制该行子像素分时接收数据线 DL 所传输的数据信号。

在一些示例中，由于每个子像素 2 与一条数据线 DL 及一条栅线 GL 电连接，因此，上述至少两条栅线 GL 中，每条栅线 GL 仅与同一行子像素中的一分子像素 2 电连接；并且，该同一行子像素中，至少两个子像素 2 同时与一条数据线 DL 电连接。

示例性的，与同一条数据线 DL 电连接的至少两个子像素 2，分别与不同的栅线 GL 电连接。该至少两个子像素 2 所接收的扫描信号的有效电平时间可以不重合，这样该至少两个子像素 2 便可以在不同的时间工作（例如不同子像素 2 中的数据写入子电路 2111 和补偿子电路 2113 可以在不同的时间导通），依次接收该数据线 DL 所传输的数据信号，实现数据信号的分时写入。

需要说明的是，数据线 DL 的数量少于同一行子像素中子像素 2 的数量。

采用上述设置方式设置栅线 GL 和数据线 DL，可以有效减少显示基板 100 所包括的数据线 DL 的数量，减小数据线 DL 所占的空间，增大显示基板 100 的布线空间。

在显示基板 100 包括连接配线 3 的情况下，一条数据线 DL 可以与一条连接配线 3 电连接。也即，数据线 DL 的数量和连接配线 3 的数量可以相等。由于数据线 DL 的数量少于同一行子像素中子像素 2 的数量，因此，可以有效减小连接配线 3 的数量，这样可以有效提高侧边走线的良率。

在一些实施例中，如图 16 和图 17 所示，同一行子像素中，任意相邻的两个子像素 2 分别与不同栅线 GL 电连接。

这样可以将上述相邻的两个子像素 2（甚至相邻近的更多子像素 2）与同一条数据线 DL 电连接，进而有利于将该数据线 DL 设置在上述相邻的两个子像素 2 旁边，有利于减小该数据线 DL 与相应电连接的子像素 2 之间的间距，降低该数据线 DL 与相应电连接的子像素 2 之间的连线复杂度。

在一些实施例中，如图 16 和图 17 所示，同一条数据线 DL 所电连接的子像素 2 的列数，与同一行子像素所电连接的栅线 GL 条数，相等。

在一些示例中，同一条数据线 DL 所电连接的子像素 2 的列数为 n ，与同一行子像素所电连接的栅线 GL 条数为 n 。其中，同一行子像素中，与同一条数据线 DL 电连接的 n 个子像素 2，分别与该 n 条栅线 GL 一一对应地电连接。

这样便于对同一行子像素进行分组控制，降低布线及对同一行子像素进行控制的难度。

此处，同一条数据线 DL 所电连接的子像素 2 的列数，及与同一行子像素所电连接的栅线 GL 条数，可以根据实际需要选择设置。

示例性的，同一条数据线 DL 所电连接的子像素 2 的列数可以为两列、三列、四列或

六列等。相应的，与同一行子像素所电连接的栅线 GL 条数可以为两条、三条、四条或六条等。

可选的，如图 16 和图 17 所示，同一条数据线 DL 所电连接的子像素 2 的列数为六列，相应的，与同一行子像素所电连接的栅线 GL 条数为六条。此时，同一行子像素中，第一条栅线 GL₁ 可以与第 6i-5 个子像素 2 电连接，第二条栅线 GL₂ 可以与第 6i-4 个子像素 2 电连接，第三条栅线 GL₃ 可以与第 6i-3 个子像素 2 电连接，第四条栅线 GL₄ 可以与第 6i-2 个子像素 2 电连接，第五条栅线 GL₅ 可以与第 6i-1 个子像素 2 电连接，第六条栅线 GL₆ 可以与第 6i 个子像素电连接。第 i 条数据线 DL 可以与第 6i-5 至第 6i 列子像素电连接。

例如，如图 18 所示，上述第一条栅线 GL₁ 所传输的扫描信号 Gate₁、第二条栅线 GL₂ 所传输的扫描信号 Gate₂、第三条栅线 GL₃ 所传输的扫描信号 Gate₃、第四条栅线 GL₄ 所传输的扫描信号 Gate₄、第五条栅线 GL₅ 所传输的扫描信号 Gate₅ 及第六条栅线 GL₆ 所传输的扫描信号 Gate₆ 的电平依次跳变为有效电平，且该六个扫描信号中，任意相邻两个扫描信号的有效电平时间不重合。相应的，第 6i-5 个子像素 2、第 6i-4 个子像素 2、第 6i-3 个子像素 2、第 6i-2 个子像素 2、第 6i-1 个子像素 2 及第 6i 个子像素 2 中的数据写入子电路 2111 和补偿子电路 2113，可以依次接收第 i 条数据线 DL 所传输的数据信号，实现数据信号的分时写入。

在一些实施例中，如图 16 和图 17 所示，与同一行子像素电连接的至少两条栅线 GL 分别设置在该一行子像素的相对两侧。也即，该至少两条栅线 GL 可以分为两部分，其中一部分栅线 GL 可以设置在该一行子像素的一侧，另一部分栅线 GL 可以设置在该一行子像素的另一侧。其中，该两部分栅线 GL 的数量例如可以相等。

示例性的，与同一行子像素电连接的栅线 GL 的数量为六条。此时，其中三条栅线 GL 可以设置在该一行子像素的一侧，另外三条栅线 GL 可以设置在该一行子像素的另一侧。

通过采用上述设置方式设置栅线 GL 的排布方式，有利于使得不同栅线 GL 与相应电连接的子像素 2 之间具有较小的间距，降低不同栅线 GL 与相应电连接的子像素 2 之间的连线复杂度。

需要说明的是，在本实施例中，栅线 GL 的数量较多，相应的，显示基板 100 中所需设置的移位寄存器（用于生成扫描信号）的数量也会较多。此时，可以将本实施例中对栅线 GL 及数据线 DL 的设置方式应用于分辨率较低的显示基板中，避免对显示基板 100 的分辨率产生不良影响。

在上述一种实现方式中，如图 3 和图 4 所示，对于任意一行子像素，均是在扫描信号跳变为有效电平（也即低电平）后，第一电流选择信号、第二电流选择信号、第一时长选择信号及第二时长选择信号均是分时跳变为低电平，以实现电流数据信号及时长数据信号的分时写入。通常，信号和信号之间会增加时间间隔（如图 3 和图 4 中双向箭头所示），以防止信号误写入。

此处，以某个子像素的电流控制电路相对应的写入及补偿阶段为例。在扫描信号跳变为低电平后，电流数据信号写入至相应的电流数据线 DI。在上一帧显示后，与该子像素相对应的第一电流选择信号跳变为高电平时，之前写入的电流数据信号会通过电流数据线 DI 上的寄生电容存储在电流数据线 DI 上。在这种情况下，在下一帧显示时，电流数据信号可能无法正常写入至电流控制电路中（也即电流控制电路中驱动晶体管的控制极）。

例如，在上一帧显示中，电流数据信号的电平为低电平（其压值为 V_{data(n-1)}）。在

下一帧显示中,在扫描信号跳变为低电平之后、第一电流选择信号的电平发生跳变之前的时间间隔内,存储在电流数据线 DI 上的电流数据信号会先写入至电流控制电路中。在第一电流选择信号跳变为低电平后,如图 3 所示,如果下一帧显示中电流数据信号的电平(其压值为 $V_{data(n)}$)高于上一帧显示中电流数据信号的电平,该数据电流信号可以持续写入至电流控制电路(如图 3 中 V_g 所示, V_{th} 为电流控制电路中的阈值电压);如图 4 所示,如果下一帧显示中电流数据信号的电平(其压值为 $V_{data(n)}$)低于上一帧显示中电流数据信号的电平,则会持续上一帧的数据信号的写入(如图 4 中 V_g 所示),导致这一帧显示的数据信号无法正常写入,进而导致电流控制电路中驱动晶体管难以正常开启,进而难以显示所需显示的灰阶。

基于此,如图 10 和图 11 所示,在本公开的一些实施例中,在电流控制电路 211 生成驱动信号的阶段,数据信号的电平跳变为有效电平的时段,早于扫描信号的电平跳变为有效电平的时段。

也即,在生成驱动信号的阶段,数据信号可以在先传输至相应的数据线 DL,并存储在相应数据线 DL 的寄生电容上,然后使得扫描信号的电平跳变为有效电平,使得数据信号依次经数据写入子电路 2111、驱动子电路 2112 和补偿子电路 2113,写入至第六节点 N6,完成对驱动子电路 2112 的阈值电压的补偿。

在电流控制电路 211 生成驱动信号的阶段,通过将数据信号的电平跳变为有效电平的时段,设置为早于扫描信号的电平跳变为有效电平的时段,可以在下一帧显示之前,先将数据线 DL 中存储的数据信号进行刷新,避免残留有上一帧显示的数据信号,这样在扫描信号的电平跳变为有效电平后,便可以接收刷新后的数据信号,避免因上一帧数据信号的残留导致下一帧显示的数据信号无法正常写入,使得各子像素 2 能够显示所需显示的灰阶,提高显示基板 100 的显示效果。

在一些示例中,在显示基板 100 包括多路输出选择电路 4 的情况下,在电流控制电路 211 生成驱动信号的阶段,各选择信号线 Mux 所传输的选择信号的有效电平的时段,早于扫描信号的电平跳变为有效电平的时段。

这样可以确保在扫描信号的电平跳变为有效电平之前,各选择信号已依次跳变为有效电平,将数据信号分时写入至相应的数据线 DL 上,并通过数据线 DL 上的寄生电容,完成对相应数据信号的存储。

在另一些示例中,在同一条数据线 DL 与至少两列子像素电连接,且一行子像素与至少两条栅线 GL 电连接的情况下,对于各个子像素 2 而言,在电流控制电路 211 生成驱动信号的阶段,数据信号的电平跳变为有效电平的时段,早于扫描信号的电平跳变为有效电平的时段;对于与同一条栅线 GL 电连接、且与不同数据线 DL 电连接的不同子像素 2 而言,扫描信号中可以具有与不同子像素 2 分别相对应的多个间隔的有效电平,此时,不同数据信号的电平,均在相应的扫描信号的有效电平之前,跳变为有效电平。

本公开的一些实施例提供了一种显示基板的驱动方法。该驱动方法包括:向该显示基板 100 的多条数据线 DL 传输数据信号,同一子像素 2 的电流控制电路 211 和时长控制电路 212 同时接收该数据信号。

示例性的,在驱动显示基板 100 进行显示的过程中,数据信号的有效电平,分时写入至电流控制电路 211 和时长控制电路 212。

这样可以使得与电流控制电路 211 相对应的写入及补偿阶段,及与时长控制电路 212

相对应的生成时长控制信号的阶段隔开,无重合,且数据信号的电平在各阶段基本无变化。这样可以有效避免相邻两条数据线 DL 之间产生信号串扰,避免出现因写入至时长控制电路 212 的数据信号的电平发生变化而导致写入至电流控制电路 211 的数据信号的电平发生跳变的情况,进而有利于改善列向亮暗差异不良现象。

在一些实施例中,如图 6 和图 7 所示,上述电流控制电路 211 包括数据写入子电路 2111、驱动子电路 2112、补偿子电路 2113 及发光控制子电路 2114, 时长控制电路 212 包括第一控制子电路 2121、第二控制子电路 2122 及第三控制子电路 2123。

下面结合图 7 所示的子像素 2 的结构,对显示基板 100 的一帧显示阶段的驱动方法进行示意性说明。

在一些示例中,在一帧显示阶段,上述驱动方法还包括:第一阶段 S1、第二阶段 S2、第三阶段 S3 和第四阶段 S4。其中,在显示基板 100 的子像素 2 所显示的灰阶不同的情况下,上述第一阶段 S1 和第二阶段 S2 略有不同。下面根据显示基板 100 的子像素 2 所显示的灰阶,对驱动方法还所包括的第一阶段 S1、第二阶段 S2、第三阶段 S3 和第四阶段 S4 进行说明。

示例性的,如图 10 所示,显示基板 100 的子像素 2 所显示的灰阶大于或等于阈值灰阶。此时,像素驱动电路 21 与发光器件 22 之间可以一直形成导电通路,相应的,时长控制信号可以为第一使能信号。

在第一阶段 S1a,如图 10 所示,第一复位信号的电平为低电平,第二复位信号的电平为高电平,数据信号的电平为高电平。

响应于在第一复位信号端 Res_A 处接收的第一复位信号和数据信号,第一控制子电路 2121 关断。

第一控制子电路 2121 中的第一晶体管 T1 可以在第一复位信号的控制下导通,将数据信号传输至第三节点 N3。由于数据信号的电平为高电平,因此,第一控制子电路 2121 中的第二晶体管 T2 可以在来自第三节点 N3 的数据信号的控制下关断,此时,第二使能信号无法传输至第二节点 N2。同时,第一控制子电路 2121 中的第一电容器 C1 可以对高电平的数据信号进行存储。

第二控制子电路 2122 中的第三晶体管 T3 可以在第二复位信号的控制下关断。

另外,在电流控制电路 211 还包括复位子电路 2115 的情况下,复位子电路 2115 中的第十晶体管 T10 和第十一晶体管 T11,可以在第一复位信号的控制下同时导通,第十晶体管 T10 可以将初始信号传输至第六节点 N6,对第六节点 N6 进行复位;第十一晶体管 T11 可以将初始信号传输至发光器件 22,对发光器件 22 进行复位。

在第二阶段 S2a,如图 10 所示,第一复位信号的电平为高电平,第二复位信号的电平为低电平,数据信号的电平为低电平。

响应于在第二复位信号端 Res_B 处接收的第二复位信号和数据信号,第二控制子电路 2122 导通,将在第一使能信号端 EM 处接收的第一使能信号传输至第二节点 N2。

第二控制子电路 2122 中的第三晶体管 T3 可以在第二复位信号的控制下导通,将数据信号传输至第四节点 N4。由于数据信号的电平为低电平,因此,第二控制子电路 2122 中的第四晶体管 T4 可以在来自第四节点 N4 的数据信号的控制下导通,将第一使能信号传输至第二节点 N2。同时,第二控制子电路 2122 中的第二电容器 C2 可以对低电平的数据信号进行存储。

另外，第一控制子电路 2121 中的第一晶体管 T1 可以在第一复位信号的控制下关断。此时，第一电容器 C1 进行放电，使得第三节点 N3 的电压保持为高电平。

在第三阶段 S3a，如图 10 所示，扫描信号的电平为低电平，数据信号的电平为低电平，第一复位信号的电平为高电平，第二复位信号的电平为高电平。

响应于在扫描信号端 Gate 处接收的扫描信号，数据写入子电路 2111 和补偿子电路 2113 导通，将数据信号依次经第五节点 N5、驱动子电路 2112、第一节点 N1 及补偿子电路 2113，传输至第六节点 N6，对驱动子电路 2112 进行阈值电压的补偿。

驱动子电路 2112 中的第七晶体管 T7 可以在来自第六节点 N6 的初始信号的控制下导通。

数据写入子电路 2111 中的第六晶体管 T6 和补偿子电路 2113 中的第八晶体管 T8，可以在扫描信号的控制下同时导通。第六晶体管 T6 可以接收数据信号，并依次经第五节点 N5、第七晶体管 T7、第一节点 N1 及第八晶体管 T8 传输至第六节点 N6。在此阶段，数据信号可以持续传输至第六节点 N6，直至第七晶体管 T7 截止。此时，完成对第七晶体管 T7 的阈值电压的补偿。

另外，第一控制子电路 2121 中的第一晶体管 T1 可以在第一复位信号的控制下关断。此时，第一电容器 C1 进行放电，使得第三节点 N3 的电压保持为高电平。第二控制子电路 2122 中的第三晶体管 T3 可以在第二复位信号的控制下关断。此时，第二电容器 C2 开始放电，使得第四节点 N4 的电压保持为低电平，进而使得第四晶体管 T4 持续传输第一使能信号至第二节点 N2。

在第四阶段中 S4a，如图 10 所示，第一使能信号的电平为低电平，扫描信号的电平为高电平，第一复位信号的电平为高电平，第二复位信号的电平为高电平。

响应于第一使能信号，发光控制子电路 2114 导通，将在第一电压信号端 VDD 处接收的第一电压信号依次经第五节点 N5 和驱动子电路 2112，传输至第一节点 N1。

发光控制子电路 2114 中的第九晶体管 T9 在第一使能信号的控制下导通，使得第五节点 N5 和第一电压信号端 VDD 之间形成导电通路。

第三控制子电路 2123 中的第五晶体管 T5 在来自第二节点 N2 的第一使能信号的控制下导通，使得第一节点 N1 和发光器件 22 之间形成导电通路。

驱动子电路 2112 中的第七晶体管 T7 导通，将第一电压信号传输至第一节点 N1。第七晶体管 T7 可以根据写入至第六节点 N6 的数据信号的压值及第一电压信号的压值，生成驱动信号。

在此阶段，第一使能信号可以使得第一节点 N1 和发光器件 22 之间持续导通。这样能够将驱动信号持续传输至发光器件 22，使得发光器件 22 持续发光，进而能够实现较高灰阶的显示。

示例性的，如图 11 所示，显示基板 100 的子像素 2 所显示的灰阶小于阈值灰阶。此时，像素驱动电路 21 与发光器件 22 之间处于导通和截止交替的状态，相应的，时长控制信号可以为第二使能信号。

在第一阶段 S1b，如图 11 所示，第一复位信号的电平为低电平，第二复位信号的电平为高电平，数据信号的电平为低电平。

响应于第一复位信号和数据信号，第一控制子电路 2121 导通，将在第二使能信号端 EM 处接收的第二使能信号传输至第二节点 N2。

第一控制子电路 2121 中的第一晶体管 T1 可以在第一复位信号的控制下导通，将数据信号传输至第三节点 N3。由于数据信号的电平为低电平，因此，第一控制子电路 2121 中的第二晶体管 T2 可以在来自第三节点 N3 的数据信号的控制下导通，将第二使能信号传输至第二节点 N2。同时，第一控制子电路 2121 中的第一电容器 C1 可以对低电平的数据信号进行存储。

第二控制子电路 2122 中的第三晶体管 T3 可以在第二复位信号的控制下关断。

另外，在电流控制电路 211 还包括复位子电路 2115 的情况下，复位子电路 2115 中的第十晶体管 T10 和第十一晶体管 T11，可以在第一复位信号的控制下同时导通，第十晶体管 T10 可以将初始信号至第六节点 N6，对第六节点 N6 进行复位；第十一晶体管 T11 可以将初始信号至发光器件 22，对发光器件 22 进行复位。

在第二阶段 S2b，如图 11 所示，第一复位信号的电平为高电平，第二复位信号的电平为低电平，数据信号的电平为高电平。

响应于第二复位信号和数据信号，第二控制子电路 2122 关断。

第二控制子电路 2122 中的第三晶体管 T3 可以在第二复位信号的控制下导通，将数据信号传输至第四节点 N4。由于数据信号的电平为高电平，因此，第二控制子电路 2122 中的第四晶体管 T4 可以在来自第四节点 N4 的数据信号的控制下关断，此时，第一使能信号无法传输至第二节点 N2。同时，第二控制子电路 2122 中的第二电容器 C2 可以对高电平的数据信号进行存储。

另外，在此阶段，第一控制子电路 2121 中的第一晶体管 T1 可以在第一复位信号的控制下关断。此时，第一电容器 C1 进行放电，使得第三节点 N3 的电压保持为低电平。

在第三阶段 S3b，如图 11 所示，扫描信号的电平为低电平，数据信号的电平为低电平，第一复位信号的电平为高电平，第二复位信号的电平为高电平。

响应于在扫描信号端 Gate 处接收的扫描信号，数据写入子电路 2111 和补偿子电路 2113 导通，将数据信号依次经第五节点 N5、驱动子电路 2112、第一节点 N1 及补偿子电路 2113，传输至第六节点 N6，对驱动子电路 2112 进行阈值电压的补偿。

驱动子电路 2112 中的第七晶体管 T7 可以在来自第六节点 N6 的初始信号的控制下导通。

数据写入子电路 2111 中的第六晶体管 T6 和补偿子电路 2113 中的第八晶体管 T8，可以在扫描信号的控制下同时导通。第六晶体管 T6 可以接收数据信号，并依次经第五节点 N5、第七晶体管 T7、第一节点 N1 及第八晶体管 T8 传输至第六节点 N6。在此阶段，数据信号可以持续传输至第六节点 N6，直至第七晶体管 T7 截止。此时，完成对第七晶体管 T7 的阈值电压的补偿。

另外，第二控制子电路 2122 中的第三晶体管 T3 可以在第二复位信号的控制下关断。此时，第二电容器 C2 进行放电，使得第四节点 N4 的电压保持为高电平。第一控制子电路 2121 中的第一晶体管 T1 可以在第一复位信号的控制下关断。此时，第一电容器 C1 开始放电，使得第三节点 N3 的电压保持为低电平，进而使得第二晶体管 T2 持续传输第二使能信号至第二节点 N2。

在第四阶段 S4b，如图 11 所示，第一使能信号的电平为低电平，第二使能信号为高频脉冲信号，扫描信号的电平为高电平，第一复位信号的电平为高电平，第二复位信号的电平为高电平。

响应于第一使能信号，发光控制子电路 2114 导通，将在第一电压信号端 VDD 处接收的第一电压信号依次经第五节点 N5 和驱动子电路 2112，传输至第一节点 N1。

发光控制子电路 2114 中的第九晶体管 T9 在第一使能信号的控制下导通，使得第五节点 N5 和第一电压信号端 VDD 之间形成导电通路。

第三控制子电路 2123 中的第五晶体管 T5 在来自第二节点 N2 的第二使能信号的控制下处于导通和截止交替的状态，进而使得第一节点 N1 和发光器件 22 之间处于导通和截止交替的状态。

驱动子电路 2112 中的第七晶体管 T7 导通，将第一电压信号传输至第一节点 N1。在第一节点 N1 和发光器件 22 之间导通的时段，第七晶体管 T7 可以根据写入至第六节点 N6 的数据信号的压值及第一电压信号的压值，生成驱动信号，并传输至发光器件 22，使得发光器件 22 发光。

在此阶段，由于第一节点 N1 和发光器件 22 之间处于导通和截止交替的状态，因此，上述驱动信号可以间歇性地传输至发光器件 22，使得发光器件 22 周期性地接收驱动信号，进而使得发光器件 22 周期性的发光。这样发光器件 22 发光的总时长被缩短，进而能够实现较低灰阶的显示。

需要说明的是，上述显示基板 100 中的数据线 DL 被配置为，对数据信号进行存储。扫描信号端 Gate 被配置为，在上述第三阶段 S3（也即第三阶段 S3a 或第三阶段 S3b），在数据线 DL 存储数据信号之后，传输扫描信号，以控制数据写入子电路 2111 和补偿子电路 2113 导通。

示例性的，数据线 DL 自身具有寄生电容，在数据信号传输至数据线 DL 上后，该数据信号可以存储在该数据线 DL 的寄生电容上。

示例性的，上述扫描信号端 Gate 能够传输扫描信号，该扫描信号可以来自相应的栅线 GL。在上述第三阶段 S3，数据信号的电平为低电平（也即有效电平），扫描信号的电平为低电平（也即有效电平），在数据线 DL 接收上述数据信号对自身进行刷新后，可以对该数据信号进行重新存储，之后扫描信号端 Gate 可以传输扫描信号，使得数据写入子电路 2111 和补偿子电路 2113 导通，接收并传输数据线 DL 中重新存储的数据信号。

这样可以首先对数据线 DL 中存储的数据信号进行刷新，避免残留有上一帧显示的数据信号，然后在下一帧显示中，在扫描信号的电平跳变为有效电平后，便可以接收刷新后的数据信号，避免因上一帧数据信号的残留导致下一帧显示的数据信号无法正常写入，使得各子像素 2 能够显示所需显示的灰阶，提高显示基板 100 的显示效果。

在一些实施例中，如图 13 所示，显示基板 100 还包括多路输出选择电路 4。下面结合图 14 和图 15 所示的时序图，对包括多路输出选择电路 4 的显示基板的驱动方法进行示意性说明。

在上述第一阶段 S1（也即第一阶段 S1a 或第一阶段 S1b），多条选择信号线 Mux 所传输的选择信号（Mux₁~Mux₆）分别传输至多路输出选择电路 4。多路输出选择电路 4 中的各选择晶体管组 41 分别在相应的选择信号的控制下导通，将来自数据传输线 DTL 的数据信号，分时传输至相应的数据线 DL，并存储在相应的数据线 DL 的寄生电容上。

其中，任意相邻两条选择信号线 Mux 所传输的选择信号的有效电平（也即低电平）之间具有时间间隔，因此，任意相邻两个晶体管组 41 的导通具有时间间隔，这样便可以将来自数据传输线 DTL 的数据信号，分时传输至相应的数据线 DL。

在此阶段，第一复位信号的低电平持续时长，可以根据实际需要选择设置。

例如，如图 14 所示，在多路输出选择电路 4 将数据信号分时传输至各数据线 DL 之后，第一复位信号的电平跳变为低电平，并在完成数据信号的写入、及在第二阶段 S2 之前，第一复位信号的电平跳变为高电平。

又如，如图 15 所示，在多路输出选择电路 4 将数据信号分时传输至各数据线 DL 的同时，第一复位信号的电平便可以跳变为低电平。在完成数据信号的写入、及在第二阶段 S2 之前，第一复位信号的电平跳变为高电平。这样可以增长第一复位信号的低电平持续时长，有利于增加数据信号的写入时长。

在上述第二阶段 S2（也即第二阶段 S2a 或第二阶段 S2b），数据信号的传输过程与在第一阶段 S1 中数据信号的传输过程相同，第二复位信号的低电平持续时长的设置方式可以与第一复位信号的低电平持续时长的设置方式相同，此处不再赘述。

需要提及的是，在增长第一复位信号和第二复位信号的持续时长的情况下，会使得第一复位信号、第二复位信号及数据信号的频率不一致。此时，可以对驱动芯片 200 进行调整，使得驱动芯片 200 能够进行兼容。

在上述第三阶段 S3（也即第三阶段 S3a 或第三阶段 S3b），在扫描信号的电平跳变为低电平之前，多路输出选择电路 4 完成对数据信号的分时写入及存储。

可以理解的是，在一帧显示的时长为定值的情况下，上述第一阶段 S1、第二阶段 S2 及第三阶段 S3 的时长也可以为定值。此时，在确保多路输出选择电路 4 能够将数据信号分时传输至各数据线 DL 的前提下，本公开可以减小各选择信号的低电平（也即有效电平）的持续时长，这样有利于增加第一复位信号、第二复位信号及扫描信号的低电平的持续时长，进而有利于为数据信号的写入及对第七晶体管 T7 的补偿提供更为充分的时间。

在另一些实施例中，如图 17 所示，同一条数据线 DL 与至少两列子像素电连接，且一行子像素与至少两条栅线 GL 电连接。下面结合图 18 所示的时序图，以同一条数据线 DL 与六列子像素电连接，且一行子像素与六条栅线（GL₁~GL₆）电连接为例，对显示基板的驱动方法进行示意性说明。

可以理解的是，如图 17 所示，在本示例中，与同一行子像素的第一复位信号端 Res_A 电连接的第一复位信号线 RL1 的数量也为六条（RL1₁~RL1₆），与同一行子像素的第二复位信号端 Res_B 电连接的第二复位信号线 RL2 的数量也为六条（RL2₁~RL2₆）。第一复位信号线 RL1 或第二复位信号线 RL2，与同一行子像素之间的连接关系，可以和栅线 GL 与同一行子像素之间的连接关系，相同。

在上述第一阶段 S1（也即第一阶段 S1a 或第一阶段 S1b），六条第一复位信号线（RL1₁~RL1₆）分别将第一复位信号（Res_A₁~ Res_A₆）传输至相应子像素 2 的第一复位信号端 Res_A。各第一复位信号的有效电平时间不重合，这样便于将同一条数据线 DL 中的数据信号分时写入至不同的子像素 2。

其中，任意相邻两条第一复位信号线 RL1 所传输的第一复位信号的有效电平（也即低电平）之间具有时间间隔。这样在各第一复位信号的电平跳变为有效电平之前，可以利用该时间间隔会完成各数据线 DL 的数据信号的刷新及存储。

在上述第二阶段 S2（也即第二阶段 S2a 或第二阶段 S2b），六条第二复位信号线（RL2₁~RL2₆）分别将第二复位信号（Res_B₁~ Res_B₆）传输至相应子像素 2 的第二复位信号端 Res_B。各第二复位信号的有效电平时间不重合，这样便于将同一条数据线 DL 中

的数据信号分时写入至不同的子像素 2。

其中，任意相邻两条第二复位信号线 RL2 所传输的第二复位信号的有效电平（也即低电平）之间具有时间间隔。这样在各第二复位信号的电平跳变为有效电平之前，可以利用该时间间隔会完成各数据线 DL 的数据信号的刷新及存储。

在上述第三阶段 S3（也即第三阶段 S3a 或第三阶段 S3b），六条栅线 GL 分别将扫描信号（Gate₁~Gate₆）传输至相应子像素的扫描信号端 Gate。各扫描信号的有效电平时间不重合，这样便于将同一条数据线 DL 中的数据信号分时写入至不同的子像素 2。

其中，任意相邻两条第一栅线 GL 所传输的扫描信号的有效电平之间具有时间间隔。这样在各扫描信号的电平跳变为有效电平之前，可以利用该时间间隔会完成各数据线 DL 的数据信号的刷新及存储。

在一些实施例中，第二使能信号的有效电平（也即低电平）时间均位于第四阶段 S4。也即，第二使能信号的电平在由高电平跳变为低电平的时段，均位于第四阶段 S4。在第一阶段 S1、第二阶段 S2 及第三阶段 S3，第二使能信号的电平例如可以保持为非有效电平（也即高电平）。

这样在第三阶段 S3 中，对第七晶体管 T7 进行阈值电压的补偿的过程中，可以避免因第二使能信号的高频拉低对写入至第七晶体管 T7 的控制极的数据信号造成耦合干扰，避免第七晶体管 T7 的控制极的电压产生扰动，进而有利于确保子像素 2 能够正常显示灰阶。另外，通过将第二使能信号的有效电平时间均设置在第四阶段 S4，还可以避免在第五晶体管 T5 和第一节点 N1 之间设置防干扰的晶体管，这样有利于简化子像素 2 的结构，提高子像素 2 及显示基板 100 的良率。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种显示基板，包括：

沿第一方向延伸的多条数据线；以及，

多个子像素；子像素包括像素驱动电路及发光器件；

所述像素驱动电路包括：电流控制电路，及与所述电流控制电路、所述发光器件电连接的时长控制电路；所述电流控制电路被配置为，生成驱动信号，以驱动所述发光器件发光；所述时长控制电路被配置为，生成时长控制信号，以控制所述电流控制电路和所述发光器件之间的导通时长；

其中，所述电流控制电路和所述时长控制电路，与同一条数据线电连接。

2、根据权利要求1所述的显示基板，其中，所述多个子像素沿第二方向排列为多列；同一条数据线与至少一列子像素电连接。

3、根据权利要求2所述的显示基板，其中，任意相邻两条数据线之间，设置有至少一列子像素。

4、根据权利要求2或3所述的显示基板，还包括：

与所述多条数据线电连接的多路输出选择电路；

与所述多路输出选择电路电连接的多条数据传输线；及，

与所述多路输出选择电路电连接的多条选择信号线；

其中，所述多路输出选择电路被配置为，在所述多条选择信号线所传输的选择信号的控制下，将所述多条数据传输线所传输的数据信号，分时传输至所述多条数据线。

5、根据权利要求4所述的显示基板，其中，

所述多条数据线至少包括：多条第一数据线、多条第二数据线和多条第三数据线；

所述多条数据传输线至少包括：多条第一数据传输线、多条第二数据传输线和多条第三数据传输线；

所述多路输出选择电路包括：多个选择晶体管组；选择晶体管组与选择信号线、第一数据线、第二数据线及第三数据线电连接；

其中，第一数据传输线与至少两个选择晶体管组电连接，并通过所述至少两个选择晶体管组与相应的第一数据线电连接；

第二数据传输线与所述至少两个选择晶体管组电连接，并通过所述至少两个选择晶体管组与相应的第二数据线电连接；

第三数据传输线与所述至少两个选择晶体管组电连接，并通过所述至少两个选择晶体管组与相应的第三数据线电连接。

6、根据权利要求5所述的显示基板，其中，所述第一数据传输线、所述第二数据传输线和所述第三数据传输线呈周期性排布；

和/或，

所述第一数据线、所述第二数据线和所述第三数据线呈周期性排布。

7、根据权利要求5或6所述的显示基板，其中，所述选择晶体管组至少包括：第一选择晶体管、第二选择晶体管和第三选择晶体管；

所述第一选择晶体管的控制极与所述选择信号线电连接，所述第一选择晶体管的第一极与所述第一数据传输线电连接，所述第一选择晶体管的第二极与所述第一数据线电连接；

所述第二选择晶体管的控制极与所述选择信号线电连接，所述第二选择晶体管的第一

极与所述第二数据传输线电连接，所述第二选择晶体管的第二极与所述第二数据线电连接；

所述第三选择晶体管的控制极与所述选择信号线电连接，所述第三选择晶体管的第一极与所述第三数据传输线电连接，所述第三选择晶体管的第二极与所述第三数据线电连接。

8、根据权利要求 4~7 中任一项所述的显示基板，其中，同一条数据线与一列子像素电连接。

9、根据权利要求 2 或 3 所述的显示基板，其中，同一条数据线与至少两列子像素电连接；

所述显示基板还包括：沿第二方向延伸的多条栅线；一个子像素与一条栅线电连接；

其中，所述多个子像素沿所述第一方向排列为多行；一行子像素与至少两条栅线电连接；

所述至少两条栅线被配置为，分别向相应的子像素传输扫描信号，以控制所述一行子像素分时接收所述数据线所传输的数据信号。

10、根据权利要求 9 所述的显示基板，其中，同一条数据线所电连接的子像素的列数，与同一行子像素所电连接的栅线条数，相等。

11、根据权利要求 9 或 10 所述的显示基板，其中，所述至少两条栅线分别设置在所述一行子像素的相对两侧。

12、根据权利要求 9~11 中任一项所述的显示基板，其中，同一行子像素中，任意相邻的两个子像素分别与不同栅线电连接。

13、根据权利要求 2~12 中任一项所述的显示基板，还包括：

衬底；所述多条数据线所述多个子像素设置在所述衬底的一侧；以及，

设置在所述衬底边缘的多条连接配线；连接配线的一端与至少一条所述数据线电连接，所述连接配线的另一端延伸至所述衬底的另一侧；

在所述显示基板还包括多路输出选择电路、多条数据传输线的情况下，所述连接配线的一端与数据传输线电连接，并通过所述多路输出选择电路与多条数据线电连接。

14、根据权利要求 1~13 中任一项所述的显示基板，其中，

所述电流控制电路至少与扫描信号端、数据信号端、第一使能信号端、第一电压信号端及第一节点电连接；所述电流控制电路被配置为，响应于在所述扫描信号端处接收的扫描信号、在所述数据信号端处接收的数据信号、在所述第一使能信号端处接收的第一使能信号及在所述第一电压信号端处接收的第一电压信号，生成驱动信号；

所述时长控制电路至少与所述数据信号端、第一复位信号端、第二复位信号端、所述第一使能信号端、第二使能信号端、所述第一节点及所述发光器件电连接；所述时长控制电路被配置为，响应于所述数据信号和在所述第一复位信号端处接收的第一复位信号，根据在所述第二使能信号端处接收的第二使能信号控制所述第一节点和所述发光器件之间的导通时长；或，响应于所述数据信号和在所述第二复位信号端处接收的第二复位信号，根据在所述第一使能信号，控制所述第一节点和所述发光器件之间的导通时长；

其中，所述电流控制电路和所述时长控制电路，均通过所述数据信号端与所述数据线电连接。

15、根据权利要求 14 所述的显示基板，其中，所述第一复位信号和所述第二复位信

号的有效电平时间不重合；

所述数据信号中，与所述第一复位信号的有效电平相对应的电平、及与所述第二复位信号的有效电平相对应的电平中的一者，为有效电平。

16、根据权利要求 14 或 15 所述的显示基板，其中，在生成所述驱动信号的阶段，所述数据信号的电平跳变为有效电平的时间，早于所述扫描信号的电平跳变为有效电平的时间。

17、根据权利要求 14~16 中任一项所述的显示基板，其中，所述时长控制电路包括：

第一控制子电路，至少与所述数据信号端、所述第一复位信号端、所述第二使能信号端及第二节点电连接；所述第一控制子电路被配置为，响应于所述数据信号和所述第一复位信号，将所述第二使能信号传输至所述第二节点；

第二控制子电路，至少与所述数据信号端、所述第二复位信号端、所述第一使能信号端及所述第二节点电连接；所述第二控制子电路被配置为，响应于所述数据信号和所述第二复位信号，将所述第一使能信号传输至所述第二节点；及，

第三控制子电路，与所述第一节点、所述第二节点及所述发光器件电连接；所述第三控制子电路被配置为，在来自所述第二节点的信号的控制下，控制所述第一节点和所述发光器件之间的导通时长。

18、根据权利要求 17 所述的显示基板，其中，所述第一控制子电路包括：第一晶体管、第二晶体管 and 第一电容器；

所述第一晶体管的控制极与所述第一复位信号端电连接，所述第一晶体管的第一极与所述数据信号端电连接，所述第一晶体管的第二极与第三节点电连接；

所述第二晶体管的控制极与所述第三节点电连接，所述第二晶体管的第一极与所述第二使能信号端电连接，所述第二晶体管的第二极与所述第二节点电连接；

所述第一电容器的第一极与初始信号端电连接，所述第一电容器的第二极与所述第三节点电连接；

所述第二控制子电路包括：第三晶体管、第四晶体管 and 第二电容器；

所述第三晶体管的控制极与所述第二复位信号端电连接，所述第三晶体管的第一极与所述数据信号端电连接，所述第三晶体管的第二极与第四节点电连接；

所述第四晶体管的控制极与所述第四节点电连接，所述第四晶体管的第一极与所述第一使能信号端电连接，所述第四晶体管的第二极与所述第二节点电连接；

所述第二电容器的第一极与所述初始信号端电连接，所述第二电容器的第二极与所述第四节点电连接；

所述第三控制子电路包括：第五晶体管；

所述第五晶体管的控制极与所述第二节点电连接，所述第五晶体管的第一极与所述第一节点电连接，所述第五晶体管的第二极与所述发光器件电连接。

19、根据权利要求 14~18 中任一项所述的显示基板，其中，所述电流控制电路包括：

数据写入子电路，与所述扫描信号端、所述数据信号端及第五节点电连接；所述数据写入子电路被配置为，在所述扫描信号的控制下，将所述数据信号传输至所述第五节点；

驱动子电路，至少与所述第一节点、所述第五节点及第六节点电连接；所述驱动子电路被配置为，在所述第六节点的电压的控制下，将来自所述第五节点的信号传输至所述第一节点；

补偿子电路，与所述扫描信号端、所述第一节点及所述第六节点电连接；所述补偿子电路被配置为，在所述扫描信号的控制下，将来自所述第一节点的信号传输至所述第六节点，以对所述驱动子电路进行阈值电压的补偿；以及，

发光控制子电路，与所述第一使能信号端、所述第一电压信号端及所述第五节点电连接；所述发光控制子电路被配置为，在所述第一使能信号的控制下，将所述第一电压信号传输至所述第五节点。

20、根据权利要求 19 所述的显示基板，其中，所述数据写入子电路包括：第六晶体管；

所述第六晶体管的控制极与所述扫描信号端电连接，所述第六晶体管的第一极与所述数据信号端电连接，所述第六晶体管的第二极与所述第五节点电连接；

所述驱动子电路包括：第七晶体管和第三电容器；

所述第七晶体管的控制极与所述第六节点电连接，所述第七晶体管的第一极与所述第五节点电连接，所述第七晶体管的第二极与所述第一节点电连接；

所述第三电容器的第一极与所述第六节点电连接，所述第三电容器的第二极与所述第一电压信号端电连接；

所述补偿子电路包括：第八晶体管；

所述第八晶体管的控制极与所述扫描信号端电连接，所述第八晶体管的第一极与所述第一节点电连接，所述第八晶体管的第二极与所述第六节点电连接；

所述发光控制子电路包括：第九晶体管；

所述第九晶体管的控制极与所述第一使能信号端电连接，所述第九晶体管的第一极与所述第一电压信号端电连接，所述第九晶体管的第二极与所述第五节点电连接。

21、根据权利要求 19 或 20 所述的显示基板，其中，所述电流控制电路还包括：复位子电路；

所述复位子电路与所述第一复位信号端、初始信号端、所述第六节点及所述发光器件电连接；所述复位子电路被配置为，响应于所述第一复位信号，将在所述初始信号端处接收的初始信号传输至所述第六节点及所述发光器件。

22、根据权利要求 21 所述的显示基板，其中，所述复位子电路包括：第十晶体管和第十一晶体管；

所述第十晶体管的控制极与所述第一复位信号端电连接，所述第十晶体管的第一极与所述初始信号端电连接，所述第十晶体管的第二极与所述第六节点电连接；

所述第十一晶体管的控制极与所述第一复位信号端电连接，所述第十一晶体管的第一极与所述初始信号端电连接，所述第十一晶体管的第二极与所述发光器件电连接。

23、一种显示基板的驱动方法，用于驱动如权利要求 1~22 中任一项所述的显示基板，所述驱动方法包括：

向所述显示基板的多条数据线传输数据信号，同一子像素的电流控制电路和时长控制电路同时接收所述数据信号。

24、根据权利要求 23 所述的驱动方法，其中，所述电流控制电路包括数据写入子电路、驱动子电路、补偿子电路及发光控制子电路，所述时长控制电路包括第一控制子电路、第二控制子电路及第三控制子电路；

在一帧显示阶段，所述驱动方法还包括：第一阶段、第二阶段、第三阶段和第四阶段；

在所述显示基板的子像素所显示的灰阶大于或等于阈值灰阶的情况下，

在所述第一阶段，响应于在第一复位信号端处接收的第一复位信号和所述数据信号，所述第一控制子电路关断；

在所述第二阶段，响应于在第二复位信号端处接收的第二复位信号和所述数据信号，所述第二控制子电路导通，将在第一使能信号端处接收的第一使能信号传输至第二节点；

在所述显示基板的子像素所显示的灰阶小于阈值灰阶的情况下，

在所述第一阶段，响应于所述第一复位信号和所述数据信号，所述第一控制子电路导通，将在第二使能信号端处接收的第二使能信号传输至所述第二节点；

在所述第二阶段，响应于所述第二复位信号和所述数据信号，所述第二控制子电路关断；

其中，在所述第三阶段，响应于在扫描信号端处接收的扫描信号，所述数据写入子电路和所述补偿子电路导通，将所述数据信号依次经第五节点、所述驱动子电路、第一节点及所述补偿子电路，传输至第六节点，对所述驱动子电路进行阈值电压的补偿；

在所述第四阶段，响应于所述第一使能信号，所述发光控制子电路导通，将在第一电压信号端处接收的第一电压信号依次经第五节点和所述驱动子电路，传输至所述第一节点。

25、根据权利要求 24 所述的驱动方法，其中，数据线被配置为，对所述数据信号进行存储；

所述扫描信号端被配置为，在所述第三阶段，在所述数据线存储所述数据信号之后，传输所述扫描信号，以控制所述数据写入子电路和所述补偿子电路导通。

26、一种显示装置，包括：至少一个如权利要求 1~22 中任一项所述的显示基板。

27、根据权利要求 26 所述的显示装置，其中，所述显示基板包括衬底及设置在所述衬底边缘的多条连接配线；所述多条连接配线的一端位于所述衬底的一侧，所述多条连接配线的另一端延伸至所述衬底的另一侧；

所述显示装置还包括：设置在所述衬底另一侧的驱动芯片；

所述驱动芯片与所述多条连接配线的另一端电连接。

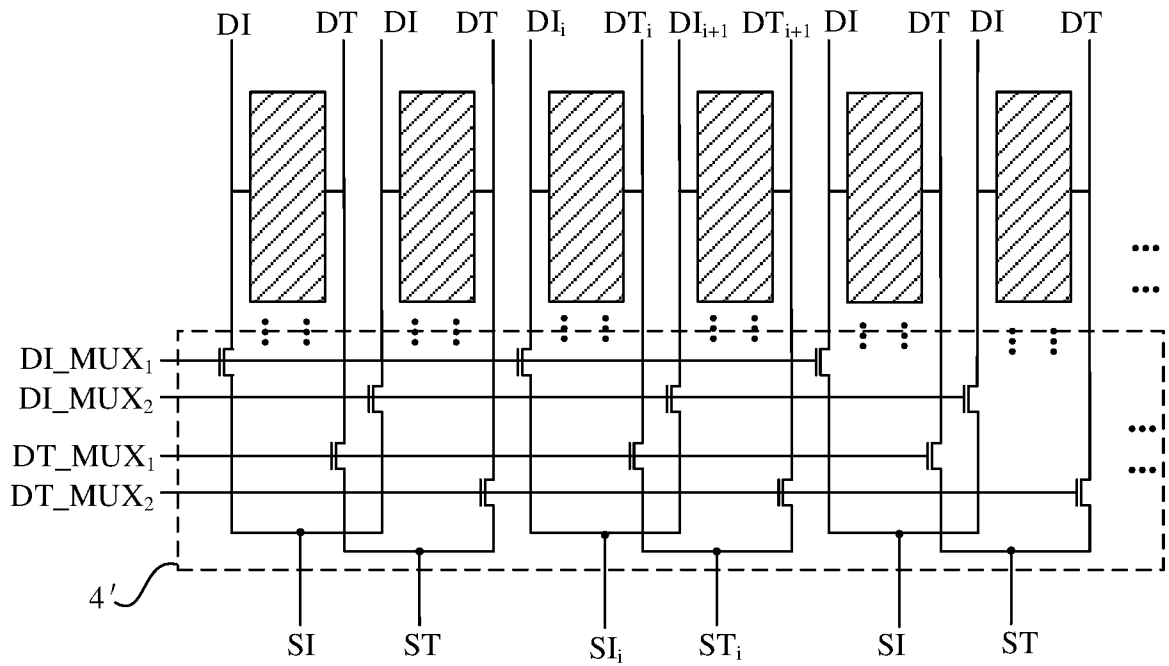


图 1

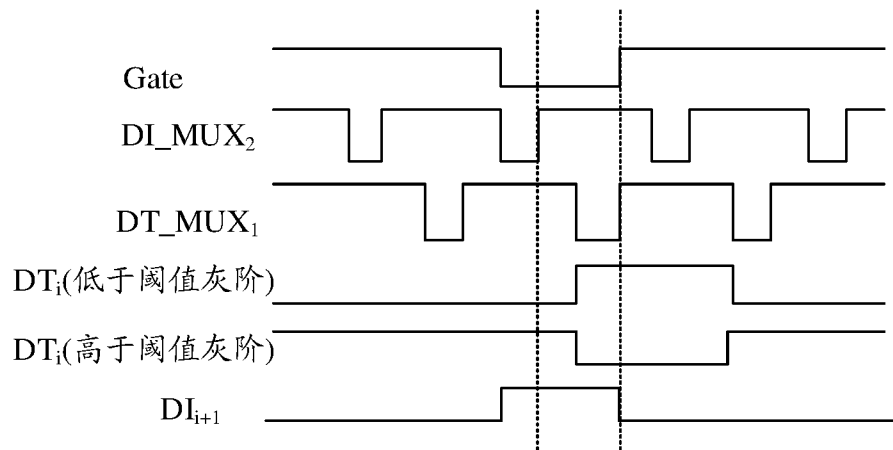


图 2

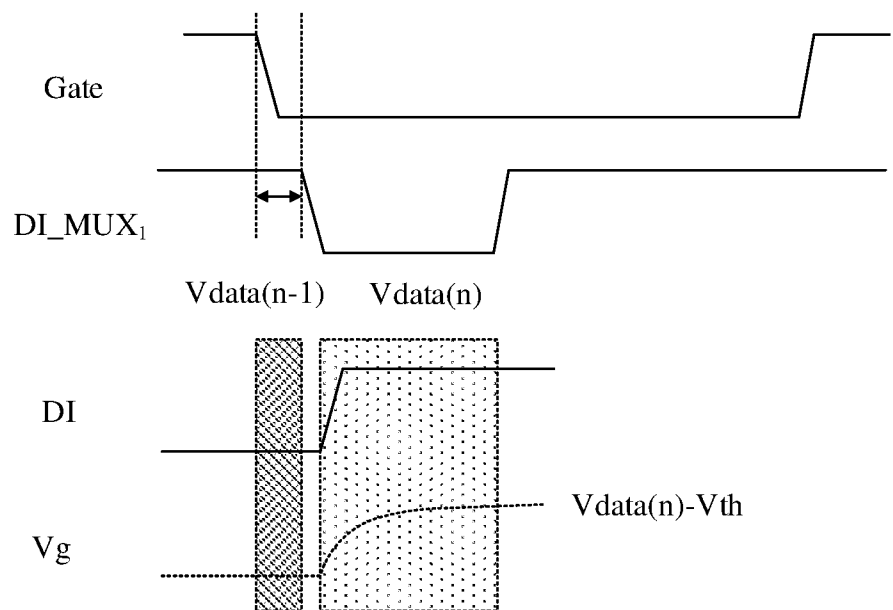


图 3

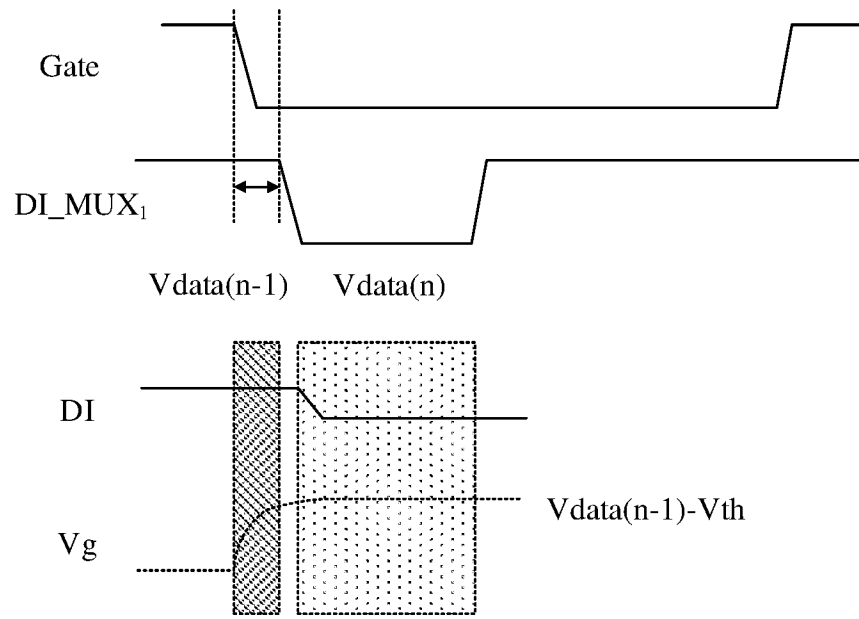


图 4

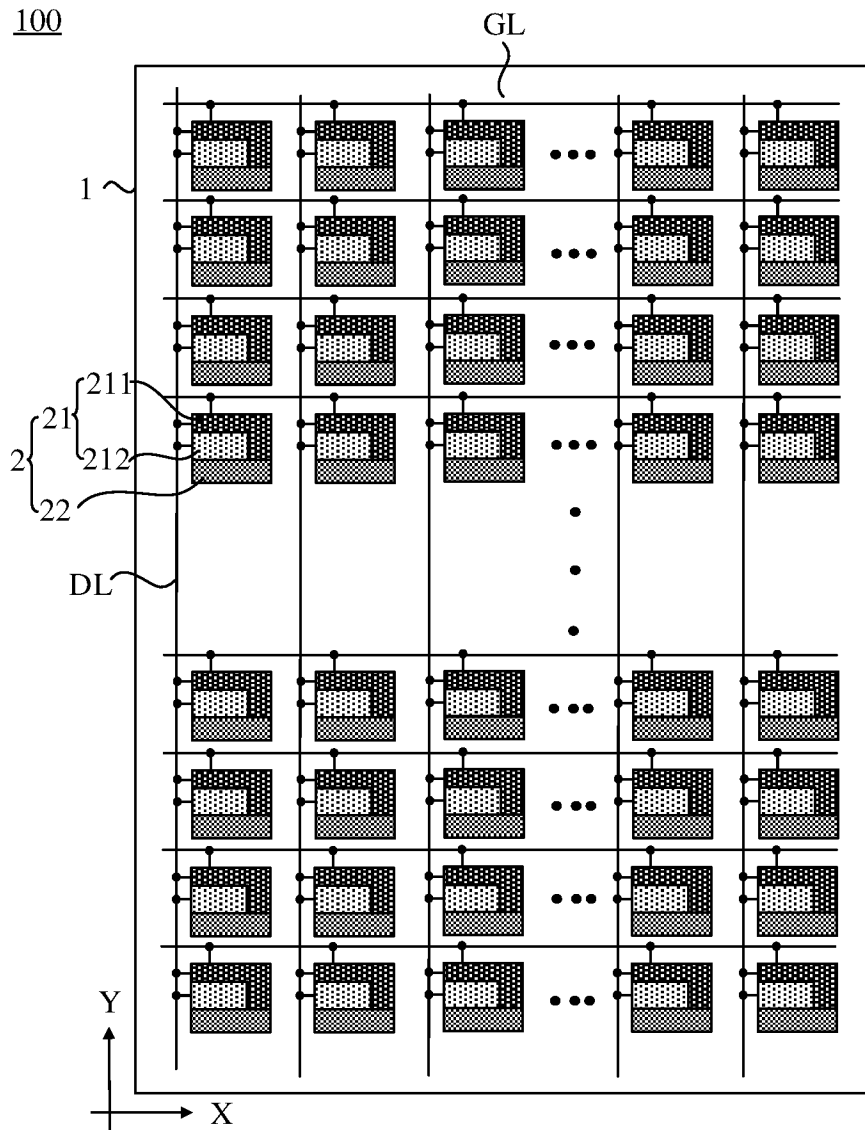


图 5

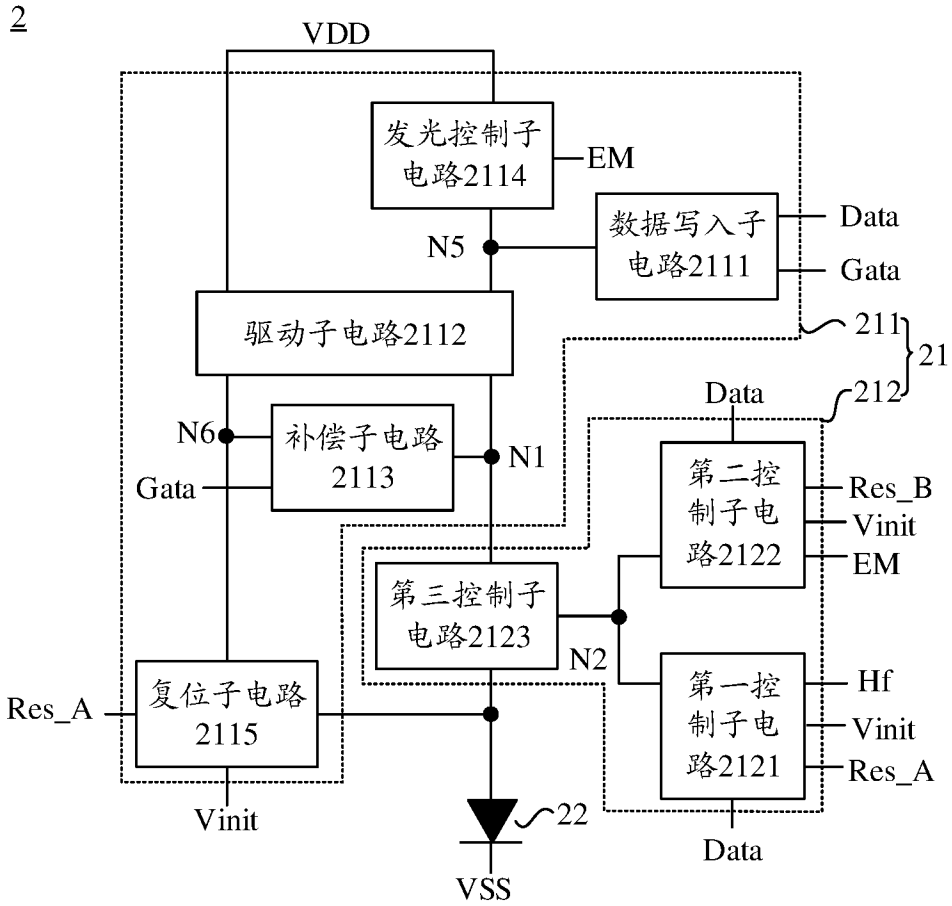


图 6

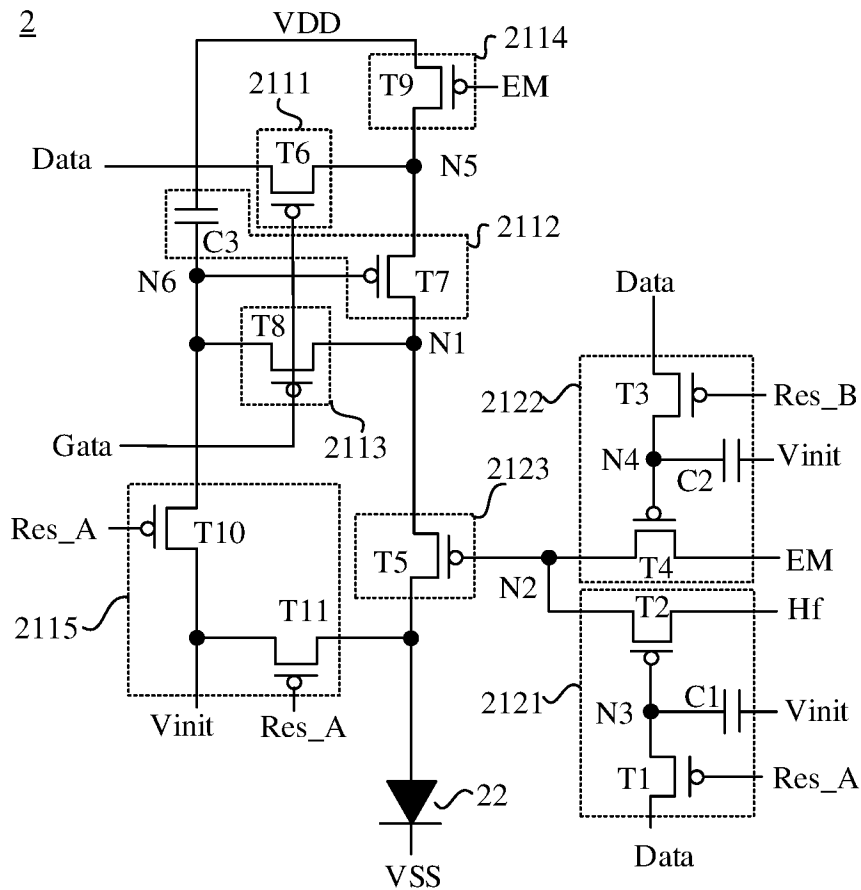


图 7

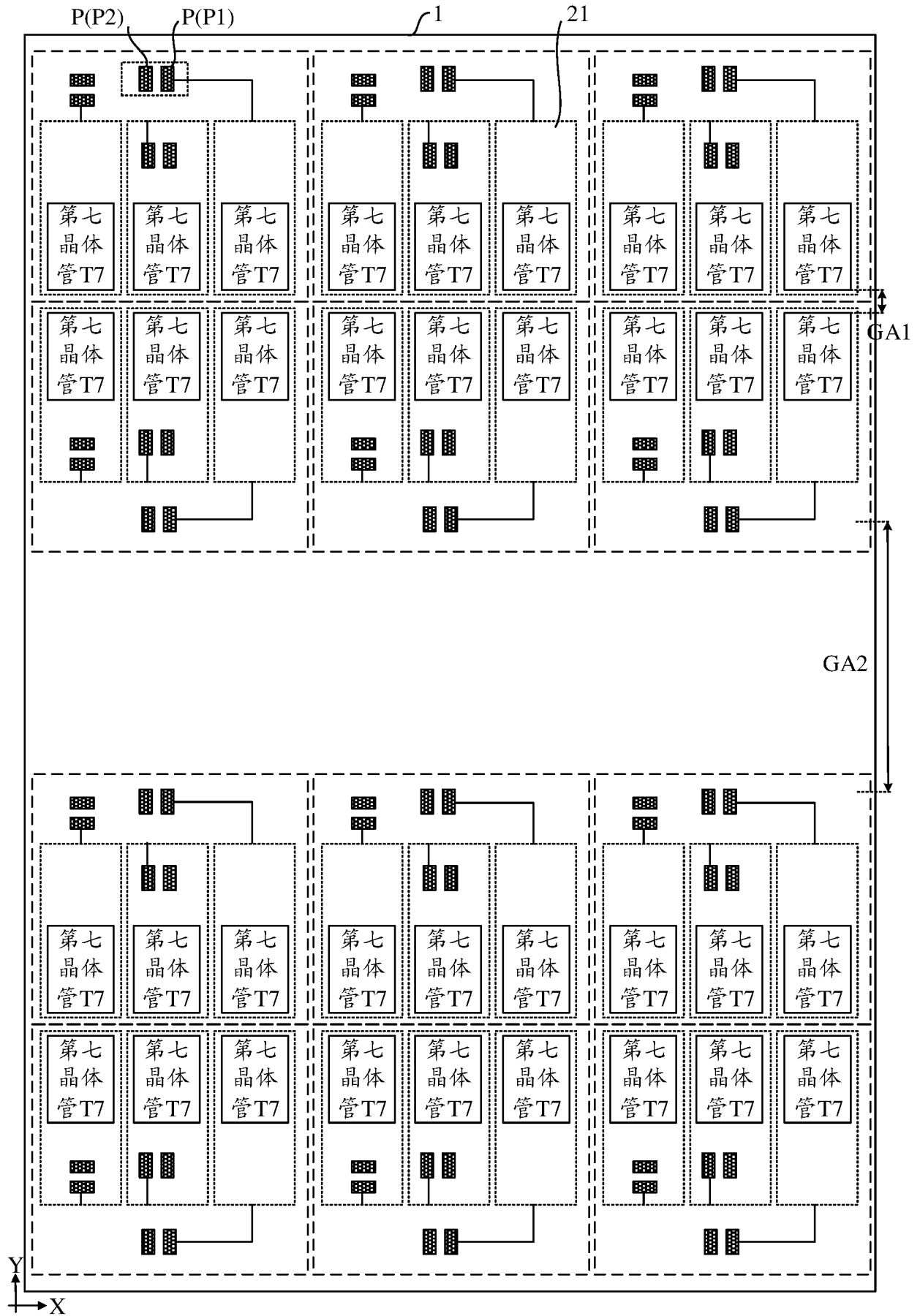


图 8

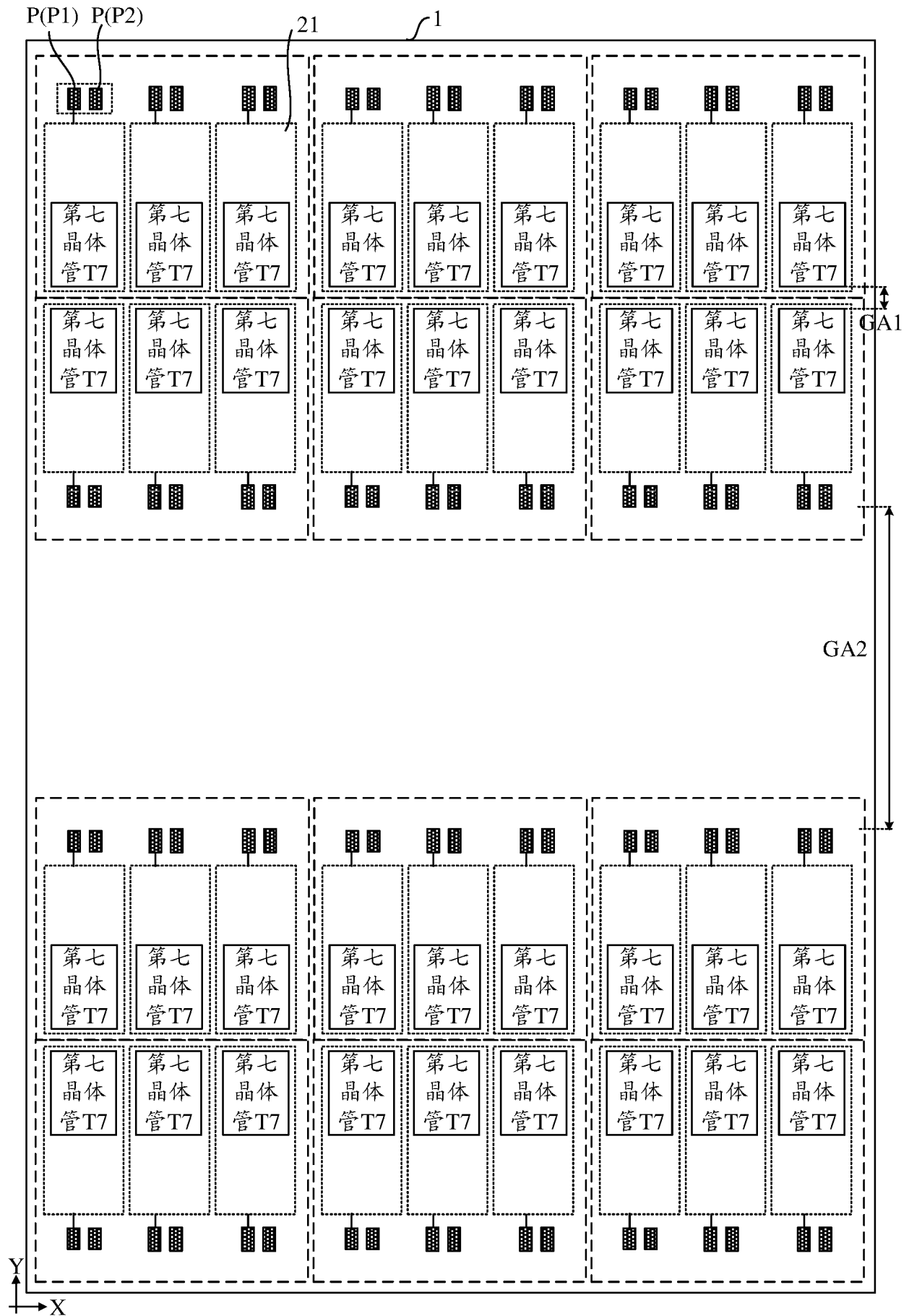


图 9

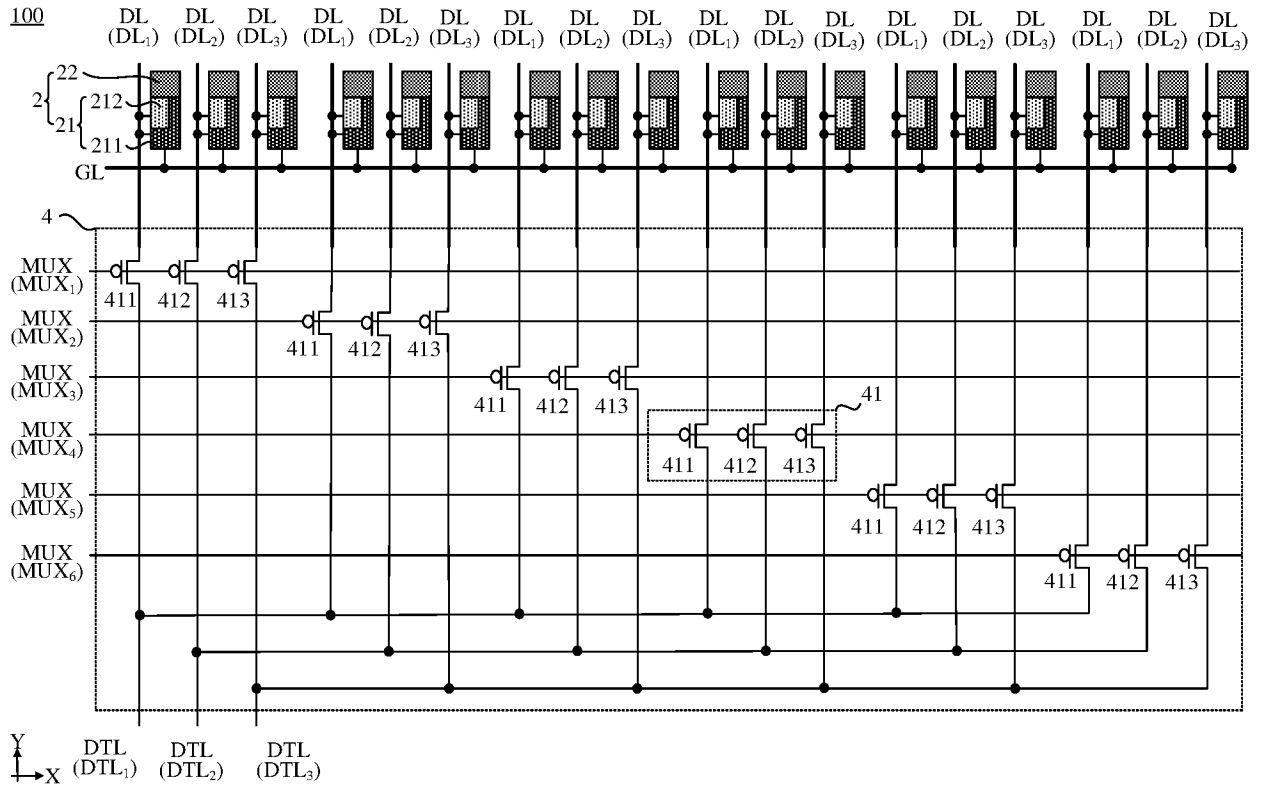


图 13

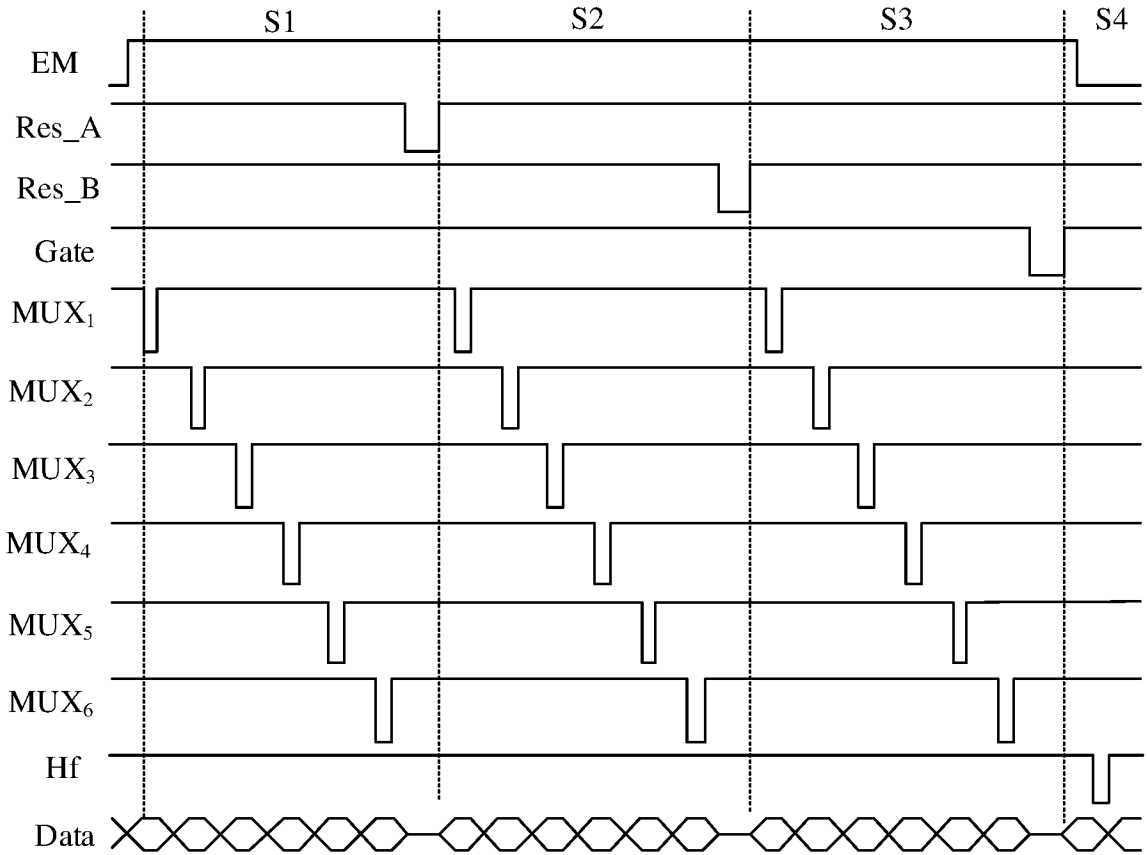


图 14

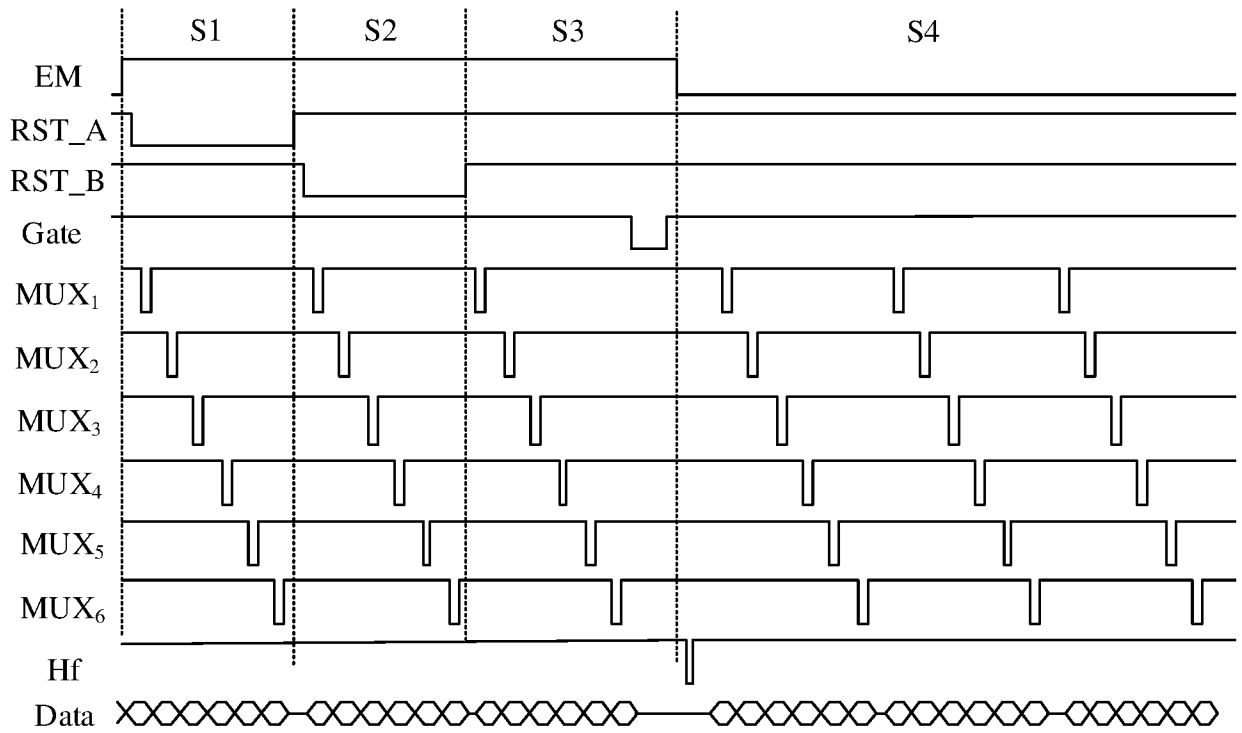


图 15

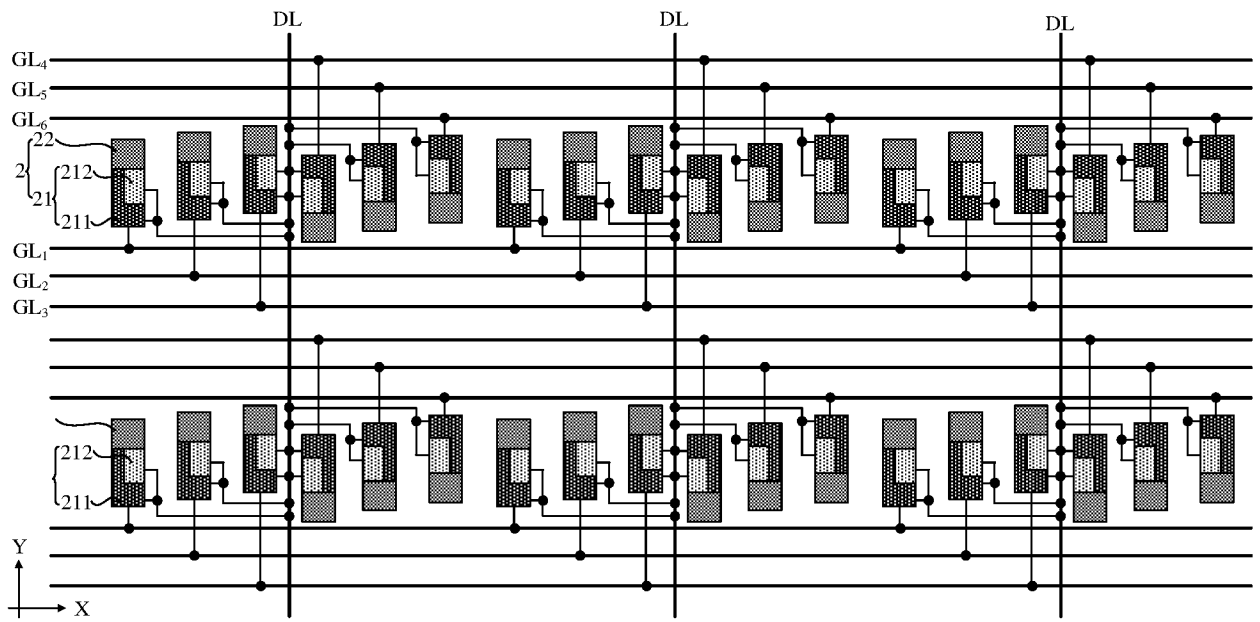


图 16

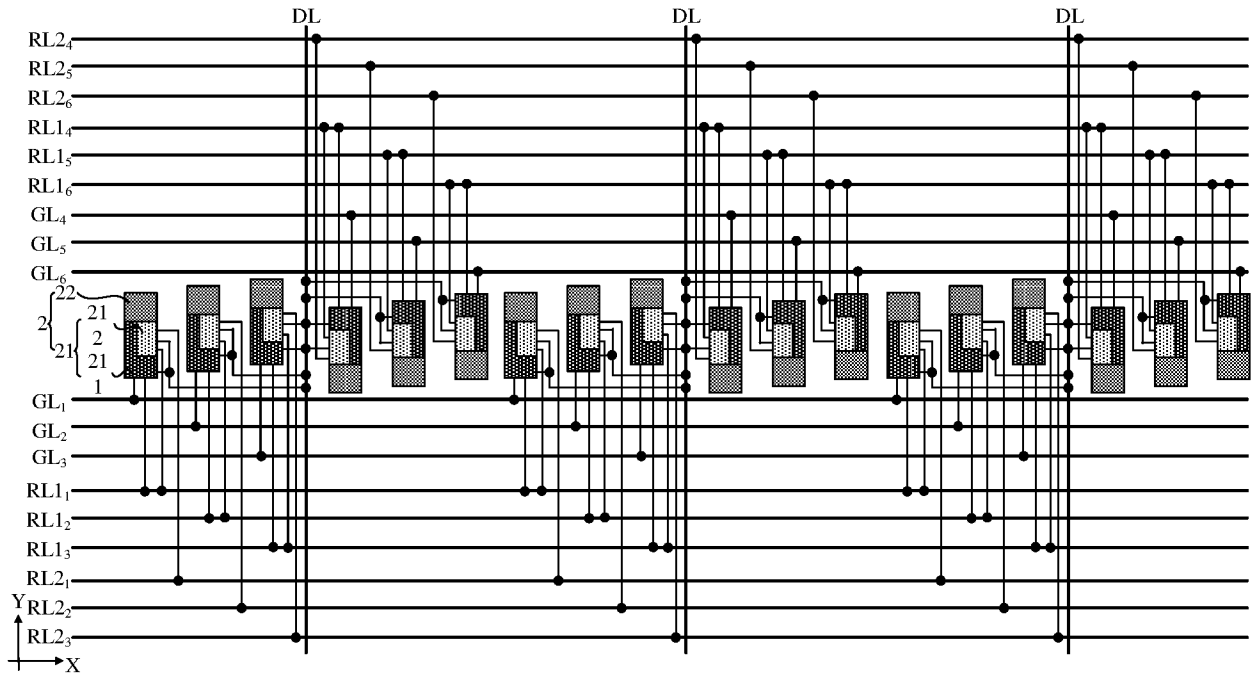


图 17

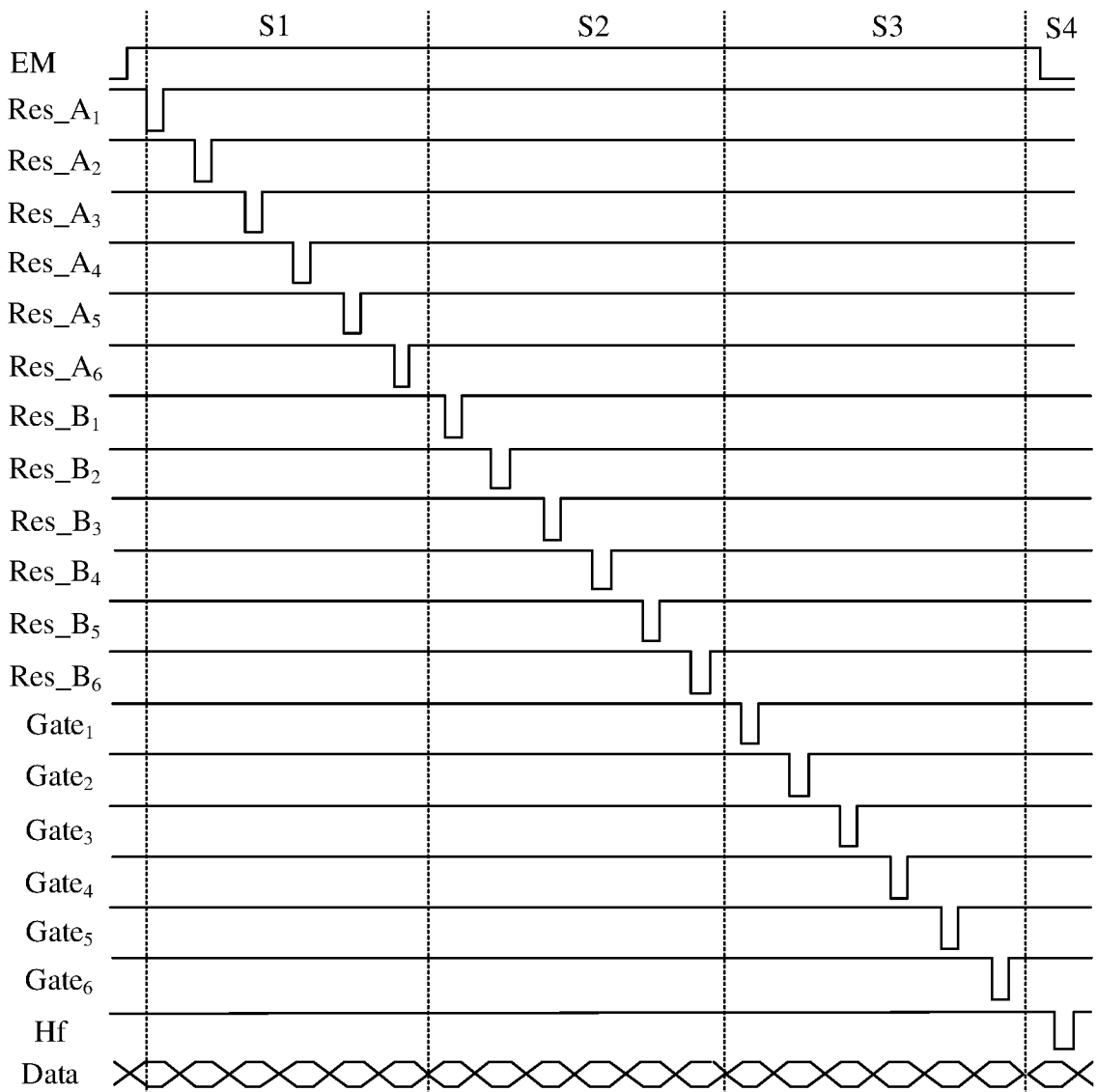


图 18

100

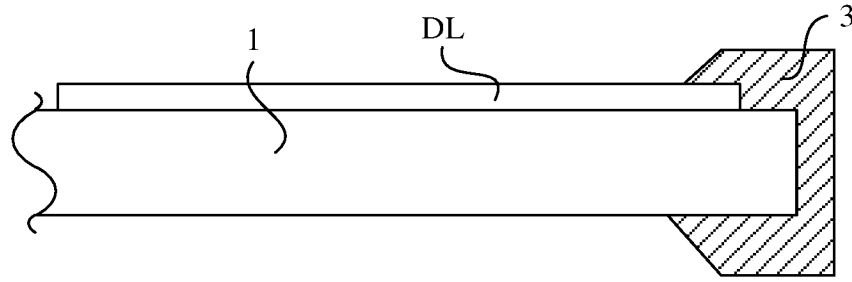


图 19

100

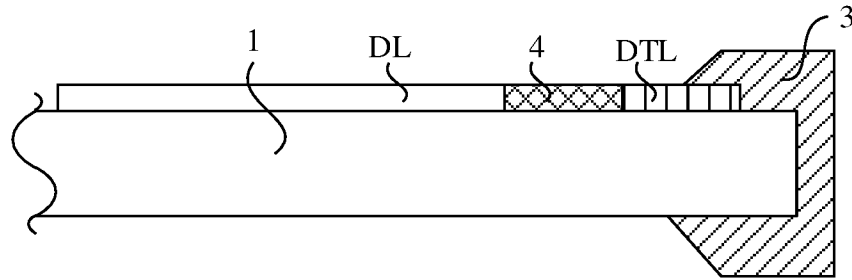


图 20

1000

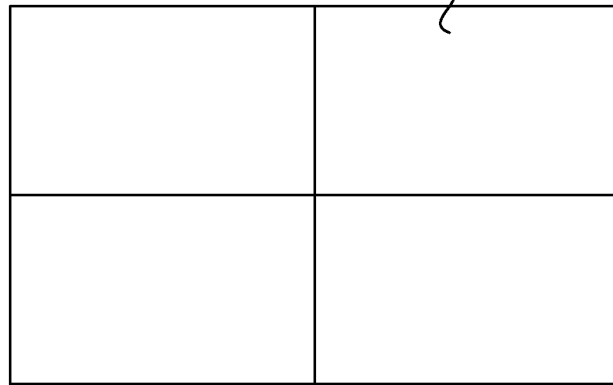


图 21

1000

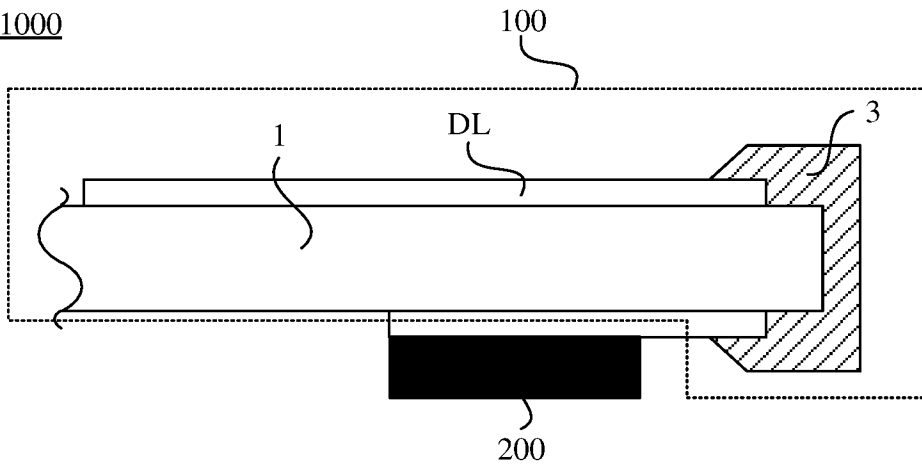


图 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/132874

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/32(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; VEN; USTXT; CNKI: 显示, 像素, 电路, 发光, 电流, 幅值, 时长, 时间, 数据线, 晶体管, display, pixel, circuit, led, light, emit+, current, amplitude, time, data, line, transistor		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 112585670 A (BOE TECHNOLOGY GROUP CO., LTD.) 30 March 2021 (2021-03-30) description, pages 1-5, and figures 1-11	1-27
A	CN 111477165 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 31 July 2020 (2020-07-31) entire document	1-27
A	CN 113096600 A (BOE TECHNOLOGY GROUP CO., LTD.) 09 July 2021 (2021-07-09) entire document	1-27
A	CN 109801594 A (SHANGHAI EVERDISPLAY OPTRONICS LIMITED) 24 May 2019 (2019-05-24) entire document	1-27
A	CN 1750100 A (SAMSUNG SDI CO., LTD.) 22 March 2006 (2006-03-22) entire document	1-27
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 August 2022		Date of mailing of the international search report 09 September 2022
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/CN2021/132874

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	112585670	A	30 March 2021	None	
CN	111477165	A	31 July 2020	WO 2021227107 A1	18 November 2021
CN	113096600	A	09 July 2021	None	
CN	109801594	A	24 May 2019	None	
CN	1750100	A	22 March 2006	KR 20060025284 A	21 March 2006
				JP 2006085169 A	30 March 2006

国际检索报告

国际申请号

PCT/CN2021/132874

<p>A. 主题的分类</p> <p>G09G 3/32 (2016.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G3</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS; CNTXT; VEN; USTXT; CNKI: 显示, 像素, 电路, 发光, 电流, 幅值, 时长, 时间, 数据线, 晶体管, display, pixel, circuit, led, light, emit+, current, amplitude, time, data, line, transistor</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 112585670 A (京东方科技集团股份有限公司) 2021年3月30日 (2021 - 03 - 30) 说明书第1页-第5页, 图1-11</td> <td>1-27</td> </tr> <tr> <td>A</td> <td>CN 111477165 A (深圳市华星光电半导体显示技术有限公司) 2020年7月31日 (2020 - 07 - 31) 全文</td> <td>1-27</td> </tr> <tr> <td>A</td> <td>CN 113096600 A (京东方科技集团股份有限公司) 2021年7月9日 (2021 - 07 - 09) 全文</td> <td>1-27</td> </tr> <tr> <td>A</td> <td>CN 109801594 A (上海和辉光电有限公司) 2019年5月24日 (2019 - 05 - 24) 全文</td> <td>1-27</td> </tr> <tr> <td>A</td> <td>CN 1750100 A (三星SDI株式会社) 2006年3月22日 (2006 - 03 - 22) 全文</td> <td>1-27</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 112585670 A (京东方科技集团股份有限公司) 2021年3月30日 (2021 - 03 - 30) 说明书第1页-第5页, 图1-11	1-27	A	CN 111477165 A (深圳市华星光电半导体显示技术有限公司) 2020年7月31日 (2020 - 07 - 31) 全文	1-27	A	CN 113096600 A (京东方科技集团股份有限公司) 2021年7月9日 (2021 - 07 - 09) 全文	1-27	A	CN 109801594 A (上海和辉光电有限公司) 2019年5月24日 (2019 - 05 - 24) 全文	1-27	A	CN 1750100 A (三星SDI株式会社) 2006年3月22日 (2006 - 03 - 22) 全文	1-27
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 112585670 A (京东方科技集团股份有限公司) 2021年3月30日 (2021 - 03 - 30) 说明书第1页-第5页, 图1-11	1-27																		
A	CN 111477165 A (深圳市华星光电半导体显示技术有限公司) 2020年7月31日 (2020 - 07 - 31) 全文	1-27																		
A	CN 113096600 A (京东方科技集团股份有限公司) 2021年7月9日 (2021 - 07 - 09) 全文	1-27																		
A	CN 109801594 A (上海和辉光电有限公司) 2019年5月24日 (2019 - 05 - 24) 全文	1-27																		
A	CN 1750100 A (三星SDI株式会社) 2006年3月22日 (2006 - 03 - 22) 全文	1-27																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2022年8月24日</p>		<p>国际检索报告邮寄日期</p> <p>2022年9月9日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>张梦泽</p> <p>电话号码 (86-10)62085779</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/132874

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112585670	A	2021年3月30日	无			
CN	111477165	A	2020年7月31日	WO	2021227107	A1	2021年11月18日
CN	113096600	A	2021年7月9日	无			
CN	109801594	A	2019年5月24日	无			
CN	1750100	A	2006年3月22日	KR	20060025284	A	2006年3月21日
				JP	2006085169	A	2006年3月30日