

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 4 月 2 日(02.04.2015)

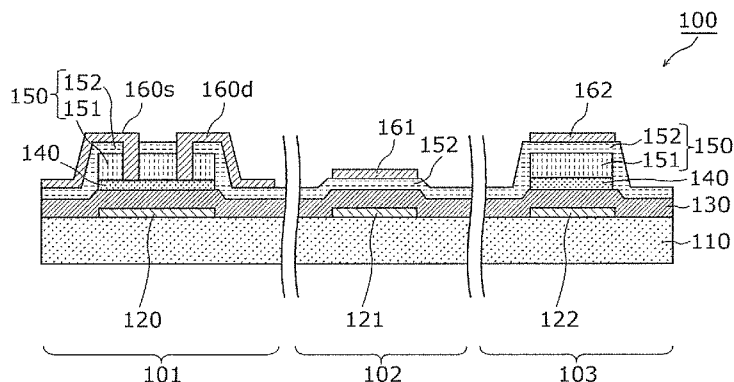


(10) 国際公開番号
WO 2015/045213 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 51/50* (2006.01)
G09F 9/30 (2006.01) *H05B 33/02* (2006.01)
H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2014/002789
- (22) 国際出願日: 2014 年 5 月 27 日(27.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-205684 2013 年 9 月 30 日(30.09.2013) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者: 岸田 悠治(KISHIDA, Yuji). 川島 孝啓(KAWASHIMA, Takahiro). 中崎 能彰(NAKAZAKI, Yoshiaki).
- (74) 代理人: 新居 広守, 外(NII, Hiromori et al.); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 3 番 1 0 号タナカ・イトーピア新大阪ビル 6 階新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN FILM TRANSISTOR SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 薄膜トランジスタ基板及びその製造方法



(57) Abstract: A thin film transistor substrate (100) is provided with: a gate electrode (120), and a first electrode (121) of a capacitor (102), which are formed above a substrate (110) such that the gate electrode and the first electrode are disposed by being aligned with each other in the planar direction of the substrate (110); a gate insulating film (130) that is formed on the gate electrode (120); a semiconductor layer (140) that is formed on the gate insulating film (130); an insulating layer (150) that is formed on the semiconductor layer (140) and above the first electrode (121) such that a part of the semiconductor layer (140) is exposed; a source electrode (160s) and a drain electrode (160d), which are formed above the insulating layer (150) such that the source electrode and the drain electrode are connected to the semiconductor layer (140) at an exposed semiconductor layer (140) portion; and a second electrode (161) of the capacitor (102), said second electrode facing the first electrode (121), and being formed above the insulating layer (150). The film thickness of the insulating layer (150) above the gate electrode (120) is more than that of the insulating layer (150) above the first electrode (121).

(57) 要約:

[続葉有]

WO 2015/045213 A1



薄膜トランジスタ基板（１００）は、基板（１１０）の平面方向に並んで配置されるように、基板（１１０）の上方に形成されたゲート電極（１２０）及び容量（１０２）の第１電極（１２１）と、ゲート電極（１２０）上に形成されたゲート絶縁膜（１３０）と、ゲート絶縁膜（１３０）上に形成された半導体層（１４０）と、半導体層（１４０）の一部が露出するように半導体層（１４０）上及び第１電極（１２１）の上方に形成された絶縁層（１５０）と、半導体層（１４０）の露出した部分で半導体層（１４０）と接続されるように絶縁層（１５０）の上方に形成されたソース電極（１６０ｓ）及びドレイン電極（１６０ｄ）と、第１電極（１２１）に対向し、かつ、絶縁層（１５０）の上方に形成された容量（１０２）の第２電極（１６１）とを備え、ゲート電極（１２０）上方の絶縁層（１５０）の膜厚は、第１電極（１２１）の上方の絶縁層（１５０）の膜厚より大きい。

明 細 書

発明の名称： 薄膜トランジスタ基板及びその製造方法

技術分野

[0001] 本開示は、薄膜トランジスタ基板及びその製造方法に関する。

背景技術

[0002] 液晶表示装置又は有機EL (E l e c t r o l u m i n e s c e n s e) 表示装置などのアクティブマトリクス方式の表示装置には、スイッチング素子又は駆動素子として薄膜トランジスタ (T F T : T h i n F i l m T r a n s i s t o r) が広く用いられている。

[0003] 従来、薄膜トランジスタを製造する際に、ゲート絶縁膜、半導体層及びチャネル保護層を大気に触れることなく、連続的に形成する技術が開示されている (特許文献1)。これにより、半導体層へのプロセスダメージを低減し、安定な特性を有する薄膜トランジスタを製造することができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2010-056546号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記従来技術では、十分に安定な特性を有する薄膜トランジスタを製造することができない。

[0006] 特許文献1に記載の薄膜トランジスタは、サイドコンタクト構造である。ソース電極及びドレイン電極と半導体層とのコンタクト領域を形成する際のエッチングにより、半導体層が一部削り取られる。このため、初期特性における閾値電圧のばらつきなどが発生する。

[0007] また、薄膜トランジスタが表示装置に用いられる場合、薄膜トランジスタは、容量などの他の素子と同一の基板に設けられる。このとき、基板に配置される薄膜トランジスタ及び容量のサイズには制限があり、容量の大容量化

が困難である。

[0008] そこで、本開示は、容量の大容量化を達成し、かつ、より安定な特性を有し、信頼性の高い薄膜トランジスタ基板及びその製造方法を提供する。

課題を解決するための手段

[0009] 上記課題を解決するため、本開示の一態様に係る薄膜トランジスタ基板は、基板と、前記基板の平面方向に並んで配置されるように、前記基板の上方に形成されたゲート電極及び容量の第1電極と、前記ゲート電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された半導体層と、前記半導体層の一部が露出するように、前記半導体層上及び前記第1電極の上方に形成された絶縁層と、前記半導体層の露出した部分で前記半導体層と接続されるように前記絶縁層の上方に形成されたソース電極及びドレイン電極と、前記第1電極に対向し、かつ、前記絶縁層の上方に形成された前記容量の第2電極とを備え、前記ゲート電極上方の前記絶縁層の膜厚は、前記第1電極の上方の前記絶縁層の膜厚より大きい。

[0010] また、本開示の一態様に係る薄膜トランジスタ基板の製造方法は、基板の平面方向に並んで配置されるように、前記基板の上方にゲート電極及び容量の第1電極を形成する第1工程と、前記ゲート電極及び前記第1電極上に、第1絶縁膜、半導体膜及び第2絶縁膜を順に連続成膜することで、ゲート絶縁膜、半導体層及び絶縁層を順に形成する第2工程と、前記半導体層の一部を露出させ、露出した部分で前記半導体層と接続されるように前記絶縁層の上方にソース電極及びドレイン電極を形成し、前記第1電極の上方、かつ、前記絶縁層の上方に前記容量の第2電極を形成する第3工程とを含み、前記第2工程では、前記ゲート電極の上方の前記絶縁層の膜厚が、前記第1電極の上方の前記絶縁層の膜厚より大きくなるように、前記第1電極の上方の前記第2絶縁膜の少なくとも一部を除去する。

発明の効果

[0011] 本開示によれば、容量の大容量化を実現し、かつ、より安定な特性を有し、信頼性の高い薄膜トランジスタ基板及びその製造方法を提供することがで

きる。

図面の簡単な説明

[0012] [図1]図 1 は、実施の形態に係る有機 E L 表示装置の一部切り欠き斜視図である。

[図2]図 2 は、実施の形態に係る有機 E L 表示装置における画素の構成を示す平面図である。

[図3]図 3 は、実施の形態に係る有機 E L 表示装置における画素回路の簡略な構成を示す電気回路図である。

[図4]図 4 は、実施の形態に係る薄膜トランジスタ基板の概略断面図である。

[図5]図 5 は、実施の形態に係る薄膜トランジスタ基板の製造方法を示す概略断面図である。

[図6]図 6 は、比較例に係る薄膜トランジスタの概略断面図である。

[図7]図 7 は、比較例に係る薄膜トランジスタの製造方法を示す概略断面図である。

[図8A]図 8 A は、比較例に係る薄膜トランジスタの P B T S 試験による電流及び移動度とゲート電圧との関係を示す図である。

[図8B]図 8 B は、実施の形態に係る薄膜トランジスタの P B T S 試験による電流及び移動度とゲート電圧との関係を示す図である。

[図9A]図 9 A は、実施の形態と比較例とに係る薄膜トランジスタの P B T S 試験による閾値電圧の変化を示す図である。

[図9B]図 9 B は、実施の形態と比較例とに係る薄膜トランジスタの P B T S 試験による S 値の変化を示す図である。

[図9C]図 9 C は、実施の形態と比較例とに係る薄膜トランジスタの P B T S 試験による移動度の変化を示す図である。

[図10A]図 1 0 A は、比較例に係る薄膜トランジスタの N B T S 試験による電流及び移動度とゲート電圧との関係を示す図である。

[図10B]図 1 0 B は、実施の形態に係る薄膜トランジスタの N B T S 試験による電流及び移動度とゲート電圧との関係を示す図である。

[図11A]図 1 1 Aは、実施の形態と比較例とに係る薄膜トランジスタのN B T S試験による閾値電圧の変化を示す図である。

[図11B]図 1 1 Bは、実施の形態と比較例とに係る薄膜トランジスタのN B T S試験によるS値の変化を示す図である。

[図11C]図 1 1 Cは、実施の形態と比較例とに係る薄膜トランジスタのN B T S試験による移動度の変化を示す図である。

発明を実施するための形態

[0013] (本開示の概要)

本開示に係る薄膜トランジスタ基板は、基板と、基板の平面方向に並んで配置されるように、基板の上方に形成されたゲート電極及び容量の第1電極と、ゲート電極上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成された半導体層と、半導体層の一部が露出するように、半導体層上及び第1電極の上方に形成された絶縁層と、半導体層の露出した部分で半導体層と接続されるように絶縁層の上方に形成されたソース電極及びドレイン電極と、第1電極に対向し、かつ、絶縁層の上方に形成された容量の第2電極とを備え、ゲート電極上方の絶縁層の膜厚は、第1電極の上方の絶縁層の膜厚より大きい。

[0014] これにより、容量の第1電極と第2電極との間の絶縁層がゲート電極の上方の絶縁層より小さくなるので、大容量化を実現することができる。また、薄膜トランジスタ基板は、ソース電極及びドレイン電極が絶縁層の上方に形成されたチャネル保護型（トップコンタクト型）のトランジスタである。半導体層上に形成されたチャネル保護膜の膜厚を大きくすることになるので、薄膜トランジスタは、より安定な特性を有し、信頼性が高くなる。したがって、本開示に係る薄膜トランジスタ基板は、容量の大容量化を実現し、かつ、より安定な特性を有し、信頼性を高めることができる。

[0015] また、本開示に係る薄膜トランジスタ基板では、ゲート電極上方の絶縁層は、第1層と、第1層上に形成された第2層とを備え、第1電極の上方の絶縁層は、第1層と第2層とのうち第2層のみを備えてもよい。

[0016] これにより、ゲート電極の上方の絶縁層は第1層及び第2層を備えるのに対して、容量の電極間の絶縁層は第1層を備えずに、第2層を備える。したがって、第2層の膜厚を小さくし、かつ、第1層の膜厚を大きくすることで、容量の容量値に影響を与えることなく、チャネル保護層として機能する絶縁層の膜厚を大きくすることができる。したがって、本開示に係る薄膜トランジスタは、容量の大容量化を実現し、かつ、より安定な特性を有し、信頼性を高めることができる。

[0017] また、本開示に係る薄膜トランジスタ基板では、薄膜トランジスタ基板は、さらに、基板の平面方向にゲート電極及び第1電極と並んで配置されるように、基板と絶縁層との間に形成された第1配線と、第1配線に対向し、かつ、絶縁層の上方に形成された第2配線とを備え、第1配線と第2配線との間の絶縁層の膜厚は、第1電極の上方の絶縁層の膜厚より大きくてもよい。

[0018] これにより、配線間の絶縁層を大きくすることができるので、配線の短絡を抑制することができる。したがって、本開示に係る薄膜トランジスタは、信頼性を高めることができる。

[0019] また、本開示に係る薄膜トランジスタ基板では、半導体層上の絶縁層、及び、第1配線と第2配線との間の絶縁層は、第1層と、第1層上に形成された第2層とを備え、第1電極の上方の絶縁層は、第1層と第2層とのうち第2層のみを備えてもよい。

[0020] これにより、ゲート電極の上方の絶縁層及び配線間の絶縁層は第1層及び第2層を備えるのに対して、容量の電極間の絶縁層は第1層を備えずに、第2層を備える。したがって、第2層の膜厚を小さくし、かつ、第1層の膜厚を大きくすることで、容量の容量値に影響を与えることなく、チャネル保護層として機能する絶縁層の膜厚、及び、配線間の絶縁層の膜厚を大きくすることができる。したがって、本開示に係る薄膜トランジスタは、容量の大容量化を実現し、配線の短絡を抑制することができるので、信頼性を高めることができる。

[0021] また、本開示に係る薄膜トランジスタ基板では、ゲート電極、第1電極及

び第1配線は、基板上に形成され、ゲート絶縁膜は、ゲート電極、第1電極及び第1配線上に形成され、半導体層は、ゲート電極、第1電極及び第1配線のうちゲート電極及び第1配線のみの上方、かつ、ゲート絶縁膜上に形成されてもよい。

[0022] これにより、ゲート電極、第1電極及び第1配線を同一のプロセスで形成することができるので、製造工程数を削減することができる。

[0023] また、本開示に係る薄膜トランジスタ基板では、半導体層は、酸化物半導体層であってもよい。

[0024] また、本開示に係る薄膜トランジスタ基板では、酸化物半導体層は、透明アモルファス酸化物半導体であってもよい。

[0025] これにより、半導体層が酸化物半導体層であるので、キャリア移動度を高めることができる。

[0026] また、本開示に係る薄膜トランジスタ基板の製造方法は、基板の平面方向に並んで配置されるように、基板の上方にゲート電極及び容量の第1電極を形成する第1工程と、ゲート電極及び第1電極上に、第1絶縁膜、半導体膜及び第2絶縁膜を順に連続成膜することで、ゲート絶縁膜、半導体層及び絶縁層を順に形成する第2工程と、半導体層の一部を露出させ、露出した部分で半導体層と接続されるように絶縁層の上方にソース電極及びドレイン電極を形成し、第1電極の上方、かつ、絶縁層の上方に容量の第2電極を形成する第3工程とを含み、第2工程では、ゲート電極の上方の絶縁層の膜厚が、第1電極の上方の絶縁層の膜厚より大きくなるように、第1電極の上方の第2絶縁膜の少なくとも一部を除去する。

[0027] これにより、容量の第1電極と第2電極との間の絶縁層がゲート電極の上方の絶縁層より小さくなるので、大容量化を実現することができる。また、薄膜トランジスタ基板は、ソース電極及びドレイン電極が絶縁層の上方に形成されたチャネル保護型（トップコンタクト型）のトランジスタである。半導体層上に形成された絶縁層がチャネル保護層として機能するので、薄膜トランジスタは、より安定な特性を有し、信頼性が高くなる。

[0028] さらに、連続成膜により、ゲート絶縁膜、半導体層及び絶縁層を形成するので、半導体層へのプロセスダメージを低減することができ、安定な特性を有する薄膜トランジスタを製造することができる。したがって、容量の大容量化を実現し、かつ、より安定な特性を有し、信頼性が高い薄膜トランジスタ基板を製造することができる。

[0029] また、本開示に係る薄膜トランジスタ基板の製造方法では、第2工程では、ゲート電極及び第1電極上に、第1絶縁膜、半導体膜及び第2絶縁膜を順に連続成膜することで、第1絶縁膜からなるゲート絶縁膜を形成し、第1電極の上方の半導体膜及び第2絶縁膜を除去することで、半導体層を形成し、ゲート電極及び第1電極の上方に第3絶縁膜を成膜することで、第2絶縁膜及び第3絶縁膜を含む絶縁層を形成してもよい。

[0030] これにより、ゲート電極の上方の絶縁層は第2絶縁膜及び第3絶縁膜を備えるのに対して、容量の電極間の絶縁層は第2絶縁膜を備えずに、第3絶縁膜を備える。したがって、膜厚が小さい第3絶縁膜を成膜し、かつ、膜厚が大きい第2絶縁膜を成膜することで、容量の容量値に影響を与えることなく、チャネル保護層として機能する絶縁層の膜厚を大きくすることができる。したがって、容量の大容量化を実現し、かつ、より安定な特性を有し、信頼性が高い薄膜トランジスタを製造することができる。

[0031] さらに、半導体膜と第2絶縁膜とを除去する際に共通のマスクを利用することができるので、マスクの個数及び製造工程数を削減することができる。

[0032] また、本開示に係る薄膜トランジスタ基板の製造方法では、第1工程では、さらに、基板の平面方向にゲート電極及び第1電極と並んで配置されるように基板の上方に第1配線を形成し、第2工程では、ゲート電極、第1電極及び第1配線上に、第1絶縁膜、半導体膜及び第2絶縁膜を順に連続成膜することで、ゲート絶縁膜、半導体層及び絶縁層を順に形成し、第3工程では、さらに、第1配線の上方、かつ、絶縁層の上方に第2配線を形成し、第2工程では、ゲート電極の上方の絶縁層の膜厚と、第1配線と第2配線との間の絶縁層の膜厚とが、第1電極の上方の絶縁層の膜厚より大きくなるように

、第1電極の上方の第2絶縁膜の少なくとも一部を除去してもよい。

[0033] これにより、配線間の絶縁層を大きくすることができるので、配線の短絡を抑制することができる。したがって、信頼性が高い薄膜トランジスタ基板を製造することができる。

[0034] また、本開示に係る薄膜トランジスタ基板の製造方法では、第2工程では、ゲート電極、第1電極及び第1配線上に、第1絶縁膜、半導体膜及び第2絶縁膜を順に連続成膜することで、第1絶縁膜からなるゲート絶縁膜を形成し、第1電極の上方の半導体膜及び第2絶縁膜を除去することで、半導体層を形成し、ゲート電極、第1電極及び第1配線の上方に第3絶縁膜を成膜することで、第2絶縁膜及び第3絶縁膜を含む絶縁層を形成してもよい。

[0035] これにより、ゲート電極の上方の絶縁層及び配線間の絶縁層は、第2絶縁膜及び第3絶縁膜を備えるのに対して、容量の電極間の絶縁層は第2絶縁膜を備えずに、第3絶縁膜を備える。したがって、膜厚が小さい第3絶縁膜を成膜し、かつ、膜厚が大きい第2絶縁膜を成膜することで、容量の容量値に影響を与えることなく、チャネル保護層として機能する絶縁層の膜厚、及び、配線間の絶縁層の膜厚を大きくすることができる。したがって、容量の大容量化を実現し、配線の短絡を抑制することができるので、信頼性が高い薄膜トランジスタ基板を製造することができる。

[0036] また、本開示に係る薄膜トランジスタ基板の製造方法では、半導体層は、酸化物半導体層であってもよい。

[0037] また、本開示に係る薄膜トランジスタ基板の製造方法では、酸化物半導体層は、透明アモルファス酸化物半導体であってもよい。

[0038] これにより、半導体層が酸化物半導体層であるので、高いキャリア移動度を有する薄膜トランジスタ基板を製造することができる。

[0039] (実施の形態)

以下、薄膜トランジスタ基板、その製造方法、及び、薄膜トランジスタ基板を用いた有機EL表示装置の一実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示における好ましい

一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程、並びに、工程の順序などは、一例であって本開示を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本開示における最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

[0040] なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

[0041] [有機ＥＬ表示装置]

まず、本実施の形態に係る有機ＥＬ表示装置１０の構成について、図１を用いて説明する。図１は、本実施の形態に係る有機ＥＬ表示装置の一部切り欠き斜視図である。

[0042] 図１に示すように、有機ＥＬ表示装置１０は、複数の薄膜トランジスタが配置されたＴＦＴ基板（ＴＦＴアレイ基板）２０と、下部電極である陽極４１、有機材料からなる発光層であるＥＬ層４２及び透明な上部電極である陰極４３からなる有機ＥＬ素子（発光部）４０との積層構造により構成される。

[0043] ＴＦＴ基板２０には複数の画素３０がマトリクス状に配置されており、各画素３０には画素回路３１が設けられている。

[0044] 有機ＥＬ素子４０は、複数の画素３０のそれぞれに対応して形成されており、各画素３０に設けられた画素回路３１によって各有機ＥＬ素子４０の発光の制御が行われる。有機ＥＬ素子４０は、複数の薄膜トランジスタを覆うように形成された層間絶縁膜（平坦化膜）の上に形成される。

[0045] また、有機ＥＬ素子４０は、陽極４１と陰極４３との間にＥＬ層４２が配置された構成となっている。陽極４１とＥＬ層４２の間にはさらに正孔輸送層が積層形成され、ＥＬ層４２と陰極４３の間にはさらに電子輸送層が積層形成されている。なお、陽極４１と陰極４３の間には、その他の有機

機能層が設けられていてもよい。

[0046] 各画素30は、それぞれの画素回路31によって駆動制御される。また、TFT基板20には、画素30の行方向に沿って配置される複数のゲート配線（走査線）50と、ゲート配線50と交差するように画素30の列方向に沿って配置される複数のソース配線（信号配線）60と、ソース配線60と平行に配置される複数の電源配線（図1では省略）とが形成されている。各画素30は、例えば、直交するゲート配線50とソース配線60とによって区画されている。

[0047] ゲート配線50は、各画素回路31に含まれるスイッチング素子として動作する薄膜トランジスタのゲート電極と行毎に接続されている。ソース配線60は、各画素回路31に含まれるスイッチング素子として動作する薄膜トランジスタのソース電極と列毎に接続されている。電源配線は、各画素回路31に含まれる駆動素子として動作する薄膜トランジスタのドレイン電極と列毎に接続されている。

[0048] 続いて、画素30の具体的な構成について、図2を用いて説明する。図2は、本実施の形態に係る有機EL表示装置における画素の構成を示す平面図である。

[0049] 図2に示すように、画素30は、薄膜トランジスタ32及び33と、キャパシタ34と、有機EL素子40とを備える。また、画素30には、各薄膜トランジスタの電極に所定の電圧を供給するためのゲート配線50、ソース配線60及び電源配線70が接続されている。

[0050] ここで、画素30における画素回路31の回路構成について、図3を用いて説明する。図3は、本実施の形態に係る有機EL表示装置における画素回路の簡略な構成を示す電気回路図である。なお、図3は、図2に示す画素30を簡略化した構成を示している。

[0051] 図3に示すように、画素回路31は、駆動素子として動作する薄膜トランジスタ32と、スイッチング素子として動作する薄膜トランジスタ33と、対応する画素30に表示するためのデータを記憶するキャパシタ34とを備

える。本実施の形態において、薄膜トランジスタ 32 は、有機 EL 素子 40 を駆動するための駆動トランジスタであり、薄膜トランジスタ 33 は、画素 30 を選択するためのスイッチングトランジスタである。

[0052] 薄膜トランジスタ 32 は、薄膜トランジスタ 33 のドレイン電極 33d 及びキャパシタ 34 の一端に接続されるゲート電極 32g と、電源配線 70 に接続されるドレイン電極 32d と、有機 EL 素子 40 の陽極 41 及びキャパシタ 34 の他端に接続されるソース電極 32s と、半導体膜（図示せず）とを備える。この薄膜トランジスタ 32 は、キャパシタ 34 が保持しているデータ電圧に対応する電流を電源配線 70 からソース電極 32s を通じて有機 EL 素子 40 の陽極 41 に供給する。これにより、有機 EL 素子 40 では、陽極 41 から陰極 43 へと駆動電流が流れて EL 層 42 が発光する。

[0053] 薄膜トランジスタ 33 は、ゲート配線 50 に接続されるゲート電極 33g と、ソース配線 60 に接続されるソース電極 33s と、キャパシタ 34 の一端及び薄膜トランジスタ 32 のゲート電極 32g に接続されるドレイン電極 33d と、半導体膜（図示せず）とを備える。この薄膜トランジスタ 33 は、接続されたゲート配線 50 及びソース配線 60 に所定の電圧が印加されると、当該ソース配線 60 に印加された電圧がデータ電圧としてキャパシタ 34 に保存される。

[0054] なお、上記構成の有機 EL 表示装置 10 では、ゲート配線 50 とソース配線 60 との交点に位置する画素 30 毎に表示制御を行うアクティブマトリクス方式が採用されている。これにより、各画素 30（各サブ画素 R、G、B）の薄膜トランジスタ 32 及び 33 によって、対応する有機 EL 素子 40 が選択的に発光し、所望の画像が表示される。

[0055] [薄膜トランジスタ基板]

以下では、本実施の形態に係る薄膜トランジスタ基板について説明する。なお、本実施の形態に係る薄膜トランジスタ基板は、ボトムゲート型、かつ、チャネル保護型（トップコンタクト）の薄膜トランジスタである。

[0056] 図 4 は、本実施の形態に係る薄膜トランジスタ基板の概略断面図である。

[0057] 図4に示すように、本実施の形態に係る薄膜トランジスタ基板100は、薄膜トランジスタ101と、容量102と、配線クロスオーバー部103とを備える。薄膜トランジスタ101と、容量102と、配線クロスオーバー部103とは、基板110上に平面方向に並んで配置されている。言い換えると、薄膜トランジスタ101と、容量102と、配線クロスオーバー部103とは、基板110の互いに異なる平面領域にそれぞれ形成されている。つまり、基板110を平面視した場合に、薄膜トランジスタ101と、容量102と、配線クロスオーバー部103とは、互いに異なる領域にそれぞれ形成されている。

[0058] なお、図4に示す薄膜トランジスタ基板100の断面は、例えば、図2のA-A断面に相当する。薄膜トランジスタ101は、例えば、図3に示す薄膜トランジスタ32に相当する。また、容量102は、例えば、図3に示すキャパシタ34に相当する。また、配線クロスオーバー部103は、各種配線が重なる部分である。

[0059] 図4に示すように、薄膜トランジスタ基板100は、基板110と、ゲート電極120と、第1電極121と、第1配線122と、ゲート絶縁膜130と、半導体層140と、絶縁層150と、ソース電極160sと、ドレイン電極160dと、第2電極161と、第2配線162とを備える。ここで、絶縁層150は、第1層151と、第2層152とを備える。

[0060] 薄膜トランジスタ101は、基板110と、ゲート電極120と、ゲート絶縁膜130と、半導体層140と、絶縁層150（第1層151及び第2層152）と、ソース電極160sと、ドレイン電極160dとを備える。容量102は、基板110と、第1電極121と、ゲート絶縁膜130と、絶縁層150（第2層152）と、第2電極161とを備える。配線クロスオーバー部103は、基板110と、第1配線122と、ゲート絶縁膜130と、半導体層140と、絶縁層150（第1層151及び第2層152）と、第2配線162とを備える。

[0061] 基板110は、電気絶縁性を有する材料からなる基板である。例えば、基

板 1 1 0 は、無アルカリガラス、石英ガラス、高耐熱性ガラスなどのガラス材料、ポリエチレン、ポリプロピレン、ポリイミドなどの樹脂材料、シリコン、ガリウムヒ素などの半導体材料、絶縁層をコーティングしたステンレスなどの金属材料からなる基板である。

[0062] なお、基板 1 1 0 は、樹脂基板などのフレキシブル基板でもよい。この場合、薄膜トランジスタ基板 1 0 0 をフレキシブルディスプレイとして利用することができる。

[0063] ゲート電極 1 2 0 は、基板 1 1 0 上に所定形状で形成される。ゲート電極 1 2 0 は、導電性を有する材料からなる電極である。例えば、ゲート電極 1 2 0 の材料として、モリブデン、アルミニウム、銅、タングステン、チタン、マンガン、クロム、タンタル、ニオブ、銀、金、プラチナ、パラジウム、インジウム、ニッケル、ネオジムなどの金属、金属の合金、酸化インジウム錫（ITO）、アルミニウムドープ酸化亜鉛（AZO）、ガリウムドープ酸化亜鉛（GZO）などの導電性金属酸化物、ポリチオフェン、ポリアセチレンなどの導電性高分子などを用いることができる。また、ゲート電極 1 2 0 は、これらの材料を積層した多層構造であってもよい。一例として、ゲート電極 1 2 0 は、モリブデンとタングステンとからなる合金であり、膜厚が 75 nm である。

[0064] 第 1 電極 1 2 1 は、基板 1 1 0 上に所定形状で形成される。第 1 電極 1 2 1 の材料及び膜厚としては、例えば、ゲート電極 1 2 0 と同じ材料及び膜厚を用いることができる。

[0065] 第 1 配線 1 2 2 は、基板 1 1 0 上に所定形状で形成される。第 1 配線 1 2 2 の材料及び膜厚としては、例えば、ゲート電極 1 2 0 と同じ材料及び膜厚を用いることができる。

[0066] なお、ゲート電極 1 2 0、第 1 電極 1 2 1 及び第 1 配線 1 2 2 は全て、同じ材料から構成されてもよい。これにより、同一の工程でゲート電極 1 2 0、第 1 電極 1 2 1 及び第 1 配線 1 2 2 を形成することができるので、パターンニングに用いるマスクの個数及び製造工程数を削減することができる。

- [0067] また、ゲート電極 120、第1電極 121及び第1配線 122は、基板 110の平面方向（基板 110の主面に平行な方向）に並んで配置されるように、基板 110上に形成される。つまり、ゲート電極 120、第1電極 121及び第1配線 122は、同層に形成される。例えば、ゲート電極 120、第1電極 121及び第1配線 122は、基板 110の互いに異なる平面領域にそれぞれ形成される。
- [0068] ゲート絶縁膜 130は、ゲート電極 120上に形成される。例えば、ゲート絶縁膜 130は、ゲート電極 120を覆うようにゲート電極 120上及び基板 110上に形成される。具体的には、ゲート絶縁膜 130は、全面成膜され、ゲート電極 120、第1電極 121及び第1配線 122を覆うように、基板 110上に形成される。
- [0069] ゲート絶縁膜 130は、電気絶縁性を有する材料から構成される。例えば、ゲート絶縁膜 130は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜、酸化タンタル膜、酸化ハフニウム膜などの単層膜、又は、これらの積層膜である。一例として、ゲート絶縁膜 130は、シリコン酸化膜及びシリコン窒化膜の積層構造であり、膜厚はそれぞれ 85 nmと 65 nmである。
- [0070] 半導体層 140は、ゲート絶縁膜 130上に所定形状で形成される。半導体層 140は、薄膜トランジスタ 101のチャネル層である。例えば、半導体層 140は、ゲート電極 120、第1電極 121及び第1配線 122のうち、ゲート電極 120及び第1配線 122のみの上方に形成される。言い換えると、第1電極 121の上方には半導体層 140は形成されない。
- [0071] 具体的には、半導体層 140は、ゲート電極 120に対向する位置、及び、第1配線 122に対向する位置に、かつ、ゲート絶縁膜 130上に形成される。例えば、ゲート電極 120の上方及び第1配線 122の上方において、ゲート絶縁膜 130上に島状に形成される。
- [0072] 半導体層 140は、例えば、酸化物半導体層である。半導体層 140の材料として、インジウム（In）、ガリウム（Ga）及び亜鉛（Zn）のうち

、少なくとも1種を含む酸化物半導体材料を用いる。例えば、半導体層140は、アモルファス酸化インジウムガリウム亜鉛(InGaZnO:IGZO)などの透明アモルファス酸化物半導体(TAOS:Transparent Amorphous Oxide Semiconductor)から構成される。一例として、半導体層140の膜厚は、30nmである。

[0073] In:Ga:Znの比率は、例えば、約1:1:1である。また、In:Ga:Znの比率は、0.8~1.2:0.8~1.2:0.8~1.2の範囲でもよいが、この範囲には限られない。

[0074] チャネル層が透明アモルファス酸化物半導体で構成される薄膜トランジスタは、キャリア移動度が高く、大画面及び高精細の表示装置に適している。また、透明アモルファス酸化物半導体は、低温成膜が可能であるため、プラスチック又はフィルムなどのフレキシブル基板上に容易に形成することができる。

[0075] 絶縁層150は、半導体層140の一部が露出するように、半導体層140上、第1電極121の上方及び第1配線122の上方に形成される。半導体層140上の絶縁層150は、半導体層140を保護するチャネル保護層として機能する。第1電極121の上方の絶縁層150は、容量102の容量値を規定する。第1配線122と第2配線162との間の絶縁層150は、配線クロスオーバー部103における配線の短絡を防止するための絶縁層である。

[0076] 絶縁層150は、第1層151と、第1層151上に形成された第2層152とを備える。具体的には、ゲート電極120の上方の絶縁層150、すなわち、半導体層140上の絶縁層150は、第1層151と第2層152とを備える。第1電極121の上方の絶縁層150は、第1層151と第2層152とのうち第2層152のみを備える。第1配線122と第2配線162との間の絶縁層150は、第1層151と第2層152とを備える。

[0077] 第1層151は、ゲート電極120の上方及び第1配線122の上方に形成される。具体的には、第1層151は、半導体層140上に形成される。

例えば、第1層151は、ゲート電極120の上方、かつ、ゲート電極120に対向する位置と、第1配線122の上方、かつ、第1配線122に対向する位置とに形成される。

[0078] つまり、第1層151は、ゲート電極120、第1電極121及び第1配線122のうち、ゲート電極120及び第1配線122のみの上方に形成される。言い換えると、第1電極121の上方には第1層151は形成されない。すなわち、第1層151は、半導体層140上のみに形成される。

[0079] 第1層151は、電気絶縁性を有する材料から構成される。例えば、第1層151は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜などの無機材料から構成される膜、又は、シリコン、酸素及びカーボンを含む無機材料から構成される膜などの単層膜、又は、これらの積層膜である。一例として、第1層151は、シリコン酸化膜であり、膜厚は120nmである。

[0080] 第2層152は、第1層151上に形成される。具体的には、第2層152は、第1層151を覆うように第1層151及びゲート絶縁膜130上に形成される。

[0081] 第2層152は、電気絶縁性を有する材料から構成される。例えば、第2層152は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜などの無機材料から構成される膜、又は、シリコン、酸素及びカーボンを含む無機材料から構成される膜などの単層膜、又は、これらの積層膜である。一例として、第2層152は、シリコン酸化膜であり、膜厚は120nmである。

[0082] また、絶縁層150（第1層151及び第2層152）の一部は、貫通するように開口されている。つまり、第1層151及び第2層152には、半導体層140の一部を露出させるためのコンタクトホールが形成されている。半導体層140は、開口された部分（コンタクトホール）を介してソース電極160s及びドレイン電極160dに接続されている。

[0083] このように、薄膜トランジスタ101及び配線クロスオーバー部103は

、第1層151と第2層152とを備える。これに対して、容量102は、第1層151と第2層152とのうち第2層152のみを備える。つまり、容量102は、第1層151を備えない。

[0084] したがって、容量102の容量値は、第2層152の膜厚に依存し、第1層151の膜厚には依存しない。このため、第2層152の膜厚を小さくすることで、容量102を大容量化することができる。

[0085] 一方で、薄膜トランジスタ101は、第1層151と第2層152とを備えるので、第1層151の膜厚を大きくすることで、チャネル保護層としての絶縁層150の膜厚を大きく保つことができる。したがって、容量102の容量値に影響を与えることなく、チャネル保護層の膜厚を大きくすることができるので、薄膜トランジスタ101の特性をより安定にすることができ、信頼性を高めることができる。

[0086] また、配線クロスオーバー部103は、第1層151と第2層152とを備えるので、第1配線122と第2配線162との間の距離は、第1層151の膜厚と第2層152の膜厚との合計になる。配線クロスオーバー部103では、第1配線122と第2配線162との短絡を防止するためには、配線間の距離を大きくすることが好ましい。

[0087] 本実施の形態では、第1層151の膜厚を大きくすることで、容量102の容量値に影響を与えることなく、第1配線122と第2配線162との距離を大きくすることができる。したがって、第1配線122と第2配線162との間で短絡する可能性を低減することができる。

[0088] ソース電極160s及びドレイン電極160dは、絶縁層150の上方に所定形状で形成される。つまり、ソース電極160s及びドレイン電極160dは、半導体層140の露出した部分で半導体層140と接続されるように、絶縁層150の上方に形成される。具体的には、ソース電極160s及びドレイン電極160dは、絶縁層150に形成されたコンタクトホールを介して半導体層140に接続され、絶縁層150上において基板水平方向に離間して対向配置されている。

[0089] ソース電極 160s 及びドレイン電極 160d は、導電性を有する材料からなる電極である。ソース電極 160s 及びドレイン電極 160d の材料としては、例えば、ゲート電極 120 の材料と同一の材料を用いることができる。一例として、ソース電極 160s 及びドレイン電極 160d は、モリブデン膜であり、膜厚は 100nm である。

[0090] 第 2 電極 161 は、絶縁層 150 の上方に所定形状で形成される。つまり、第 2 電極 161 は、第 1 電極 121 に対向し、かつ、絶縁層 150 の上方に形成される。具体的には、第 2 電極 161 は、第 1 電極 121 と対向する位置に、かつ、第 2 層 152 上に形成される。なお、第 2 電極 161 の材料及び膜厚としては、例えば、ゲート電極 120 と同じ材料及び膜厚を用いることができる。

[0091] 第 2 配線 162 は、絶縁層 150 の上方に所定形状で形成される。つまり、第 2 配線 162 は、第 1 配線 122 に対向し、かつ、絶縁層 150 の上方に形成される。具体的には、第 2 配線 162 は、第 1 配線 122 と対向する位置に、かつ、第 2 層 152 上に形成される。なお、第 2 配線 162 の材料及び膜厚としては、例えば、ゲート電極 120 と同じ材料及び膜厚を用いることができる。

[0092] なお、ソース電極 160s、ドレイン電極 160d、第 2 電極 161 及び第 2 配線 162 は全て、同じ材料から構成されてもよい。これにより、同一の工程でソース電極 160s、ドレイン電極 160d、第 2 電極 161 及び第 2 配線 162 を形成することができるので、パターニングに用いるマスクの個数及び製造工程数を削減することができる。

[0093] [薄膜トランジスタ基板の製造方法]

続いて、本実施の形態に係る薄膜トランジスタ基板の製造方法について、図 5 を用いて説明する。図 5 は、本実施の形態に係る薄膜トランジスタ基板の製造方法を示す概略断面図である。

[0094] まず、図 5 の (a) に示すように、基板 110 を準備し、基板 110 の平面方向に並んで配置されるように、基板 110 の上方に所定形状のゲート電

極 1 2 0、第 1 電極 1 2 1 及び第 1 配線 1 2 2 を形成する。例えば、基板 1 1 0 上に金属膜をスパッタリング法によって成膜し、フォトリソグラフィ法及びウェットエッチング法を用いて金属膜を加工することにより、所定形状のゲート電極 1 2 0、第 1 電極 1 2 1 及び第 1 配線 1 2 2 を形成する。なお、金属膜のウェットエッチングは、例えば、過酸化水素水 (H_2O_2) 及び有機酸を混合した薬液を用いて行うことができる。

[0095] 次に、ゲート電極 1 2 0、第 1 電極 1 2 1 及び第 1 配線 1 2 2 上に、第 1 絶縁膜、半導体膜及び第 2 絶縁膜を順に連続成膜することで、ゲート絶縁膜 1 3 0、半導体層 1 4 0 及び絶縁層 1 5 0 を順に形成する。なお、例えば、図 5 の (a) に示すように、第 1 絶縁膜はゲート絶縁膜 1 3 0、半導体膜は半導体膜 1 4 0 a、第 2 絶縁膜は絶縁膜 1 5 1 a である。

[0096] ここで、連続成膜とは、洗浄工程及び検査工程に代表される一切の工程を挟まずに、各層を連続して成膜することである。具体的には、まず、成膜装置のチャンバー内に、ゲート電極 1 2 0、第 1 電極 1 2 1 及び第 1 配線 1 2 2 が形成された基板 1 1 0 を設置する。その後、基板 1 1 0 が大気に触れることなく、清浄な状態を維持できるように、チャンバー内を十分に減圧する。

[0097] 十分な減圧状態（真空状態）において、まず、ゲート電極 1 2 0、第 1 電極 1 2 1 及び第 1 配線 1 2 2 上にゲート絶縁膜 1 3 0 を成膜する。例えば、ゲート電極 1 2 0、第 1 電極 1 2 1 及び第 1 配線 1 2 2 を覆うように、ゲート電極 1 2 0、第 1 電極 1 2 1、第 1 配線 1 2 2 及び基板 1 1 0 上にプラズマ CVD (Chemical Vapor Deposition) 法によってシリコン窒化膜とシリコン酸化膜とを順に成膜することで、ゲート絶縁膜 1 3 0 を形成する。

[0098] シリコン窒化膜は、例えば、シランガス (SiH_4)、アンモニアガス (NH_3) 及び窒素ガス (N_2) を導入ガスに用いることで成膜することができる。例えば、アンモニアガス (NH_3) を用いて温度 400°C の条件でシリコン窒化膜を成膜する。また、シリコン酸化膜は、例えば、シランガス (SiH_4

）と亜酸化窒素ガス（ N_2O ）とを導入ガスに用いることで成膜することができる。

[0099] 次に、例えば、スパッタリング法によって、ゲート絶縁膜 130 上に半導体膜 140 a を成膜する。具体的には、組成比 $In : Ga : Zn = 1 : 1 : 1$ のターゲット材を用いた、酸素雰囲気でのスパッタリング法によって、ゲート絶縁膜 130 上にアモルファス $InGaZnO$ 膜を成膜する。

[0100] そして、例えば、プラズマ CVD 法によって半導体膜 140 a 上に絶縁膜 151 a を成膜する。具体的には、シランガス（ SiH_4 ）を用いて温度 300℃の条件で半導体膜 140 a 上にシリコン酸化膜を成膜する。

[0101] このようにして、ゲート絶縁膜 130、半導体膜 140 a 及び絶縁膜 151 a を順に連続成膜することで、まず、ゲート絶縁膜 130 を形成する。連続成膜することで、大気中に浮遊する汚染不純物元素を極力排除して、また、レジスト液及びウェットエッチング液等の薬液に触れることなく、各層を形成することができる。

[0102] なお、本実施の形態において、複数のチャンバーを備えるマルチチャンバー型の成膜装置を用いて、半導体膜 140 a 及び絶縁膜 151 a を大気に触れることなく、順に成膜してもよい。また、複数のチャンバーを備えるマルチチャンバー型の成膜装置を用いて、ゲート絶縁膜 130、半導体膜 140 a 及び絶縁膜 151 a を大気に触れることなく、順に成膜してもよい。

[0103] 続いて、図 5 の（b）に示すように、絶縁膜 151 a 上に所定形状のレジスト 170 を形成する。具体的には、ゲート電極 120、第 1 電極 121 及び第 1 配線 122 のうちゲート電極 120 及び第 1 配線 122 のみの上方にレジスト 170 を、フォトリソグラフィ法によって形成する。すなわち、第 1 電極 121 の上方には、レジスト 170 を形成しない。

[0104] 次に、図 5 の（c）に示すように、半導体膜 140 a 及び絶縁膜 151 a をパターンニングすることで、半導体層 140 及び第 1 層 151 を形成する。例えば、ドライエッチング法により、レジスト 170 が形成された領域以外の絶縁膜 151 a を除去する。さらに、ウェットエッチング法により、レジ

スト 170 が形成された領域以外の半導体膜 140 a を除去する。

[0105] 具体的には、絶縁膜 151 a がシリコン酸化膜である場合、ドライエッチング法として反応性イオンエッチング (RIE) 法を用いることができる。このとき、エッチングガスとしては、例えば、四フッ化炭素 (CF_4) 及び酸素ガス (O_2) を用いることができる。ガス流量、圧力、印加電力及び周波数などのパラメータは、基板サイズ、エッチングの膜厚などによって適宜設定される。

[0106] また、半導体膜 140 a が InGaZnO である場合、ウェットエッチングは、例えば、リン酸 (H_3PO_4)、硝酸 (HNO_3)、酢酸 (CH_3COOH) 及び水を混合した薬液を用いて行うことができる。このように、第 1 電極 121 の上方の半導体膜 140 a 及び絶縁膜 151 a を除去することで、半導体層 140 及び第 1 層 151 を形成する。半導体層 140 は、所定形状にパターニングされた半導体膜 140 a であり、ゲート電極 120 及び第 1 配線 122 の上方に形成される。第 1 層 151 は、所定形状にパターニングされた第 2 絶縁膜 151 a であり、ゲート電極 120 の上方及び第 1 配線 122 の上方に形成される。

[0107] 次に、ゲート電極 120、第 1 電極 121 及び第 1 配線 122 の上方に第 3 絶縁膜を成膜することで、第 2 絶縁膜及び第 3 絶縁膜を含む絶縁層 150 を形成する。具体的には、図 5 の (d) に示すように、第 1 層 151 及びゲート絶縁膜 130 上に、第 2 層 152 を成膜する。例えば、プラズマ CVD 法によって第 1 層 151 及びゲート絶縁膜 130 上にシリコン酸化膜を成膜する。例えば、シランガス (SiH_4) を用いて温度 300°C の条件でシリコン酸化膜を成膜する。なお、第 2 層 152 の成膜後、 350°C で 1 h の熱処理 (アニール処理) を行う。

[0108] このように、絶縁層 150 は、ゲート電極 120 の上方及び第 1 配線 122 の上方では、第 2 絶縁膜 (第 1 層 151) 及び第 3 絶縁膜 (第 2 層 152) を含み、第 1 電極 121 の上方では、第 2 絶縁膜 (第 1 層 151) を含まずに第 3 絶縁膜 (第 2 層 152) を含んでいる。つまり、絶縁層 150 は、

同一のプロセスで形成された絶縁膜を含んでいる。例えば、絶縁層 150 は、全面に成膜された第 3 絶縁膜（第 2 層 152）と、所定形状にパターニングされた第 2 絶縁膜（第 1 層 151）とを含んでいる。

[0109] 次に、図 5 の（e）に示すように、半導体層 140 の一部を露出させるように、絶縁層 150（第 1 層 151 及び第 2 層 152）を所定形状にパターニングする。具体的には、薄膜トランジスタ 101 の半導体層 140 の一部を露出させるように、絶縁層 150 にコンタクトホールを形成する。例えば、薄膜トランジスタ 101 の絶縁層 150 の一部をエッチング除去することによってコンタクトホールを形成する。

[0110] 具体的には、まず、フォトリソグラフィ法及びドライエッチング法によって絶縁層 150 の一部をエッチングすることにより、半導体層 140 のソースコンタクト領域及びドレインコンタクト領域となる領域上に、コンタクトホールを形成する。例えば、第 1 層 151 及び第 2 層 152 がシリコン酸化膜である場合、ドライエッチング法として RIE 法を用いることができる。このとき、エッチングガスとしては、例えば、四フッ化炭素（ CF_4 ）及び酸素ガス（ O_2 ）を用いることができる。ガス流量、圧力、印加電力及び周波数などのパラメータは、基板サイズ、エッチングの膜厚などによって適宜設定される。

[0111] 次に、半導体層 140 に接続するソース電極 160s 及びドレイン電極 160d を絶縁層 150 上に形成する。例えば、絶縁層 150 に形成したコンタクトホールを埋めるようにして、絶縁層 150 上に所定形状のソース電極 160s 及びドレイン電極 160d を形成する。また、所定形状の第 2 電極 161 及び第 2 配線 162 を絶縁層 150 上に形成する。

[0112] 具体的には、絶縁層 150 上及びコンタクトホール内に、互いに間隔を空けてソース電極 160s 及びドレイン電極 160d を形成する。また、絶縁層 150 上、かつ、第 1 電極 121 の上方に第 2 電極 161 を形成し、絶縁層 150 上、かつ、第 1 配線 122 の上方に第 2 配線 162 を形成する。

[0113] より具体的には、絶縁層 150 上及びコンタクトホール内に、モリブデン

膜をスパッタリング法によって成膜し、フォトリソグラフィ法及びウェットエッチング法によってモリブデン膜をパターニングすることで、ソース電極 160s、ドレイン電極 160d、第2電極 161 及び第2配線 162 を形成する。モリブデン膜のウェットエッチングは、例えば、過酸化水素水 (H_2O_2) 及び有機酸を混合した薬液を用いて行うことができる。

[0114] 最後に、図示していないが、ソース電極 160s、ドレイン電極 160d、第2電極 161 及び第2配線 162 を覆うようにパッシベーション膜（平坦化膜を）を形成する。例えば、パッシベーション膜は、シリコン酸化膜であり、膜厚は 460nm である。具体的には、シランガス (SiH_4) を用いて温度 300℃ の条件のプラズマ CVD 法によってシリコン酸化膜をパッシベーション膜として成膜する。その後、300℃ で 1h の熱処理（アニール処理）を行う。

[0115] 以上のようにして、薄膜トランジスタ基板 100 を製造することができる。

[0116] [比較例]

続いて、比較例に係る薄膜トランジスタについて、図6及び図7を用いて説明する。比較例に係る薄膜トランジスタは、本実施の形態に係る薄膜トランジスタ基板 100 の有利な効果を示すための比較対象である。

[0117] 図6は、比較例に係る薄膜トランジスタの概略断面図である。

[0118] 図6に示すように、比較例に係る薄膜トランジスタ 200 は、基板 110 と、ゲート電極 120 と、ゲート絶縁膜 130 と、半導体層 140 と、絶縁層 250 と、ソース電極 160s と、ドレイン電極 160d とを備える。なお、薄膜トランジスタ基板 100 と実質的に同一の構成に対する重複説明を省略する場合がある。

[0119] 絶縁層 250 は、半導体層 140 上に形成される。例えば、絶縁層 250 は、半導体層 140 を覆うように半導体層 140 及びゲート絶縁膜 130 上に形成される。

[0120] 絶縁層 250 の一部は、貫通するように開口されている。つまり、絶縁層

250には、半導体層140の一部を露出させるためのコンタクトホールが形成されている。半導体層140は、開口された部分（コンタクトホール）を介してソース電極160s及びドレイン電極160dに接続されている。

[0121] 絶縁層250は、電気絶縁性を有する材料から構成される。例えば、絶縁層250は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜などの無機材料から構成される膜、又は、シリコン、酸素及びカーボンを含む無機材料から構成される膜などの単層膜、又は、これらの積層膜である。一例として、絶縁層250は、シリコン酸化膜であり、膜厚は240nmである。

[0122] 続いて、比較例に係る薄膜トランジスタ200の製造方法について、図7を用いて説明する。図7は、比較例に係る薄膜トランジスタの製造方法を示す概略断面図である。

[0123] なお、図7の（a）に示すゲート電極120の形成と、ゲート絶縁膜130及び半導体膜140aの連続成膜とは、図5の（a）に示すゲート電極120の形成と、ゲート絶縁膜130及び半導体膜140aの連続成膜と同一であるので説明を省略する。

[0124] 図7の（b）に示すように、半導体膜140a上に所定形状のレジスト270を形成する。具体的には、ゲート電極120の上方に、ゲート電極120と対向するように、フォトリソグラフィ法によってレジスト270を形成する。

[0125] 次に、図7の（c）に示すように、半導体膜140aをパターニングすることで、半導体層140を形成する。例えば、ウェットエッチング法により、レジスト270が形成された領域以外の半導体膜140aを除去する。半導体膜140aがInGaZnOである場合、ウェットエッチングは、例えば、リン酸（ H_3PO_4 ）、硝酸（ HNO_3 ）、酢酸（ CH_3COOH ）及び水を混合した薬液を用いて行うことができる。

[0126] 次に、図7の（d）に示すように、半導体層140及びゲート絶縁膜130上に、絶縁層250を成膜する。例えば、プラズマCVD法によって半導

体層 140 を覆うように半導体層 140 及びゲート絶縁膜 130 上にシリコン酸化膜を成膜する。

[0127] 次に、図 7 の (e) に示すように、半導体層 140 の一部を露出させるように、絶縁層 250 を所定形状にパターニングする。具体的には、半導体層 140 の一部を露出させるように、絶縁層 250 にコンタクトホールを形成する。例えば、薄膜トランジスタ 101 の絶縁層の一部をエッチング除去することによってコンタクトホールを形成する。エッチング除去の方法は、上述した通りである。

[0128] 以上のようにして、比較例に係る薄膜トランジスタ 200 を製造することができる。

[0129] 比較例に係る薄膜トランジスタ 200 は、本実施の形態に係る薄膜トランジスタ 101 と比較して、半導体層 140 と絶縁層 250 とが連続成膜されていない点が異なっている。具体的には、比較例に係る薄膜トランジスタ 200 の半導体層 140 は、レジスト 270 に曝されている。

[0130] [P B T S 試験]

続いて、比較例に係る薄膜トランジスタ 200 と本実施の形態に係る薄膜トランジスタ 101 とに対して行った P B T S (P o s i t i v e B i a s T e m p e r a t u r e S t r e s s) 試験の結果について説明する。

[0131] 図 8 A は、比較例に係る薄膜トランジスタの P B T S 試験による電流及び移動度とゲート電圧との関係を示す図である。図 8 B は、本実施の形態に係る薄膜トランジスタの P B T S 試験による電流及び移動度とゲート電圧との関係を示す図である。

[0132] P B T S 試験は、薄膜トランジスタ 200 及び薄膜トランジスタ 101 に対して、ゲートーソース間電圧 $V_{gs} = +20\text{ V}$ 、ドレインーソース間電圧 $V_{ds} = 0\text{ V}$ 、温度 $T = 90^\circ\text{C}$ 、期間 $t = 2000\text{ sec}$ の条件の下で行った。

[0133] 図 9 A は、本実施の形態と比較例とに係る薄膜トランジスタの P B T S 試験による閾値電圧の変化を示す図である。なお、図 9 A において、丸印は、

飽和領域における閾値電圧の変化量 ΔV_{th_sat} を示し、四角印は、線形領域における閾値電圧の変化量 ΔV_{th_lin} を示している。

[0134] 図9Aに示すように、比較例に係る薄膜トランジスタ200及び本実施の形態に係る薄膜トランジスタ101の双方とも、ストレスの印加後において、ほとんど閾値電圧 V_{th} の変化は見られない。なお、これは、ゲート絶縁膜130を成膜した際にアンモニアガス(NH_3)を用いたプラズマ処理による効果と考えられる。

[0135] 図9Bは、本実施の形態と比較例とに係る薄膜トランジスタのPBT S試験によるS値の変化を示す図である。なお、図9Bにおいて、丸印は、飽和領域におけるS値の変化量 ΔS_{sat} を示し、四角印は、線形領域におけるS値の変化量 ΔS_{lin} を示している。

[0136] S値(Subthreshold swing value)は、薄膜トランジスタの特性を示す値の1つである。S値が小さいほど、ゲートソース間電圧 V_{gs} に対してド레인電流 I_{ds} は、急激に変化する。

[0137] 図9Bに示すように、ストレスの印加後において、本実施の形態に係る薄膜トランジスタ101のS値の変化量は、比較例に係る薄膜トランジスタ200のS値の変化量よりも大きくなっている。すなわち、薄膜トランジスタ101のS値は、ストレスが印加されることによって、薄膜トランジスタ200よりも大きく変動する。したがって、薄膜トランジスタ101は、比較例に係る薄膜トランジスタ200よりも不安定な特性を有するといえる。

[0138] しかしながら、例えば、図8Aと図8Bとを比較して分かるように、本実施の形態に係る薄膜トランジスタ101は、比較例に係る薄膜トランジスタ200よりもド레인電流 I_{ds} の傾きが急である。したがって、薄膜トランジスタ101は、比較例に係る薄膜トランジスタ200よりも優れた伝達特性を有する。

[0139] 図9Cは、本実施の形態と比較例とに係る薄膜トランジスタのPBT S試験による移動度の変化を示す図である。なお、図9Cにおいて、丸印は、飽和領域における移動度 μ の変化量 $\Delta \mu_{sat}$ を示し、四角印は、線形領域

における移動度 μ の変化量 $\Delta\mu_{lin}$ を示している。

[0140] 図9Cに示すように、ストレスの印加後において、本実施の形態に係る薄膜トランジスタ101の移動度の変化量は、比較例に係る薄膜トランジスタ200の移動度の変化量よりも小さくなっている。すなわち、薄膜トランジスタ101の移動度は、薄膜トランジスタ101を長期間使用した場合であっても、大きく変化しない。

[0141] 特に、図9Cに示すように、飽和領域における移動度の変動が小さくなっている。すなわち、本実施の形態に係る薄膜トランジスタ101には、移動度のピーク（以下、移動度曲線ピークと記載）が現れない。

[0142] 例えば、図8Aに示すように、初期特性（ストレス印加前）では、比較例に係る薄膜トランジスタ200には、ゲートソース間電圧 $V_{gs}=0.6V$ 近辺に移動度曲線ピークが現れている。このため、ストレス印加後は、図8Aに示すように移動度が顕著に低下している。

[0143] これに対して、図8Bに示すように、初期特性では、本実施の形態に係る薄膜トランジスタ101には、移動度曲線ピークは現れない。したがって、図8Bに示すように、ストレス印加後に、移動度の顕著な低下は起きず、薄膜トランジスタ101は、安定な特性を有する。

[0144] 以上のように、PBT S試験によると、本実施の形態に係る薄膜トランジスタ101は、ストレスの印加後においても、閾値電圧の変化は抑制され、移動度の変化も抑制されている。特に、移動度曲線のピークが抑制され、比較例に係る薄膜トランジスタ200に見られる移動度の顕著な低下が抑制される。このように、本実施の形態に係る薄膜トランジスタ101は、より安定な特性を有し、信頼性が高い。

[0145] [NBTS試験]

続いて、比較例に係る薄膜トランジスタ200と本実施の形態に係る薄膜トランジスタ101とに対して行ったNBTS (Negative Bias Temperature Stress) 試験の結果について説明する。

[0146] 図10Aは、比較例に係る薄膜トランジスタのNBTS試験による電流及び移動度とゲート電圧との関係を示す図である。図10Bは、本実施の形態に係る薄膜トランジスタのNBTS試験による電流及び移動度とゲート電圧との関係を示す図である。

[0147] NBTS試験は、薄膜トランジスタ200及び薄膜トランジスタ101に対して、ゲートソース間電圧 $V_{gs} = -20V$ 、ドレインソース間電圧 $V_{ds} = 0V$ 、温度 $T = 90^{\circ}C$ 、期間 $t = 2000sec$ の条件の下で行った。

[0148] 図11Aは、本実施の形態と比較例とに係る薄膜トランジスタのNBTS試験による閾値電圧の変化を示す図である。なお、図11Aにおいて、丸印は、飽和領域の閾値電圧の変化量 ΔV_{th_sat} を示し、四角印は、線形領域の閾値電圧の変化量 ΔV_{th_lin} を示している。

[0149] 図11Aに示すように、ストレスの印加後において、本実施の形態に係る薄膜トランジスタ101の閾値電圧 V_{th} の変化量は、比較例に係る薄膜トランジスタ200の変化量よりも小さくなっている。すなわち、薄膜トランジスタ101の閾値電圧は、薄膜トランジスタ101を長期間使用した場合であっても、大きく変動しない。

[0150] 図11Bは、本実施の形態と比較例とに係る薄膜トランジスタのNBTS試験によるS値の変化を示す図である。なお、図11Bにおいて、丸印は、飽和領域におけるS値の変化量 ΔS_{sat} を示し、四角印は、線形領域におけるS値の変化量 ΔS_{lin} を示している。

[0151] 図11Bに示すように、ストレスの印加後において、本実施の形態に係る薄膜トランジスタ101のS値の変化量は、飽和領域及び線形領域のいずれにおいても、比較例に係る薄膜トランジスタ200のS値の変化量よりも小さくなっている。すなわち、薄膜トランジスタ101のS値は、薄膜トランジスタ101を長期間使用した場合であっても、大きく変化しない。

[0152] 図11Cは、本実施の形態と比較例とに係る薄膜トランジスタのNBTS試験による移動度の変化を示す図である。なお、図11Cにおいて、丸印は

、飽和領域における移動度 μ の変化量 $\Delta\mu_{sat}$ を示し、四角印は、線形領域における移動度 μ の変化量 $\Delta\mu_{lin}$ を示している。

[0153] 図11Cに示すように、ストレスの印加後において、本実施の形態に係る薄膜トランジスタ101の移動度の変化量は、比較例に係る薄膜トランジスタ200の移動度の変化量によりも小さくなっている。

[0154] 特に、図11Cに示すように、飽和領域における移動度の変動が小さくなっている。すなわち、図10Bに示すように、本実施の形態に係る薄膜トランジスタ101には、移動度曲線ピークが現れない。なお、図10Aに示すように、移動度曲線ピークが現れた場合、ストレス印加後には、比較例に係る薄膜トランジスタ200の移動度は、2.63%程度低下する。本実施の形態に係る薄膜トランジスタ101は、移動度曲線ピークが現れないので、移動度の低下も抑制され、安定な特性を有し、信頼性が高い。

[0155] [効果など]

以上のように、本実施の形態に係る薄膜トランジスタ基板100は、基板110と、基板110の平面方向に並んで配置されるように、基板110の上方に形成されたゲート電極120及び容量102の第1電極121と、ゲート電極120上に形成されたゲート絶縁膜130と、ゲート絶縁膜130上に形成された半導体層140と、半導体層140の一部が露出するように、半導体層140上及び第1電極121の上方に形成された絶縁層150と、半導体層140の露出した部分で半導体層140と接続されるように絶縁層150の上方に形成されたソース電極160s及びドレイン電極160dと、第1電極121に対向し、かつ、絶縁層150の上方に形成された容量の第2電極161とを備え、ゲート電極120上方の絶縁層150の膜厚は、第1電極121の上方の絶縁層150の膜厚より大きい。

[0156] 具体的には、本実施の形態に係る薄膜トランジスタ基板100は、ソース電極160s及びドレイン電極160dが絶縁層150上に形成されたチャネル保護型（トップコンタクト型）のトランジスタである。したがって、半導体層140上に形成されたチャネル保護膜の膜厚を大きくすることになる

ので、薄膜トランジスタ 101 は、より安定な特性を有し、信頼性が高くなる。

[0157] また、本実施の形態に係る薄膜トランジスタ基板 100 では、薄膜トランジスタ 101 の半導体層 140 上の絶縁層 150 と、配線クロスオーバー部 103 の第 1 配線 122 と第 2 配線 162 との間の絶縁層 150 は、第 1 層 151 と第 2 層 152 とを備える。これに対し、容量 102 の第 1 電極 121 と第 2 電極 161 との間の絶縁層 150 は、第 1 層 151 を備えずに、第 2 層 152 を備える。

[0158] したがって、第 1 層 151 は、第 1 電極 121 と第 2 電極 161 との間に形成されていないので、容量 102 の容量値は、第 1 層 151 の膜厚に依存しない。第 2 層 152 の膜厚を小さくすることで、容量 102 の容量値を大きくすることができる。一方で、第 1 層 151 の膜厚を大きくすることで、薄膜トランジスタ 101 のチャネルの保護の機能を十分に果たし、かつ、配線クロスオーバー部 103 での配線の短絡を抑制することができる。

[0159] このように、第 1 層 151 を厚くすることで、容量値を小さくすることなく、チャネル保護の機能を果たすとともに、配線の短絡を抑制することができる。さらに、第 2 層 152 を薄くすることで、容量値を大きくすることができる。

[0160] また、本実施の形態に係る薄膜トランジスタ基板 100 の製造方法では、連続成膜により、ゲート絶縁膜 130、半導体層 140 及び絶縁層 150 を形成する。これにより、半導体層 140 へのプロセスダメージを低減することができるので、図 8A～図 11B を用いて説明したように、閾値の負シフト量、S 値、移動度の変化量が低減する。これにより、薄膜トランジスタ基板 100 が備える薄膜トランジスタ 101 は、より安定な特性を有し、信頼性が向上する。

[0161] つまり、本実施の形態に係る薄膜トランジスタ基板 100 によれば、容量の大容量化を実現し、かつ、より安定な特性を有し、信頼性を高めることができる。

[0162] (他の実施の形態)

以上のように、本出願において開示する技術の例示として、実施の形態を説明した。しかしながら、本開示における技術は、これらに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。

[0163] 例えば、上記実施の形態では、基板 110 上に薄膜トランジスタ 101 と、容量 102 と、配線クロスオーバー部 103 とを備える構成について説明したが、これに限らない。すなわち、本開示に係る薄膜トランジスタ基板は、薄膜トランジスタと容量とを備えていればよく、配線クロスオーバー部を備えていなくてもよい。言い換えると、薄膜トランジスタ基板は、第 1 配線及び第 2 配線を備えていなくてもよい。

[0164] また、上記実施の形態では、絶縁層 150 は第 1 層 151 と第 2 層 152 とを含む構成について説明したが、これに限らない。本開示に係る絶縁層は、3 層以上の構成でもよい。例えば、本開示に係る第 1 層が複数の層から構成されていてもよく、本開示に係る第 2 層が複数の層から構成されていてもよい。あるいは、第 1 層及び第 2 層が複数の層から構成されていてもよい。

[0165] また、本開示に係る絶縁層は、単層でもよい。つまり、絶縁層は、半導体層の一部が露出するように半導体層上及び第 1 電極の上方に形成されていればよい。そのうえで、ゲート電極上方の絶縁層の膜厚が、第 1 電極上方の絶縁層の膜厚より大きければよい。

[0166] 例えば、図 4 において、第 1 層 151 は、第 1 電極 121 の上方に形成されていてもよい。このとき、エッチング除去などにより第 1 電極 121 の上方の第 1 層 151 の一部を取り除くことによって、ゲート電極 120 の上方の第 1 層 151 の膜厚が第 1 電極 121 の上方の第 1 層 151 の膜厚より大きくすればよい。

[0167] なお、このとき、第 1 電極 121 の上方には半導体層 140 が形成されていてもよい。具体的には、第 1 電極 121 の上方、かつ、ゲート絶縁膜 130 上に、半導体層 140 及び第 1 層 151 が形成されていてもよい。例えば

、図５に示すように、ゲート絶縁膜１３０、半導体膜１４０a及び絶縁膜１５１aを連続成膜した後、第１電極１２１の上方の絶縁膜１５１aを一部のみエッチングすればよい。

[0168] また、ゲート絶縁膜１３０は、第１電極１２１及び第１配線１２２上に形成されていなくてもよい。

[0169] また、基板１１０とゲート電極１２０、第１電極１２１及び第１配線１２２の間に絶縁層などを形成してもよい。つまり、ゲート電極１２０、第１電極１２１及び第１配線１２２は、基板１１０の上方に形成されればよい。

[0170] また、上記実施の形態では、半導体層に用いる酸化物半導体は、アモルファスのInGaZnOに限られない。例えば、多結晶InGaOなどの多結晶半導体、又は、シリコンなどの単結晶半導体などでもよい。

[0171] また、上記実施の形態では、薄膜トランジスタ基板を用いた表示装置として有機EL表示装置について説明したが、上記実施の形態における薄膜トランジスタ基板は、液晶表示装置など、アクティブマトリクス基板が用いられる他の表示装置にも適用することができる。

[0172] また、上述した有機EL表示装置などの表示装置（表示パネル）については、フラットパネルディスプレイとして利用することができ、テレビジョンセット、パーソナルコンピュータ、携帯電話など、表示パネルを有するあらゆる電子機器に適用することができる。特に、大画面及び高精細の表示装置に適している。

[0173] その他、各実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本開示における発明の主旨を逸脱しない範囲で各実施の形態及び変形例における構成要素及び機能を任意に組み合わせることで実現される形態も本開示に含まれる。

産業上の利用可能性

[0174] 本開示に係る薄膜トランジスタ基板及びその製造方法は、例えば、有機EL表示装置などの表示装置に利用することができる。

符号の説明

- [0175] 1 0 有機 E L 表示装置
- 2 0 T F T 基板
 - 3 0 画素
 - 3 1 画素回路
 - 3 2、3 3、1 0 1、2 0 0 薄膜トランジスタ
 - 3 2 d、3 3 d、1 6 0 d ドレイン電極
 - 3 2 g、3 3 g、1 2 0 ゲート電極
 - 3 2 s、3 3 s、1 6 0 s ソース電極
 - 3 4 キャパシタ
 - 4 0 有機 E L 素子
 - 4 1 陽極
 - 4 2 E L 層
 - 4 3 陰極
 - 5 0 ゲート配線
 - 6 0 ソース配線
 - 7 0 電源配線
 - 1 0 0 薄膜トランジスタ基板
 - 1 0 2 容量
 - 1 0 3 配線クロスオーバー部
 - 1 1 0 基板
 - 1 2 1 第 1 電極
 - 1 2 2 第 1 配線
 - 1 3 0 ゲート絶縁膜
 - 1 4 0 半導体層
 - 1 4 0 a 半導体膜
 - 1 5 0、2 5 0 絶縁層
 - 1 5 1 第 1 層
 - 1 5 1 a 絶縁膜

1 5 2 第2層

1 6 1 第2電極

1 6 2 第2配線

1 7 0、2 7 0 レジスト

請求の範囲

[請求項1]

基板と、
前記基板の平面方向に並んで配置されるように、前記基板の上方に形成されたゲート電極及び容量の第1電極と、
前記ゲート電極上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された半導体層と、
前記半導体層の一部が露出するように、前記半導体層上及び前記第1電極の上方に形成された絶縁層と、
前記半導体層の露出した部分で前記半導体層と接続されるように前記絶縁層の上方に形成されたソース電極及びドレイン電極と、
前記第1電極に対向し、かつ、前記絶縁層の上方に形成された前記容量の第2電極とを備え、
前記ゲート電極上方の前記絶縁層の膜厚は、前記第1電極の上方の前記絶縁層の膜厚より大きい
薄膜トランジスタ基板。

[請求項2]

前記ゲート電極上方の前記絶縁層は、
第1層と、
前記第1層上に形成された第2層とを備え、
前記第1電極の上方の前記絶縁層は、前記第1層と前記第2層とのうち前記第2層のみを備える
請求項1に記載の薄膜トランジスタ基板。

[請求項3]

前記薄膜トランジスタ基板は、さらに、
前記基板の平面方向に前記ゲート電極及び前記第1電極と並んで配置されるように、前記基板と前記絶縁層との間に形成された第1配線と、
前記第1配線に対向し、かつ、前記絶縁層の上方に形成された第2配線とを備え、
前記第1配線と前記第2配線との間の前記絶縁層の膜厚は、前記第

1 電極の上方の前記絶縁層の膜厚より大きい

請求項 1 に記載の薄膜トランジスタ基板。

[請求項4] 前記半導体層上の前記絶縁層、及び、前記第 1 配線と前記第 2 配線との間の前記絶縁層は、

第 1 層と、

前記第 1 層上に形成された第 2 層とを備え、

前記第 1 電極の上方の前記絶縁層は、前記第 1 層と前記第 2 層とのうち前記第 2 層のみを備える

請求項 3 に記載の薄膜トランジスタ基板。

[請求項5] 前記ゲート電極、前記第 1 電極及び前記第 1 配線は、前記基板上に形成され、

前記ゲート絶縁膜は、前記ゲート電極、前記第 1 電極及び前記第 1 配線上に形成され、

前記半導体層は、前記ゲート電極、前記第 1 電極及び前記第 1 配線のうち前記ゲート電極及び前記第 1 配線のみの上方、かつ、前記ゲート絶縁膜上に形成される

請求項 3 又は 4 に記載の薄膜トランジスタ基板。

[請求項6] 前記半導体層は、酸化物半導体層である

請求項 1 ～ 5 のいずれか 1 項に記載の薄膜トランジスタ基板。

[請求項7] 前記酸化物半導体層は、透明アモルファス酸化物半導体である

請求項 6 に記載の薄膜トランジスタ基板。

[請求項8] 基板の平面方向に並んで配置されるように、前記基板の上方にゲート電極及び容量の第 1 電極を形成する第 1 工程と、

前記ゲート電極及び前記第 1 電極上に、第 1 絶縁膜、半導体膜及び第 2 絶縁膜を順に連続成膜することで、ゲート絶縁膜、半導体層及び絶縁層を順に形成する第 2 工程と、

前記半導体層の一部を露出させ、露出した部分で前記半導体層と接続されるように前記絶縁層の上方にソース電極及びドレイン電極を形

成し、前記第 1 電極の上方、かつ、前記絶縁層の上方に前記容量の第 2 電極を形成する第 3 工程とを含み、

前記第 2 工程では、前記ゲート電極の上方の前記絶縁層の膜厚が、前記第 1 電極の上方の前記絶縁層の膜厚より大きくなるように、前記第 1 電極の上方の前記第 2 絶縁膜の少なくとも一部を除去する
薄膜トランジスタ基板の製造方法。

[請求項9]

前記第 2 工程では、

前記ゲート電極及び前記第 1 電極上に、前記第 1 絶縁膜、前記半導体膜及び前記第 2 絶縁膜を順に連続成膜することで、前記第 1 絶縁膜からなる前記ゲート絶縁膜を形成し、

前記第 1 電極の上方の前記半導体膜及び前記第 2 絶縁膜を除去することで、前記半導体層を形成し、

前記ゲート電極及び前記第 1 電極の上方に第 3 絶縁膜を成膜することで、前記第 2 絶縁膜及び前記第 3 絶縁膜を含む前記絶縁層を形成する

請求項 8 に記載の薄膜トランジスタ基板の製造方法。

[請求項10]

前記第 1 工程では、さらに、前記基板の平面方向に前記ゲート電極及び前記第 1 電極と並んで配置されるように前記基板の上方に第 1 配線を形成し、

前記第 2 工程では、前記ゲート電極、前記第 1 電極及び前記第 1 配線上に、前記第 1 絶縁膜、前記半導体膜及び前記第 2 絶縁膜を順に連続成膜することで、前記ゲート絶縁膜、前記半導体層及び前記絶縁層を順に形成し、

前記第 3 工程では、さらに、前記第 1 配線の上方、かつ、前記絶縁層の上方に第 2 配線を形成し、

前記第 2 工程では、前記ゲート電極の上方の前記絶縁層の膜厚と、前記第 1 配線と前記第 2 配線との間の前記絶縁層の膜厚とが、前記第 1 電極の上方の前記絶縁層の膜厚より大きくなるように、前記第 1 電

極の上方の前記第2絶縁膜の少なくとも一部を除去する

請求項8に記載の薄膜トランジスタ基板の製造方法。

[請求項11]

前記第2工程では、

前記ゲート電極、前記第1電極及び前記第1配線上に、前記第1絶縁膜、前記半導体膜及び前記第2絶縁膜を順に連続成膜することで、前記第1絶縁膜からなる前記ゲート絶縁膜を形成し、

前記第1電極の上方の前記半導体膜及び前記第2絶縁膜を除去することで、前記半導体層を形成し、

前記ゲート電極、前記第1電極及び前記第1配線の上方に第3絶縁膜を成膜することで、前記第2絶縁膜及び前記第3絶縁膜を含む前記絶縁層を形成する

請求項10に記載の薄膜トランジスタ基板の製造方法。

[請求項12]

前記半導体層は、酸化物半導体層である

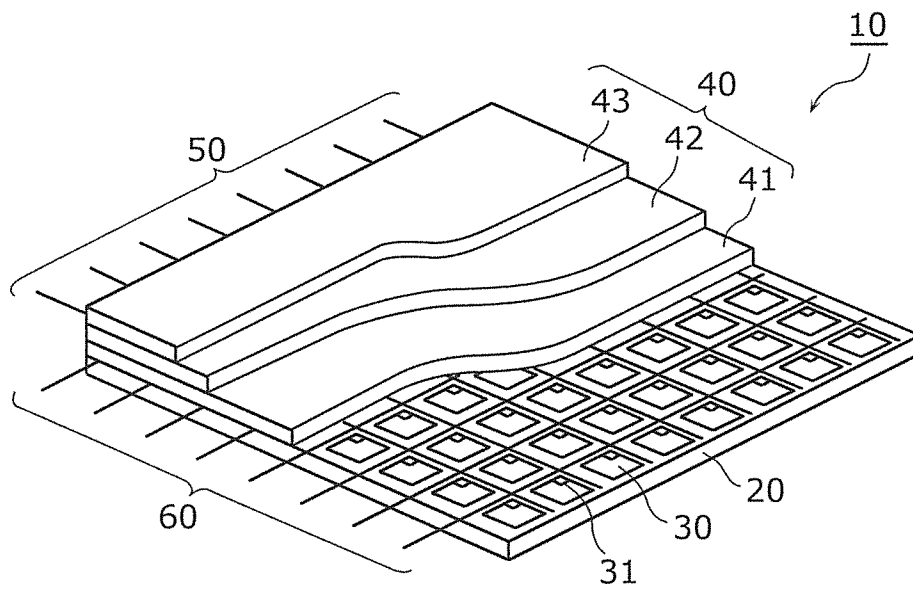
請求項8～11のいずれか1項に記載の薄膜トランジスタ基板の製造方法。

[請求項13]

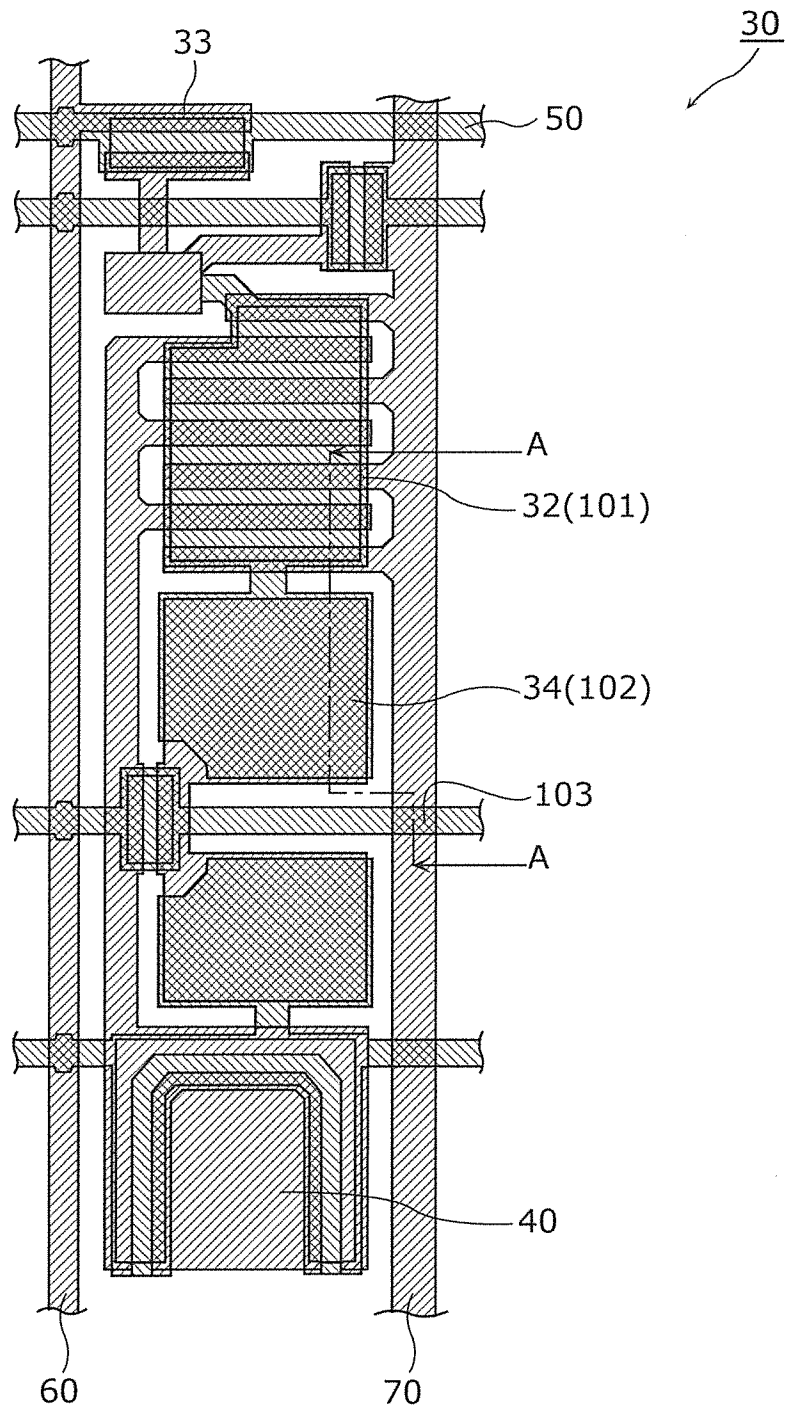
前記酸化物半導体層は、透明アモルファス酸化物半導体である

請求項12に記載の薄膜トランジスタ基板の製造方法。

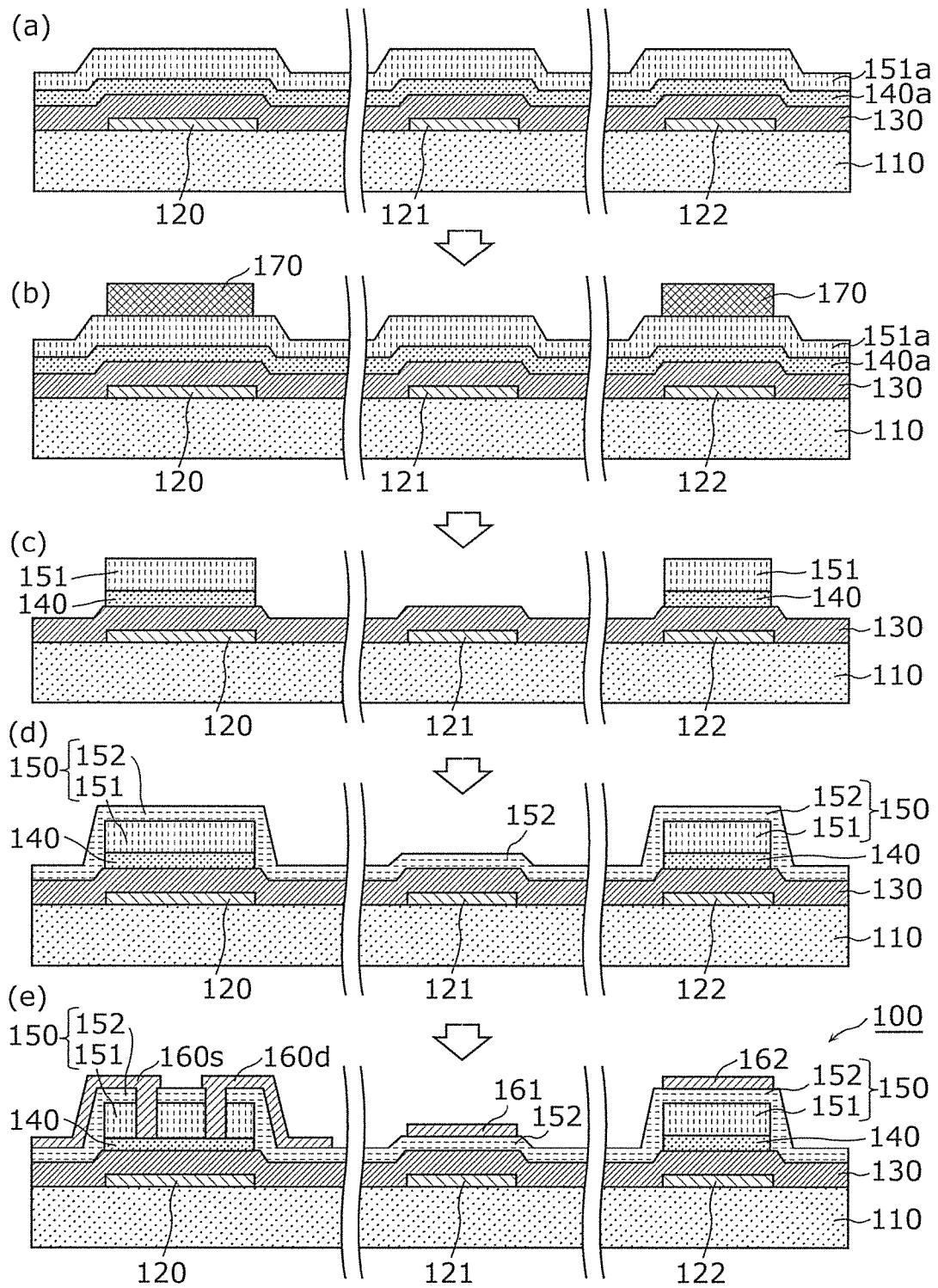
[図1]



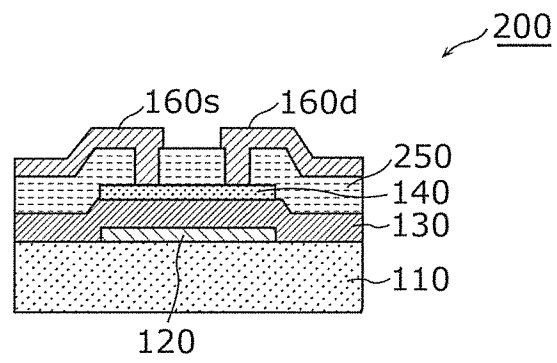
[図2]



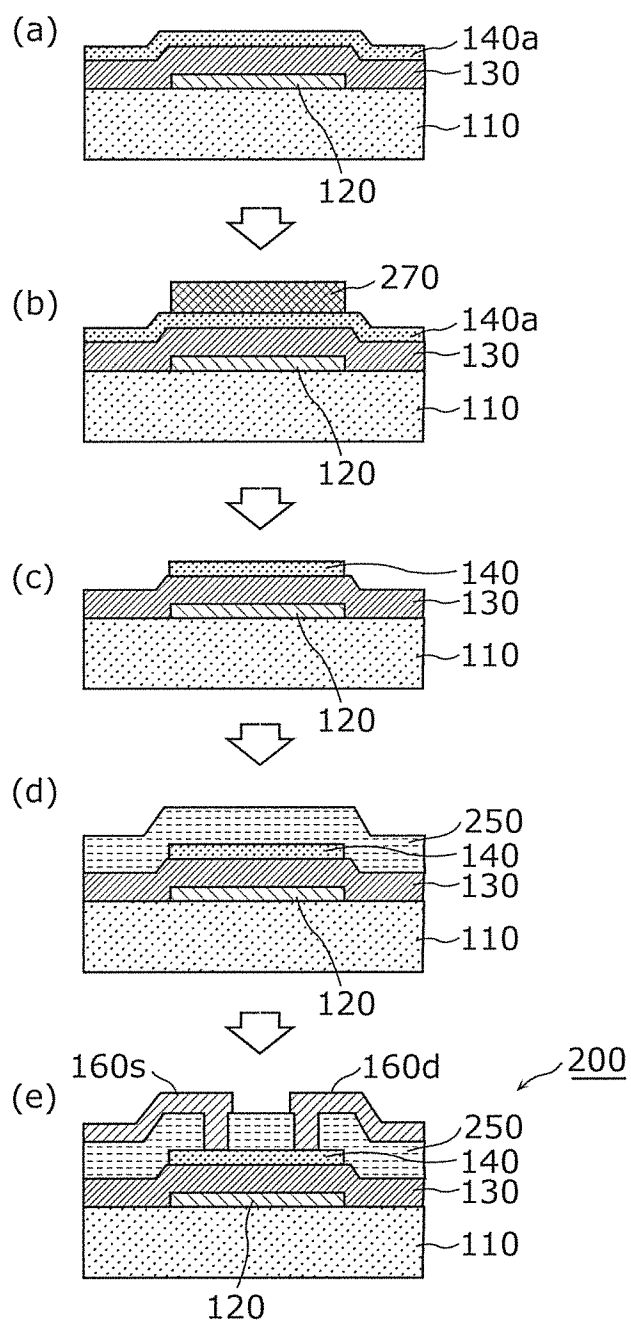
[図5]



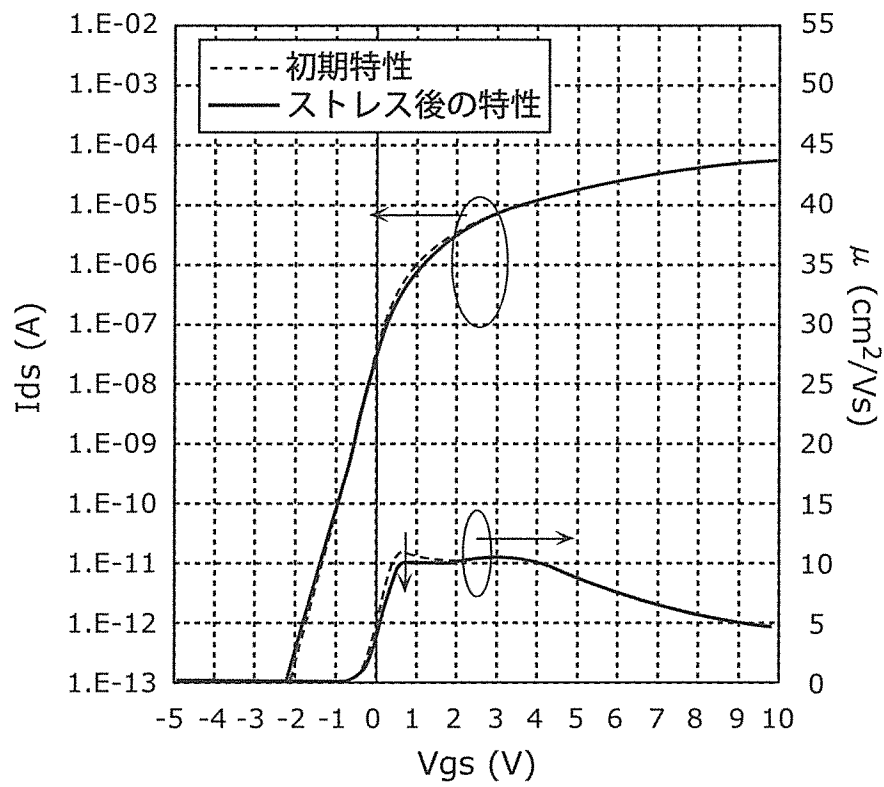
[図6]



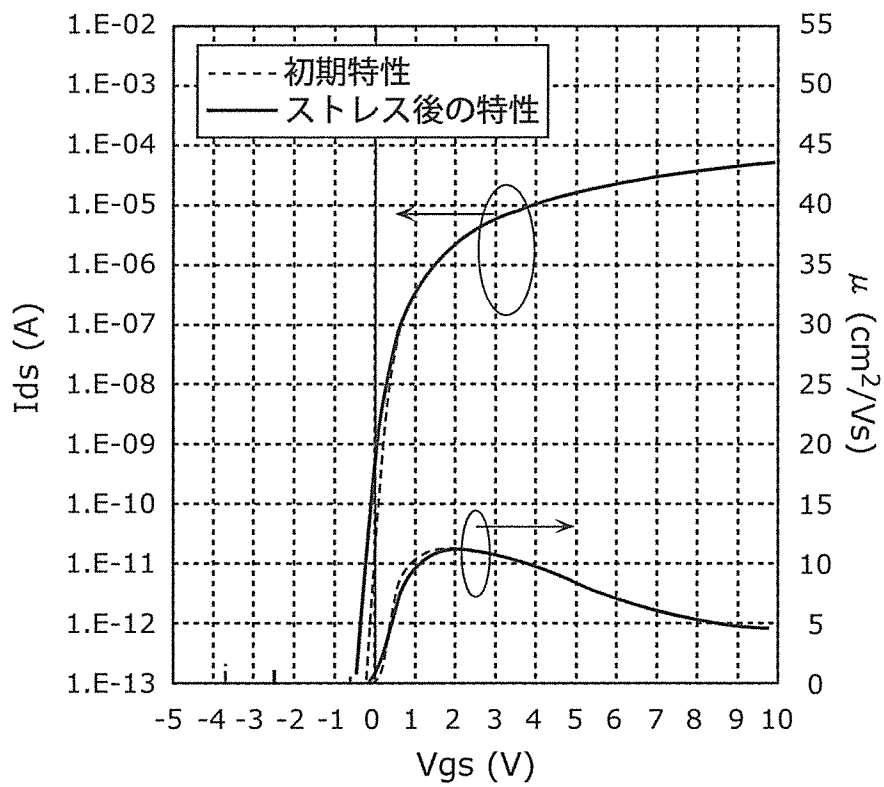
[図7]



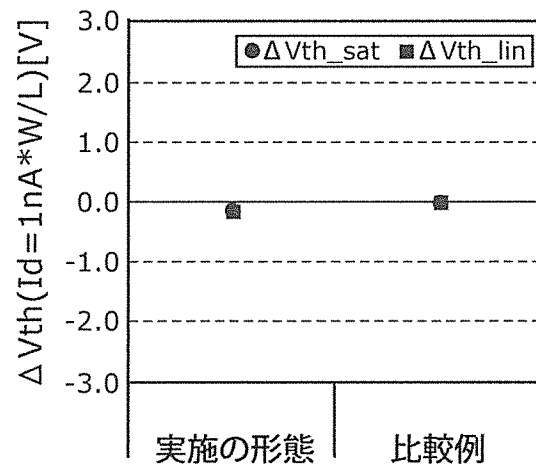
[図8A]



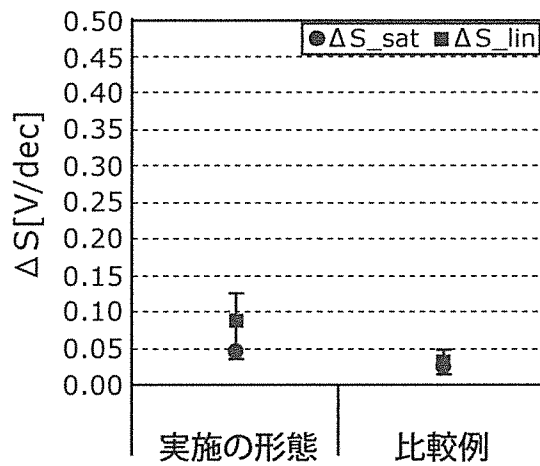
[図8B]



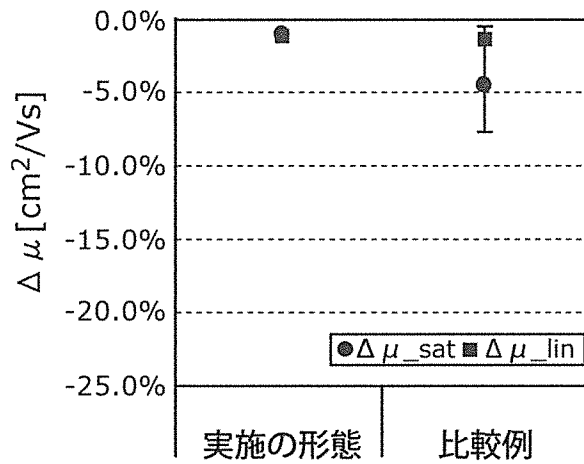
[図9A]



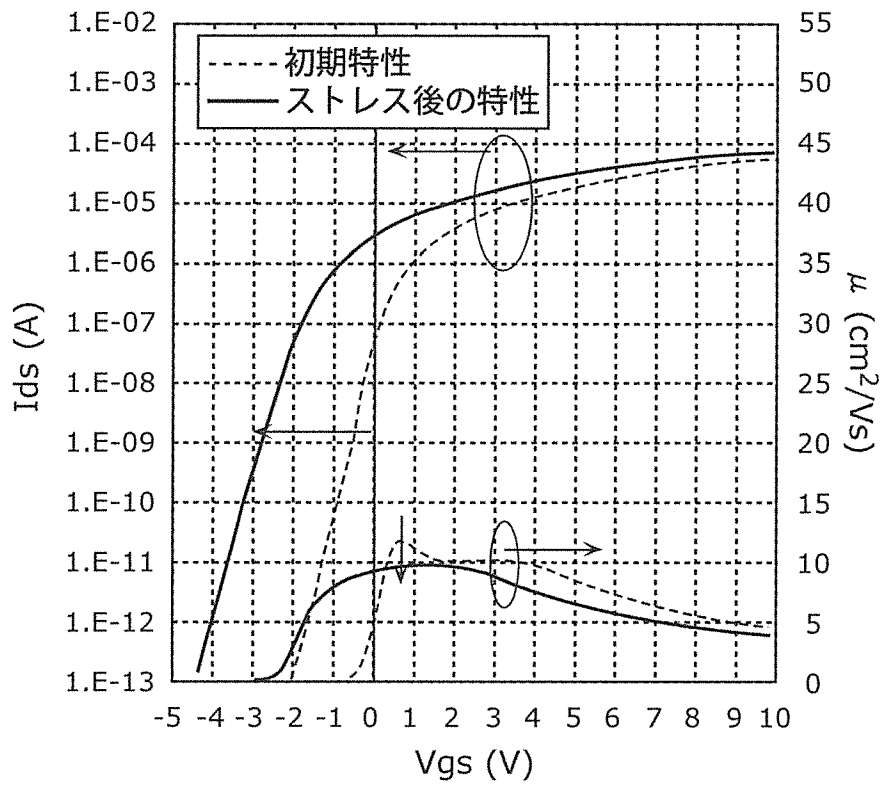
[図9B]



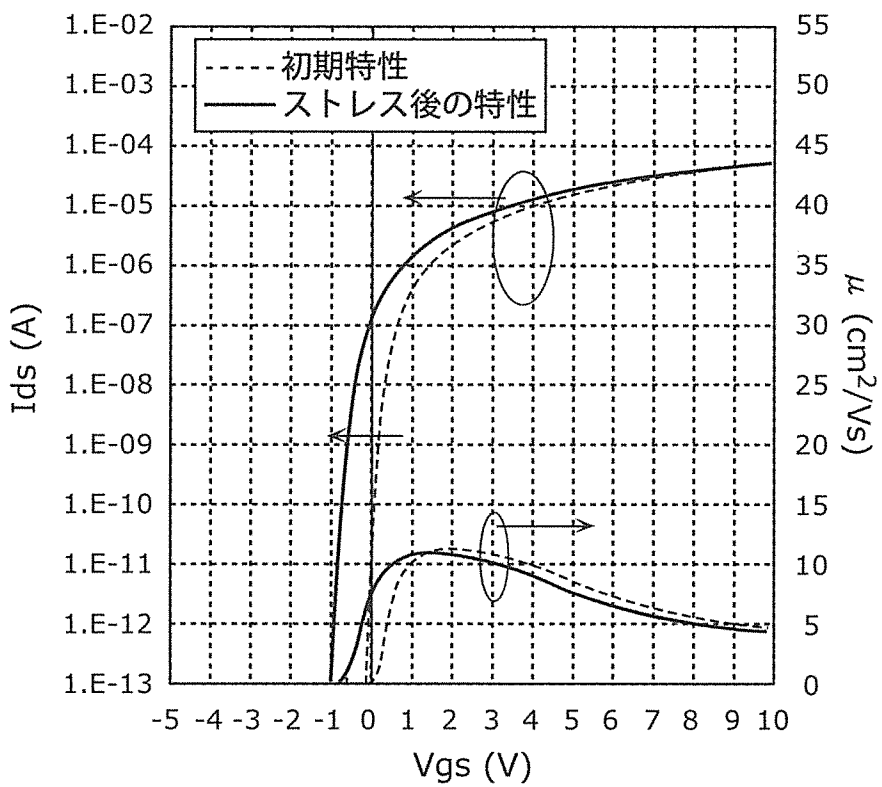
[図9C]



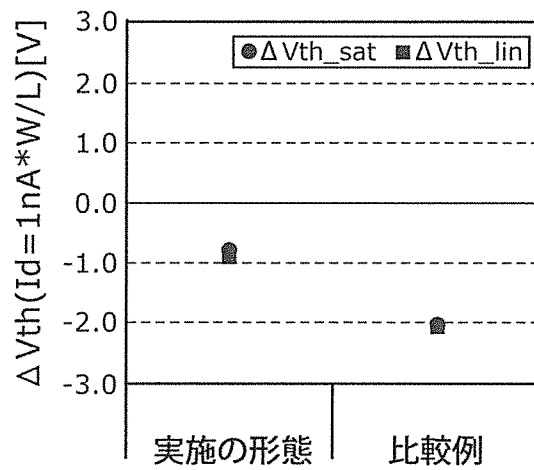
[図10A]



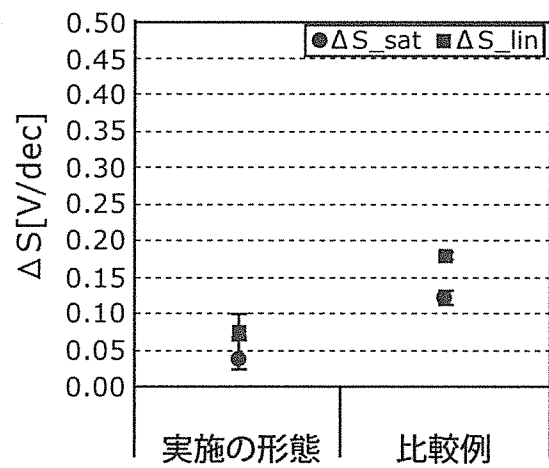
[図10B]



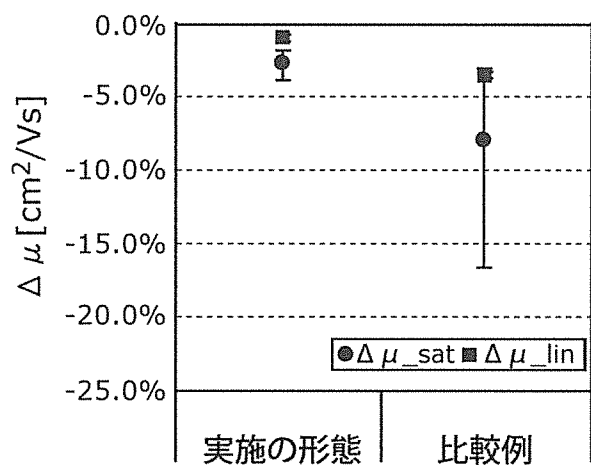
[図11A]



[図11B]



[図11C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002789

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, G09F9/30(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, G09F9/30, H01L29/786, H01L51/50, H05B33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-49539 A (Semiconductor Energy Laboratory Co., Ltd.), 10 March 2011 (10.03.2011), paragraphs [0389] to [0401]; fig. 24 to 27 & JP 2013-8990 A & US 2011/0024751 A1 & US 2013/0228777 A1 & WO 2011/013596 A1 & CN 102473734 A & KR 10-2012-0051720 A & TW 201133858 A	1-13
P, A	JP 2013-232548 A (Panasonic Corp.), 14 November 2013 (14.11.2013), paragraphs [0058] to [0079]; fig. 1 (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
15 August, 2014 (15.08.14)

Date of mailing of the international search report
26 August, 2014 (26.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, G09F9/30(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, G09F9/30, H01L29/786, H01L51/50, H05B33/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-49539 A（株式会社半導体エネルギー研究所）2011.03.10, 段落 0389-0401、図 24-27 & JP 2013-8990 A & US 2011/0024751 A1 & US 2013/0228777 A1 & WO 2011/013596 A1 & CN 102473734 A & KR 10-2012-0051720 A & TW 201133858 A	1-13
P, A	JP 2013-232548 A（パナソニック株式会社）2013.11.14, 段落 0058-0079、図 1（ファミリーなし）	1-13

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 8 . 2 0 1 4

国際調査報告の発送日

2 6 . 0 8 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9 3 5 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6