

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-523588

(P2017-523588A)

(43) 公表日 平成29年8月17日(2017.8.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/02 (2006.01)	HO 1 L 27/12 B	5 F 1 1 0
HO 1 L 27/12 (2006.01)	HO 1 L 21/02 B	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 D	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	

審査請求 有 予備審査請求 未請求 (全 21 頁)

(21) 出願番号 特願2016-565670 (P2016-565670)
 (86) (22) 出願日 平成26年6月13日 (2014. 6. 13)
 (85) 翻訳文提出日 平成28年12月20日 (2016. 12. 20)
 (86) 国際出願番号 PCT/US2014/042316
 (87) 国際公開番号 W02015/191082
 (87) 国際公開日 平成27年12月17日 (2015. 12. 17)

(71) 出願人 591003943
 インテル・コーポレーション
 アメリカ合衆国 95054 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ ブレーバード・2200
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 ジュン、キミン
 アメリカ合衆国 95054 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ ブレーバード・2200 インテル
 ・コーポレーション内

最終頁に続く

(54) 【発明の名称】 ウェハ接合のための表面封入

(57) 【要約】

封入層を用いるウェハ接合のための複数の技術が開示される。第1の半導体基板が提供される。次に、封入層が第1の半導体基板の上部に形成される。封入層は、酸化剤に曝露されると、安定酸化物を生成する封入材料で形成される。第1の接合層は、封入層の上部に形成される。次に、第2の半導体基板が提供される。第2の接合層は、第2の半導体基板の上部に形成される。その後、第1の半導体基板は、第1の接合層を第2の接合層に貼り付けることにより第2の半導体基板に接合される。

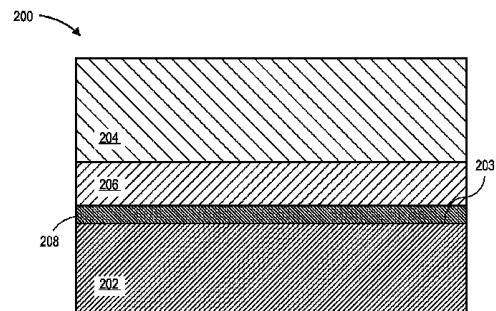


FIG. 2A

【特許請求の範囲】**【請求項 1】**

複数の基板を接合する方法であって、
第 1 の半導体基板を提供する段階と、
前記第 1 の半導体基板の上部に、酸化剤に曝露されると安定酸化物を生成する封入材料で形成される封入層を形成する段階と、
第 1 の上部面を有する第 1 の接合層を前記封入層の上部に形成する段階と、
第 2 の半導体基板を提供する段階と、
第 2 の上部面を有する第 2 の接合層を前記第 2 の半導体基板の上部に形成する段階と、
前記第 1 の上部面を前記第 2 の上部面に接合することにより、前記第 1 の半導体基板を前記第 2 の半導体基板に貼り付ける段階とを備える、方法。

10

【請求項 2】

前記第 1 の半導体基板は、酸化剤に曝露されると不安定な酸化物を生成する第 1 の半導体材料を含む、請求項 1 に記載の方法。

【請求項 3】

前記第 1 の半導体材料は、ゲルマニウムを含む、請求項 2 に記載の方法。

【請求項 4】

前記酸化剤は、酸素および水のうちの少なくとも 1 つである、請求項 2 または 3 に記載の方法。

【請求項 5】

前記封入材料は、シリコンを含む、請求項 1 ~ 4 のいずれか 1 項に記載の方法。

20

【請求項 6】

前記第 1 の上部面および前記第 2 の上部面を表面処理する段階を更に備える、請求項 1 ~ 5 のいずれか 1 項に記載の方法。

【請求項 7】

前記第 1 の上部面および前記第 2 の上部面を表面処理する段階は、前記第 1 の上部面および前記第 2 の上部面にヒドロキシル終端を生成する、請求項 6 に記載の方法。

【請求項 8】

前記第 1 の半導体基板を前記第 2 の半導体基板に貼り付ける段階は、前記第 1 の接合層および前記第 2 の接合層の拡散接合により実行される、請求項 1 ~ 7 のいずれか 1 項に記載の方法。

30

【請求項 9】

熱アニーリングを適用する段階を更に備える、請求項 8 に記載の方法。

【請求項 10】

前記第 1 の接合層および前記第 2 の接合層を形成する段階は、堆積処理により形成される、請求項 1 ~ 9 のいずれか 1 項に記載の方法。

【請求項 11】

前記堆積処理は、酸化シリコン材料を堆積させる CVD プロセスである、請求項 10 に記載の方法。

【請求項 12】

前記第 1 の接合層を形成する段階は、酸化により実行される、請求項 1 ~ 11 のいずれか 1 項に記載の方法。

40

【請求項 13】

第 1 の半導体基板と、
第 2 の半導体基板と、

前記第 1 の半導体基板と前記第 2 の半導体基板との間に配置され、前記第 1 の半導体基板を前記第 2 の半導体基板に貼り付ける接合層と、

前記第 1 の半導体基板と前記接合層との間に配置される封入層とを備える、接合半導体構造物。

【請求項 14】

50

前記第 1 の半導体基板は、ゲルマニウムを含む、請求項 1 3 に記載の接合半導体構造物。

【請求項 1 5】

前記第 2 の半導体基板は、シリコンを含む、請求項 1 3 または 1 4 に記載の接合半導体構造物。

【請求項 1 6】

前記封入層は、シリコンを含む、請求項 1 3 ~ 1 5 のいずれか 1 項に記載の接合半導体構造物。

【請求項 1 7】

前記封入層は、2 ~ 6 nm の範囲の厚さを有する、請求項 1 3 ~ 1 6 のいずれか 1 項に記載の接合半導体構造物。

10

【請求項 1 8】

前記接合層は、2 ~ 3 J / m² の接着強度で前記第 1 の半導体基板を前記第 2 の半導体基板に接合する、請求項 1 3 ~ 1 6 のいずれか 1 項に記載の接合半導体構造物。

【請求項 1 9】

前記接合層は、50 ~ 150 nm の範囲の厚さを有する、請求項 1 3 ~ 1 8 のいずれか 1 項に記載の接合半導体構造物。

【請求項 2 0】

マザーボードと、

前記マザーボードにマウントされたプロセッサと、

20

前記プロセッサと同一のチップ上に製造されるか、または前記マザーボードにマウントされる通信チップとを備え、

前記プロセッサは、

第 1 の半導体基板と、

第 2 の半導体基板と、

前記第 1 の半導体基板と前記第 2 の半導体基板との間に配置され、前記第 1 の半導体基板を前記第 2 の半導体基板に貼り付ける接合層と、

前記第 1 の半導体基板と前記接合層との間に配置される封入層とを有する、コンピュータデバイス。

【請求項 2 1】

30

前記第 1 の半導体基板は、ゲルマニウムを含む、請求項 2 0 に記載のコンピュータデバイス。

【請求項 2 2】

前記第 2 の半導体基板は、シリコンを含む、請求項 2 0 または 2 1 に記載のコンピュータデバイス。

【請求項 2 3】

前記封入層は、シリコンを含む、請求項 2 0 ~ 2 2 のいずれか 1 項に記載のコンピュータデバイス。

【請求項 2 4】

前記封入層は、エピタキシャルシリコンである、請求項 2 3 に記載のコンピュータデバイス。

40

【請求項 2 5】

前記封入層は、2 ~ 6 nm の範囲の厚さを有する、請求項 2 0 ~ 2 4 のいずれか 1 項に記載のコンピュータデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の複数の実施形態は、概ね半導体ウェハ接合処理に関する。より具体的には、本発明の複数の実施形態は、半導体ウェハ接合処理のための複数の表面封入層に関する。

【背景技術】

50

【 0 0 0 2 】

シリコンは、タブレット、携帯電話、およびラップトップ/ノートブックコンピュータ等、最新の電子工学における複数の半導体デバイスを製造するための半導体材料に広く採用されている。しかし、より低い電力消費およびより高い性能等、今日の消費者の需要および期待があるので、この産業における技術的進歩は、複数の半導体デバイスの製造のためのベース材料としてのシリコンの機能では不十分なものとなっている地点まで発展している。結果として、シリコンに対する好適な代替物または補完物を発見する努力において、代替的な複数の材料が調査されている。研究により、ゲルマニウムがそのような複数の半導体材料の最も有望なものの中の1つであることが明らかになった。

【 図面の簡単な説明 】

10

【 0 0 0 3 】

【 図 1 A 】 第 1 の基板および第 2 の基板を有する従来の異質の接合ウェハ構造物の断面図を例示する。

【 0 0 0 4 】

【 図 1 B 】 従来の異質の接合ウェハ構造物から形成された従来の複数のフィンの断面図を例示する。

【 0 0 0 5 】

【 図 2 A 】 本発明の一実施形態による、封入層を有する異質の接合ウェハ構造物の断面図を例示する。

【 0 0 0 6 】

20

【 図 2 B 】 本発明の一実施形態による、封入層を有する異質の接合ウェハ構造物から形成された複数のフィンの断面図を例示する。

【 0 0 0 7 】

【 図 3 A 】 本発明の一実施形態による、第 2 の基板と接合するための第 1 の基板を準備する方法の断面図を例示する。

【 図 3 B 】 本発明の一実施形態による、第 2 の基板と接合するための第 1 の基板を準備する方法の断面図を例示する。

【 図 3 C 】 本発明の一実施形態による、第 2 の基板と接合するための第 1 の基板を準備する方法の断面図を例示する。

【 図 3 D 】 本発明の一実施形態による、第 2 の基板と接合するための第 1 の基板を準備する方法の断面図を例示する。

30

【 0 0 0 8 】

【 図 4 A 】 本発明の一実施形態による、第 1 の基板と接合するための第 2 の基板を準備する方法の断面図を例示する。

【 図 4 B 】 本発明の一実施形態による、第 1 の基板と接合するための第 2 の基板を準備する方法の断面図を例示する。

【 図 4 C 】 本発明の一実施形態による、第 1 の基板と接合するための第 2 の基板を準備する方法の断面図を例示する。

【 0 0 0 9 】

【 図 5 A 】 本発明の一実施形態による、第 1 の基板を第 2 の基板と接合する方法の断面図を例示する。

40

【 図 5 B 】 本発明の一実施形態による、第 1 の基板を第 2 の基板と接合する方法の断面図を例示する。

【 0 0 1 0 】

【 図 6 A 】 本発明の一実施形態による、酸化物層により基板に異質に貼り付けられる封入層を有するフィンを含む非プレーナ型 $f i n F E T$ デバイスの等角図を例示する。

【 0 0 1 1 】

【 図 6 B 】 本発明の一実施形態による、酸化物層により基板に異質に貼り付けられる封入層を有するフィンを含む非プレーナ型 $f i n F E T$ デバイスの断面図を例示する。

【 図 7 】 本発明の 1 または複数の実施形態を実装するインタポーザを例示する。

50

【図 8】本発明の一実施形態により構築されるコンピューティングデバイスを例示する。

【発明を実施するための形態】

【0012】

封入層を含む接合基板スタック、およびその製造の複数の方法が、本明細書において説明される。以下の説明において、作業の実体を他の当業者に伝えるべく、当業者により一般に使用される複数の用語を用いて、複数の例示的な実装の様々な態様が説明される。しかし、本発明は、説明される複数の態様のうちのいくつかのみで実施され得ることが当業者には明らかであろう。説明の目的で、特定の数、材料、および構成は、複数の例示的な実装の完全な理解を提供するべく記載される。しかし、本発明が特定の詳細を用いずに実施され得ることが当業者には明らかであろう。他の複数の例において、周知の複数の機能は、複数の例示的な実装を不明瞭にしないようにするべく、省略され、または簡略化されている。

10

【0013】

次に、様々な動作は、本発明を理解するのに最も有用となるように複数の別個の動作として説明される。しかし、説明の順序は、これらの動作が必ず順序に依存することを暗示するものと解釈されるべきではない。具体的には、これらの動作は、表示される順序で実行される必要はない。

【0014】

本発明の複数の実施形態は、第 1 の基板を第 2 の基板に接合するための封入層を組み込む複数の方法を対象とする。本発明の一実施形態において、第 1 の基板が提供される。一実施形態において、第 1 の基板は、酸化されると、複数の亜酸化物を生成する半導体材料で形成される。一実施形態において、半導体材料は、ゲルマニウムである。次に、封入層は、第 1 の基板の上部面上に形成される。その後、第 1 の接合酸化物層は次に、封入層上に堆積される。封入層は、第 1 の接合酸化物層が第 1 の基板と接触することを防止することにより、第 1 の基板の酸化を阻止する。一実施形態において、封入層は、酸化されると、安定酸化物を生成する材料で形成される。一実施形態において、材料はシリコンである。シリコン基板等の第 2 の基板が提供される。第 2 の接合酸化物層は、第 2 の基板の上部面上に堆積される。次に、第 2 の基板および第 1 の基板は、第 1 の接合酸化物層を第 2 の接合酸化物層に貼り付けることにより、互いに接合される。封入層は、接合中に第 1 の基板の酸化を阻止し、従って第 2 の基板からの第 1 の基板の剥離のための電位を実質的に最小化することにより、第 1 の基板と第 2 の基板との間に堅牢な接合を生成する。

20

30

【0015】

図 1 A に示されるように、ウェハ接合のための複数の技術は、ゲルマニウム基板 102 を、シリコンのような異なる半導体材料で形成された別の基板 104 に貼り付けるべく、薄い酸化物層 106 を使用する。酸化物層 106 が、露出したゲルマニウム上に堆積されると、酸化物層 106 とゲルマニウム基板 102 との間の界面で、必然的に酸化が生じ、それにより酸化ゲルマニウムの薄層 108 を形成し得る。更に、酸化物層 106 が半導体基板 104 をゲルマニウム基板 102 に化学的に接合する場合、複数の水分子は、化学的接合の副生物として形成される。複数の水分子は、ゲルマニウム基板を更に酸化させると共に、堆積処理から形成された酸化ゲルマニウム層を溶解させる。また、下流の複数の半導体処理は、ゲルマニウム基板の更なる酸化をもたらし得る。例えば、図 1 B に示されるように、複数のフィン 111 は、ゲルマニウム基板 102 をパターンングすることにより形成され得る。複数のフィン 111 を形成することにより、ゲルマニウム基板 102 と酸化物層 106 との間の複数の曝露界面領域 113 は、下流の半導体処理中にゲルマニウム基板 102 の更なる酸化を可能にし得る。酸化ゲルマニウムの層 108 は、ゲルマニウム基板 102 とシリコン基板 104 との間に不十分な接着を引き起こす不安定な酸化物層である。更に、酸化ゲルマニウムの層 108 は、水中で容易に溶解する。従って、ゲルマニウム基板 102 は、酸化物層 106 からの剥離によりシリコン基板 104 から容易に分離される。

40

【0016】

50

図 2 A は、本発明の一実施形態による、封入層 208 を有する異質の接合基板スタック 200 の断面図を例示する。一実施形態において、第 1 の基板 202 は、安定酸化物相を欠く半導体材料である。すなわち、半導体材料は、酸素 (O_2) および / または水 (H_2O) のような酸化剤に曝露されると、不安定な酸化物材料を形成する。一実施形態において、第 1 の半導体材料は、ゲルマニウムである。第 2 の基板 204 が提供される。第 2 の基板 204 は、半導体製造に用いられる任意の好適な基板であり得る。一実施形態において、第 2 の基板 204 は、バルクの単結晶シリコン基板である。

【0017】

接合酸化物層 206 は、第 1 の基板 202 と第 2 の基板 204 との間に配置される。一実施形態において、接合酸化物層 206 は、第 2 の基板 204 と封入層 208 との間に直接に配置される。接合酸化物層 206 は、封入層 208 および第 1 の基板 202 を第 2 の基板 204 に貼り付け、異質の接合基板スタック 200 のような異質の構造物を形成する。次に、異質の接合基板スタック 200 は、図 6 A および図 6 B に例示される非プレーナ型 *finFET* デバイスのような 1 つの半導体デバイスまたは複数の半導体デバイスを形成するべく用いられ得る。接合酸化物層 206 は、複数の基板を互いに接合することができる任意の好適な材料で形成され得る。一実施形態において、接合酸化物層 206 は、酸化シリコン (SiO_x) で形成される。特定の実施形態において、接合酸化物層 206 は、二酸化シリコン (SiO_2) で形成される。接合酸化物層 206 は、酸化拡散接合処理のような接合処理により互いに融合された 2 つの別個の接合酸化物層で構成され得る。

【0018】

封入層 208 は、第 1 の基板 202 の上部面 203 上に直接に配置される。封入層 208 は、酸化物材料の堆積中に、ゲルマニウム基板などの第 1 の基板 202 の酸化を阻止する。更に、封入層 208 は、酸化拡散接合処理中に生成された複数の副生水を吸収する。また、封入層 208 は、下流半導体処理からの第 1 の基板 202 の酸化を最小化し得る。例えば、図 2 B に示されるように、複数のフィン 211 は、第 1 の基板 202 をパターンニングすることにより形成され得る。複数のフィン 211 を形成することにより、複数のフィン 211 のエッジ付近の曝露界面領域 213 は、下流の半導体処理からの水への曝露の影響を受けやすい場合がある。しかし、不安定な酸化物は、第 1 の基板 202 と封入層 208 との間の界面には存在しないので、複数のフィン 211 は、容易に剥離しない。本質的に、封入層 208 は、界面において第 1 の基板 202 の酸化を阻止し、および / または最小化するパッシベーション層として機能する。第 1 の基板の酸化を阻止し、および / または最小化することにより、堅牢な接合が第 2 の基板 204 と第 1 の基板 202 との間に形成されることを可能にする。複数の実施形態において、封入層 208 は、 O_2 および / または H_2O のような酸化剤に曝露されると、安定酸化物相を形成する材料で形成される。封入層は、第 1 の基板 202 の酸化を阻止するのに十分な厚さを有するように形成され得る。一実施形態において、封入層 208 は、2 ~ 6 nm の範囲の厚さを有する。特定の実施形態において、封入層 208 は、約 4 nm の厚さを有する。更に、複数の実施形態において、封入層 208 は、第 1 の基板 202 上でヘテロエピタキシャル成長させられ得る材料で形成される。一実施形態において、封入層 208 は、酸化されると、安定酸化物を形成する材料で形成される。一実施形態において、封入層は、シリコンで形成される。特定の実施形態において、封入層 208 は、エピタキシャルシリコンである。

【0019】

図 3 A ~ 図 5 B は、本発明の複数の実施形態による、異質の接合基板スタック 200 を形成する方法を例示する。より具体的には、図 3 A ~ 図 3 D は、本発明の複数の実施形態による、第 2 の接合基板 400 と接合するための第 1 の接合基板 300 を形成する方法の断面図を例示する。図 4 A ~ 図 4 C は、本発明の複数の実施形態による、第 1 の接合基板 300 と接合するための第 2 の接合基板 400 を形成する方法の断面図を例示する。図 5 A ~ 図 5 B は、本発明の複数の実施形態による、第 1 の接合基板 300 を第 2 の接合基板 400 と接合する方法の断面図を例示する。

【0020】

10

20

30

40

50

ここで図3A～図3Dを参照すると、第1の接合基板300を形成する方法が例示される。図3Aにおいて、上部面203を有する第1の基板202が提供される。一実施形態において、第1の基板202は、安定酸化物相を欠く材料で形成される。すなわち、材料は、 O_2 および/または H_2O のような酸化剤に曝露されると、不安定な酸化物材料を形成する。不安定な酸化物材料は、化学量論的理想より小さい亜酸化物材料であり得る。例えば、化学量論的理想ゲルマニウム酸化物 (GeO_2) は、2対1の酸素・ゲルマニウム比を有し得る。より小さい非化学量論的理想のゲルマニウム酸化物 (例えば、 GeO_x 。xは、2より小さい) は、2対1より小さい酸素・ゲルマニウム比 (すなわち、 $GeO_{1.5}$ または $GeO_{1.8}$) を有し得る。複数の不安定な酸化物材料は、外部環境との反応の影響を受けやすい。第1の基板202は、不安定な酸化物を形成する任意の材料で形成され得る。一実施形態において、第1の基板202は、ゲルマニウムで形成される。一実施形態において、第1の基板202は、ヒ化ガリウム ($GaAs$)、ヒ化ガリウムインジウム ($InGaAs$)、ヒ化ガリウムアルミニウム ($AlGaAs$)、および錫インジウム ($InSb$) 等であるが、これらに限定されない不安定な酸化物を形成する他の複数の材料で形成される。一実施形態において、第1の基板202は、バルクのゲルマニウム基板で形成される。一実施形態において、第1の基板202は、少なくとも50%のGeを含む半導体材料で形成される。特定の実施形態において、第1の基板202は、少なくとも90%のGeを含む半導体材料で形成される。一実施形態において、第1の基板202の少なくとも上部面は、酸化剤に曝露されると不安定な酸化物を形成する材料で形成される。

10

20

【0021】

次に、図3Bに示されるように、封入層208は、第1の基板202の上部面203上に形成される。一実施形態において、封入層208は、安定酸化物相を有する材料で形成される。すなわち、材料は、 O_2 および/または H_2O 等であるが、これらに限定されない酸化剤に曝露される場合に、不安定な酸化物を形成しない。一実施形態において、封入層208は、シリコンで形成される。特定の実施形態において、封入層208は、エピタキシャルシリコンである。一実施形態において、封入層208はエピタキシャルシリコンであり、第1の基板202はゲルマニウムである。封入層208は、封入層208が第1の基板202の1または複数の結晶学的配向に組み込まれるように、第1の基板202上でヘテロエピタキシャル成長させられ得る。従って、封入層208は、第1の基板202の格子構造に統合され得る。あるいは、封入層208は、アモルファス膜として堆積され得る。封入層208は、化学気相成長 (CVD)、物理気相成長 (PVD)、原子層堆積 (ALD)、および分子線エピタキシ (MBE) 等であるが、これらに限定されない、当技術分野において周知の任意の好適な処理により形成され得る。一実施形態において、封入層208は、第1の基板202の酸化が生じることを阻止するべく、第1の基板202の上部面203をパッシベートするのに十分な厚さt1を有する。更に、封入層208の厚さt1は、水が第1の基板202の上部面203に接触することを阻止するべく、ウェハ接合処理中に生成される実質的に全ての副生水を吸収するのに十分である。一実施形態において、封入層208の厚さt1は、2nm～6nmの範囲である。特定の実施形態において、封入層208の厚さt1は、約4nmである。

30

40

【0022】

次に、図3Cに示されるように、第1の接合酸化物層206Aは、封入層208の上部面209上に形成され、それにより第1の接合基板300を形成する。第1の接合酸化物層206Aは、上部面210を有する。第1の接合酸化物層206Aは、図4Bに後述される第2の接合酸化物層206Bのような別の材料に化学的に接合することができる材料で形成され得る。一実施形態において、第1の接合酸化物層206Aは、酸化物材料で形成される。例えば、一実施形態において、第1の接合酸化物層206Aは、 SiO_x である。特定の実施形態において、接合酸化物層206Aは SiO_2 である。第1の接合酸化物層206Aは、別の接合層に接着されると、強い接合を形成するのに十分な厚さt2を有するように形成される。厚さt2は、典型的なウェハハンドリング力、およびそれに後

50

続する半導体処理に耐えることができる接合強度を有する接合の形成を可能にする。一実施形態において、接合強度は、 $2 \sim 3 \text{ J/m}^2$ の範囲である。更に、一実施形態において、厚さ t_2 は、接合酸化物層 206A 上に形成されない隣接デバイス等、複数の他のデバイスとの集積化を可能にするように十分薄い。従って、一実施形態において、第1の接合酸化物層 206A の厚さ t_2 は、 $25 \text{ nm} \sim 75 \text{ nm}$ の範囲である。特定の実施形態において、第1の接合酸化物層 206A の厚さ t_2 は、 50 nm である。第1の接合酸化物層 206A は、化学気相成長 (CVD) または物理気相成長 (PVD) のような任意の好適な堆積処理により形成され得る。あるいは、第1の接合酸化物層 206A は、酸化により形成され得、封入層 208 の一部は、酸化物材料を形成するべく費やされる。一実施形態において、封入層 208 の上部は、第1の接合酸化物層 206A へと酸化される。複数のそのような実施形態において、封入層 208 は、酸化処理中に封入材料の消費および体積膨張を補償するべく、最初に、最終的封入層の厚さ t_1 と、最終的な第1の酸化物層の厚さ t_2 との和に等しい同等の厚さ t_3 を有するように形成される。

10

20

30

40

50

【0023】

次に、図3Dにおいて、第1の接合基板 300 は、接合のために準備される。一実施形態において、第1の接合基板 300 の準備は、ヒドロキシル (OH) 終端 302 の数を最大化するべく第1の接合酸化物層 206A の上部面 210 を処理することを含む。各 OH 終端 302 は、化学接合が形成され得る活性部位である。第1の接合酸化物層 206A の上部面 210 において OH 終端 302 を最大化することにより、化学接合が行われ得るより多くの活性部位を生成する。従って、第1の接合酸化物層 206A は、より強い化学接合を形成することができる場合がある。特定の実施形態において、第1の接合酸化物層 206A の上部面 210 は、プラズマ処理または湿式化学処理により活性化される。一実施形態において、プラズマ処理は、室温での O_2 アッシングのような酸素プラズマ処理である。あるいは、一実施形態において、湿式化学処理は、塩酸を含む化学混合物を用いた RCA 洗浄である。一実施形態において、OH 終端 302 の最大化は、第1の接合酸化物層 206A の上部面 210 を、過酸化水素 (H_2O_2) のような化学溶液に曝露することにより実行される。

【0024】

図4A～図4Cにおいて、本発明の複数の実施形態による、第2の接合基板 400 を形成する方法が例示される。図4Aにおいて、上部面 205 を有する第2の基板 204 が、最初に提供される。第2の基板 204 は、半導体デバイス製造に用いられる任意の好適な基板であり得る。例えば、一実施形態において、第2の基板 204 は、バルクの単結晶シリコン基板である。代替的な実施形態において、第2の基板 204 は、サファイア基板である。

【0025】

本発明の複数の実施形態によれば、その後、図4Bにおいて、第2の接合酸化物層 206B が第2の基板 204 の上部面 205 上に直接に形成され、第2の接合基板 400 を形成する。一実施形態において、第2の接合酸化物層 206B は、上部面 212 を有する。第2の接合酸化物層 206B の上部面 212 は、第2の接合基板 400 の上部面 212 でもある。第2の接合酸化物層 206B は、第1の酸化物層 206A と化学的に接合することができる任意の好適な酸化物層で形成され得る。一実施形態において、第2の接合酸化物層 206B は、第1の接合酸化物層 206A と同一の材料で形成される。あるいは、第2の接合酸化物層 206B は、第1の接合酸化物層 206A とは異なる材料で形成される。一実施形態において、第2の接合酸化物層 206B は、 SiO_x で形成される。特定の実施形態において、第2の接合酸化物層 206B は、 SiO_2 で形成される。第2の接合酸化物層 206B は、ウェハハンドリングおよび後続の半導体処理に耐えるべく第1の接合酸化物層 206A との強い化学接合を可能にするのに十分な厚さ t_4 を有する。一実施形態において、第2の接合酸化物層 206B の厚さ t_4 は、 $25 \text{ nm} \sim 75 \text{ nm}$ の範囲である。特定の実施形態において、第2の接合酸化物層 206B の厚さ t_4 は、 50 nm である。

【0026】

次に、図4Cにおいて、第2の接合基板400は、接合のために準備される。上記の図3Dにおける第1の接合酸化物層206Aの上部面210と同様に、第2の接合酸化物層206Bの上部面212は、ヒドロキシル(OH)終端402の数を最大化するように処理される。OH終端402の数を増やすことにより、第2の接合酸化物層206Bが第1の接合酸化物層206Aとの強い化学接合を形成することを可能にする。本発明の複数の実施形態による強い化学接合を形成する処理が、以下に検討される。

【0027】

図5Aは、接合のために互いに位置合わせされた第1の接合基板300および第2の接合基板400を例示する。第1の接合酸化物層206A上のOH終端302は、第2の接合酸化物層206B上のOH終端402の方に向けられ得る。

10

【0028】

本発明の複数の実施形態によれば、その後、図5Bに図示されるように、第1の接合基板300は、第2の接合基板400と接合され、それにより異質の接合基板スタック200を形成する。複数の実施形態において、第1の接合基板300の第1の接合酸化物層206Aは、接合部位502において第2の接合基板400の第2の接合酸化物層206Bと接合される。従って、第1の接合酸化物層206Aおよび第2の接合酸化物層206Bは、単一の接合酸化物層206に融合する。一実施形態において、接合酸化物層206は、異質の接合基板スタック200が典型的なウェハハンドリングおよび後続の半導体処理に耐えることができるように、第1の基板202を第2の基板204に確実に接合するのに十分な接着強度を形成する厚さ t_5 を有する。更に、接合酸化物層206は、接合酸化物層206B上に形成されない複数の隣接デバイス等の複数の他のデバイスとのデバイス集積化を可能にするように十分に薄い。特定の実施形態において、接合酸化物層206の厚さ t_5 は、第1の接合酸化物層206Aおよび第2の接合酸化物層206Bの各々の厚さ t_2 および t_4 の和である。例えば、接合酸化物層206の厚さ t_5 は、50nm~150nmの範囲になり得る。一実施形態において、接合酸化物層206の厚さ t_5 は、100nmである。一実施形態において、接合酸化物層206により生成された接着強度は、少なくとも 2 J/m^2 である。特定の実施形態において、接着強度は、 $2\sim 3\text{ J/m}^2$ の範囲である。

20

【0029】

第1の接合基板300は、拡散酸化接合のような任意の好適な直接の接合処理により、第2の接合基板400に接合され得る。複数のそのような実施形態において、接合は、最初に、第1の接合基板300の上部面210を、第2の接合基板400の上部面212上へと直接に配置することにより実行される。一実施形態において、2つの基板の間の接触を保持するべく、圧力は加えられない。これに代えて、ファン・デル・ワールス力(すなわち、静電力)は、2つの基板を定位置に一時的に保持するのに十分な初期の弱い接合を生成する。その後、第1の接合酸化物層206Aを第2の接合酸化物層206Bに化学的に接合して、接合酸化物層206を形成するべく、熱アニーリングが適用され得る。一実施形態において、熱アニーリングは、化学接合(例えば、共有接合による陽イオン接合)により、第1の接合酸化物層206Aを第2の接合酸化物層206Bに完全に融合するのに十分な特定の期間、特定の温度で実行される。特定の実施形態において、熱アニーリングは、300~400の温度で30分~1時間、大気圧下で実行される。

30

40

【0030】

第1の接合基板300のOH終端302は、熱アニーリング中に第2の接合基板400のOH終端402との化学接合を形成して、接合部位502において化学反応の副生物として水を生成する。これらの水分子は、第2の基板204および封入層208のような接合部位502に近接する複数の半導体材料に拡散し得る。封入層208は、酸化剤に曝露されると、安定酸化物を生成する材料で形成されるので、接合酸化物層206との強い接合は、たとえ複数の水分子が封入層208の一部を酸化させても、持続され得る。一実施形態において、封入層208は、複数の水分子を吸収し、それらが第1の基板202に到

50

達することを阻止する。従って、複数の水分子は、第1の基板202と接触する可能性は実質的になく、不安定な酸化物層は、第1の基板202と封入層208との間の界面に形成される可能性は実質的にない。従って、異質の接合基板スタック200を形成する第1の基板202と第2の基板204との間の堅牢な接合が得られ得る。

【0031】

第1の基板202および第2の基板204は、露出した複数の基板として図示されるが、実施形態は、そのようには限定されない。一実施形態において、第1の基板202は、封入層208に対向する第1の基板202の表面上に既に形成された複数のデバイスを含む。従って、第1の基板202が第2の基板204と接合される場合、複数の半導体デバイスは、第2の基板204へと送られる。

10

【0032】

更に、第1の基板202および第2の基板204は、個別のウェハであってもよい。従って、本発明の複数の実施形態は、2つの個別のウェハ間でウェハ・ウェハの接合を実行するべく用いられ得る。単一のウェハは、様々な配置で多くの異なる材料で形成される上部面を含み得る。従って、2つの別個のウェハを接合することにより、いくつかの異質の接合領域およびいくつかの同質の接合領域をもたらし得る。

【0033】

次に、所望である場合、1または複数の半導体デバイスが第2の基板204上に形成され得る。半導体デバイスは、プレーナ型トランジスタ、非プレーナ型トランジスタ、または両方の組み合わせであってもよい。非プレーナ型トランジスタは、ダブルゲートトランジスタおよびトライゲートトランジスタのようなfinFETトランジスタを含む。図6Aは、基板204上に形成された非プレーナ型finFETトランジスタ600の等角図を例示する。非プレーナ型finFETトランジスタ600は、接合酸化物層206および封入層208により基板204に貼り付けられたフィン211を含む。フィン211は、ゲルマニウムのような半導体材料で形成され得る。ゲートスタックは、フィン211の曝露面の周囲を囲み、接合酸化物層206の上部面上に配置され得る。ゲートスタックは、少なくとも2つの層、ゲート誘電体層604およびゲート電極層で形成され得る。ゲート誘電体層604の一部は、フィン211とゲート電極層との間に直接に配置され得る。

20

【0034】

ゲート誘電体層604は、1つの層または複数の層のスタックを含み得る。1または複数の層は、酸化シリコン、二酸化シリコン(SiO_2)、および/またはhigh-kの誘電体材料を含み得る。high-kの誘電体材料は、ハフニウム、シリコン、酸素、チタニウム、タンタル、ランタン、アルミニウム、ジルコニウム、バリウム、ストロンチウム、イットリウム、鉛、スカンジウム、ニオブ、および亜鉛等の元素を含み得る。ゲート誘電体層において用いられ得る複数のhigh-k材料の例としては、酸化ハフニウム、ハフニウムシリコン酸化物、酸化ランタン、ランタンアルミニウム酸化物、酸化ジルコニウム、ジルコニウムシリコン酸化物、酸化タンタル、酸化チタン、バリウムストロンチウムチタン酸化物、バリウムチタン酸化物、ストロンチウムチタン酸化物、酸化イットリウム、酸化アルミニウム、鉛スカンジウムタンタル酸化物、および亜鉛ニオブ酸鉛が挙げられるが、これらに限定されない。いくつかの実施形態において、high-k材料が用いられる場合、アニーリング処理は、ゲート誘電体層上で実行され、品質を向上させ得る。

30

40

【0035】

ゲート電極層は、ゲート誘電体層604上に形成され、トランジスタがPMOSまたはNMOSTランジスタであるかに応じて、少なくとも1つのP型仕事関数金属またはN型仕事関数金属からなり得る。いくつかの実装において、ゲート電極層は、2つまたはそれより多くの金属層のスタックからなり得、1または複数の金属層は、仕事関数金属層603であり、少なくとも1つの金属層は、充填金属層602である。

【0036】

PMOSTランジスタについては、ゲート電極に用いられ得る複数の金属としては、ルテニウム、パラジウム、プラチナ、コバルト、ニッケル、および導電性金属酸化物、例え

50

ば酸化ルテニウム等が挙げられるが、これらに限定されない。P型金属層は、約4.9 eV ~ 約5.2 eVの仕事関数を有するPMOSゲート電極の形成を可能にするであろう。NMOSトランジスタについては、ゲート電極に用いられ得る複数の金属としては、ハフニウム、ジルコニウム、チタニウム、タンタル、アルミニウム、これらの金属の合金、ならびに炭化ハフニウム、炭化ジルコニウム、炭化チタニウム、炭化タンタル、および炭化アルミニウム等、これらの金属の炭化物が挙げられるが、これらに限定されない。N型金属層は、約3.9 eV ~ 約4.2 eVの仕事関数を有するNMOSゲート電極の形成を可能にするであろう。

【0037】

図6Aに例示されるように、ゲート電極は、接合酸化層206の表面と実質的に平行な底部を含む「U字」形状の構造物、および接合酸化層206の上部面に実質的に垂直な2つの側壁部からなり得る。別の実装において、ゲート電極を形成する複数の金属層のうち少なくとも1つは、単に、接合酸化層206の上部面に実質的に平行であり、接合酸化層206の上部面に実質的に垂直な複数の側壁部を含まないプレーナ型層であってもよい。本発明の複数の更なる実装において、ゲート電極は、U字形構造物およびプレーナ型の非U字形構造物の組み合わせからなり得る。例えば、ゲート電極は、1または複数のプレーナ型の非U字形層の上に形成された1または複数のU字形金属層からなり得る。

10

【0038】

本発明のいくつかの実装において、一对の側壁スペーサは、ゲートスタックを囲むゲートスタックの反対側に形成され得る。側壁スペーサは、窒化シリコン、酸化シリコン、炭化シリコン、炭素でドーパされた窒化シリコン、および酸窒化シリコン等の材料から形成され得る。側壁スペーサを形成するための複数の処理は、当技術分野において周知であり、一般に、堆積およびエッチング処理の段階を含む。代替的な実装において、複数のスペーサの対が用いられ得、例えば、2対、3対、または4対の側壁スペーサがゲートスタックの反対側に形成され得る。

20

【0039】

当技術分野において周知なように、ソース領域606およびドレイン領域608は、finFETトランジスタ600のゲートスタックに隣接するフィン211内に形成される。チャンネル領域610は、図6Bに示されるように、フィン211内に、かつソース領域606とドレイン領域608との間に配置される。

30

【0040】

図6Bは、図6Aに示されるフィン211に沿った線にわたる非プレーナ型finFETトランジスタ600の断面図を例示する。非プレーナ型finFETトランジスタ600は、ゲート誘電体層604、PまたはN型仕事関数金属層603、および充填金属層602で形成されたゲートスタックを含む。ゲートスタックは、フィン211上に直接に配置される。フィン211は、ゲートスタックの下に直接に配置されたチャンネル領域610を含んでもよく、ソース領域606およびドレイン領域608は、チャンネル領域610の反対側に配置されてもよい。更に、フィン211は、封入層208を含む。本発明の複数の実施形態によれば、封入層208は、フィン211が接合酸化層206に確実に貼り付けられ、非プレーナ型finFETトランジスタ600を形成することを可能にする。

40

【0041】

図7は、本発明の複数の実施形態による、1または複数の接合構造物を含むインタポーザ700を例示する。インタポーザ700は、第1の基板702を第2の基板704にブリッジするべく用いられる介在基板である。第1の基板702は、例えば集積回路ダイであってもよい。集積回路ダイは、本発明の複数の実施形態による接合構造物を含み得る。第2の基板704は、例えば、メモリモジュール、コンピュータマザーボード、または別の集積回路ダイであってもよい。一般に、インタポーザ700の目的は、接続をより広いピッチに広げ、またはある接続を異なる接続にルート変更することである。例えば、インタポーザ700は、集積回路ダイをボールグリッドアレイ(BGA)706に結合し得、

50

BGA706は、次に第2の基板704に結合し得る。いくつかの実施形態において、第1および第2の基板702/704は、インタポーザ700の反対側に貼り付けられる。他の複数の実施形態において、第1および第2の基板702/704は、インタポーザ700の同じ側に貼り付けられる。複数の更なる実施形態において、3つまたはそれより多い基板がインタポーザ700により相互接続される。第1の基板702および/または第2の基板704は、本発明の複数の実施形態による接合構造物を含み得る。

【0042】

インタポーザ700は、エポキシ樹脂、ガラス繊維強化エポキシ樹脂、セラミック材料、またはポリイミドのようなポリマー材料で形成され得る。更なる実装において、インタポーザは、シリコン、ゲルマニウム、および他のIII-V族およびIV族材料等、半導体基板において用いるための上記の同一の材料を含み得る交互の複数の硬質または可撓性材料で形成され得る。

10

【0043】

インタポーザは、複数の金属相互接続708、およびシリコン貫通ビア(TSV)712を含むがこれに限定されないビア710を含み得る。インタポーザ700は、受動デバイスおよび能動デバイスの両方を含む複数の埋め込みデバイス714を更にも含み得る。そのような複数のデバイスとしては、コンデンサ、デカップリングコンデンサ、抵抗器、インダクタ、ヒューズ、ダイオード、変圧器、センサ、および静電放電(ESD)デバイスが挙げられるが、これらに限定されない。無線周波数(RF)デバイス、電力増幅器、電力管理デバイス、アンテナ、アレイ、センサ、およびMEMSデバイスのようなより複雑なデバイスも、インタポーザ700上に形成されてもよい。

20

【0044】

本発明の複数の実施形態によれば、本明細書において開示される複数の装置または処理は、インタポーザ700の製造において用いられ得る。

【0045】

図8は、本発明の一実施形態によるコンピューティングデバイス800を例示する。コンピューティングデバイス800は、いくつかのコンポーネントを含み得る。一実施形態において、これらのコンポーネントは、1または複数のマザーボードに貼り付けられる。代替的な実施形態において、これらのコンポーネントは、マザーボードではなく単一のシステムオンチップ(SoC)ダイ上に製造される。コンピューティングデバイス800内の複数のコンポーネントとしては、集積回路ダイ802および少なくとも1つの通信チップ808が挙げられるが、これらに限定されない。いくつかの実装において、通信チップ808は、集積回路ダイ802の一部として製造される。集積回路ダイ802は、CPU804、ならびに多くの場合、エンベデッドDRAM(eDRAM)または回転トルク転送メモリ(STTMまたはSTTM-RAM)のような複数の技術により提供され得るキャッシュメモリとして用いられるオンダイメモリ806を含み得る。

30

【0046】

コンピューティングデバイス800は、マザーボードに物理的および電氣的に結合され得るか、もしくは結合されない場合があり、またはSoCダイ内で製造され得る複数の他のコンポーネントを含み得る。これらの複数の他のコンポーネントは、揮発性メモリ810(例えば、DRAM)、不揮発性メモリ812(例えば、ROMもしくはフラッシュメモリ)、グラフィックス処理ユニット814(GPU)、デジタル信号プロセッサ816、暗号プロセッサ842(ハードウェア内で暗号学的アルゴリズムを実行する専用プロセッサ)、チップセット820、アンテナ822、ディスプレイもしくはタッチスクリーンディスプレイ824、タッチスクリーンコントローラ826、バッテリー828もしくは他の電力源、電力増幅器(図示せず)、全地球測位システム(GPS)デバイス828、コンパス830、モーションプロセッサもしくはセンサ832(加速度計、ジャイロスコープ、およびコンパスを含み得る)、スピーカ834、カメラ836、ユーザ入力デバイス838(キーボード、マウス、スタイラス、およびタッチパッド)、ならびに大容量ストレージデバイス840(ハードディスクドライブ、コンパクトディスク(CD)、デジ

40

50

タル多用途ディスク（DVD）等）を含むが、これらに限定されない。

【0047】

通信チップ808は、コンピューティングデバイス800への、およびこれからのデータの転送のための複数の無線通信を可能にする。「無線」という用語およびその複数の派生語は、非固体媒体を介する変調電磁放射を用いることによりデータを通信し得る複数の回路、デバイス、システム、方法、技術、通信チャネル等を説明するべく用いられ得る。この用語は、関連付けられた複数のデバイスがいずれの配線も含まないことを暗示するものではないが、いくつかの実施形態では、含まない場合がある。通信チップ808は、Wi-Fi（IEEE802.11ファミリ）、WiMAX（IEEE802.16ファミリ）、IEEE802.20、ロングタームエボリューション（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM（登録商標）、GPRS、CDMA、TDMA、DECT、Bluetooth（登録商標）、それらの派生物、ならびに3G、4G、5G、およびそれ以上として指定されるその他の無線プロトコルを含むが、これらに限定されないいくつかの無線規格またはプロトコルのうちのいずれかを実装し得る。コンピューティングデバイス800は、複数の通信チップ808を含み得る。例えば、第1の通信チップ808は、Wi-FiおよびBluetooth（登録商標）のようなより短い距離の無線通信専用であってもよく、第2の通信チップ808は、GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DOのようなより長い距離の無線通信専用であってもよい。

10

【0048】

コンピューティングデバイス800のプロセッサ804は、封入層が内部に形成された状態で異質の接合基板スタックを含むように形成され、本発明の複数の実装により形成される1または複数のデバイスを含む。「プロセッサ」という用語は、複数のレジスタおよび/またはメモリからの電子データを処理し、当該電子データを、複数のレジスタおよび/またはメモリに格納され得る他の電子データに変換する、任意のデバイスまたはデバイスの一部を指し得る。

20

【0049】

通信チップ808は、封入層が内部に形成された状態で異質の接合基板スタックを含むように形成され、本発明の複数の実装により形成される1または複数のデバイスも含み得る。

30

【0050】

更なる実施形態において、コンピューティングデバイス800内に収納される別のコンポーネントは、封入層が内部に形成された状態で異質の接合基板スタックを含むように形成され、本発明の複数の実装により形成される1または複数のデバイスを含み得る。

【0051】

様々な実施形態において、コンピューティングデバイス800は、ラップトップコンピュータ、ネットブックコンピュータ、ノートブックコンピュータ、ウルトラブックコンピュータ、スマートフォン、タブレット、携帯情報端末（PDA）、ウルトラモバイルPC、携帯電話、デスクトップコンピュータ、サーバ、プリンタ、スキャナ、モニタ、セットトップボックス、エンタテインメント制御ユニット、デジタルカメラ、携帯音楽プレーヤ、またはデジタルビデオレコーダであってもよい。複数の更なる実装において、コンピューティングデバイス800は、データを処理するその他の電子デバイスであってもよい。

40

【0052】

一実施形態において、複数の基板を接合する方法は、第1の半導体基板を提供する段階と、第1の半導体基板の上部に、酸化剤に曝露されると安定酸化物を生成する封入材料で形成される封入層を形成する段階と、第1の上部面を有する第1の接合層を封入層の上部に形成する段階と、第2の半導体基板を提供する段階と、第2の上部面を有する第2の接合層を第2の半導体基板の上部に形成する段階と、第1の上部面を第2の上部面に接合することにより、第1の半導体基板を第2の半導体基板に貼り付ける段階とを備える。

【0053】

50

一実施形態において、第1の半導体基板は、酸化剤に曝露されると不安定な酸化物を生成する第1の半導体材料を含む。一実施形態において、第1の半導体材料は、ゲルマニウムを含み得る。

【0054】

更に、一実施形態において、封入材料はシリコンを含む。一実施形態において、酸化剤は、酸素および水のうちの少なくとも1つである。一実施形態において、本方法は、第1の上部面および第2の上部面を表面処理する段階を更に備える。一実施形態において、第1の上部面および第2の上部面を表面処理する段階は、第1の上部面および第2の上部面にヒドロキシル終端を生成する。一実施形態において、第1の上部面および第2の上部面を表面処理する段階は、プラズマ処理を有する。一実施形態において、プラズマ処理は、大気圧下での O_2 アッシングである。

10

【0055】

一実施形態において、第1の半導体基板を第2の半導体基板に貼り付ける段階は、第1の接合層および第2の接合層の拡散接合により実行される。一実施形態において、第1の半導体基板を第2の半導体基板に貼り付ける段階は、熱アニーリングを適用する段階を有する。一実施形態において、熱アニーリングは、30分～1時間、300～400の温度で実行される。一実施形態において、第1の接合層および第2の接合層を形成する段階は、堆積処理により形成される。堆積処理は、酸化シリコン材料を堆積させるCVDプロセスであってもよい。一実施形態において、第1の接合層を形成する段階は、酸化により実行される。

20

【0056】

一実施形態において、接合半導体構造物は、第1の半導体基板と、第2の半導体基板と、第1の半導体基板と第2の半導体基板との間に配置され、第1の半導体基板を第2の半導体基板に貼り付ける接合層と、第1の半導体基板と接合層との間に配置される封入層とを備える。一実施形態において、第1の半導体基板は、ゲルマニウムを含む。一実施形態において、第2の半導体基板は、シリコンを含む。一実施形態において、封入層はシリコンを含む。一実施形態において、封入層は、エピタキシャルシリコンである。一実施形態において、封入層は、複数の副生水が第1の半導体基板に到達することを阻止する。一実施形態において、封入層は、2～6nmの範囲の厚さを有する。一実施形態において、接合層は、2～3J/m²の接着強度で前記第1の表面を前記第2の基板に接合する。一実施形態において、接合層は、50～150nmの範囲の厚さを有する。

30

【0057】

一実施形態において、コンピュータデバイスは、マザーボードと、マザーボードにマウントされたプロセッサと、プロセッサと同一のチップ上に製造されるか、またはマザーボードにマウントされる通信チップとを備え、プロセッサは、第1の半導体基板と、第2の半導体基板と、第1の半導体基板と第2の半導体基板との間に配置され、第1の半導体基板を第2の半導体基板に貼り付ける接合層と、第1の半導体基板と接合層との間に配置される封入層とを有する。一実施形態において、第1の半導体基板は、ゲルマニウムを含む。一実施形態において、第2の半導体基板は、シリコンを含む。一実施形態において、封入層はシリコンを含む。一実施形態において、封入層は、エピタキシャルシリコンである。一実施形態において、封入層は、2～6nmの範囲の厚さを有する。

40

【0058】

要約書において説明されることを含む、本発明の例示された複数の実装の上記の説明は、網羅的であるか、または開示される正確な形態に本発明を限定することを意図しない。本発明の特定の実装および例は、例示的目的で本明細書に説明されるが、当業者が理解するように、様々な均等な修正が本発明の範囲内で可能である。

【0059】

これらの修正は、上記の詳細な説明に照らして本発明に対してなされ得る。以下の特許請求の範囲において用いられる用語は、本明細書および特許請求の範囲で開示される特定の実装に本発明を限定するものと解釈されるべきではない。むしろ、本発明の範囲は、以

50

下の特許請求の範囲により専ら判断されるものであり、特許請求の範囲は、特許請求の範囲の解釈において確立された理論により解釈される。

【図1A】

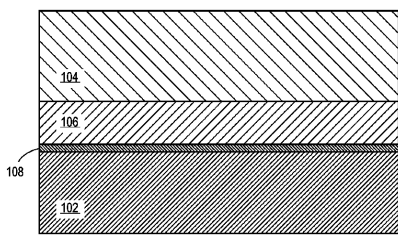


FIG. 1A

【図1B】

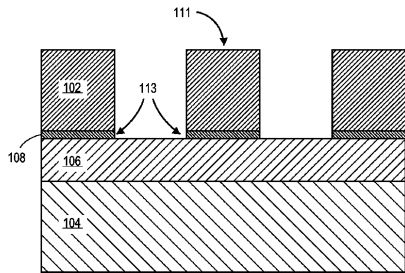


FIG. 1B

【図2A】

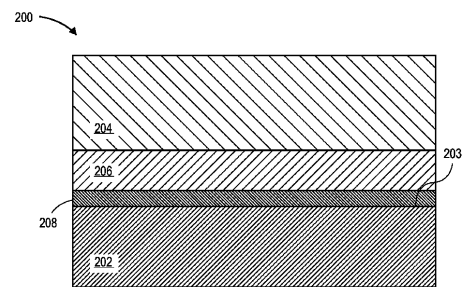


FIG. 2A

【図2B】

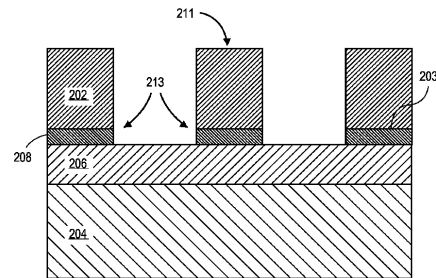


FIG. 2B

【 図 3 A 】

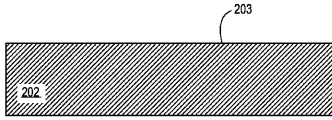


FIG. 3A

【 図 3 B 】

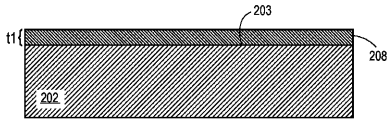


FIG. 3B

【 図 3 C 】

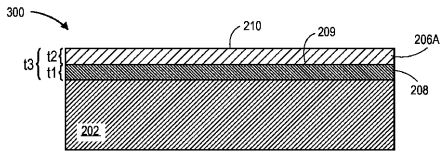


FIG. 3C

【 図 3 D 】

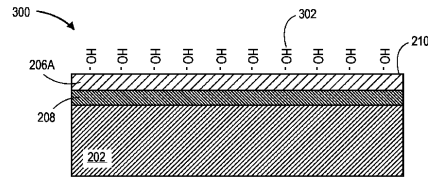


FIG. 3D

【 図 4 A 】

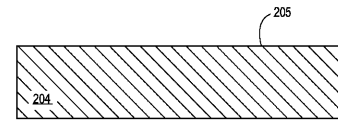


FIG. 4A

【 図 4 B 】

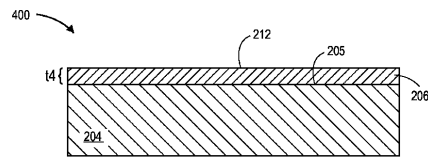


FIG. 4B

【 図 4 C 】

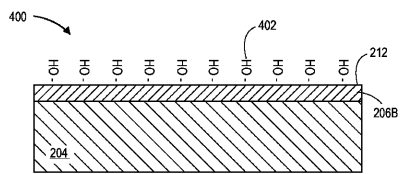


FIG. 4C

【 図 5 B 】

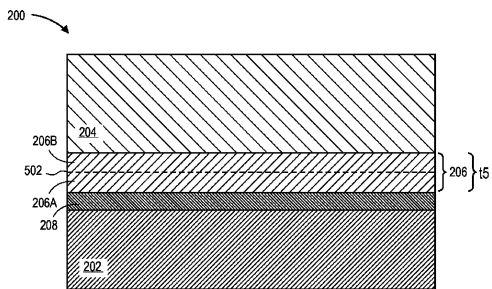


FIG. 5B

【 図 5 A 】

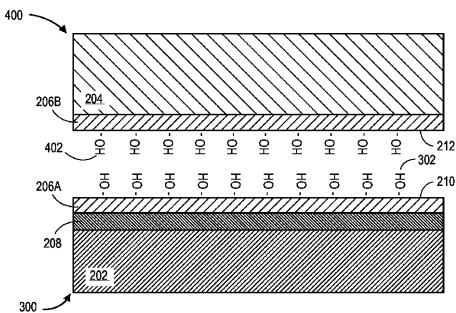


FIG. 5A

【 図 6 A 】

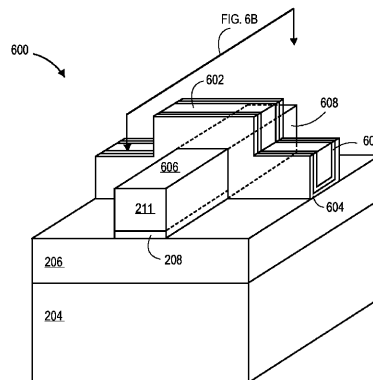


FIG. 6A

【 図 6 B 】

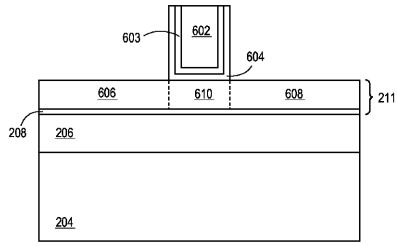


FIG. 6B

【 図 7 】

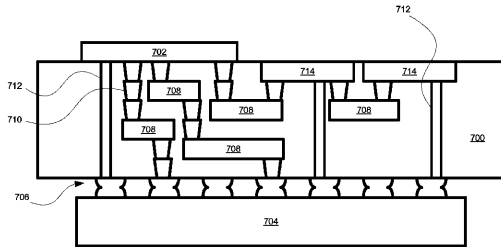
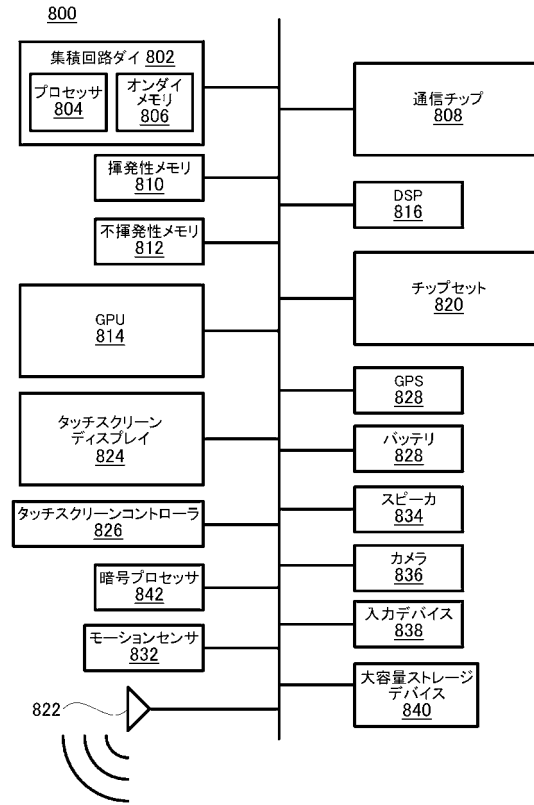


FIG. 7

【 図 8 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2014/042316
A. CLASSIFICATION OF SUBJECT MATTER		
H01L 21/56(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L 21/56; H01L 21/84; H01L 21/50; H01L 29/786; H01L 21/762; H01L 33/02; H01L 21/44; H01L 23/488		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: bonding, substrate, germanium, encapsulation, semiconductor, oxidation		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6410371 B1 (BIN YU et al.) 25 June 2002 See abstract, column 3, line 29 - column 4, line 52 and figures 3A-3F.	13-19
Y		20-25
A		1-12
Y	US 2011-0215407 A1 (SANH D. TANG et al.) 08 September 2011 See abstract, paragraphs [0029]-[0031], [0081] and figures 3, 44.	20-25
A	KR 10-2011-0134149 A (SAMSUNG CORNING PRECISION MATERIALS CO., LTD.) 14 December 2011 See abstract, paragraphs [0018]-[0024], claims 1-7 and figure 2.	1-25
A	US 2002-0164839 A1 (PAUL M. ENQUIST) 07 November 2002 See abstract, paragraphs [0062]-[0066] and figures 1-4.	1-25
A	US 2013-0161820 A1 (JULIAN GONSEA et al.) 27 June 2013 See abstract, paragraphs [0036]-[0041], claims 1-14 and figures 4-5.	1-25
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 March 2015 (13.03.2015)		Date of mailing of the international search report 13 March 2015 (13.03.2015)
Name and mailing address of the ISA/KR International Application Division Korean Intellectual Property Office 189 Cheongesa-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. ++82 42 472 7140		Authorized officer CHOI, Sang Won Telephone No. +82-42-481-8291

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2014/042316

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6410371 B1	25/06/2002	US 6765227 B1	20/07/2004
US 2011-0215407 A1	08/09/2011	CN 102782850 A	14/11/2012
		EP 2543069 A2	09/01/2013
		JP 2013-521648 A	10/06/2013
		KR 10-1430855 B1	18/08/2014
		KR 10-2012-0124071 A	12/11/2012
		SG 183452 A1	27/09/2012
		TW 201145487 A	16/12/2011
		WO 2011-109146 A2	09/09/2011
		WO 2011-109146 A3	15/12/2011
KR 10-2011-0134149 A	14/12/2011	KR 10-1144840 B1	14/05/2012
US 2002-0164839 A1	07/11/2002	AU 2000-78253 A1	10/05/2001
		AU 2001-47536 A1	03/10/2001
		AU 4753601 A	03/10/2001
		CA 2404270 A1	27/09/2001
		CA 2404270 C	22/02/2011
		EP 1245039 A2	02/10/2002
		EP 1277232 A1	22/01/2003
		EP 1277232 A4	23/07/2003
		JP 2003-524886 A	19/08/2003
		JP 2003-528466 A	24/09/2003
		JP 2012-156514 A	16/08/2012
		JP 2012-199556 A	18/10/2012
		KR 10-0916376 B1	07/09/2009
		KR 10-1328367 B1	16/12/2013
		KR 10-1329836 B1	16/12/2013
		TW 471012 A	01/01/2002
		TW 471012 B	01/01/2002
		TW 480628 A	21/03/2002
		TW 480628 B	21/03/2002
		US 2002-0064906 A1	30/05/2002
		US 2002-0094661 A1	18/07/2002
		US 2002-0173120 A1	21/11/2002
		US 2003-0119279 A1	26/06/2003
		US 2006-0292744 A1	28/12/2006
		US 2008-0061418 A1	13/03/2008
		US 2008-0061419 A1	13/03/2008
		US 2008-0093747 A1	24/04/2008
		US 6500694 B1	31/12/2002
		US 6627531 B2	30/09/2003
		US 6864585 B2	08/03/2005
		US 6905557 B2	14/06/2005
		US 6984571 B1	10/01/2006
		US 7037755 B2	02/05/2006
		US 7126212 B2	24/10/2006
		WO 01-26137 A2	12/04/2001

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2014/042316

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		WO 01-26137 A3	30/08/2001
		WO 01-71797 A1	27/09/2001
US 2013-0161820 A1	27/06/2013	DE 102011089569 A1	27/06/2013

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ラッチマディ、ウィリー

アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレバード・2200 インテル・コーポレーション内

(72)発明者 グラス、グレン

アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレバード・2200 インテル・コーポレーション内

(72)発明者 ムールティ、アーナンダ

アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレバード・2200 インテル・コーポレーション内

Fターム(参考) 5F110 AA09 BB04 CC10 DD05 DD13 EE01 EE02 EE04 EE06 EE11
EE14 EE22 EE32 FF01 FF02 FF09 GG03 GG12 QQ17