



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I841560 B

(45)公告日：中華民國 113 (2024) 年 05 月 11 日

(21)申請案號：108113891

(22)申請日：中華民國 108 (2019) 年 04 月 19 日

(51)Int. Cl. : H01L29/786 (2006.01)

H10K50/00 (2023.01)

(30)優先權：2018/04/20 日本

2018-081381

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；岡崎健一 OKAZAKI, KENICHI (JP)；神長正美 JINTYOU, MASAMI (JP)；島行德 SHIMA, YUKINORI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

TW 201250863A

US 2011/0084267A1

US 2015/0014679A1

US 2015/0187951A1

US 2016/0233342A1

US 2017/0263783A1

期刊 S. J. Kang, et al. Surface-chemistry-sensitive spectral features of In-Ga-Zn-O thin film: Cleaned, air-passivated, and sputter-phase-separated surfaces Chemical Physics Letters, 第 510 冊, 2011 年出版。第 510 冊 Elsevier 2011 234-236

審查人員：陳穎慧

申請專利範圍項數：13 項 圖式數：31 共 129 頁

(54)名稱

半導體裝置

(57)摘要

提供一種電特性良好的半導體裝置。提供一種電特性穩定的半導體裝置。半導體裝置包括絕緣表面上的第一電晶體及第二電晶體。第一電晶體及第二電晶體分別包括第一絕緣層、第一絕緣層上的半導體層、半導體層上的第二絕緣層以及隔著第二絕緣層與半導體層重疊的第一導電層。第一絕緣層具有與半導體層重疊的凸狀的第一區域及不與半導體層重疊且厚度比第一區域薄的第二區域。第一導電層具有第二區域上的第一導電層的底面位於比半導體層的底面更低處的部分。此外，第二電晶體還具有第三導電層，該第三導電層隔著第一絕緣層與半導體層重疊。

指定代表圖：

符號簡單說明：

- 100A . . . 電晶體
- 106 . . . 導電層
- 108 . . . 半導體層
- 108N . . . 區域
- 112 . . . 導電層
- 120a . . . 導電層
- 120b . . . 導電層
- 141a . . . 開口部
- 141b . . . 開口部
- 142 . . . 開口部

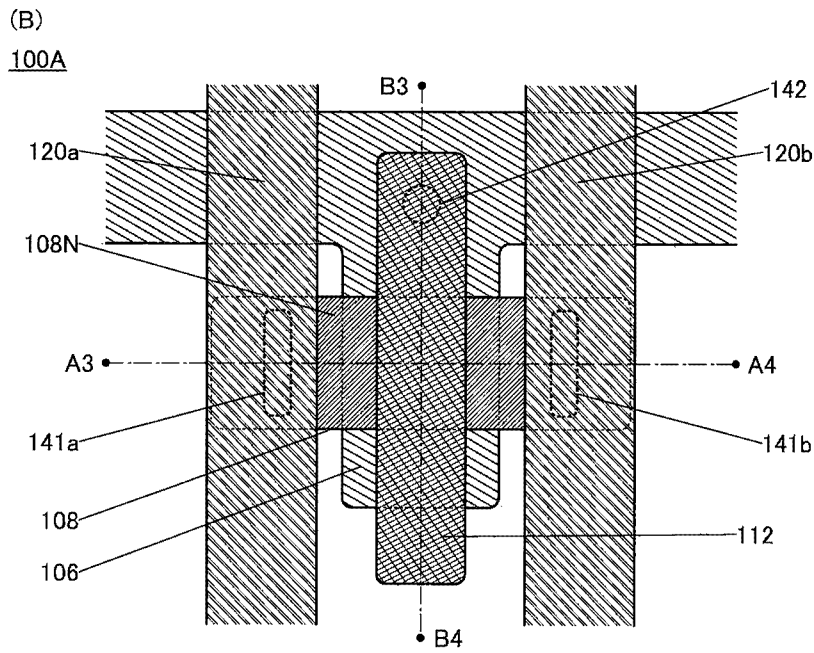
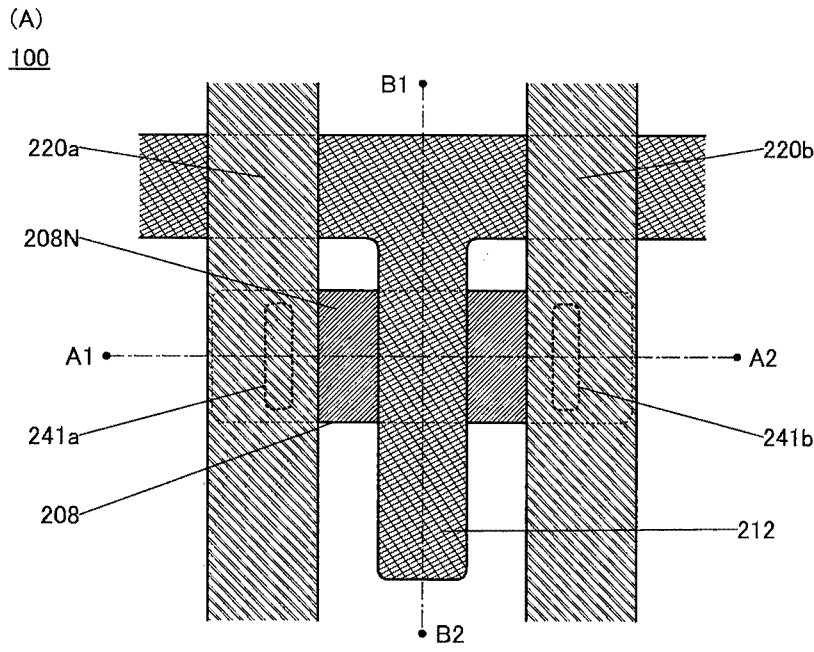


圖1

發明摘要

【發明名稱】(中文/英文)

半導體裝置

【中文】

- 5 提供一種電特性良好的半導體裝置。提供一種電特性穩定的半導體裝置。半導體裝置包括絕緣表面上的第一電晶體及第二電晶體。第一電晶體及第二電晶體分別包括第一絕緣層、第一絕緣層上的半導體層、半導體層上的第二絕緣層以及隔著第二絕緣層與半導體層重疊的第一導電層。第一絕緣層具有與半導體層重疊的凸狀的第一區域及不與半導體
- 10 層重疊且厚度比第一區域薄的第二區域。第一導電層具有第二區域上的第一導電層的底面位於比半導體層的底面更低處的部分。此外，第二電晶體還具有第三導電層，該第三導電層隔著第一絕緣層與半導體層重疊。

【英文】

15

20

【代表圖】

5 **【本案指定代表圖】：**圖1B。

【本代表圖之符號簡單說明】：

100A 電晶體

106 導電層

108 半導體層

10 108N 區域

112 導電層

120a 導電層

120b 導電層

141a 開口部

15 141b 開口部

142 開口部

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

20

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

5

【技術領域】

[0001]

本發明的一個實施方式係關於半導體裝置。本發明的一個實施方式係關於顯示裝置。本發明的一個實施方式係關於半導體裝置或顯示裝置的製造方法。

10

[0002]

注意，本發明的一個實施方式不侷限於上述技術領域。作為本說明書等所公開的本發明的一個實施方式的技術領域的例子，可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、電子裝置、

15 照明設備、輸入裝置、輸入輸出裝置、這些裝置的驅動方法或這些裝置的製造方法。半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。

15

【先前技術】

[0003]

作為可用於電晶體的半導體材料，使用金屬氧化物的氧化物半導體受到矚目。例如，專利文獻1公開了如下半導體裝置：層疊有多個氧化物半導體層，在該多個氧化物半導體層中，被用作通道的氧化物半導體層包含銦及鎵，並且銦的比例比鎵的比例高，使得場效移動率(有時，

25 簡稱為移動率或 μFE)得到提高的半導體裝置。

25

[0004]

由於能夠用於半導體層的金屬氧化物可以利用濺射法等形成，所以可以被用於構成大型顯示裝置的電晶體的半導體層。此外，因為可以

將使用多晶矽或非晶矽的電晶體的生產設備的一部分改良而利用，所以還可以抑制設備投資。此外，與使用非晶矽的電晶體相比，使用金屬氧化物的電晶體具有高場效移動率，所以可以實現設置有驅動電路的高性能的顯示裝置。

5 [0005]

此外，專利文獻 2 公開了一種應用氧化物半導體膜的薄膜電晶體，其中，在源極區域及汲極區域中包括包含鋁、硼、鎵、銦、鈦、矽、鍺、錫和鉛中的至少一種作為摻雜物的低電阻區域。

[0006]

10 [專利文獻 1]日本專利申請公開第 2014-7399 號公報

[專利文獻 2]日本專利申請公開第 2011-228622 號公報

【發明內容】

[0007]

15 半導體裝置根據其用途或對其電特性的要求，需要多個具有不同功能的電晶體。為此，需要以滿足特性要求的方式分別形成不同的電晶體。

[0008]

於是，本發明的一個實施方式的目的之一是提供一種具有寄生電容少的電晶體及通態電流 (on-state current) 高的電晶體的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種電特性良好的半導體裝置。尤其是，本發明的一個實施方式的目的之一是提供一種能夠流過大電流的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種電特性穩定的半導體裝置。此外，本發明的一個實施方式的目
20 的之一是提供一種可靠性高的半導體裝置。此外，本發明的一個實施方式的目的是提供一種新穎的半導體裝置。

[0009]

注意，這些目的的記載不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。此外，可以從說明書、圖式、

申請專利範圍等的記載衍生上述以外的目的。

[0010]

本發明的一個實施方式是包括絕緣表面上的第一電晶體及第二電晶體的半導體裝置。第一電晶體包括第一絕緣層、第一絕緣層上的第一半導體層、第一半導體層上的第二絕緣層以及隔著第二絕緣層與第一半導體層重疊的第一導電層。第一絕緣層具有與第一半導體層重疊的一部分在厚度方向上突出的形狀，並具有與第一半導體層重疊的第一區域及不與第一半導體層重疊且厚度比第一區域薄的第二區域。第一導電層具有第二區域上的第一導電層的底面位於比第一半導體層的底面更低處的部分。第二電晶體包括第一絕緣層上的第二半導體層、第二半導體層上的第二絕緣層、隔著第二絕緣層與第二半導體層重疊的第二導電層以及隔著第一絕緣層與第二半導體層重疊的第三導電層。第一絕緣層具有與第二半導體層重疊的一部分在厚度方向上突出的形狀，並具有與第二半導體層重疊的第三區域及不與第二半導體層重疊且厚度比第三區域薄的第四區域。第二導電層具有第四區域上的第二導電層的底面位於比第二半導體層的底面更低處的部分。

[0011]

本發明的一個實施方式是包括絕緣表面上的第一電晶體及第二電晶體的半導體裝置。第一電晶體包括第一絕緣層、第一絕緣層上的第一半導體層、第一半導體層上的第二絕緣層以及隔著第二絕緣層與第一半導體層重疊的第一導電層。第一絕緣層具有與第一半導體層重疊的一部分在厚度方向上突出的形狀，並具有與第一半導體層重疊的第一區域及不與第一半導體層重疊且厚度比第一區域薄的第二區域。第一導電層具有第二區域上的第一導電層的底面位於比第一半導體層的底面更低處的部分。第二絕緣層與第一區域的側面、第二區域的頂面、第一半導體層的頂面及側面接觸。第二電晶體包括第一絕緣層上的第二半導體層、第二半導體層上的第二絕緣層、隔著第二絕緣層與第二半導體層重疊的第二導電層以及隔著第一絕緣層與第二半導體層重疊的第三導電層。第一絕緣層具有與第二半導體層重疊的一部分在厚度方向

上突出的形狀，並具有與第二半導體層重疊的第三區域及不與第二半導體層重疊且厚度比第三區域薄的第四區域。第二導電層具有第四區域上的第二導電層的底面位於比第二半導體層的底面更低處的部分。第二絕緣層與第三區域的側面、第四區域的頂面、第二半導體層的頂面及側面接觸。

[0012]

本發明的一個實施方式是包括絕緣表面上的第一電晶體及第二電晶體的半導體裝置。第一電晶體包括第一絕緣層、第一絕緣層上的第一半導體層、第一半導體層上的第二絕緣層以及隔著第二絕緣層與第一半導體層重疊的第一導電層。第一絕緣層具有與第一半導體層重疊的一部分在厚度方向上突出的形狀，並具有與第一半導體層重疊的第一區域及不與第一半導體層重疊且厚度比第一區域薄的第二區域。第一導電層具有第二區域上的第一導電層的底面位於比第一半導體層的底面更低處的部分。第二絕緣層和第一導電層的頂面形狀大致一致。第二電晶體包括第一絕緣層上的第二半導體層、第二半導體層上的第三絕緣層、隔著第三絕緣層與第二半導體層重疊的第二導電層以及隔著第一絕緣層與第二半導體層重疊的第三導電層，第一絕緣層具有與第二半導體層重疊的一部分在厚度方向上突出的形狀，並具有與第二半導體層重疊的第三區域及不與第二半導體層重疊且厚度比第三區域薄的第四區域。第二導電層具有第四區域上的第二導電層的底面位於比第二半導體層的底面更低處的部分。第三絕緣層和第二導電層的頂面形狀大致一致。

[0013]

在上述半導體裝置中，較佳的是，第一半導體層具有不與第一導電層重疊的第五區域，第二半導體層具有不與第二導電層重疊的第六區域，第五區域及第六區域包含第一元素，並且第一元素為磷、硼、鎂、鋁和矽中的任一個以上。

[0014]

在上述半導體裝置中，較佳的是，第一半導體層及第二半導體層包

含金屬氧化物，並且第五區域及第六區域包含第一元素和氧的鍵合。

[0015]

在上述半導體裝置中，較佳的是，還包括第四絕緣層，第一半導體層具有不與第一導電層重疊的第五區域，第二半導體層具有不與第二導電層重疊的第六區域，第四絕緣層與第五區域及第六區域接觸，第一半導體層及第二半導體層包含金屬氧化物，並且第四絕緣層包含氮化物。

[0016]

在上述半導體裝置中，較佳的是，第四絕緣層包含選自鋁、鈦、鉭、鎢、鉻和鈦中的一個以上的元素及氮，並且第五區域及第六區域中存在金屬狀態的鈦。

[0017]

在上述半導體裝置中，第四絕緣層較佳為包含矽、氮以及氫。

[0018]

在上述半導體裝置中，第一區域的厚度較佳為第二區域的厚度的1.2倍以上且10倍以下。

[0019]

在上述半導體裝置中，較佳的是，第一區域的側面具有從與第一半導體層的下端部接觸的部分到第二區域梯度連續變化的形狀，並且第三區域的側面具有從與第二半導體層的下端部接觸的部分到第四區域梯度連續變化的形狀。

[0020]

在上述半導體裝置中，較佳的是，第一導電層具有其頂面位於比第一半導體層的底面更低處的部分，並且第二導電層具有其頂面位於比第二半導體層的底面更低處的部分。

[0021]

在上述半導體裝置中，較佳的是，第一半導體層具有依次層疊有第一金屬氧化膜和第二金屬氧化膜的疊層結構，第二半導體層具有依次層疊有第三金屬氧化膜和第四金屬氧化膜的疊層結構，並且第二金屬

氧化膜及第四金屬氧化膜的結晶性高於第一金屬氧化膜及第三金屬氧化膜的結晶性。

[0022]

在上述半導體裝置中，較佳的是，還包括像素部和驅動電路部，像素部具有第一電晶體，並且驅動電路部具有第二電晶體。

[0023]

根據本發明的一個實施方式，可以提供一種具有寄生電容少的電晶體及通態電流高的電晶體的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種電特性良好的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種能夠流過大電流的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種電特性穩定的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種可靠性高的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種新穎的半導體裝置。

[0024]

注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個實施方式並不需要具有所有上述效果。此外，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的效果。

【圖式簡單說明】

[0025]

圖 1A 和圖 1B 是半導體裝置的結構例；

圖 2A1、圖 2A2、圖 2B1 及圖 2B2 是半導體裝置的結構例；

圖 3 是半導體裝置的結構例；

圖 4A 和圖 4B 是半導體裝置的結構例；

圖 5A1、圖 5A2、圖 5B1 及圖 5B2 是半導體裝置的結構例；

圖 6A1、圖 6A2、圖 6B1 及圖 6B2 是半導體裝置的結構例；

圖 7A1、圖 7A2、圖 7B1 及圖 7B2 是半導體裝置的結構例；

圖 8A 和圖 8B 是說明半導體裝置的製造方法的圖；

圖 9A 和圖 9B 是說明半導體裝置的製造方法的圖；

- 圖 10A 和圖 10B 是說明半導體裝置的製造方法的圖；
圖 11A 和圖 11B 是說明半導體裝置的製造方法的圖；
圖 12A 和圖 12B 是說明半導體裝置的製造方法的圖；
圖 13A 和圖 13B 是說明半導體裝置的製造方法的圖；
5 圖 14 是說明半導體裝置的製造方法的圖；
圖 15A、圖 15B 及圖 15C 是顯示裝置的俯視圖；
圖 16 是顯示裝置的剖面圖；
圖 17 是顯示裝置的剖面圖；
圖 18 是顯示裝置的剖面圖；
10 圖 19 是顯示裝置的剖面圖；
圖 20A 是顯示裝置的方塊圖，圖 20B 和圖 20C 是顯示裝置的電路圖；
圖 21A、圖 21C 及圖 21D 是顯示裝置的電路圖，圖 21B 是顯示裝置的時序圖；
15 圖 22A 和圖 22B 是顯示模組的結構例；
圖 23A 和圖 23B 是電子裝置的結構例；
圖 24A、圖 24B、圖 24C、圖 24D 及圖 24E 是電子裝置的結構例；
圖 25A、圖 25B、圖 25C、圖 25D、圖 25E、圖 25F 及圖 25G 是電子裝置的結構例；
20 圖 26A、圖 26B、圖 26C、圖 26D、圖 26E 及圖 26F 是電子裝置的結構例；
圖 27 是電晶體的電特性；
圖 28 是電晶體的電特性；
圖 29 是電晶體的電特性；
25 圖 30 是電晶體的電特性；
圖 31A 和圖 31B 是電晶體的可靠性評價結果。

【實施方式】

[0026]

以下，參照圖式對實施方式進行說明。但是，實施方式可以以多個不同方式來實施，所屬技術領域的通常知識者可以很容易地理解一個事實，就是其方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的精神及其範圍。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

[0027]

在本說明書所說明的圖式中，為便於清楚地說明，有時誇大表示各結構的大小、層的厚度或區域。

[0028]

本說明書所使用的“第一”、“第二”、“第三”等序數詞是為了避免組件的混淆而附加的，而不是為了在數目方面上進行限定的。

[0029]

在本說明書中，為了方便起見，使用“上”、“下”等表示配置的詞句以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各結構的方向適當地改變。因此，不侷限於說明書中所說明的詞句，根據情況可以適當地換詞句。

[0030]

此外，在本說明書等中，在電晶體的極性或電路工作中的電流方向變化的情況等下，電晶體所包括的源極及汲極的功能有時相互調換。因此，“源極”和“汲極”可以相互調換。

[0031]

注意，在本說明書等中，電晶體的通道長度方向是指與以最短距離連接源極區域和汲極區域的直線平行的方向中的一個。也就是說，通道長度方向相當於在電晶體處於開啟狀態時流過半導體層中的電流的方向之一。此外，通道寬度方向是指與該通道長度方向正交的方向。此外，根據電晶體的結構及形狀，通道長度方向及通道寬度方向有時不限於一個方向。

[0032]

在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”

連接的情況。在此，“具有某種電作用的元件”只要可以進行連接對象間的電信號的授受，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

5 [0033]

此外，在本說明書等中，可以將“膜”和“層”相互調換。例如，有時可以將“導電層”變換為“導電膜”。此外，例如，有時可以將“絕緣層”變換為“絕緣膜”。

[0034]

10 此外，在本說明書等中，在沒有特別的說明的情況下，關態電流(off-state current)是指電晶體處於關閉狀態（也稱為非導通狀態、遮斷狀態）時的汲極電流。在沒有特別的說明的情況下，在 n 通道電晶體中，關閉狀態是指閘極與源極間的電壓 V_{gs} 低於臨界電壓 V_{th} （p 通道型電晶體中 V_{gs} 高於 V_{th} ）的狀態。

15 [0035]

在本說明書等中，顯示裝置的一個實施方式的顯示面板是指能夠在顯示面顯示（輸出）影像等的面板。因此，顯示面板是輸出裝置的一個實施方式。

[0036]

20 此外，在本說明書等中，有時將在顯示面板的基板上安裝有例如 FPC(Flexible Printed Circuit:軟性印刷電路)或 TCP(Tape Carrier Package:捲帶式封裝)等連接器的結構或在基板上以 COG(Chip On Glass:晶粒玻璃接合)方式等直接安裝 IC(積體電路)的結構稱為顯示面板模組或顯示模組，或者也簡稱為顯示面板等。

25 [0037]

注意，在本說明書等中，顯示裝置的一個實施方式的觸控面板具有如下功能：在顯示面顯示影像等的功能；以及檢測出手指或觸控筆等被檢測體接觸、按壓或靠近顯示面的作為觸控感測器的功能。因此，觸控面板是輸入輸出裝置的一個實施方式。

[0038]

觸控面板例如也可以稱為具有觸控感測器的顯示面板（或顯示裝置）、具有觸控感測器功能的顯示面板（或顯示裝置）。觸控面板也可以包括顯示面板及觸控感測器面板。或者，也可以具有在顯示面板內部或表面具有觸控感測器的功能的結構。

[0039]

此外，在本說明書等中，有時將在觸控面板的基板上安裝有連接器或 IC 的結構稱為觸控面板模組、顯示模組，或者簡稱為觸控面板等。

[0040]

實施方式 1

在本實施方式中對本發明的一個實施方式的半導體裝置及其製造方法進行說明。

[0041]

本發明的一個實施方式是包括第一電晶體及第二電晶體且該第一電晶體及該第二電晶體設置在同一絕緣表面上的半導體裝置。第一電晶體及第二電晶體分別具有不同的結構。第一電晶體具有在半導體層所包含的通道形成區域上設置有閘極電極的單閘極結構，而第二電晶體具有在通道形成區域上下分別設置有閘極電極的雙閘極結構。藉由採用這種結構，可以實現寄生電容少的第一電晶體及通態電流高的第二電晶體。

[0042]

根據本發明的一個實施方式，可以在同一絕緣表面上設置結構不同的電晶體，以使各電晶體具有不同的功能。此外，可以以基本上同一製程製造結構不同的電晶體，由此可以高生產率地製造結構不同的電晶體。此外，因為可以以基本上同一製程製造結構不同的電晶體，所以可以高生產率地製造具有多種多樣的電路的半導體裝置。

[0043]

在將半導體裝置用於顯示裝置的情況下，例如，可以將寄生電容少

的第一電晶體應用於設置於像素部的電晶體之一，並可以將通態電流高的第二電晶體應用於設置於驅動電路部的電晶體之一。藉由將寄生電容少的第一電晶體應用於像素部，可以減少大型顯示裝置或高清晰顯示裝置中的信號遲延而抑制顯示不均勻。此外，藉由將通態電流高的第二電晶體應用於驅動電路部，可以實現能夠高速工作的顯示裝置。

[0044]

第一電晶體和第二電晶體都包括絕緣層、絕緣層上的被形成通道的半導體層、半導體層上的第一閘極絕緣層以及第一閘極絕緣層上的第一閘極電極。此外，第二電晶體還包括隔著絕緣層與半導體層重疊的第二閘極電極。在第二電晶體中，絕緣層被用作第二閘極絕緣層。

[0045]

半導體層較佳為包含呈現半導體特性的金屬氧化物（以下也稱為氧化物半導體）。

[0046]

絕緣層具有與半導體層重疊的第一區域及該第一區域以外的第二區域。此外，第一區域的厚度厚於第二區域的厚度。換言之，絕緣層具有第一區域比第二區域在厚度方向上更突出的凸部。此時，半導體層設置在第一絕緣層的第一區域的凸部上。

[0047]

此外，絕緣層的第一區域的側面（亦即，凸部的邊緣部）較佳為具有錐形形狀。此時，第一區域的側面與第二區域的頂面所形成的角度較佳為大於 90 度且小於 180 度，更佳為 100 度以上且 170 度以下，進一步較佳為 110 度以上且 160 度以下。由此，可以提高閘極絕緣層對第一區域的側面的覆蓋率，從而可以抑制該部分的厚度變薄。

[0048]

此外，絕緣層的第一區域的側面較佳為具有從與第一半導體層的下端部接觸的部分到第二區域梯度連續變化的形狀。由此，可以進一步提高第一閘極絕緣層、第一閘極電極等對半導體層及絕緣層的覆蓋率。

[0049]

此外，在第一電晶體及第二電晶體的通道寬度方向上，第一閘極絕緣層及第一閘極電極覆蓋半導體層的頂面及側面、絕緣層的第一區域的側面以及第二區域的頂面。此時，與第二區域重疊的部分中的第一閘極電極的底面較佳為位於比第一區域上的第一半導體層的底面更低處。由此，對第一閘極電極施加電壓時產生的電場不但可以從半導體層的頂面一側而且還可以從側面一側及斜下方一側對其產生作用，而可以使半導體層被該電場電圍繞。因此，可以更有效地施加用來誘發半導體層的通道生成的電場，第一電晶體及第二電晶體的場效移動率及通態電流得到提高。

[0050]

根據閘極絕緣層的厚度等，可以控制絕緣層的第一區域和第二區域之間的厚度差異。第一區域和第二區域之間的厚度差異至少大於閘極絕緣層的厚度。此外，當在半導體層與閘極電極之間設置閘極絕緣層以外的層的情況下，較佳為考慮到該層的厚度加工第二區域來減薄該第二區域的厚度。

[0051]

例如，第一區域的厚度可以為第二區域的厚度的 1.2 倍以上，較佳為 1.5 倍以上，更佳為 2 倍以上，進一步較佳為 2.5 倍以上，且 10 倍以下。

[0052]

此外，第一區域和第二區域之間的厚度差異為閘極絕緣層的厚度的 1 倍以上，較佳為 1.2 倍以上，更佳為 1.5 倍以上，進一步較佳為 2 倍以上，且 20 倍以下。

[0053]

第二電晶體還包括第二閘極電極，可以由一對閘極電極所產生的電場電圍繞半導體層，由此可以實現通態電流比第一電晶體高的電晶體。此外，第一電晶體的閘極容量小於第二電晶體，所以可以實現能夠高速工作的電晶體。

[0054]

以下，參照圖式對更具體的例子進行說明。

[0055]

<半導體裝置的結構例>

5 以下，參照圖式說明可以應用於本發明的一個實施方式的半導體裝置的電晶體。這裡，說明結構不同的兩種電晶體。以下，對兩個電晶體之間共通的組件附上同一符號，有時省略重複說明。

[0056]

[結構例 1]

10 圖 1A 是電晶體 100 的俯視圖，而圖 1B 是電晶體 100A 的俯視圖。在圖 1A 及圖 1B 中，省略了電晶體 100 及電晶體 100A 的組件的一部分（絕緣層等）。其他電晶體的俯視圖也與圖 1A 及圖 1B 同樣省略組件的一部分。

[0057]

15 圖 2A1 及圖 2B1 示出電晶體 100 的剖面圖。圖 2A1 相當於沿圖 1A 所示的點劃線 A1-A2 的剖面圖，而圖 2B1 相當於沿圖 1A 所示的點劃線 B1-B2 的剖面圖。此外，點劃線 A1-A2 方向相當於電晶體 100 的通道長度方向，而點劃線 B1-B2 方向相當於電晶體 100 的通道寬度方向。

[0058]

20 圖 2A2 及圖 2B2 示出電晶體 100A 的剖面圖。圖 2A2 相當於沿圖 1B 所示的點劃線 A3-A4 的剖面圖，而圖 2B2 相當於沿圖 1B 所示的點劃線 B3-B4 的剖面圖。此外，點劃線 A3-A4 方向相當於電晶體 100A 的通道長度方向，而點劃線 B3-B4 方向相當於電晶體 100A 的通道寬度方向。

[0059]

25 電晶體 100 和電晶體 100A 是可以在同一基板 102 上經同一製程而形成的電晶體。電晶體 100A 與電晶體 100 不同之處主要在於：在基板 102 與絕緣層 103 之間設置有導電層 106。導電層 106 具有與半導體層 108 的通道形成區域及導電層 112 重疊的區域。

[0060]

首先，說明電晶體 100。

[0061]

如圖 2A1 及圖 2B1 所示那樣，電晶體 100 設置在基板 102 上，並包括絕緣層 103、半導體層 208、絕緣層 110、金屬氧化物層 214、導電層 212 以及絕緣層 118 等。島狀的半導體層 208 設置在絕緣層 103 上。絕緣層 110 與絕緣層 103 的頂面、半導體層 208 的頂面及側面接觸。金屬氧化物層 214 及導電層 212 依次設置在絕緣層 110 上，並具有與半導體層 208 重疊的部分。此外，從平面看時，金屬氧化物層 214 的頂面形狀與導電層 212 的頂面形狀大致一致。絕緣層 118 覆蓋導電層 212 的頂面及側面、金屬氧化物層 214 的側面以及絕緣層 110 的頂面。

[0062]

在本說明書等中，“頂面形狀大致一致”是指疊層中的每一個層的邊緣的至少一部分重疊。例如，是指上層及下層的一部或全部藉由同一的遮罩圖案被加工的情況。但是，實際上有邊緣不重疊的情況，例如，上層位於下層的內側或者上層位於下層的外側，這種情況也可以說“頂面形狀大致一致”。

[0063]

導電層 212 的一部分被用作閘極電極。絕緣層 110 的一部分被用作閘極絕緣層。半導體層 208 與導電層 212 重疊的部分被用作通道形成區域。電晶體 100 是在半導體層 208 上設置有閘極電極的所謂單閘極結構及頂閘極結構的電晶體。

[0064]

此外，如圖 1A 及圖 2A1 所示，電晶體 100 也可以在絕緣層 118 上具有導電層 220a 及導電層 220b。導電層 220a 及導電層 220b 被用作源極電極或汲極電極。導電層 220a 及導電層 220b 分別藉由設置在絕緣層 118 中的開口部 241a 及開口部 241b 電連接於下述的區域 208N。

[0065]

半導體層 208 較佳為包含金屬氧化物。

[0066]

因為可以降低驅動電壓。

[0073]

5 作為金屬氧化物層 214，例如可以使用氧化銦、銦錫氧化物 (ITO) 或含有矽的銦錫氧化物 (ITSO) 等導電氧化物。尤其是，較佳為使用包含銦的導電氧化物，因為其導電性高。

[0074]

10 此外，作為金屬氧化物層 214，較佳為使用包含一個以上的與半導體層 208 相同的元素的氧化物材料。尤其是，較佳為使用可應用於上述半導體層 208 的氧化物半導體材料。此時，藉由使用利用與半導體層 208 相同的濺射靶材而形成的金屬氧化物膜作為金屬氧化物層 214，可以共用設備，所以這是較佳的。

[0075]

15 此外，在半導體層 208 和金屬氧化物層 214 的兩者都使用包含銦及鎵的金屬氧化物材料的情況下，藉由使用其鎵組成（含有比率）高於半導體層 208 的材料，可以提高對氧的阻擋性，所以這是較佳的。此時，藉由將其銦組成高於金屬氧化物層 214 的材料用於半導體層 208，可以提高電晶體 100 的場效移動率。

[0076]

20 此外，金屬氧化物層 214 較佳為利用濺射裝置形成。例如，在利用濺射裝置形成氧化物膜時，藉由在包含氧氣體的氛圍下形成該氧化物膜，可以適當地對絕緣層 110 或半導體層 208 中添加氧。

[0077]

25 半導體層 208 具有隔著絕緣層 110 與導電層 212 重疊的通道形成區域。此外，半導體層 208 具有夾有該通道形成區域的一對區域 208N。區域 208N 的電阻低於通道形成區域，並被用作電晶體 100 的源極區域或汲極區域。

[0078]

此外，區域 208N 也可以說是與通道形成區域相比電阻更低的區域、載子濃度更高的區域、氧缺陷密度更高的區域、雜質濃度更高的區域或

呈現 n 型的區域。

[0079]

5 半導體層 208 的區域 208N 是包含雜質元素的區域。作為該雜質元素，例如，可以舉出氫、硼、碳、氮、氟、磷、硫、砷、鋁或稀有氣體元素等。作為稀有氣體元素的典型例子，也可以包含氦、氖、氬、氪及氙等。特別是，較佳為包含硼或磷。此外，也可以包含這些元素中的兩種以上。

[0080]

10 絕緣層 110 具有與半導體層 208 的通道形成區域接觸的區域，亦即，與導電層 212 重疊的區域。此外，絕緣層 110 還具有與半導體層 208 的低電阻的區域 208N 接觸，且不與導電層 212 重疊的區域。

[0081]

15 此外，與半導體層 208 的通道形成區域接觸的絕緣層 103 及絕緣層 110 較佳為使用氧化物膜。例如，可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜等氧化物膜。由此，藉由電晶體 100 的製程中的熱處理等，從絕緣層 103 或絕緣層 110 脫離的氧被供應到半導體層 208 的通道形成區域，由此可以降低半導體層 208 中的氧缺陷。

[0082]

圖 3 是放大了圖 2A1 中的點劃線所圍繞的區域 P 的剖面圖。

20 [0083]

絕緣層 110 具有包含上述雜質元素的區域 110d。區域 110d 至少位於絕緣層 110 與區域 208N 的界面附近。此外，區域 110d 在沒設置有半導體層 208 的區域及不與導電層 212 重疊的區域中至少位於絕緣層 110 與絕緣層 103 的界面附近。此外，如圖 2A1 及圖 3 所示，區域 110d
25 較佳為沒設置在與半導體層 208 的通道形成區域接觸的部分中。

[0084]

此外，絕緣層 103 在與絕緣層 110 接觸的界面附近包括上述包含雜質元素的區域 103d。如圖 3 所示，區域 103d 還設置在與區域 208N 接觸的界面附近。此時，與區域 208N 重疊的部分的雜質濃度比與絕緣

層 110 接觸的部分的雜質濃度低。

[0085]

這裡，區域 208N 的雜質濃度較佳為具有越接近絕緣層 110 濃度越高的濃度梯度。由此，越靠近區域 208N 的上部，電阻越低，從而可以
5 更有效地降低與導電層 220a (或導電層 220b) 之間的接觸電阻。此外，與整個區域 208N 具有均勻的濃度的情況相比，可以進一步降低區域 208N 的雜質元素的總量，由此可以將因製程中加熱等而有可能擴散到通道形成區域的雜質量保持為較低水準。

[0086]

10 此外，區域 110d 的雜質濃度較佳為具有越接近半導體層 208 濃度越高的濃度梯度。在使用能夠藉由加熱釋放氧的氧化物膜的絕緣層 110 中，上述被添加雜質元素的區域 110d 與其他區域相比可以抑制氧的釋放。由此，位於絕緣層 110 與區域 208N 的界面附近的區域 110d 被用作氧障壁層，從而可以有效地減少供應給區域 208N 的氧。

[0087]

15 如下所述，可以以導電層 212 為遮罩對區域 208N 及區域 110d 添加雜質元素。由此，可以在形成區域 208N 的同時以自對準的方式形成區域 110d。

[0088]

20 在圖 3 等中，為了誇張表示絕緣層 110 的高雜質濃度區域位於與半導體層 208 的界面附近，只在絕緣層 110 中的半導體層 208 附近以陰影線示出區域 110d，但是實際上在整個絕緣層 110 的厚度方向上含有上述雜質元素。

[0089]

25 區域 208N 及區域 110d 較佳為分別包含雜質濃度為 1×10^{19} atoms/cm³ 以上且 1×10^{23} atoms/cm³ 以下，較佳為 5×10^{19} atoms/cm³ 以上且 5×10^{22} atoms/cm³ 以下，更佳為 1×10^{20} atoms/cm³ 以上且 1×10^{22} atoms/cm³ 以下的區域。此外，區域 208N 較佳為具有其雜質濃度高於絕緣層 110 的區域 110d 的部分，由此可以有效地降低區域 208N 的電阻。

[0090]

例如，可以利用二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）、X 射線光電子能譜技術（XPS：X-ray Photoelectron Spectroscopy）等分析技術分析出區域 208N 及區域 110d 所包含的雜質的濃度。在利用 XPS 分析技術的情況下，藉由組合來自表面一側或背面一側的離子濺射和 XPS 分析，可以得知深度方向上的濃度分佈。

[0091]

此外，區域 208N 中的雜質元素較佳為在被氧化的狀態下存在。例如，作為雜質元素，較佳為使用硼、磷、鎂、鋁、矽等容易被氧化的元素。這種容易被氧化的元素可以在與半導體層 208 中的氧鍵合而被氧化了的狀態下穩定地存在，因此，即使在後面的製程中被施加高溫（例如為 400°C 以上、600°C 以上、800°C 以上），也可以抑制脫離。此外，雜質元素奪取半導體層 208 中的氧，由此在區域 208N 中產生很多氧缺陷。該氧缺陷與膜中的氫鍵合而成為載子供給源，使得區域 208N 成為極低電阻狀態。

[0092]

此外，當在後面的製程中進行高溫處理時，有時多量的氧從外部或區域 208N 附近的膜被供應到區域 208N，有時會導致電阻上升。因此，較佳為在被氧阻擋性高的絕緣層 110 等覆蓋的狀態下進行高溫處理。

[0093]

此外，區域 110d 中的雜質元素也較佳為在被氧化的狀態下存在。這種容易被氧化的元素可以在與絕緣層 110 中的氧鍵合而被氧化了的狀態下穩定地存在，因此，即使在後面的製程中被施加高溫，也可以抑制脫離。尤其是，在絕緣層 110 中含有能夠藉由加熱脫離的氧（也稱為過量氧）的情況下，該過量氧與雜質元素鍵合而被穩定化，由此可以抑制氧從區域 110d 被供應給區域 208N。此外，包含被氧化了的狀態下的雜質元素的區域 110d 處於氧不容易擴散的狀態，由此也可以防止氧從區域 110d 上方藉由該區域 110d 被供應給區域 208N。

[0094]

例如，在使用硼作為雜質元素的情況下，包含在區域 208N 及區域 110d 中的硼以與氧鍵合的狀態存在。藉由在 XPS 分析中觀察到起因於硼與氧的鍵合的峰可以確認這一點。作為硼與氧的鍵合，例如可以舉出 B_2O_3 鍵合。此外，在 XPS 分析中，觀察不到起因於硼元素單獨存在的狀態的峰或者其峰強度極小到埋在檢測下限的背景雜訊中的程度。

[0095]

絕緣層 103 具有與半導體層 208 重疊的區域 103a 及不與半導體層 208 重疊的區域 103b。絕緣層 103 具有區域 103a 與區域 103b 相比更突出於厚度方向上的形狀。該區域 103a 也可以被稱為凸部。

[0096]

絕緣層 103 的區域 103a 的厚度比區域 103b 厚。此外，區域 103a 的側面（絕緣層 103 的凸部的邊緣部）較佳為從與半導體層 208 的下端部接觸的部分向區域 103b 具有錐形狀。此時，區域 103a 的側面與區域 103b 的頂面所形成的角度較佳為鈍角。更明確而言，區域 103a 的側面與區域 103b 的頂面所形成的角度較佳為大於 90 度且小於 180 度，更佳為 100 度以上且 170 度以下，進一步較佳為 110 度以上且 160 度以下。由此，可以提高位於絕緣層 103 上方的膜（例如，絕緣層 110、金屬氧化物層 214、導電層 212 等）的覆蓋率，並且低密度區域（也稱為空洞）不容易形成在這些膜中，從而可以提高電晶體 100 的可靠性。

[0097]

此外，區域 103a 的側面較佳為具有從其頂端部（與半導體層 208 的下端部接觸的部分附近）到區域 103b 的頂面梯度連續變化的形狀。像這樣，因為區域 103a 的側面具有平緩的曲面形狀及區域 103a 的側面與區域 103b 的頂面連續的形狀，所以可以進一步提高位於絕緣層 103 上方的膜的覆蓋率。

[0098]

如圖 2B1 所示，在通道寬度方向上，絕緣層 110、金屬氧化物層 214、導電層 212 覆蓋半導體層 208 的頂面及側面、絕緣層 103 的區域 103a 的側面以及區域 103b 的頂面。

[0099]

圖 4A 是圖 2B1 中的點劃線所圍繞的區域 Q 的放大圖。圖 4A 示出厚度 t1 至 t4、高度 h1 至 h4。

[0100]

5 厚度 t1 為區域 103a 的厚度，而厚度 t2 為區域 103b 的厚度。此外，厚度 t3 為與區域 103b 重疊的部分中的絕緣層 110 及金屬氧化物層 114 的總厚度。此外，厚度 t4 為與區域 103b 重疊的部分中的絕緣層 110、金屬氧化物層 214 及導電層 212 的總厚度。

[0101]

10 區域 103a 的厚度 (t1) 可以為區域 103b 的厚度 (t2) 的 1.2 倍以上，較佳為 1.5 倍以上，更佳為 2 倍以上，進一步較佳為 2.5 倍以上，且 10 倍以下。

[0102]

15 這裡，在以差異 d1 表示區域 103a 的厚度與區域 103b 的厚度的差異的情況下，得到公式“ $d1=t1-t2$ ”。此時，如圖 4A 所示，差異 d1 較佳為大於厚度 t3。此外，差異 d1 較佳為大於厚度 t4。

[0103]

20 另一方面，高度 h1 至高度 h4 分別以絕緣層 103 的區域 103a 的底面的高度為基準。高度 h1 是指半導體層 208 的底面（在絕緣層 103 與半導體層 208 接觸的情況下，相當於它們的界面）的高度。高度 h2 是指區域 103b 的頂面（在絕緣層 103 與絕緣層 110 接觸的情況下，相當於它們的界面）的高度。高度 h3 是指與區域 103b 重疊的部分中的導電層 212 的底面（在導電層 212 與金屬氧化物層 214 接觸的情況下，相當於它們的界面）的高度。高度 h4 是指與區域 103b 重疊的部分中的導電層 212 的頂面（在導電層 212 與絕緣層 118 接觸的情況下，相當於它們的界面）的高度。

[0104]

此時，如圖 4A 所示，半導體層 208 的底面的高度 h1 較佳為高於導電層 212 的底面的高度 h3。此外，高度 h1 較佳為高於導電層 212 的

頂面的高度 h_4 。

[0105]

如圖 4B 所示，區域 103a 的厚度與區域 103b 的厚度的差異 d_1 也可以小於與區域 103b 重疊的部分中的絕緣層 110、金屬氧化物層 214 及
5 導電層 212 的厚度 t_4 。此外，如圖 4B 所示，半導體層 208 的底面的高度 h_1 也可以低於導電層 212 的頂面的高度 h_4 。

[0106]

藉由採用上述結構，可以在通道寬度方向上將導電層 212 設置在半導體層 208 的頂面一側及其側面一側及其下端部的斜下方一側。由
10 此，可以由對導電層 212 施加電壓時產生的電場電圍繞半導體層 208，從而可以增高電晶體 100 的通態電流。

[0107]

一般來說，藉由將通道寬度 W 與通道長度 L 的比例 (W/L 比) 設定得較大，可以增高電晶體的通態電流。但是，本發明的一個實施方式
15 可以在不改變上述設計的情況下，亦即，可以在不增大通道寬度 W 的情況下提高電晶體的場效移動率並增高通態電流。

[0108]

電晶體的通道寬度 W 根據裝入電路時的特性值要求而設定即可，例如，在應用於顯示裝置的像素電路或驅動電路等的情況下，通道寬度
20 W 為 $1\mu\text{m}$ 以上且 $100\mu\text{m}$ 以下，較佳為 $1.2\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下，更佳為 $1.5\mu\text{m}$ 以上且 $30\mu\text{m}$ 以下，由此可以流過極大電流。注意，通道寬度 W 不侷限於此，也可以根據特性要求而設定為大於 $50\mu\text{m}$ 。

[0109]

此外，因為電晶體 100 的場效移動率及通態電流得到提高，所以可以將通道長度 L 設定為比較大，由此可以改善電晶體的特性不均勻並
25 提高良率。與通道寬度 W 同樣，電晶體的通道長度 L 也根據特性值要求而設定即可，例如，在應用於顯示裝置的像素電路或驅動電路等的情況下，通道長度 L 較佳為 $1\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下，更佳為 $1.2\mu\text{m}$ 以上且 $15\mu\text{m}$ 以下，進一步較佳為 $1.5\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。尤其是，藉由

將通道長度 L 設定為 $1.5\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下，較佳為 $2\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下，可以抑制通道長度 L 的基板面內不均勻並可以提高良率。注意，通道寬度 L 不侷限於此，也可以根據特性要求而設定為大於 $20\mu\text{m}$ 。

[0110]

5 在本說明書等中，電晶體的通道長度方向是指與以最短距離連接源極區和汲極區的直線平行的方向中的一個。也就是說，通道長度方向相當於在電晶體處於開啟狀態時流過半導體層中的電流的方向之一。此外，通道寬度方向是指與該通道長度方向正交的方向。此外，根據電晶體的結構及形狀，通道長度方向及通道寬度方向有時不限於一個方向。

[0111]

15 這裡，電晶體 100 的通道長度 L 是指導電層 212 與半導體層 208 重疊的區域中的通道長度方向上的長度。此外，電晶體 100 的通道寬度 W 是指半導體層 208 被導電層 212 覆蓋的區域中的通道寬度方向上的長度。

[0112]

在此，對半導體層 208 以及有可能形成在半導體層 208 中的氧缺陷進行說明。

[0113]

20 形成在半導體層 208 的通道形成區域中的氧缺陷對電晶體特性造成影響而引起問題。例如，當在半導體層 208 中形成有氧缺陷時，該氧缺陷有時與氫鍵合而成為載子供應源。當在通道形成區域中產生載子供應源時，電晶體 100 的電特性發生變動，典型為臨界電壓的漂移。因此，在通道形成區域中，氧缺陷越少越好。

[0114]

25 於是，在本發明的一個實施方式中，半導體層 208 的通道形成區域附近的絕緣膜，明確而言，位於通道形成區域上方的絕緣層 110 及位於通道形成區域下方的絕緣層 103 包含氧化物膜。藉由利用製程中的加熱等將氧從絕緣層 103 及絕緣層 110 移動到通道形成區域，可以減少

通道形成區域中的氧缺陷。

[0115]

此外，半導體層 208 較佳為包括 In 的原子數比大於 M 的原子數比的區域。In 的原子數比越大，越可以提高電晶體的場效移動率。

5 [0116]

在此，在包含 In、Ga 及 Zn 的金屬氧化物中，In 與氧的鍵合力比 Ga 與氧的鍵合力弱，因此在 In 的原子數比較大的情況下，氧缺陷容易形成在金屬氧化物膜中。此外，在使用上述 M 所示的金屬元素代替 Ga 的情況下，也有同樣的傾向。當在金屬氧化物膜中存在較多的氧缺陷時，

10 電晶體的電特性及可靠性下降。

[0117]

但是，在本發明的一個實施方式中，能夠對包含金屬氧化物的半導體層 208 的通道形成區域中供應極多的氧，由此可以使用 In 的原子數比大的金屬氧化物材料。因此，可以實現具有極高的場效移動率、穩定的

15 電特性以及高可靠性的電晶體。

[0118]

例如，可以適當地使用 In 的原子數比為 M 的原子數比的 1.5 倍以上、2 倍以上、3 倍以上、3.5 倍以上或 4 倍以上的金屬氧化物。

[0119]

尤其是，半導體層 208 的 In、M 及 Zn 的原子數比較佳為 In : M : Zn=4 : 2 : 3 或其附近。此外，半導體層 208 的 In、M 及 Zn 的原子數比較佳為 In : M : Zn=5 : 1 : 6 或其附近。此外，在半導體層 208 的組成中，半導體層 208 的 In、M 及 Zn 的原子數比也可以大致相等。也就是說，半導體層 208 可以包含 In、M 及 Zn 的原子數比為 In : M : Zn=1 :

20 1 : 1 或其附近的材料。

[0120]

例如，藉由將上述場效移動率高的電晶體用於生成閘極信號的閘極驅動器，可以提供一種邊框寬度窄(也稱為窄邊框)的顯示裝置。此外，藉由將上述場效移動率高的電晶體用於源極驅動器(尤其是，與源極驅

動器所包括的移位暫存器的輸出端子連接的解多工器)，可以提供一種與顯示裝置連接的佈線數較少的顯示裝置。

[0121]

5 注意，即使半導體層 208 包括 In 的原子數比大於 M 的原子數比的區域，也在半導體層 208 的結晶性較高時，有時場效移動率降低。半導體層 208 的結晶性例如可以藉由 X 射線繞射(XRD：X-Ray Diffraction)或せんとうしきでんしあらわびかがみ(TEM：Transmission Electron Microscope)進行分析。

[0122]

10 這裡，藉由降低半導體層 208 的通道形成區域的雜質濃度及缺陷態密度（減少氧缺陷），可以降低膜中的載子密度。將該金屬氧化物膜用於半導體層的通道形成區域的電晶體很少具有負臨界電壓的電特性（也稱為常開啟特性）。此外，使用該金屬氧化物膜的電晶體具有關態電流極小的特性。

15 [0123]

藉由將結晶性高的金屬氧化物膜用於半導體層 208，可以抑制在加工半導體層 208 時或在形成絕緣層 110 時的損傷，由此可以實現高可靠性的電晶體。另一方面，藉由將結晶性較低的金屬氧化物膜用於半導體層 208，可以提高導電性，由此可以實現場效移動率高的電晶體。

20 [0124]

作為半導體層 208，較佳為使用如下所述的具有 CAAC(c-axis aligned crystal：c 軸配向晶體)結構的金屬氧化物膜、具有 nc(nano crystal：奈米晶體)結構的金屬氧化物膜或混合 CAAC 結構和 nc 結構而成的金屬氧化物膜。

25 [0125]

藉由採用上述結構，可以實現電特性良好且可靠性高的電晶體 100。

[0126]

接著，說明電晶體 100A。以下主要說明與電晶體 100 的不同之處。至於與電晶體 100 相同之處，可以援用上述說明，因此省略詳細說明。

[0127]

如圖 2A2 及圖 2B2 所示，電晶體 100A 設置在基板 102 上，並包括導電層 106、絕緣層 103、半導體層 108、絕緣層 110、金屬氧化物層 114、導電層 112 以及絕緣層 118 等。島狀的半導體層 108 設置在絕緣層 103 上。絕緣層 110 與絕緣層 103 的頂面、半導體層 108 的頂面及側面接
5 觸。金屬氧化物層 114 及導電層 112 依次設置在絕緣層 110 上，並具有與半導體層 108 重疊的部分。此外，從平面看時，金屬氧化物層 114 的頂面形狀與導電層 112 的頂面形狀大致一致。絕緣層 118 覆蓋導電層 112 的頂面及側面、金屬氧化物層 114 的側面以及絕緣層 110 的頂面。
10 在電晶體 100A 中，導電層 106 設置在基板 102 與絕緣層 103 之間。導電層 106 具有與半導體層 108 的通道形成區域及導電層 112 重疊的區域。

[0128]

在電晶體 100A 中，導電層 106 具有第一閘極電極(也稱為底閘極
15 電極)的功能，導電層 112 具有第二閘極電極(也稱為頂閘極電極)的功能。此外，絕緣層 103 的一部分被用作第一閘極絕緣層，絕緣層 110 的一部分被用作第二閘極絕緣層。電晶體 100A 是所謂的雙閘極結構的電晶體。

[0129]

20 半導體層 108 的與導電層 112 及導電層 106 中的至少一個重疊的部分被用作通道形成區域。下面，為了便於說明，有時將半導體層 108 的與導電層 112 重疊的部分稱為通道形成區域，但是實際上有時通道還形成在不與導電層 112 重疊而與導電層 106 重疊的部分(包括區域 108N 的部分)。

25 [0130]

此外，如圖 1B 及圖 2B2 所示，導電層 106 可以藉由設置在金屬氧化物層 114、絕緣層 110 以及絕緣層 103 中的開口部 142 電連接到導電層 112。由此，可以對導電層 106 和導電層 112 供應同一電位。

[0131]

作為導電層 106，可以使用與導電層 112、導電層 120a 或導電層 120b 相同的材料。尤其是，當將包含銅的材料用於導電層 106 時，可以降低佈線電阻，所以是較佳的。此外，當將鎢或鉬等高熔點材料用於導電層 106 時，可以在後面的製程中進行高溫處理。

5 [0132]

此外，如圖 1B 及圖 2B2 所示，較佳為在通道寬度方向上導電層 112 及導電層 106 突出到半導體層 108 端部的外側。此時，如圖 2B2 所示，導電層 112 及導電層 106 隔著絕緣層 110 及絕緣層 103 覆蓋整個半導體層 108 的通道寬度方向。

10 [0133]

藉由採用上述結構，可以利用由一對閘極電極產生的電場電圍繞半導體層 108。此時，尤其較佳為對導電層 106 和導電層 112 供應同一電位。由此，可以有效地施加用來感生半導體層 108 中的通道的電場，而可以增大電晶體 100A 的通態電流。因此，可以實現電晶體 100A 的

15 微型化。

[0134]

此外，導電層 112 也可以不與導電層 106 連接。此時，可以對一對閘極電極中的一個供應固定電位，對另一個供應用來驅動電晶體 100A 的信號。此時，可以藉由利用供應給一個閘極電極的電位控制用另一個

20 閘極電極驅動電晶體 100A 時的臨界電壓。

[0135]

絕緣層 118 被用作保護電晶體 100 及電晶體 100A 的保護層。作為絕緣層 118，例如可以使用氧化物或氮化物等無機絕緣材料。更明確而言，可以使用氮化矽、氮氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氮化

25 鋁、氧化鉛、鉛酸鉛等無機絕緣材料。此外，絕緣層 118 可以被用作平坦化層。在此情況下，可以將有機樹脂材料用於絕緣層 118。此外，絕緣層 118 可以採用兩層以上的疊層結構。

[0136]

以上是對結構例 1 的說明。

[0137]

以下，對其一部分的結構與上述結構例 1 不同的電晶體的結構例子進行說明。下面，有時省略與上述結構例 1 重複的部分的說明。此外，在以下所示的圖式中，關於具有與上述結構例 1 相同的功能的部分使用相同的陰影線，而有時不附加元件符號。

[0138]

[結構例 2]

圖 5A1 是電晶體 100B 的通道長度方向上的剖面圖，而圖 5B1 是電晶體 100B 的通道寬度方向上的剖面圖。因為可以援用圖 1A，所以省略示出俯視圖。電晶體 100B 與上述結構例 1 所示的電晶體 100 的不同之處主要在於：代替半導體層 208，從絕緣層 103 一側層疊有半導體層 208a 及半導體層 208b。

[0139]

圖 5A2 是電晶體 100C 的通道長度方向上的剖面圖，而圖 5B2 是電晶體 100C 的通道寬度方向上的剖面圖。因為可以援用圖 1B，所以省略示出俯視圖。電晶體 100C 與上述結構例 1 所示的電晶體 100A 的不同之處主要在於：代替半導體層 108，從絕緣層 103 一側層疊有半導體層 108a 及半導體層 108b。

[0140]

作為半導體層 108a 及半導體層 108b，例如可以分別使用組成不同的金屬氧化物膜。例如，當使用 In-Ga-Zn 氧化物時，較佳為分別選自藉由利用如下濺射靶材形成的膜，該濺射靶材的 In、M 及 Zn 的原子數的比例為 In : M : Zn=5 : 1 : 6、In : M : Zn=4 : 2 : 3、In : M : Zn=1 : 1 : 1、In : M : Zn=2 : 2 : 1、In : M : Zn=1 : 3 : 4、In : M : Zn=1 : 3 : 2 或其附近。作為半導體層 208a，可以使用其組成與半導體層 108a 相同的金屬氧化物膜。作為半導體層 208b，可以使用其組成與半導體層 108b 相同的金屬氧化物膜。

[0141]

此外，也可以層疊結晶性不同的金屬氧化物膜。在此情況下，較佳

為使用相同的氧化物靶材在不同的成膜條件下以不暴露於大氣的方式連續地形成該金屬氧化物膜。

[0142]

此時，可以採用使用具有 nc 結構的金屬氧化物膜作為半導體層 108a 及半導體層 208a 並使用具有 CAAC 結構的金屬氧化物膜作為半導體層 108b 及半導體層 208b 而成的疊層結構。此外，也可以使用具有 nc 結構的金屬氧化物膜作為半導體層 108a、半導體層 108b、半導體層 208a 及半導體層 208b。至於適合用於半導體層 108a、半導體層 108b、半導體層 208a 及半導體層 208b 的金屬氧化物的功能或材料構成，可以援用下述 CAC(Cloud-Aligned Composite)。

[0143]

例如，將先形成的第一金屬氧化物膜（半導體層 108a 及半導體層 208a）的成膜時的氧流量比設定為比後形成的第二金屬氧化物膜（半導體層 108b 及半導體層 208b）的成膜時的氧流量比小。或者，採用在第一金屬氧化物膜的成膜時不引入氧的條件。由此，可以在第二金屬氧化物膜的成膜時有效地供應氧。此外，第一金屬氧化物膜可以具有比第二金屬氧化物膜低的結晶性以及比第二金屬氧化物膜高的導電性。另一方面，藉由使設置在上部的第二金屬氧化物膜的結晶性高於第一金屬氧化物膜的結晶性，可以抑制在半導體層 108 及半導體層 208 的加工時或絕緣層 110 的成膜時造成的損傷。

[0144]

更明確而言，第一金屬氧化物膜的成膜時的氧流量比為 0% 以上且低於 50%，較佳為 0% 以上且 30% 以下，更佳為 0% 以上且 20% 以下，典型為 10%。第二金屬氧化物膜的成膜時的氧流量比為 50% 以上且 100% 以下，較佳為 60% 以上且 100% 以下，更佳為 80% 以上且 100% 以下，進一步較佳為 90% 以上且 100% 以下，典型為 100%。此外，雖然可以使第一金屬氧化物膜與第二金屬氧化物膜的成膜時的壓力、溫度、功率等的條件不同，但是藉由使氧流量比以外的條件相同，可以縮短成膜製程所需要的時間，所以是較佳的。

[0145]

以上說明了半導體層 108 及半導體層 208 具有兩層疊層結構的結構，但是本發明的一個實施方式不侷限於此。例如，半導體層 108 及半導體層 208 也可以具有三層以上的疊層結構。此外，半導體層 108 及半導體層 208 也可以分別採用層數不同的結構。

[0146]

[結構例 3]

圖 6A1 是電晶體 100D 的通道長度方向上的剖面圖，而圖 6B1 是電晶體 100D 的通道寬度方向上的剖面圖。因為可以援用圖 1A，所以省略示出俯視圖。電晶體 100D 與上述結構例 1 所示的電晶體 100 的不同之處主要在於：在半導體層 208 上設置有絕緣層 116。

[0147]

電晶體 100D 設置在基板 102 上，並包括絕緣層 103、半導體層 208、絕緣層 110、金屬氧化物層 214、導電層 212、絕緣層 116 以及絕緣層 118 等。島狀的半導體層 208 設置在絕緣層 103 上。絕緣層 110、金屬氧化物層 214 及導電層 212 依次以覆蓋半導體層 208 的一部分及絕緣層 103 的一部分的方式層疊。此外，從平面看時，絕緣層 110 的頂面形狀、金屬氧化物層 214 的頂面形狀及導電層 212 的頂面形狀大致一致。絕緣層 116 覆蓋導電層 212 的頂面及側面、金屬氧化物層 214 的側面、絕緣層 110 的側面、半導體層 208 的頂面及側面、絕緣層 103 的頂面。絕緣層 118 覆蓋絕緣層 116。

[0148]

圖 6A2 是電晶體 100E 的通道長度方向上的剖面圖，而圖 6B2 是電晶體 100E 的通道寬度方向上的剖面圖。因為可以援用圖 1B，所以省略示出俯視圖。電晶體 100E 與上述結構例 1 所示的電晶體 100A 的不同之處主要在於：在半導體層 108 上設置有絕緣層 116。

[0149]

電晶體 100E 設置在基板 102 上，並包括導電層 106、絕緣層 103、半導體層 108、絕緣層 110、金屬氧化物層 114、導電層 112、絕緣層 116

以及絕緣層 118 等。島狀的半導體層 108 設置在絕緣層 103 上。絕緣層 110、金屬氧化物層 114 及導電層 112 依次以覆蓋半導體層 108 的一部分及絕緣層 103 的一部分的方式層疊。此外，從平面看時，絕緣層 110 的頂面形狀、金屬氧化物層 114 的頂面形狀及導電層 112 的頂面形狀大致一致。絕緣層 116 覆蓋導電層 112 的頂面及側面、金屬氧化物層 114 的側面、絕緣層 110 的側面、半導體層 108 的頂面及側面、絕緣層 103 的頂面。絕緣層 118 覆蓋絕緣層 116。此外，電晶體 100E 在基板 102 與絕緣層 103 之間設置有導電層 106。導電層 106 具有與半導體層 108 的通道形成區域及導電層 112 重疊的區域。

10 [0150]

如圖 6A1 及圖 6A2 所示，絕緣層 116 與半導體層 108 的區域 108N 及半導體層 208 的區域 208N 接觸。絕緣層 116 與導電層 112、半導體層 108 以及半導體層 208 中的任何一個接觸，所以絕緣層 116 較佳為具有絕緣性。

15 [0151]

作為與區域 108N 及區域 208N 接觸的絕緣層 116，可以使用包含氮化物的絕緣膜。藉由以與區域 108N 及區域 208N 接觸的方式設置包含氮化物的絕緣層 116，可以起到進一步提高區域 108N 及區域 208N 的導電性的效果。再者，藉由在絕緣層 116 與區域 108N 及區域 208N 接觸的狀態下進行加熱處理，可以進一步促進低電阻化，因此這是較佳的。

20 [0152]

作為可以用於絕緣層 116 的氮化物，特別較佳為使用如氮化矽及氮化鎵等半導體材料的氮化物或氮化鋁等金屬氮化物。例如，氮化矽對氫或水等具有阻擋作用，由此可以防止從外部向半導體層的氫擴散和從半導體層向外部的氧脫離的兩者，可以實現高可靠性電晶體。

25 [0153]

此外，在使用金屬氮化物的情況下，較佳為使用鋁、鈦、鉭、鎢、鉻或鈮的氮化物。例如，特別較佳為包含鋁或鈦。例如，關於利用使用鋁作為濺射靶材且使用包含氮的氣體作為沉積氣體的反應性濺射法形

成的氮化鋁膜，藉由適當地控制相對於沉積氣體的總流量的氮氣的流量比，可以形成兼具極高絕緣性及對氫或氧的極高阻擋性的膜。因此，藉由與半導體層接觸地設置包含這種金屬氮化物的絕緣膜，不但可以實現半導體層的低電阻化而且還可以有效地防止氧從半導體層脫離或者氫擴散到半導體層。

[0154]

在使用氮化鋁作為金屬氮化物的情況下，包含該氮化鋁的絕緣層的厚度較佳為 5nm 以上。就算是這麼薄的膜，也可以兼具對氫及氧的高阻擋性及使半導體層低電阻化的功能。此外，對該絕緣層的厚度沒有限制，但是考慮到生產率，較佳為 500nm 以下，更佳為 200nm 以下，進一步較佳為 50nm 以下。

[0155]

在使用氮化鋁膜作為絕緣層 116 的情況下，較佳為使用其組成式滿足 AlN_x (x 為大於 0 且 2 以下的實數， x 較佳為大於 0.5 且 1.5 以下的實數) 的膜。因此，可以形成具有高絕緣性及高熱傳導率的膜，由此可以提高在驅動電晶體 100 時產生的熱的散熱性。

[0156]

或者，作為絕緣層 116，可以使用氮化鋁鈦膜、氮化鈦膜等。

[0157]

藉由以與區域 108N 及區域 208N 接觸的方式設置絕緣層 116，由該絕緣層 116 抽吸區域 108N 及區域 208N 中的氧，從而可以在區域 108N 及區域 208N 中形成氧缺陷。此時，在使用包含金屬氧化物的膜作為絕緣層 116 的情況下，有時在絕緣層 116 與區域 108N 之間及在絕緣層 116 與區域 208N 之間形成包含絕緣層 116 所包含的金屬元素（例如鋁）的氧化物的層。

[0158]

這裡，在使用包含銮的金屬氧化物膜作為半導體層 108 及半導體層 208 的情況下，有時析出金屬狀態的銮的區域或銮濃度高的區域形成在區域 108N 的絕緣層 116 一側的界面附近及區域 208N 的絕緣層 116

一側的界面附近。這種區域的存在有時可以利用如 X 射線光電子能譜技術等分析技術觀察到。

[0159]

5 像這樣，區域 108N 及區域 208N 的絕緣層 116 一側的界面附近可以包含比通道形成區域多的氧缺陷，由此可以使這些區域成為具有比通道形成區域更低電阻的區域。再者，藉由使用包含金屬氧化物的絕緣膜作為絕緣層 116，在區域 108N 的絕緣層 116 一側的界面附近及區域 208N 的絕緣層 116 一側的界面附近形成析出導電性高的銮的區域，由此可以形成更低電阻的區域。

10 [0160]

此外，作為絕緣層 116，也可以使用被用作對區域 108N 及區域 208N 的氫供給源的膜。例如，絕緣層 116 較佳為藉由加熱釋放氫的膜。藉由以與區域 108N 及區域 208N 接觸的方式設置絕緣層 116，並在形成該絕緣層 116 之後進行加熱處理，可以對區域 108N 及區域 208N 供應氫來實現低電阻化。

[0161]

絕緣層 116 較佳為使用包含氫元素的氣體作為沉積氣體而形成的膜。由此，在形成絕緣層 116 時也可以將氫有效地供應到區域 108N 及區域 208N。

20 [0162]

作為絕緣層 116，例如，可以使用氮化矽、氮氧化矽、氧氮化矽、氮化鋁、氮氧化鋁等絕緣膜。

[0163]

藉由在形成絕緣層 116 時及在形成絕緣層 116 之後的加熱處理，對區域 108N 及區域 208N 供應氫。所供應的氫有時與區域 108N 及區域 208N 中的氧缺陷鍵合而成為載子生成源。由此，可以形成具有比通道形成區域更高載子濃度及更低電阻的區域 108N 及區域 208N。

[0164]

這裡，如圖 6A1 及圖 6A2 所示，絕緣層 116 較佳為覆蓋絕緣層 103

的區域 103a 的側面。包含在絕緣層 103 中的能夠藉由加熱釋放的氧可以從絕緣層 103 的區域 103a 被供應給半導體層 108 及半導體層 208。由此，為了防止氧從區域 103a 的側面脫離，採用該側面被不容易擴散氧的絕緣層 116 覆蓋的結構。此外，如圖 6A1 及圖 6A2 所示，較佳為採用絕緣層 103 的區域 103b 的頂面也被絕緣層 116 覆蓋的結構。由此，
5 可以將從絕緣層 103 釋放的氧有效地供應到半導體層 108 及半導體層 208。由此，可以降低半導體層 108 及半導體層 208 的通道形成區域中的載子密度，並可以提高電晶體 100D 及電晶體 100E 的可靠性。

[0165]

10 [結構例 4]

圖 7A1 是電晶體 100F 的通道長度方向上的剖面圖，而圖 7B1 是電晶體 100F 的通道寬度方向上的剖面圖。因為可以援用圖 1A，所以省略示出俯視圖。電晶體 100F 與上述結構例 3 所示的電晶體 100D 的不同之處主要在於：與半導體層 208 不同，從絕緣層 103 一側層疊有半導體
15 層 208a 及半導體層 208b。

[0166]

圖 7A2 是電晶體 100G 的通道長度方向上的剖面圖，而圖 7B2 是電晶體 100G 的通道寬度方向上的剖面圖。因為可以援用圖 1B，所以省略示出俯視圖。電晶體 100G 與上述結構例 3 所示的電晶體 100E 的不同之處主要在於：與半導體層 108 不同，從絕緣層 103 一側層疊有半導體
20 層 108a 及半導體層 108b。

[0167]

關於半導體層 108a、半導體層 108b、半導體層 208a 及半導體層 208b 可以參照上述[結構例 2]的記載，所以省略詳細說明。

25 [0168]

以上說明了半導體層 108 及半導體層 208 具有兩層的疊層結構的結構，但是本發明的一個實施方式不侷限於此。例如，半導體層 108 及半導體層 208 也可以具有三層以上的疊層結構。此外，半導體層 108 及半導體層 208 也可以分別採用層數不同的結構。

[0169]

以上是對結構例的說明。

[0170]

<製造方法例 1>

- 5 以下參照圖式對本發明的一個實施方式的半導體裝置的製造方法進行說明。在此，以上述結構例示出的電晶體 100 及電晶體 100A 為例進行說明。

[0171]

- 10 構成半導體裝置的薄膜（絕緣膜、半導體膜、導電膜等）可以利用濺射法、化學氣相沉積（CVD：Chemical Vapor Deposition）法、真空蒸鍍法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法、原子層沉積（ALD：Atomic Layer Deposition）法等形成。作為 CVD 法有電漿增強化學氣相沉積（PECVD：Plasma Enhanced CVD）法、熱 CVD 法等。此外，作為熱 CVD 法之一，有有機金屬化學氣相沉積（MOCVD：Metal
15 Organic CVD）法。

[0172]

- 此外，構成半導體裝置的薄膜（絕緣膜、半導體膜、導電膜等）可以利用旋塗法、浸漬法、噴塗法、噴墨法、分配器法、網版印刷法、平板印刷法、刮刀（doctor knife）法、狹縫式塗佈法、輥塗法、簾式塗佈
20 法、刮刀式塗佈法等方法形成。

[0173]

- 此外，當對構成半導體裝置的薄膜進行加工時，可以利用光微影法等進行加工。除了上述方法以外，還可以利用奈米壓印法、噴砂法、剝離法等對薄膜進行加工。此外，可以利用金屬遮罩等陰影遮罩的成膜方法
25 直接形成島狀的薄膜。

[0174]

光微影法典型地有如下兩種方法。一個是在要進行加工的薄膜上形成光阻遮罩，藉由蝕刻等對該薄膜進行加工，並去除光阻遮罩的方法。另一個是在形成感光性薄膜之後，進行曝光及顯影來將該薄膜加工為

所希望的形狀的方法。

[0175]

在光微影法中，作為用於曝光的光，例如可以使用 i 線（波長為 365nm）、g 線（波長為 436nm）、h 線（波長為 405nm）或將這些光混合而成的光。此外，還可以使用紫外光、KrF 雷射或 ArF 雷射等。此外，也可以利用液浸曝光技術進行曝光。作為用於曝光的光，也可以使用極紫外光（EUV：Extreme Ultra-Violet）或 X 射線。此外，也可以使用電子束代替用於曝光的光。當使用極紫外光、X 射線或電子束時，可以進行極其微細的加工，所以是較佳的。此外，在藉由電子束等光束的掃描進行曝光時，不需要光罩。

[0176]

作為薄膜的蝕刻方法，可以利用乾蝕刻法、濕蝕刻法及噴砂法等。

[0177]

圖 8A 至圖 11B 示出電晶體 100 及電晶體 100A 的製程的各階段中的通道長度方向上的剖面。在各圖式中，中央部的點劃線的左側是電晶體 100 的形成區域，而右側是電晶體 100A 的形成區域。

[0178]

[導電層 106 的形成]

在基板 102 上形成導電膜，對其進行蝕刻加工得到用作第一閘極電極的導電層 106。

[0179]

[絕緣膜 103f 的形成]

接著，以覆蓋基板 102 及導電層 106 的方式形成用作絕緣層 103 的絕緣膜 103f。絕緣層 103 可以利用 PECVD 法、ALD 法、濺射法等形成。

[0180]

絕緣膜 103f 可以以後面形成的區域 103a 的厚度形成。絕緣層 103 的厚度可以厚到後面薄膜化製程中不消失的程度。

[0181]

在形成絕緣膜 103f 之後，也可以對絕緣膜 103f 進行氧供應處理。

例如，可以在氧氛圍下進行電漿處理或加熱處理等。或者，也可以利用電漿摻雜法或離子植入法等對絕緣層 103 供應氧。

[0182]

[半導體層 108 及半導體層 208 的形成]

5 接著，在絕緣膜 103f 上形成用作半導體層 108 及半導體層 208 的金屬氧化物膜 108f(圖 8A)。

[0183]

金屬氧化物膜 108f 較佳為藉由使用金屬氧化物靶材的濺射法形成。

[0184]

10 此外，當形成金屬氧化物膜 108f 時，可以對氧氣體混合惰性氣體(例如，氮氣體、氬氣體、氙氣體等)。在金屬氧化物膜 108f 的沉積氣體整體中氧氣體所佔的比率(以下也稱為氧流量比)越高，金屬氧化物膜 108f 的結晶性越高，由此可以實現高可靠性電晶體。另一方面，氧流量比越低，金屬氧化物膜 108f 的結晶性越低，由此可以獲得通態電流高的
15 的電晶體。

[0185]

在半導體層 108 及半導體層 208 具有疊層結構的情況下，較佳為使用相同的濺射靶材在相同的成膜室中連續形成膜，這是因為可以得到良好的界面。尤其是，作為各金屬氧化物膜的成膜條件，雖然可以有
20 差異地設定成膜時的壓力、溫度、功率等條件，但是藉由使氧流量比以外的條件相同，可以縮短成膜製程所需要的時間，所以這是較佳的。此外，在層疊組成不同的金屬氧化物膜的情況下，較佳為以不暴露於大氣的方式連續形成膜。

[0186]

25 在此，金屬氧化物膜 108f 較佳為以成為具有 CAAC 結構的金屬氧化物膜、具有 nc 結構的金屬氧化物膜或者混有 CAAC 結構和 nc 結構的金屬氧化物膜的方式設定成膜條件。注意，形成的金屬氧化物膜為 CAAC 結構的成膜條件及成為 nc 結構的成膜條件根據所使用的濺射靶材的組成而不同，所以可以根據其組成適當地設定基板溫度、氧流量比、

壓力、功率等。

[0187]

此外，作為金屬氧化物膜 108f 的成膜條件，基板溫度可以為室溫以上且 450°C 以下，較佳為室溫以上且 300°C 以下，更佳為室溫以上且 200°C 以下，進一步較佳為室溫以上且 140°C 以下。例如，在使用大型玻璃基板或樹脂基板作為基板 102 的情況下，成膜溫度較佳為室溫以上且低於 140°C，這是因為可以提高生產率的緣故。此外，藉由在基板溫度為室溫或者沒進行意圖性的加熱的狀態下形成金屬氧化物膜，可以降低結晶性。

10 [0188]

此外，較佳為在形成金屬氧化物膜 108f 之前進行用來使附著於絕緣層 103 表面的水、氫、有機物成分等脫離的處理或者進行將氧引入絕緣層 103 中的處理。例如，可以在減壓氛圍下以 70°C 以上且 200°C 以下的溫度進行加熱處理。或者，也可以進行含氧的氛圍下的電漿處理。此外，藉由進行包含一氧化氮氣體的電漿處理，可以合適地去除絕緣層 15 103 表面的有機物。在進行這種處理之後，較佳為在使絕緣層 103 的表面不暴露於大氣的狀態下連續形成金屬氧化物膜。

[0189]

接著，在金屬氧化物膜 108f 上形成光阻遮罩 115 及光阻遮罩 215。然後，藉由蝕刻不被光阻遮罩 115 及光阻遮罩 215 覆蓋的金屬氧化物膜 108f 的一部分，形成半導體層 108 及半導體層 208（圖 8B）。

[0190]

當對金屬氧化物膜 108f 進行加工時，可以使用濕蝕刻法和乾蝕刻法中的一個或兩個。

25 [0191]

[絕緣層 103 的形成]

接著，藉由對不被光阻遮罩 115 覆蓋的絕緣膜 103f 的一部分進行蝕刻來減薄該部分的厚度，形成具有與半導體層 108 及半導體層 208 重疊的部份的區域 103a 以及不與半導體層 108 及半導體層 208 重疊的區

域 103b。區域 103b 的厚度比區域 103a 薄（圖 9A）。

[0192]

對絕緣膜 103f 的蝕刻較佳為採用乾蝕刻法。例如，可以使用具有各向異性的乾蝕刻法。此時，以不去除成為區域 103b 的部分的方式設定蝕刻條件或蝕刻處理時間。此外，較佳為使蝕刻條件最佳化，以使絕緣層 103 的區域 103a 的側面具有梯度連續變化的曲面形狀。

[0193]

這裡，作為絕緣層 103，可以採用蝕刻速率不同的兩個絕緣膜的疊層結構，其中位於上側的絕緣膜使用蝕刻速率高的膜，以只對位於上側的絕緣膜進行蝕刻來形成區域 103b。此時，構成絕緣層 103 的兩個絕緣膜也可以分別包含不同的元素。此外，也可以使用包含相同元素的膜作為兩個絕緣膜，其中位於下側的絕緣膜使用密度更高的膜。

[0194]

雖然以上說明了分別進行對金屬氧化物膜 108f 的蝕刻及用來減薄絕緣層 103 的厚度的蝕刻的方法，但是也可以藉由一回的蝕刻處理一次性地進行上述兩種蝕刻。此外，也可以對金屬氧化物膜 108f 及絕緣層 103 使用同一蝕刻法（較佳為乾蝕刻法），並使用同一蝕刻裝置以不暴露於大氣的方式使用不同的蝕刻劑連續進行處理。

[0195]

在進行用來減薄絕緣層 103 的厚度的處理之後，去除光阻遮罩 115 及光阻遮罩 215。

[0196]

這裡，也可以在形成金屬氧化物膜之後、將該金屬氧化物膜加工為半導體層 108 之後或者在進行用來減薄絕緣層 103 的厚度的處理之後進行用來去除金屬氧化物膜或半導體層 108 中的氫或水的加熱處理。典型地，可以將加熱處理的溫度設定為 150°C 以上且低於基板的應變點、250°C 以上且 450°C 以下、或者 300°C 以上且 450°C 以下。

[0197]

可以在包含稀有氣體或氮的氛圍中進行加熱處理。或者，也可以在

該氛圍中進行加熱之後在包含氧的氛圍中進行加熱。此外，上述加熱處理的氛圍較佳為不包含氫、水等。該加熱處理可以使用電爐、RTA 裝置等。藉由使用 RTA 裝置，可以縮短加熱處理時間。

[0198]

5 [絕緣層 110、金屬氧化物膜 114f 的形成]

接著，以覆蓋絕緣層 103 及半導體層 108 的方式層疊絕緣層 110 和金屬氧化物膜 114f。

[0199]

10 作為絕緣層 110，例如較佳為藉由使用電漿增強化學氣相沉積裝置(也稱為 PECVD 設備或者電漿 CVD 設備)形成氧化矽膜或氧氮化矽膜等氧化物膜。此外，絕緣層 110 可以藉由利用微波的 PECVD 法形成。

[0200]

15 金屬氧化物膜 114f 例如較佳為在包含氧的氛圍下形成。尤其是，較佳為在包含氧的氛圍下利用濺射法形成。由此，可以在形成金屬氧化物膜 114f 時對絕緣層 110 供應氧。

[0201]

在與上述半導體層 108 同樣藉由使用包含金屬氧化物的氧化物靶材的濺射法形成金屬氧化物膜 114f 的情況下，可以援用上述記載。

[0202]

20 例如，作為金屬氧化物膜 114f 的成膜條件，可以作為沉積氣體使用氧，藉由使用金屬靶材的反應性濺射法形成金屬氧化物膜。在作為金屬靶材例如使用鋁的情況下，可以形成氧化鋁膜。

[0203]

25 當形成金屬氧化物膜 114f 時，引入到成膜裝置的成膜室內的沉積氣體的總流量中的氧流量的比率(氧流量比)或成膜室內的氧分壓越高，越可以增大供應給絕緣層 110 中的氧量。氧流量比或氧分壓例如為 50% 以上且 100% 以下，較佳為 65% 以上且 100% 以下，更佳為 80% 以上且 100% 以下，進一步較佳為 90% 以上且 100% 以下。尤其是，較佳為將氧流量比設定為 100%，來使氧分壓儘量接近於 100%。

[0204]

如此，藉由在包含氧的氛圍下利用濺射法形成金屬氧化物膜 114f，
可以當形成金屬氧化物膜 114f 時在對絕緣層 110 供應氧的同時防止氧
從絕緣層 110 脫離。其結果是，可以將極較多的氧封閉在絕緣層 110 中。

5 並且，可以藉由後面的加熱處理對半導體層 108 供應較多的氧。其結果
是，可以減少半導體層 108 中的氧缺陷，而可以實現可靠性高的電晶
體。

[0205]

此外，也可以在形成金屬氧化物膜 114f 之後進行加熱處理，以將
10 氧從絕緣層 110 供應到半導體層 108。例如，也可以在包含氮、氧、稀
有氣體中的一個以上的氛圍下以 200°C 以上且 400°C 以下的溫度進行加
熱處理。

[0206]

此外，在形成金屬氧化物膜 114f 之後，藉由對金屬氧化物膜 114f、
15 絕緣層 110 及絕緣層 103 的一部分進行蝕刻，來形成到達導電層 106 的
開口。由此，可以將後面形成的導電層 112 與導電層 106 藉由該開口電
連接。

[0207]

[導電膜 112、金屬氧化物層 114 的形成]

20 接著，在金屬氧化物膜 114f 上形成用作導電層 112 的導電膜 112f(圖
9B)。導電膜 112f 較佳為藉由使用金屬或合金的濺射靶材的濺射法形成。

[0208]

接著，對導電膜 112f 及金屬氧化物膜 114f 的一部分進行蝕刻，以
形成導電層 112、金屬氧化物層 114、導電層 212 以及金屬氧化物層
25 214(圖 10A)。較佳為使用相同的光阻遮罩對導電膜 112f 及金屬氧化物
膜 114f 進行加工。或者，也可以藉由使用被蝕刻過的導電層 112 及導
電層 212 作為硬遮罩，對金屬氧化物膜 114f 進行蝕刻。

[0209]

由此，可以形成頂面形狀大致一致的島狀的導電層 112 及金屬氧

化物層 114、導電層 212 及金屬氧化物層 214。

[0210]

像這樣，藉由在絕緣層 110 不被蝕刻而覆蓋半導體層 108 的頂面及側面、半導體層 208 的頂面及側面以及絕緣層 103 的狀態下對導電層 112 等進行蝕刻，可以防止半導體層 108、半導體層 208 以及絕緣層 103 的一部分被蝕刻而變薄。

[0211]

[雜質元素的供應處理]

接著，以導電層 112 及導電層 212 為遮罩進行對絕緣層 110、半導體層 108 及半導體層 208 供應（也稱為添加或注入）雜質元素 140 的處理，以形成區域 108N、區域 208N、區域 110d 以及區域 103d（圖 10B）。因為導電層 112 及導電層 212 為遮罩，所以半導體層 108、半導體層 208 及絕緣層 110 中的與導電層 112 或導電層 212 重疊的區域不被供應雜質元素 140。

[0212]

雜質元素 140 的供應可以適當地使用電漿摻雜法或離子植入法。藉由使用這些方法，可以根據離子加速電壓及劑量等以高準確度控制深度方向上的濃度輪廓。藉由使用電漿摻雜法，可以提高生產率。此外，藉由使用利用質量分離的離子植入法，可以提高被供應的雜質元素的純度。

[0213]

在雜質元素 140 的供應處理中，較佳為以半導體層 108 與絕緣層 110 的界面、半導體層 208 與絕緣層 110 的界面、半導體層 108 中接近界面的部分、半導體層 208 中接近界面的部分或者絕緣層 110 中接近該界面的部分成為最高濃度的方式控制處理條件。由此，可以將具有最合適的濃度的雜質元素 140 藉由一次的處理供應到半導體層 108、半導體層 208 以及絕緣層 110。

[0214]

作為雜質元素 140，可以舉出氫、硼、碳、氮、氟、磷、硫、砷、

鋁、鎂、矽或稀有氣體等。作為稀有氣體的典型例，可以舉出氦、氖、氬、氪及氙等。尤其是，較佳為使用硼、磷、鋁、鎂或矽。

[0215]

- 作為雜質元素 140 的源氣體，可以使用包含上述雜質元素的氣體。
- 5 當供應硼時，典型地可以使用 B_2H_6 氣體或 BF_3 氣體等。此外，當供應磷時，典型地可以使用 PH_3 氣體等。此外，也可以使用由稀有氣體稀釋這些源氣體的混合氣體。

[0216]

- 除了上述以外，作為源氣體，可以使用 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、
10 SiH_4 、 Si_2H_6 、 F_2 、 HF 、 H_2 、 $(C_3H_5)_2Mg$ 以及稀有氣體等。此外，離子源不侷限於氣體，也可以使用對固體或液體加熱而被汽化了的。

[0217]

藉由根據絕緣層 110 及半導體層 108 的組成、密度、厚度等設定加速電壓或劑量等的條件，可以控制雜質元素 140 的添加。

- 15 [0218]

當使用離子植入法或電漿離子摻雜法添加硼時，加速電壓例如可以為 5kV 以上且 100kV 以下，較佳為 7kV 以上且 70kV 以下，更佳為 10kV 以上且 50kV 以下。此外，劑量例如可以為 1×10^{13} ions/cm² 以上且 1×10^{17} ions/cm² 以下，較佳為 1×10^{14} ions/cm² 以上且 5×10^{16} ions/cm² 以下，更佳為 1×10^{15} ions/cm² 以上且 3×10^{16} ions/cm² 以下。

20

[0219]

此外，當使用離子植入法或電漿離子摻雜法添加磷離子時，加速電壓例如可以為 10kV 以上且 100kV 以下，較佳為 30kV 以上且 90kV 以下，更佳為 40kV 以上且 80kV 以下。此外，劑量例如可以為 1×10^{13} ions/cm² 以上且 1×10^{17} ions/cm² 以下，較佳為 1×10^{14} ions/cm² 以上且 5×10^{16} ions/cm² 以下，更佳為 1×10^{15} ions/cm² 以上且 3×10^{16} ions/cm² 以下。

25

[0220]

注意，雜質元素 140 的供應方法不侷限於此，例如也可以進行電漿處理或利用因加熱而引起的熱擴散的處理等。在採用電漿處理法的情

況下，藉由首先在包含所添加的雜質元素的氣體氛圍下產生電漿，再進行電漿處理，可以添加雜質元素。作為產生上述電漿的裝置，可以使用乾蝕刻裝置、灰化裝置、電漿 CVD 設備或高密度電漿 CVD 設備等。

[0221]

- 5 在本發明的一個實施方式中，可以將雜質元素 140 藉由絕緣層 110 供應到半導體層 108 及半導體層 208。由此，即使在半導體層 108 及半導體層 208 具有結晶性的情況下，也可以抑制在供應雜質元素 140 時結晶性損失。由此，適合用於由結晶性降低導致電阻增大等的情況。

[0222]

- 10 此外，也可以在半導體層 108 及半導體層 208 的一部分露出的狀態下供應雜質元素 140。例如，在形成金屬氧化物層 214 及導電層 212、金屬氧化物層 114 及導電層 112 之後去除絕緣層 110 的一部分暴露半導體層 108 及半導體層 208 的一部分，供應雜質元素 140，由此可以形成區域 108N 及區域 208N。藉由在用作區域 108N 的區域及用作區域
15 208N 的區域露出的狀態下供應雜質元素 140，例如可以降低離子植入法或電漿離子摻雜法中的加速電壓，由此可以提高生產率。當在半導體層 108 及半導體層 208 的一部分露出的狀態下供應雜質元素 140 的情況下，如果後面的製程中需要施加高溫，有時多量的氧從外部、區域 108N 附近或區域 208N 附近的膜被供應到區域 108N 或區域 208N 附近，
20 使得電阻上升。因此，當進行高溫處理時，較佳為在被氧阻擋性高的絕緣層 118 等覆蓋的狀態下進行處理。

[0223]

[絕緣層 118 的形成]

接著，依次形成絕緣層 118（參照圖 11A）。

- 25 [0224]

在使用電漿 CVD 法形成絕緣層 118 的情況下，當成膜溫度過高時，包含在區域 108n 等中的雜質有可能擴散到包括半導體層 108 的通道形成區域的周圍部或者使區域 108n 的電阻上升。絕緣層 118 的成膜溫度例如較佳為 150°C 以上且 400°C 以下，更佳為為 180°C 以上且 360°C 以

下，進一步較佳為 200°C 以上且 250°C 以下。藉由在低溫下形成絕緣層 118，即使是通道長度短的電晶體，也可以得到良好的電特性。

[0225]

[加熱處理]

- 5 在形成絕緣層 118 之後，進行加熱處理。較佳為在包含氮、氧、稀有氣體中的一個以上的氛圍下以 150°C 以上且 450°C 以下，較佳為 200°C 以上且 400°C 以下的溫度進行加熱處理。藉由進行該加熱處理，可以形成更穩定的低電阻區域 108n。例如，藉由在上述溫度下進行加熱處理，可以使雜質元素 140 適當地擴散而局部性地被均勻化，來得到具有
- 10 理想的雜質元素的濃度梯度的區域 108n 及區域 110d。此外，當加熱處理的溫度過高（例如為 500°C 以上）時，雜質元素 140 擴散到通道形成區內，這可能導致電晶體的電特性或可靠性的降低。

[0226]

- 此外，藉由進行加熱處理，有時可以修復在將雜質元素 140 供應到
- 15 區域 108n 時產生在半導體層 108 或絕緣層 110 中的缺陷。

[0227]

- 此外，藉由進行加熱處理，可以將氧從絕緣層 110 供應到半導體層 108 的通道形成區域。此時，因為在絕緣層 110 中的與區域 108n 的界面附近形成有被供應了雜質元素 140 的區域 110d，所以可以抑制從絕緣層 110 釋放的氧擴散到區域 108n。其結果是，可以有效地防止區域
- 20 108n 再次被高電阻化。再加上，此時，因為在絕緣層 110 中的與半導體層 108 的通道形成區域重疊的部分沒形成有區域 110d，所以可以將從絕緣層 110 釋放的氧選擇性地供應到該通道形成區域。

[0228]

- 25 此外，因為與通道形成區域相比在區域 108n 中存在著較多的氧缺陷，所以可以期待借助於加熱處理可以使該氧缺陷發揮對包含在通道形成區域中的氫進行吸雜的作用。由此，可以降低包含在通道形成區域中的氫的濃度，來可以實現可靠性更高的電晶體。此外，因為從通道形成區域被供應的氫與區域 108n 中的氧缺陷鍵合而成為載子生成源，所

以可以實現得到更低電阻化的區域 108n。

[0229]

此外，雖然可以在形成絕緣層 118 之前進行加熱處理，但是更佳為在形成絕緣層 118 之後進行加熱處理。例如，藉由將不容易擴散氧的絕緣膜用於絕緣層 118，可以防止因加熱處理而從絕緣層 110 釋放的氧擴散到外部，來可以增加能夠被供應到半導體層 108 的通道形成區域的氧量。

[0230]

[開口部 141a、開口部 141b、開口部 142a 以及開口部 142b 的形成]
接著，利用光微影法在絕緣層 118 的所希望的位置形成遮罩，然後，對絕緣層 118 及絕緣層 110 的一部分進行蝕刻，來形成到達區域 108n 的開口 141a 及開口 141b 及到達區域 208N 的開口 241a 及開口 241b。

[0231]

[導電層 120a、導電層 120b、導電層 220a 以及導電層 220b 的形成]
接著，以覆蓋開口 141a、開口 141b、開口 241a、開口 241b 的方式在絕緣層 118 上形成導電膜，將該導電膜加工為所希望的形狀，來形成導電層 120a、導電層 120b、導電層 220a 以及導電層 220b (圖 11B)。

[0232]

藉由上述製程，可以製造電晶體 100 及電晶體 100A。例如，在將電晶體 100 及電晶體 100A 應用於顯示裝置的像素的情況下，後面可以追加形成保護絕緣層、平坦化層、像素電極以及佈線中的一個以上的製程。

[0233]

25 <製造方法例 2>

以下參照圖式對本發明的一個實施方式的半導體裝置的製造方法進行說明。在此，以上述結構例示出的電晶體 100D 及電晶體 100E 為例進行說明。

[0234]

圖 12A 至圖 14 示出電晶體 100D 及電晶體 100E 的製程的各階段中的通道長度方向上的剖面。在各圖式中，中央部的點劃線的左側是電晶體 100D 的形成區域，而右側是電晶體 100E 的形成區域。

[0235]

5 本製造方法中的到形成導電膜 112f 的步驟與<製造方法例 1>所示的製造方法相同。由此，可以參照有關圖 8A 至圖 9B 的電晶體的製造方法。

[0236]

[絕緣層 110、金屬氧化物層 114、導電層 112 的形成]

10 接著，在該導電膜 112f 上形成光阻遮罩。然後，在沒有被光阻遮罩覆蓋的區域中使用各向異性蝕刻法蝕刻導電膜 112f、金屬氧化物膜 114f 以及絕緣膜 110f，由此形成導電層 112、金屬氧化物層 114、絕緣層 110、導電層 212、金屬氧化物層 214 以及絕緣層 110。然後，去除光阻遮罩（圖 12A）。

15 [0237]

對導電膜 112f、金屬氧化物膜 114f 以及絕緣膜 110f 的蝕刻既可採用同一蝕刻條件同時進行，又可採用不同的蝕刻條件或方法至少分兩次進行。例如，先蝕刻導電膜 112f 及金屬氧化物膜 114f，然後在不同的蝕刻條件下蝕刻絕緣膜 110f，可以降低對半導體層 108 及半導體層
20 208 的蝕刻損傷。

[0238]

[絕緣層 116、區域 108N、區域 208N 的形成]

接著，以與半導體層 108 露出的區域及半導體層 208 露出的區域接觸的方式形成絕緣層 116（圖 12B）。

25 [0239]

作為絕緣層 116，形成包含鋁、鈦、鉭、鎢、鉻和鈦等金屬元素中的至少一種的膜。尤其是，較佳為包含鋁、鈦、鉭和鎢中的至少一種。尤其是，可以適當地使用包含上述金屬元素中的至少一種的氮化物或包含上述金屬元素中的至少一種的氧化物。作為具有絕緣性的膜，可以

適當地使用氮化鋁鈦膜、氮化鈦膜、氮化鋁膜等氮化物膜、氧化鋁鈦膜等氧化物膜等。

[0240]

在此，絕緣層 116 較佳為藉由作為沉積氣體使用氮氣體或氧氣體的濺射法形成。由此，藉由控制沉積氣體的流量，容易控制膜性質。

[0241]

接著，進行加熱處理。藉由該加熱處理，使半導體層 208 的與絕緣層 116 接觸的區域被低電阻化，來在半導體層 208 中形成低電阻的區域 208N。使半導體層 108 的與絕緣層 116 接觸的區域被低電阻化，來在半導體層 108 中形成低電阻的區域 108N（圖 13A）。

[0242]

加熱處理較佳為在氮或稀有氣體等惰性氣體氛圍下進行。加熱處理的溫度越高越好，可以根據基板 102、導電層 106、導電層 112 等的耐熱性決定溫度。例如，加熱處理的溫度可以為 120°C 以上且 500°C 以下，較佳為 150°C 以上且 450°C 以下，更佳為 200°C 以上且 400°C 以下，進一步較佳為 250°C 以上且 400°C 以下。例如，當將加熱處理的溫度設定為 350°C 左右時，可以藉由利用大型玻璃基板的生產設備高良率地製造半導體裝置。

[0243]

因為不去除絕緣層 116，所以加熱處理也可以在形成絕緣層 116 之後的任何時序進行。另外，上述加熱處理也可以兼作其他加熱處理或熱製程。

[0244]

藉由加熱處理，半導體層 108 中的氧被絕緣層 116 抽出而產生氧缺陷。該氧缺陷與半導體層 108 中的氫鍵合而提高載子濃度，使得與絕緣層 116 接觸的區域 108N 被低電阻化。此外，藉由加熱處理，半導體層 208 中的氧被絕緣層 116 抽出而產生氧缺陷。該氧缺陷與半導體層 208 中的氫鍵合而提高載子濃度，使得與絕緣層 116 接觸的區域 208N 被低電阻化。藉由採用在區域 108N 及區域 208N 上沒設置有絕緣層 110

及絕緣層 220 的結構，可以使半導體層 108 及半導體層 208 中的氧不經由絕緣層 110 及絕緣層 220 擴散到絕緣層 116 來高效地形成區域 108N 及區域 208N。

[0245]

5 或者，藉由加熱處理，有時包含在絕緣層 116 中的金屬元素擴散到半導體層 108 及半導體層 208 中，由此，半導體層 108 及半導體層 208 的一部分被合金化且被低電阻化。藉由採用在區域 108N 及區域 208N 上沒設置有絕緣層 110 及絕緣層 220 的結構，可以使包含在絕緣層 116 中的金屬元素不經由絕緣層 110 及絕緣層 220 擴散到半導體層 108 及
10 半導體層 208 來高效地形成區域 108N 及區域 208N。

[0246]

或者，有時包含在絕緣層 116 中的氮及氫或者包含在加熱處理的氛圍中的氮等藉由加熱處理擴散到半導體層 108 及半導體層 208 中，由此，半導體層 108 及半導體層 208 被低電阻化。藉由採用在區域 108N
15 及區域 208N 上沒設置有絕緣層 110 及絕緣層 220 的結構，可以使氮及氫不經由絕緣層 110 及絕緣層 220 擴散到半導體層 108 及半導體層 208 來高效地形成區域 108N 及區域 208N。

[0247]

藉由上述複合作用而被低電阻化的半導體層 108 的區域 108N 及半
20 導體層 208 的區域 208N 成為極為穩定的低電阻區域。藉由上述方式形成的區域 108N 及區域 208N 即使例如在後面的製程中被進行氧供應處理，其電阻也不容易再次提高。

[0248]

這裡，雖然說明使用絕緣層 116 作為用來形成區域 108N 及區域
25 208N 的層的例子，但是也可以藉由形成與用作區域 108N 及區域 208N 的區域接觸的導電膜形成區域 108N 及區域 208N。此時，在形成區域 108N 及區域 208N 之後，較佳為使該導電膜氧化或氮化來實現絕緣化，以形成絕緣層 116。或者，也可以在形成區域 108N 及區域 208N 之後去除該導電膜，以採用沒形成絕緣層 116 的結構。

[0249]

此外，也可以進行對半導體層 108 及半導體層 208 露出的區域供應氫的處理，以形成區域 108N 及區域 108N。以下，藉由以與半導體層 108 及半導體層 208 露出的區域接觸的方式形成包含氫的絕緣層 116，
5 供應氫。

[0250]

絕緣層 116 較佳為藉由使用含有氫的沉積氣體的電漿 CVD 法來形成。例如，藉由使用含有矽烷氣體及氨氣體的沉積氣體，形成氮化矽膜。藉由不僅使用矽烷氣體而且還使用氨氣體，可以使膜包含多量的氫。此外，在形成膜時也可以對半導體層 108 及半導體層 208 露出的部分供應氫。
10 供應氫。

[0251]

較佳的是，藉由在形成絕緣層 116 之後進行加熱處理，將從絕緣層 116 釋放的氫的一部分供應到半導體層 108 的一部分及半導體層 208 的一部分。較佳為在包含氮、氧、稀有氣體中的一個以上的氛圍下以 150 °C 以上且 450 °C 以下，較佳為 200 °C 以上且 400 °C 以下的溫度進行加熱處理。
15 處理。

[0252]

藉由如上所述那樣供應氫，可以在半導體層 108 中形成電阻極低的區域 108N 並在半導體層 208 中形成電阻極低的區域 208N。區域 108N 及區域 208N 也可以說是與通道形成區域相比載子濃度高的區域、氧缺陷量多的區域、氫濃度高的區域或雜質濃度高的區域。
20 區域。

[0253]

此外，藉由進行加熱處理，可以將氧從絕緣層 110 及絕緣層 103 供應到半導體層 108 的通道形成區域及半導體層 208 的通道形成區域。
25 區域。

[0254]

[絕緣層 118 的形成]

接著，在絕緣層 116 上形成絕緣層 118 (圖 13B)。

[0255]

在使用電漿 CVD 法形成絕緣層 118 的情況下，當成膜溫度過高時，包含在區域 108N 或區域 208N 中的雜質有可能擴散到包括通道形成區域的周圍部。其結果是，有可能導致通道形成區域的低電阻化或區域 108N 及區域 208N 的電阻上升。絕緣層 116 或絕緣層 118 的成膜溫度例如較佳為 150°C 以上且 400°C 以下，更佳為為 180°C 以上且 360°C 以下，進一步較佳為 200°C 以上且 250°C 以下。藉由在低溫下形成絕緣層 118，即使是通道長度短的電晶體，也可以得到良好的電特性。

[0256]

此外，也可以在形成絕緣層 118 之後進行加熱處理。

10 [0257]

[開口部 141a、開口部 141b、開口部 142a 以及開口部 142b 的形成] 接著，利用光微影法在絕緣層 118 的所希望的位置形成遮罩，然後，對絕緣層 118 及絕緣層 116 的一部分進行蝕刻，來形成到達區域 108n 的開口 141a、開口 141b 及到達區域 208N 的開口 241a 及開口 241b。

15 [0258]

[導電層 120a、導電層 120b、導電層 220a 以及導電層 220b 的形成] 接著，以覆蓋開口部 141a、開口部 141b、開口 241a 以及開口 241b 的方式在絕緣層 118 上形成導電膜，將該導電膜加工為所希望的形狀，來形成導電層 120a、導電層 120b、導電層 220a 以及導電層 220b (圖 14)。

20 [0259]

藉由上述製程，可以製造電晶體 100D 及電晶體 100E。例如，在將電晶體 100D 及電晶體 100E 應用於顯示裝置的像素的情況下，後面可以追加形成保護絕緣層、平坦化層、像素電極以及佈線中的一個以上的製程。

25 [0260]

以上是製造方法例的說明。

[0261]

<半導體裝置的組件>

下面對本實施方式的半導體裝置所包括的組件進行詳細說明。

[0262]

[基板]

雖然對基板 102 的材料等沒有特別的限制，但是至少需要具有能夠承受後續的加熱處理的耐熱性。例如，可以使用以矽或碳化矽為材料的單晶半導體基板或多晶半導體基板、矽鍺等化合物半導體基板、SOI 5 基板、玻璃基板、陶瓷基板、石英基板、藍寶石基板等作為基板 102。此外，也可以將在上述基板上設置有半導體元件的基板用作基板 102。

[0263]

此外，作為基板 102，也可以使用撓性基板，並且在撓性基板上直接形成電晶體 100 等。或者，也可以在基板 102 與電晶體 100 等之間設置剝離層。當剝離層上製造半導體裝置的一部分或全部，然後將其從基板 10 102 分離並轉置到其他基板上時可以使用剝離層。此時，也可以將電晶體 100 等轉置到耐熱性低的基板或撓性基板上。

[0264]

15 [絕緣層 103]

絕緣層 103 可以適當地使用濺射法、CVD 法、蒸鍍法、脈衝雷射沉積(PLD)法等而形成。絕緣層 103 例如可以使用氧化物絕緣膜或氮化物絕緣膜的單層或疊層形成。注意，為了提高絕緣層 103 與半導體層 108 的界面特性，絕緣層 103 中的至少與半導體層 108 接觸的區域較佳為使用氧化物絕緣膜形成。此外，絕緣層 103 較佳為使用藉由加熱釋放 20 氧的膜。

[0265]

絕緣層 103 例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鈺、氧化鎵或者 Ga-Zn 氧化物等，並且以疊層或單層設置。 25

[0266]

此外，當在絕緣層 103 的與半導體層 108 接觸的一側使用氮化矽膜等氧化物膜以外的膜時，較佳為對與半導體層 108 接觸的表面進行氧電漿處理等預處理使該表面或表面附近氧化。

[0267]

[導電膜]

作為用作閘極電極的導電層 112 及導電層 106、用作源極電極和汲極電極中的一個的導電層 120a 及用作另一個的導電層 120b，可以使用
5 選自鉻、銅、鋁、金、銀、鋅、鉬、鉭、鈦、鎢、錳、鎳、鐵、鈷的金屬元素或以上述金屬元素為成分的合金或者組合上述金屬元素的合金等來分別形成。

[0268]

此外，作為導電層 112、導電層 106、導電層 120a 以及導電層 120b，
10 可以使用 In-Sn 氧化物、In-W 氧化物、In-W-Zn 氧化物、In-Ti 氧化物、In-Ti-Sn 氧化物、In-Zn 氧化物、In-Sn-Si 氧化物、In-Ga-Zn 氧化物等的氧化物導電體或者金屬氧化物膜。

[0269]

這裡，對氧化物導電體（OC：Oxide Conductor）進行說明。例如，
15 藉由在具有半導體特性的金屬氧化物中形成氧缺陷並對該氧缺陷添加氫來在導帶附近形成施體能階。由此，金屬氧化物的導電性增高變為導電體，也可以將變為導電體的金屬氧化物稱為氧化物導電體。

[0270]

此外，作為導電層 112 等，也可以採用含有上述氧化物導電體（金屬氧化物）的導電膜、含有金屬或合金的導電膜的疊層結構。藉由使用
20 含有金屬或合金的導電膜，可以降低佈線電阻。這裡，較佳為作為用作閘極絕緣膜的絕緣層接觸的一側使用含有氧化物導電體的導電膜。

[0271]

此外，導電層 112、導電層 106、導電層 120a、導電層 120b 尤其較
25 佳為包含選自上述金屬元素中的鈦、鎢、鉭和鉬中的任一個或多個。尤其是，較佳為使用氮化鉭膜。該氮化鉭膜具有導電性，並對銅、氧或氫具有高阻擋性，且從氮化鉭膜本身釋放的氫少，由此可以作為與半導體層 108 接觸的導電膜或半導體層 108 附近的導電膜適合地使用氮化鉭膜。

[0272]

[絕緣層 110]

5 用作電晶體 100 等的閘極絕緣膜的絕緣層 110 可以使用 PECVD 法、濺射法等而形成。作為絕緣層 110，可以使用包含氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧化鉛膜、氧化鈮膜、氧化鈳膜、氧化鎵膜、氧化鉭膜、氧化鎂膜、氧化釩膜、氧化鈾膜和氧化釷膜中的一種以上的絕緣層。絕緣層 110 可以採用兩層的疊層結構或三層以上的疊層結構。

[0273]

10 此外，與半導體層 108 接觸的絕緣層 110 較佳為氧化物絕緣膜，更佳為具有氧含量超過化學計量組成的區域。換言之，絕緣層 110 為能夠釋放氧的絕緣膜。例如，藉由在氧氛圍下形成絕緣層 110，對形成後的絕緣層 110 在氧氛圍下進行熱處理、電漿處理等或者在絕緣層 110 上在氧氛圍下形成氧化物膜等，可以將氧供應到絕緣層 110 中。

15 [0274]

作為絕緣層 110，也可以使用相對介電常數比氧化矽或氧氮化矽高的氧化鉛等材料。由此，可以增加絕緣層 110 的厚度以抑制由穿隧電流導致的洩漏電流。尤其是，較佳為使用具有結晶性的氧化鉛，因為其相對介電常數比非晶氧化鉛高。

20 [0275]

[半導體層]

當半導體層 108 為 In-M-Zn 氧化物時，較佳為用來形成 In-M-Zn 氧化物的濺射靶材中的 In 的原子數比為 M 的原子數比以上。作為這種濺射靶材的金屬元素的原子數比，可以舉出 In : M : Zn=1 : 1 : 1、In : M : Zn=1 : 1 : 1.2、In : M : Zn=2 : 1 : 3、In : M : Zn=3 : 1 : 2、In : M : Zn=4 : 2 : 3、In : M : Zn=4 : 2 : 4.1、In : M : Zn=5 : 1 : 6、In : M : Zn=5 : 1 : 7、In : M : Zn=5 : 1 : 8、In : M : Zn=6 : 1 : 6、In : M : Zn=5 : 2 : 5 等。

[0276]

此外，作為濺射靶材較佳為使用含有多晶氧化物的靶材，由此可以

易於形成具有結晶性的半導體層 108。注意，所形成的半導體層 108 的原子數比分別包含上述濺射靶材中的金屬元素的原子數比的 $\pm 40\%$ 的範圍內。例如，在被用於半導體層 108 的濺射靶材的組成為 In:Ga:Zn=4:2:4.1[原子數比]時，所形成的半導體層 108 的組成有時為
5 In:Ga:Zn=4:2:3[原子數比]或其附近。

[0277]

當記載為原子數比為 In : Ga : Zn=4 : 2 : 3 或其附近時包括如下情況：In 的原子數比為 4 時，Ga 的原子數比為 1 以上且 3 以下，Zn 的原子數比為 2 以上且 4 以下。此外，當記載為原子數比為 In : Ga : Zn=5 :
10 1 : 6 或其附近時包括如下情況：In 的原子數比為 5 時，Ga 的原子數比大於 0.1 且為 2 以下，Zn 的原子數比為 5 以上且 7 以下。此外，當記載為原子數比為 In : Ga : Zn=1 : 1 : 1 或其附近時包括如下情況：In 的原子數比為 1 時，Ga 的原子數比大於 0.1 且為 2 以下，Zn 的原子數比大於 0.1 且為 2 以下。

15 [0278]

此外，半導體層 108 的能隙為 2eV 以上，較佳為 2.5eV 以上。如此，藉由使用能隙比矽寬的金屬氧化物，可以減少電晶體的關態電流。

[0279]

此外，半導體層 108 較佳為具有非單晶結構。非單晶結構例如包括
20 後述的 CAAC 結構、多晶結構、微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷態密度最高，CAAC 結構的缺陷態密度最低。

[0280]

下面對 CAAC 進行說明。CAAC 表示結晶結構的一個例子。

[0281]

25 CAAC 結構是指包括多個奈米晶(最大直徑小於 10nm 的結晶區域)的薄膜等的結晶結構之一，具有如下特徵：各奈米晶的 c 軸在特定方向上配向，其 a 軸及 b 軸不具有配向性，奈米晶彼此不形成晶界而連續地連接。尤其是，在具有 CAAC 結構的薄膜中，各奈米晶的 c 軸容易在薄膜的厚度方向、被形成面的法線方向或者薄膜表面的法線方向上配

向。

[0282]

CAAC-OS (Oxide Semiconductor: 氧化物半導體) 是結晶性高的氧化物半導體。在 CAAC-OS 中觀察不到明確的晶界, 因此不容易發生起
5 因於晶界的電子遷移率的下降。此外, 氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低, 因此可以說 CAAC-OS 是雜質或缺陷 (氧缺陷等) 少的氧化物半導體。因此, 包含 CAAC-OS 的氧化物半導體的物理性質穩定。因此, 包含 CAAC-OS 的氧化物半導體具有高耐熱性及高可靠性。

10 [0283]

在此, 在晶體學的單位晶格中, 一般以構成單位晶格的 a 軸、b 軸、c 軸這三個軸 (晶軸) 中較特殊的軸為 c 軸。尤其是, 在具有層狀結構的結晶中, 一般來說, 與層的面方向平行的兩個軸為 a 軸及 b 軸, 與層交叉的軸為 c 軸。作為這種具有層狀結構的結晶的典型例子, 有分類為
15 六方晶系的石墨, 其單位晶格的 a 軸及 b 軸平行於劈開面, c 軸正交於劈開面。例如, 為層狀結構的具有 YbFe_2O_4 型結晶結構的 InGaZnO_4 的結晶可分類為六方晶系, 其單位晶格的 a 軸及 b 軸平行於層的面方向, c 軸正交於層 (亦即, a 軸及 b 軸)。

[0284]

20 具有微晶結構的氧化物半導體膜 (微晶氧化物半導體膜) 在利用 TEM 觀察到的影像中有時不能明確地確認到結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是, 將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶體 (nc:nanocrystal) 的氧化物半導體膜稱
25 為 nc-OS (nanocrystalline Oxide Semiconductor: 奈米晶氧化物半導體) 膜。例如, 在使用 TEM 觀察 nc-OS 膜時, 有時不能明確地確認到晶界。

[0285]

在 nc-OS 膜中, 微小的區域 (例如 1nm 以上且 10nm 以下的區域, 特別是 1nm 以上且 3nm 以下的區域) 中的原子排列具有周期性。此外,

nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由其中利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，
5 檢測不出表示結晶面的峰值。此外，在使用其束徑比結晶部大（例如，50nm 以上）的電子射線獲得的 nc-OS 膜的電子繞射圖案（也稱為選區電子繞射圖案）中，觀察到光暈圖案。另一方面，在對 nc-OS 膜進行使用其電子束徑接近結晶部的大小或者比結晶部小（例如，1nm 以上且 30nm 以下）的電子射線的電子繞射（也稱為奈米束電子繞射）時，
10 觀察到呈圈狀（環狀）的亮度高的區域，有時該環狀區域內觀察到多個斑點。

[0286]

nc-OS 膜比非晶氧化物半導體膜的缺陷態密度低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。因此，nc-OS 膜有時具有比 CAAC-OS 膜
15 高的載子密度及電子移動率。所以，使用 nc-OS 膜的電晶體有時具有較高的場效移動率。

[0287]

nc-OS 膜可以以比 CAAC-OS 膜成膜時更小的氧流量比形成。此外，
20 nc-OS 膜可以以比 CAAC-OS 膜成膜時更低的衬底溫度形成。例如，nc-OS 膜可以在基板溫度為較低的低溫（例如 130°C 以下的溫度）的狀態或不對基板進行加熱的狀態下形成，因此適用於大型玻璃基板、樹脂基板等，可以提高生產率。

[0288]

25 下面，對金屬氧化物的結晶結構的一個例子進行說明。注意，以使用 In-Ga-Zn 氧化物靶材（In : Ga : Zn=4 : 2 : 4.1[原子數比]）且藉由濺射法形成的金屬氧化物為一個例子進行說明。使用上述靶材在基板溫度為 100°C 以上且 130°C 以下的條件下利用濺射法形成的金屬氧化物易於具有 nc (nano crystal) 結構和 CAAC 結構中的任一方的結晶結構或其

混在的結構。在基板溫度為室溫 (R.T.) 的條件下利用濺射法形成的金屬氧化物易於具有 nc 結晶結構。注意，這裡的室溫 (R.T.) 是指包括對基板不進行意圖性的加熱時的溫度。

[0289]

5 [金屬氧化物的構成]

以下，對可用於在本發明的一個方式中公開的晶體管的 CAC(Cloud-Aligned Composite) -OS 的構成進行說明。

[0290]

在本說明書等中，有時記載 CAAC (c-axis aligned crystal) 或 CAC (Cloud-Aligned Composite)。注意，CAAC 是指結晶結構的一個例子，CAC 是指功能或材料構成的一個例子。

[0291]

CAC-OS 或 CAC-metal oxide 在材料的一部分中具有導電性的功能，在材料的另一部分中具有絕緣性的功能，作為材料的整體具有半導體的功能。此外，在將 CAC-OS 或 CAC-metal oxide 用於電晶體的活性層的情況下，導電性的功能是使被用作載子的電子(或電洞)流過的功能，絕緣性的功能是不使被用作載子的電子流過的功能。藉由導電性的功能和絕緣性的功能的互補作用，可以使 CAC-OS 或 CAC-metal oxide 具有開關功能(控制開啟/關閉的功能)。藉由在 CAC-OS 或 CAC-metal oxide 中使各功能分離，可以最大限度地提高各功能。

[0292]

此外，CAC-OS 或 CAC-metal oxide 包括導電性區域及絕緣性區域。導電性區域具有上述導電性的功能，絕緣性區域具有上述絕緣性的功能。此外，在材料中，導電性區域和絕緣性區域有時以奈米粒子級分離。此外，導電性區域和絕緣性區域有時在材料中不均勻地分佈。此外，有時導電性區域被觀察為其邊緣模糊且以雲狀連接。

[0293]

在 CAC-OS 或 CAC-metal oxide 中，有時導電性區域及絕緣性區域以 0.5nm 以上且 10nm 以下，優先為 0.5nm 以上且 3nm 以下的尺寸分散

在材料中。

[0294]

此外，CAC-OS 或 CAC-metal oxide 由具有不同帶隙的成分構成。例如，CAC-OS 或 CAC-metal oxide 由具有起因於絕緣性區域的寬隙的成分及具有起因於導電性區域的窄隙的成分構成。在該結構中，當使載子流過時，載子主要在具有窄隙的成分中流過。此外，具有窄隙的成分與具有寬隙的成分互補作用，與具有窄隙的成分聯動地在具有寬隙的成分中載子流過。因此，在將上述 CAC-OS 或 CAC-metal oxide 用於電晶體的通道形成區域時，在電晶體的導通狀態中可以得到高電流驅動力，亦即，大通態電流及高場效移動率。

[0295]

就是說，也可以將 CAC-OS 或 CAC-metal oxide 稱為基質複合材料（matrix composite）或金屬基質複合材料（metal matrix composite）。

[0296]

15 以上是組件的說明。

[0297]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

20 [0298]

實施方式 2

在本實施方式中對具有上述實施方式例示的半導體裝置的顯示裝置的一個例子進行說明。

[0299]

25 <結構實例>

圖 15A 示出顯示裝置 700 的俯視圖。顯示裝置 700 包括利用密封劑 712 貼合在一起的第一基板 701 和第二基板 705。在被第一基板 701、第二基板 705 及密封劑 712 密封的區域中，第一基板 701 上設置有像素部 702、源極驅動電路部 704 及閘極驅動電路部 706。像素部 702 設置

有多個顯示元件。

[0300]

此外，第一基板 701 的不與第二基板 705 重疊的部分中設置有與 FPC716 連接的 FPC 端子部 708。利用 FPC716 藉由 FPC 端子部 708 及信號線 710 分別對像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 提供各種信號等。

[0301]

可以設置多個閘極驅動電路部 706。此外，閘極驅動電路部 706 及源極驅動電路部 704 分別另行形成在半導體基板等上，也可以採用被封裝的 IC 晶片的方式。該 IC 晶片可以安裝在第一基板 701 上或安裝到 FPC716。

[0302]

像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 包括的電晶體可以使用為本發明的一個實施方式的半導體裝置的電晶體。

15 [0303]

作為設置在像素部 702 中的顯示元件，可以舉出液晶元件、發光元件等。作為液晶元件，可以採用透射型液晶元件、反射型液晶元件、半透射型液晶元件等。此外，作為發光元件可以舉出 LED (Light Emitting Diode: 發光二極體)、OLED (Organic LED: 有機 LED)、QLED (Quantum-dot LED: 量子點發光二極體)、半導體雷射等自發光性的發光元件。此外，可以使用快門方式或光干涉方式的 MEMS (Micro Electro Mechanical Systems: 微機電系統) 元件或採用微囊方式、電泳方式、電潤濕方式或電子粉流體 (註冊商標) 方式等的顯示元件等。

[0304]

25 圖 15B 所示的顯示裝置 700A 是使用具有撓性的樹脂層 743 代替第一基板 701 的能夠用作撓性顯示器的顯示裝置的例子。

[0305]

顯示裝置 700A 的像素部 702 不是矩形而是角部具有圓弧形的形狀。此外，如圖 15B 中的區域 P1 所示，像素部 702 及樹脂層 743 的一

部分具有切斷的缺口部。一對閘極驅動電路部 706 夾著像素部 702 設置在兩側。閘極驅動電路部 706 在像素部 702 的角部沿著圓弧形的輪廓內側設置。

[0306]

5 樹脂層 743 的設置有 FPC 端子部 708 的部分突出。樹脂層 743 的包括 FPC 端子部 708 的一部分可以沿著圖 15B 中的區域 P2 折到背面。藉由將樹脂層 743 的一部分折到背面，可以在 FPC716 與像素部 702 的背面重疊配置的狀態下將顯示裝置 700A 安裝到電子裝置，由此可以節省電子裝置的空間。

10 [0307]

與顯示裝置 700A 連接的 FPC716 安裝有 IC717。IC717 例如具有源極驅動電路的功能。這裡，顯示裝置 700A 中的源極驅動電路部 704 可以採用至少包括保護電路、緩衝器電路、解多工器電路等中的一種的結構。

15 [0308]

圖 15C 所示的顯示裝置 700B 是適用於具有大畫面的電子裝置的顯示裝置。例如，適用於電視機、顯示器裝置、個人電腦（包括筆記本型或臺式）、平板終端、數位看板等。

[0309]

20 顯示裝置 700B 包括多個源極驅動器 IC721 和一對閘極驅動電路部 722。

[0310]

25 多個源極驅動器 IC721 分別安裝在 FPC723 上。此外，多個 FPC723 的一個端子與基板 701 連接，另一個端子與印刷電路板 724 連接。藉由使 FPC723 彎曲，可以將印刷電路板 724 配置在像素部 702 的背面，安裝在電子裝置中，而可以減小用來設置電子裝置的空間。

[0311]

另一方面，閘極驅動電路部 722 形成在基板 701 上。由此，可以實現窄邊框的電子裝置。

[0312]

藉由採用上述結構，可以實現大型且高清晰顯示裝置。例如，可以應用於螢幕尺寸為對角線 30 英寸以上、40 英寸以上、50 英寸以上或 60 英寸以上的顯示裝置。此外，可以實現 4K2K、8K4K 等極為高解析度的顯示裝置。

[0313]

<剖面結構實例>

下面參照圖 16 至圖 19 對作為顯示元件使用液晶元件及 EL 元件的結構進行說明。圖 16 至圖 18 是分別沿著圖 15A 所示的點劃線 Q-R 的剖面圖。圖 19 是沿著圖 15B 所示的顯示裝置 700A 中的點劃線 S-T 的剖面圖。圖 16 及圖 17 是作為顯示元件使用液晶元件的結構，圖 18 及圖 19 是使用 EL 元件的結構。

[0314]

[顯示裝置的相同部分的說明]

圖 16 至圖 19 所示的顯示裝置包括引線配線部 711、像素部 702、源極驅動電路部 704 及 FPC 端子部 708。引線配線部 711 包括信號線 710。像素部 702 包括電晶體 750 及電容器 790。源極驅動電路部 704 包括電晶體 752。圖 17 示出不包括電容器 790 的情況。

[0315]

電晶體 750 及電晶體 752 可以使用實施方式 1 所示的電晶體。例如，作為電晶體 750，可以使用實施方式 1 所示的電晶體 100、電晶體 100B、電晶體 100D 或電晶體 100F。例如，作為電晶體 752，可以使用實施方式 1 所示的電晶體 100A、電晶體 100C、電晶體 100E 或電晶體 100G。

[0316]

本實施方式使用的電晶體包括高度純化且氧缺陷的形成被抑制的氧化物半導體膜。該電晶體可以具有低關態電流。因此，可以延長影像信號等電信號的保持時間，可以延長影像信號等的寫入間隔。因此，可以降低更新工作的頻率，由此可以發揮降低功耗的效果。

[0317]

此外，在本實施方式中使用的電晶體能夠得到較高的場效移動率，因此能夠進行高速驅動。例如，藉由將這種能夠進行高速驅動的電晶體用於顯示裝置，可以在同一基板上形成像素部的切換電晶體及用於驅動電路部的驅動電晶體。亦即，可以採用不採用由矽晶圓等形成的驅動電路的結構，由此可以減少顯示裝置的構件數。此外，藉由在像素部中也使用能夠進行高速驅動的電晶體，可以提供高品質的影像。

[0318]

圖 16、圖 18 及圖 19 所示的電容器 790 包括藉由對與電晶體 752 包括的第一閘極電極為同一膜的膜進行加工形成的下部電極以及藉由對與半導體層相同的金屬氧化物進行加工形成的上部電極。上部電極與電晶體 752 的源極區域或汲極區域同樣地被低電阻化。此外，在下部電極與上部電極之間設置有用作電晶體 752 的第一閘極絕緣層的絕緣膜的一部分。也就是說，電容器 790 具有在一對電極間夾有用作電介質膜的絕緣膜的疊層結構。此外，上部電極電連接於藉由對與電晶體的源極電極及汲極電極相同的膜進行加工形成的佈線。

[0319]

此外，電晶體 750、電晶體 752 及電容器 790 上設置有平坦化絕緣膜 770。

[0320]

此外，像素部 702 所包括的電晶體 750 與源極驅動電路部 704 所包括的電晶體 752 也可以使用不同結構的電晶體。

[0321]

信號線 710 與電晶體 750、752 的源極電極及汲極電極等由同一導電膜形成。這裡，較佳為使用含有銅元素的材料等低電阻材料，由此可以減少起因於佈線電阻的信號延遲等，從而可以實現大螢幕顯示。

[0322]

FPC 端子部 708 包括其一部分用作連接電極的佈線 760、異方性導電膜 780 及 FPC716。佈線 760 藉由異方性導電膜 780 與 FPC716 的端子

電連接。在此，佈線 760 是由與電晶體 750、752 的源極電極及汲極電極等為同一導電膜的膜形成。

[0323]

5 作為第一基板 701 及第二基板 705，例如可以使用玻璃基板或塑膠基板等具有撓性的基板。當作為第一基板 701 使用具有撓性的基板時，較佳為在第一基板 701 與電晶體 750 等之間設置對水或氫具有阻擋性的絕緣層。

[0324]

10 此外，第二基板 705 一側設置有遮光膜 738、彩色膜 736 以及與它們接觸的絕緣膜 734。

[0325]

[使用液晶元件的顯示裝置的結構實例]

15 圖 16 所示的顯示裝置 700 包括液晶元件 775。液晶元件 775 包括導電層 772、導電層 774 以及導電層 772 與導電層 774 之間的液晶層 776。導電層 774 設置在第二基板 705 一側，用作共通電極。此外，導電層 772 與電晶體 750 所包括的源極電極或汲極電極電連接。導電層 772 形成在平坦化絕緣膜 770 上用作像素電極。

[0326]

20 導電層 772 可以使用對可見光具有透光性的材料或具有反射性的材料。作為透光性材料，例如，可以使用含有銦、鋅、錫等的氧化物材料。作為反射性材料，例如，可以使用含有鋁、銀等材料。

[0327]

25 當作為導電層 772 使用反射性材料時，顯示裝置 700 為反射型液晶顯示裝置。當作為導電層 772 使用透光性材料時，顯示裝置 700 為透射型液晶顯示裝置。當為反射型液晶顯示裝置的情況下，在觀看側設置偏光板。當為透射型液晶顯示裝置的情況下，以夾著液晶元件的方式設置一對偏光板。

[0328]

圖 17 所示的顯示裝置 700 示出使用橫向電場方式（例如，FFS 模

式)的液晶元件 775 的例子。導電層 772 上隔著絕緣層 773 設置有用作共用電極的導電層 774。可以藉由導電層 772 與導電層 774 間產生的電場控制液晶層 776 的配向狀態。

[0329]

- 5 在圖 17 中，可以以導電層 774、絕緣層 773、導電層 772 的疊層結構構成儲存電容器。因此，不需要另外設置電容器，可以提高開口率。

[0330]

- 此外，雖然圖 16 及圖 17 中沒有進行圖示，也可以採用設置與液晶層 776 接觸的配向膜。此外，可以適當地設置偏振構件、相位差構件、
10 抗反射構件等的光學構件（光學基板）及背光、側光等光源。

[0331]

- 液晶層 776 可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC：Polymer Dispersed Liquid Crystal）、高分子網路型液晶（PNLC：Polymer Network Liquid Crystal）、鐵電液晶、反鐵電液晶等。
15 此外，在採用橫向電場方式的情況下，也可以使用不需要配向膜的呈現藍相的液晶。

[0332]

- 此外，作為液晶元件的模式，可以採用 TN（Twisted Nematic：扭曲向列）模式、VA（Vertical Alignment：垂直配向）模式、IPS（In-Plane Switching：平面內轉換）模式、FFS（Fringe Field Switching：邊緣電場轉換）模式、ASM（Axially Symmetric aligned Micro-cell：軸對稱排列微單元）模式、OCB（Optical Compensated Birefringence：光學補償彎曲）模式、ECB（Electrically Controlled Birefringence：電控雙折射）模式、賓主
20 模式等。

- 25 [0333]

此外，液晶層 776 可以採用使用高分子分散型液晶、高分子網路型液晶等的散亂型液晶。此時，可以採用不設置彩色膜 736 進行黑白色顯示的結構，也可以採用使用彩色膜 736 進行彩色顯示的結構。

[0334]

此外，作為液晶元件的驅動方法，可以應用利用繼時加法混色法進行彩色顯示的分時顯示方式（也稱為場序列驅動方式）。在該情況下，可以採用不設置彩色膜 736 的結構。當採用分時顯示方式的情況下，例如無需設置分別呈現 R（紅色）、G（綠色）、B（藍色）的子像素，因此具有可以提高像素的開口率、清晰度等優點。

[0335]

[使用發光元件的顯示裝置]

圖 18 所示的顯示裝置 700 包括發光元件 782。發光元件 782 包括導電層 772、EL 層 786 及導電膜 788。EL 層 786 具有有機化合物或量子點等的無機化合物。

[0336]

作為可用於有機化合物的材料，可以舉出螢光性材料或磷光性材料等。此外，可用於量子點的材料，可以舉出膠狀量子點、合金型量子點、核殼（Core Shell）型量子點、核型量子點等。

[0337]

圖 18 所示的顯示裝置 700 在平坦化絕緣膜 770 上設置有覆蓋導電層 772 的一部分的絕緣膜 730。在此，發光元件 782 包括透光性導電膜 788 為頂部發射型發光元件。此外，發光元件 782 也可以採用從導電層 772 側射出光的底部發射結構或者從導電層 772 一側及導電膜 788 一側的兩者射出光的雙面發射結構。

[0338]

此外，彩色膜 736 設置在與發光元件 782 重疊的位置，遮光膜 738 設置在引線配線部 711 及源極驅動電路部 704 中的與絕緣膜 730 重疊的位置。此外，彩色膜 736 及遮光膜 738 由絕緣膜 734 覆蓋。此外，發光元件 782 與絕緣膜 734 之間由密封膜 732 充填。此外，當藉由在各像素中將 EL 層 786 形成為島狀或者在各像素列中將 EL 層 786 形成為條狀，也就是說，藉由分開塗佈來形成 EL 層 786 時，也可以採用不設置彩色膜 736 的結構。

[0339]

圖 19 示出適用於撓性顯示器的顯示裝置的結構。圖 19 是沿著圖 15B 所示的顯示裝置 700A 中的點劃線 S-T 的剖面圖。

[0340]

圖 19 所示的顯示裝置 700A 採用支撐基板 745、黏合層 742、樹脂層 743 及絕緣層 744 的疊層結構代替圖 18 所示的基板 701。電晶體 750、
5 電容器 790 等設置在設置在樹脂層 743 上的絕緣層 744 上。

[0341]

支撐基板 745 是包含有機樹脂、玻璃等的具有撓性的薄基板。樹脂層 743 是包含聚醯亞胺樹脂、丙烯酸樹脂、環氧樹脂、聚醯胺樹脂、聚醯亞胺醯胺樹脂、矽氧烷樹脂、苯并環丁烯類樹脂及酚醛樹脂等的有機
10 樹脂的層。絕緣層 744 包含氧化矽、氧氮化矽、氮化矽等的無機絕緣膜。樹脂層 743 與支撐基板 745 藉由黏合層 742 貼合在一起。樹脂層 743 較佳為比支撐基板 745 薄。

[0342]

此外，圖 19 所示的顯示裝置 700A 包括保護層 740 代替圖 18 所示的基板 705。保護層 740 與密封膜 732 貼合在一起。保護層 740 可以使用玻璃基板、樹脂薄膜等。此外，保護層 740 也可以使用偏光板、散射板等光學構件、觸控感測器面板等輸入裝置或上述兩個以上的疊層結構。
15

[0343]

此外，發光元件 782 包括的 EL 層 786 在絕緣膜 730 及導電層 772 上以島狀設置。藉由以各子像素中的 EL 層 786 的發光色都不同的方式分開形成 EL 層 786，可以在不使用彩色膜 736 的情況下實現彩色顯示。此外，覆蓋發光元件 782 設置有保護層 741。保護層 741 可以防止水等
25 雜質擴散到發光元件 782 中。保護層 741 較佳為使用無機絕緣膜。此外，更佳的是採用無機絕緣膜和有機絕緣膜各為一個以上的疊層結構。

[0344]

此外，圖 19 中示出能夠折疊的區域 P2。區域 P2 中包括不設置有支撐基板 745、黏合層 742 以及絕緣層 744 等無機絕緣膜的部分。此外，

在區域 P2 中，覆蓋佈線 760 設置有樹脂層 746。藉由儘可能不在能夠折疊的區域 P2 中設置無機絕緣膜而採用僅層疊含有金屬或合金的導電層、含有有機材料的層的結構，可以防止在使其彎曲時產生裂縫。此外，藉由不在區域 P2 設置支撐基板 745，可以使顯示裝置 700A 的一部分以極小的曲率半徑彎曲。此外，雖然未示出於圖 19，但是也可以在樹脂層 743 一側設置樹脂層 746。樹脂層 746 是包含聚醯亞胺樹脂、丙烯酸樹脂、環氧樹脂、聚醯胺樹脂、聚醯亞胺醯胺樹脂、矽氧烷樹脂、苯并環丁烯類樹脂及酚醛樹脂等的有機樹脂的層。

[0345]

10 [在顯示裝置中設置輸入裝置的結構實例]

此外，也可以對圖 16 至圖 19 所示的顯示裝置 700 設置輸入裝置。作為該輸入裝置，例如，可以舉出觸控感測器等。

[0346]

15 例如，作為感測器的方式，可以利用靜電電容式、電阻膜式、表面聲波式、紅外線式、光學式、壓敏式等各種方式。此外，可以組合使用上述方式中的兩個以上。

[0347]

20 此外，觸控面板有如下結構：輸入裝置形成在一對基板的內側的所謂的 In-Cell 型觸控面板；輸入裝置形成在顯示裝置 700 上的所謂的 On-Cell 型觸控面板；與顯示裝置 700 貼合的所謂的 Out-Cell 型觸控面板；等等。

[0348]

本實施方式所示的結構實例及對應於這些例子的圖式等的至少一部分可以與其他結構實例或圖式等適當地組合而實施。

25 [0349]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0350]

實施方式 3

在本實施方式中參照圖 20A、圖 20B 及圖 20C 對包括本發明的一個實施方式的半導體裝置的顯示裝置進行說明。

[0351]

5 圖 20A 所示的顯示裝置包括像素部 502、驅動電路部 504、保護電路 506 及端子部 507。注意，也可以採用不設置保護電路 506 的結構。

[0352]

對像素部 502 或驅動電路部 504 所包括的電晶體可以使用本發明的一個實施方式的電晶體。此外，也可以對保護電路 506 使用本發明的一
10 個實施方式的電晶體。

[0353]

像素部 502 包括使配置為 X 行 Y 列（X、Y 為分別獨立的 2 以上的自然數）的多個顯示元件驅動的多個像素電路 501。

[0354]

15 驅動電路部 504 包括對閘極線 GL₁ 至 GL_X 輸出掃描信號的閘極驅動器 504a、對資料線 DL₁ 至 DL_Y 供應資料信號的源極驅動器 504b 等的驅動電路。閘極驅動器 504a 採用至少包括移位暫存器的結構即可。此外，源極驅動器 504b 例如由多個類比開關等構成。此外，也可以由移位暫存器等構成源極驅動器 504b。

20 [0355]

端子部 507 是指設置有用來從外部的電路對顯示裝置輸入電源、控制信號及影像信號等的端子的部分。

[0356]

保護電路 506 是在自身所連接的佈線被供應一定的範圍之外的電
25 位時使該佈線與其他佈線之間處於導通狀態的電路。圖 20A 所示的保護電路 506 例如與閘極驅動器 504a 和像素電路 501 之間的佈線的掃描線 GL、或者與源極驅動器 504b 和像素電路 501 之間的佈線的資料線 DL 等的各種佈線連接。

[0357]

此外，既可以採用閘極驅動器 504a 及源極驅動器 504b 各自設置在與像素部 502 相同的基板上的結構，又可以採用閘極驅動電路或源極驅動電路以 COG 或 TAB (Tape Automated Bonding：捲帶自動接合) 安裝於另行形成的基板（例如，使用單晶半導體膜、多晶半導體膜形成的驅動電路板）的結構。

[0358]

此外，圖 20A 所示的多個像素電路 501 例如可以採用與圖 20B、圖 20C 所示的結構。

[0359]

圖 20B 所示的像素電路 501 包括液晶元件 570、電晶體 550 及電容器 560。此外，與像素電路 501 連接有資料線 DL_n、掃描線 GL_m 及電位供應線 VL 等。

[0360]

根據像素電路 501 的規格適當地設定液晶元件 570 的一對電極中的一個電極的電位。根據被寫入的資料設定液晶元件 570 的配向狀態。此外，也可以對多個像素電路 501 的每一個所具有的液晶元件 570 的一對電極中的一個電極供應共用電位。此外，也可以對各行的像素電路 501 的每一個所具有的液晶元件 570 的一對電極中的一個電極供應不同的電位。

[0361]

此外，圖 20C 所示的像素電路 501 包括電晶體 552、554、電容器 562 以及發光元件 572。此外，與像素電路 501 連接有資料線 DL_n、掃描線 GL_m、電位供應線 VL_a 及電位供應線 VL_b 等。

[0362]

此外，電位供應線 VL_a 和電位供應線 VL_b 中的一個被施加高電源電位 VDD，電位供應線 VL_a 和電位供應線 VL_b 中的另一個被施加低電源電位 VSS。根據電晶體 554 的閘極被施加的電位，流過發光元件 572 中的電流被控制，從而來自發光元件 572 的發光亮度被控制。

[0363]

本實施方式所示的結構實例及對應於這些例子的圖式等的至少一部分可以與其他結構實例或圖式等適當地組合而實施。

[0364]

5 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0365]

實施方式 4

10 下面對備有用來校正像素所顯示的灰階的記憶體的像素電路以及具有該像素電路的顯示裝置進行說明。實施方式 1 中例示出的電晶體可以用於下文中例示出的像素電路所使用的電晶體。

[0366]

[電路結構]

15 圖 21A 示出像素電路 400 的電路圖。像素電路 400 包括電晶體 M1、電晶體 M2、電容器 C1 及電路 401。此外，像素電路 400 連接有佈線 S1、佈線 S2、佈線 G1 及佈線 G2。

[0367]

20 電晶體 M1 的閘極與佈線 G1 連接，源極和汲極中的一個與佈線 S1 連接，源極和汲極中的另一個與電容器 C1 的一個電極連接。電晶體 M2 的閘極與佈線 G2 連接，源極和汲極中的一個與佈線 S2 連接，源極和汲極中的另一個與電容器 C1 的另一個電極及電路 401 連接。

[0368]

25 電路 401 至少包括一個顯示元件。顯示元件可以使用各種各樣的元件，典型地有有機 EL 元件或 LED 元件等發光元件、液晶元件或 MEMS 元件等。

[0369]

將連接電晶體 M1 與電容器 C1 的節點記作 N1，將連接電晶體 M2 與電路 401 的節點記作 N2。

[0370]

像素電路 400 藉由使電晶體 M1 變為關閉狀態可以保持節點 N1 的電位。此外，藉由使電晶體 M2 變為關閉狀態可以保持節點 N2 的電位。此外，藉由在電晶體 M2 處於關閉狀態的狀態下藉由電晶體 M1 對節點 N1 寫入規定的電位，由於藉由電容器 C1 的電容耦合，可以使節點 N2 的電位對應節點 N1 的電位變化而發生改變。

[0371]

在此，作為電晶體 M1、電晶體 M2 中的一者或兩者可以使用實施方式 1 中例示出的使用氧化物半導體的電晶體。由於該電晶體具有極低的關態電流，因此可以長時間地保持節點 N1 及節點 N2 的電位。此外，當各節點的電位保持期間較短時（明確而言，圖框頻率為 30Hz 以上時等）也可以採用使用了矽等半導體的電晶體。

[0372]

[驅動方法例]

接著，參照圖 21B 對像素電路 400 的工作方法的一個例子進行說明。圖 21B 是像素電路 400 的工作的時序圖。注意，這裡為了便於說明，不考慮佈線電阻等各種電阻、電晶體或佈線等的寄生電容及電晶體的臨界電壓等的影響。

[0373]

在圖 21B 所示的工作中，將 1 個圖框期間分為期間 T1 和期間 T2。期間 T1 是對節點 N2 寫入電位的期間，期間 T2 是對節點 N1 寫入電位的期間。

[0374]

[期間 T1]

在期間 T1，對佈線 G1 和佈線 G2 的兩者供給使電晶體變為導通狀態的電位。此外，對佈線 S1 提供為固定電位的電位 V_{ref} ，對佈線 S2 提供第一資料電位 V_w 。

[0375]

節點 N1 藉由電晶體 M1 從佈線 S1 被供給電位 V_{ref} 。此外，節點 N2 藉由電晶體 M2 被供給第一資料電位 V_w 。因此，電容器 C1 變為保持電

位差 $V_w - V_{ref}$ 的狀態。

[0376]

[期間 T2]

5 接著，在期間 T2，佈線 G1 被供應使電晶體 M1 變為導通狀態的電位，佈線 G2 被供應使電晶體 M2 變為關閉狀態的電位，佈線 S1 被提供第二資料電位 V_{data} 。此外，可以對佈線 S2 提供預定的恆電位或使成為浮動狀態。

[0377]

10 節點 N1 藉由電晶體 M1 被供應第二資料電位 V_{data} 。此時，由於藉由電容器 C1 的電容耦合，對應第二資料電位 V_{data} 節點 N2 的電位發生變化，其變化量為電位 dV 。也就是說，電路 401 被輸入將第一資料電位 V_w 和電位 dV 加在一起的電位。注意，雖然圖 21B 示出 dV 為正的值，但是其也可以為負的值。也就是說，電位 V_{data} 也可以比電位 V_{ref} 低。

[0378]

15 這裡，電位 dV 基本由電容器 C1 的電容值及電路 401 的電容值決定。當電容器 C1 的電容值充分大於電路 401 的電容值時，電位 dV 成為接近第二資料電位 V_{data} 的電位。

[0379]

20 如上所述，由於像素電路 400 可以組合兩種資料信號生成供應給包括顯示元件的電路 401 的電位，所以可以在像素電路 400 內進行灰階校正。

[0380]

25 此外，像素電路 400 可以生成超過可對佈線 S1 及佈線 S2 供給的最大電位的電位。例如，在使用發光元件的情況下，可以進行高動態範圍 (HDR) 顯示等。此外，在使用液晶元件的情況下，可以實現過驅動等。

[0381]

[應用例]

[使用液晶元件的例子]

圖 21C 所示的像素電路 400LC 包括電路 401LC。電路 401LC 包括液晶元件 LC 及電容器 C2。

[0382]

5 液晶元件 LC 的一個電極與節點 N2 及電容器 C2 的一個電極連接，另一個電極與被供應電位 V_{com2} 的佈線連接。電容器 C2 的另一個電極與被供應電位 V_{com1} 的佈線連接。

[0383]

電容器 C2 用作儲存電容器。此外，當不需要時可以省略電容器 C2。

[0384]

10 由於像素電路 400LC 可以對液晶元件 LC 提供高電壓，所以例如可以藉由過驅動實現高速顯示，可以採用驅動電壓高的液晶材料等。此外，藉由對佈線 S1 或佈線 S2 提供校正信號，可以根據使用溫度或液晶元件 LC 的劣化狀態等進行灰階校正。

[0385]

15 [使用發光元件的例子]

圖 21D 所示的像素電路 400EL 包括電路 401EL。電路 401EL 包括發光元件 EL、電晶體 M3 及電容器 C2。

[0386]

20 電晶體 M3 的閘極與節點 N2 及電容器 C2 的一個電極連接，源極和汲極中的一個與被供應電位 V_H 的佈線連接，源極和汲極中的另一個與發光元件 EL 的一個電極連接。電容器 C2 的另一個電極與被供應電位 V_{com} 的佈線連接。發光元件 EL 的另一個電極與被供應電位 V_L 的佈線連接。

[0387]

25 電晶體 M3 具有控制對發光元件 EL 供應的電流的功能。電容器 C2 用作儲存電容器。不需要時也可以省略電容器 C2。

[0388]

此外，雖然這裡示出發光元件 EL 的陽極一側與電晶體 M3 連接的結構，但是也可以採用陰極一側與電晶體 M3 連接的結構。當採用陰極

一側與電晶體 M3 連接的結構時，可以適當地改變電位 V_H 與電位 V_L 的值。

[0389]

5 像素電路 400EL 可以藉由對電晶體 M3 的閘極施加高電位使發光元件 EL 流過大電流，所以可以實現 HDR 顯示等。此外，藉由對佈線 S1 或佈線 S2 提供校正信號可以對電晶體 M3 及發光元件 EL 的電特性偏差進行校正。

[0390]

10 此外，不侷限於圖 21C 及圖 21D 所示的電路，也可以採用另外附加電晶體或電容器等的結構。

[0391]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

15 [0392]

實施方式 5

在本實施方式中，對可以使用本發明的一個實施方式製造的顯示模組進行說明。

[0393]

20 圖 22A 所示的顯示模組 6000 在上蓋 6001 與下蓋 6002 之間包括與 FPC6005 連接的顯示裝置 6006、框架 6009、印刷電路板 6010 及電池 6011。

[0394]

25 例如，可以將使用本發明的一個實施方式製造的顯示裝置用作顯示裝置 6006。藉由利用顯示裝置 6006，可以實現功耗極低的顯示模組。

[0395]

上蓋 6001 及下蓋 6002 可以根據顯示裝置 6006 的尺寸適當地改變其形狀或尺寸。

[0396]

顯示裝置 6006 也可以具有作為觸控面板的功能。

[0397]

框架 6009 具有保護顯示裝置 6006 的功能、遮斷因印刷電路板 6010 的工作而產生的電磁波的功能以及散熱板的功能等。

5 [0398]

印刷電路板 6010 具有電源電路以及用來輸出視訊信號及時脈信號的信號處理電路、電池控制電路等。可以使用電池 6011 作為電源。

[0399]

圖 22B 是具備光學觸控感測器的顯示模組 6000 的剖面示意圖。

10 [0400]

顯示模組 6000 包括設置在印刷電路板 6010 上的發光部 6015 及受光部 6016。此外，由上蓋 6001 與下蓋 6002 圍繞的區域設置有一對導光部（導光部 6017a、導光部 6017b）。

[0401]

15 顯示裝置 6006 隔著框架 6009 與印刷電路板 6010、電池 6011 重疊。顯示裝置 6006 及框架 6009 固定在導光部 6017a、導光部 6017b。

[0402]

從發光部 6015 發射的光 6018 經過導光部 6017a、顯示裝置 6006 的頂部及導光部 6017b 到達受光部 6016。例如，當光 6018 被指頭或觸控筆等被檢測體阻擋時，可以檢測觸摸操作。

20 [0403]

例如，多個發光部 6015 沿著顯示裝置 6006 的相鄰的兩個邊設置。多個受光部 6016 配置在與發光部 6015 對置的位置。由此，可以取得觸摸操作的位置的資訊。

25 [0404]

作為發光部 6015 例如可以使用 LED 元件等光源，尤其是，較佳為使用發射紅外線的光源。作為受光部 6016 可以使用接收發光部 6015 所發射的光且將其轉換為電信號的光電元件。較佳為使用能夠接收紅外線的光電二極體。

[0405]

藉由使用使光 6018 透過的導光部 6017a 及導光部 6017b，可以將發光部 6015 及受光部 6016 配置在顯示裝置 6006 中的下側，可以抑制外光到達受光部 6016 而導致觸控感測器的錯誤工作。尤其較佳為使用吸收可見光且透過紅外線的樹脂，由此可以更有效地抑制觸控感測器的錯誤工作。

[0406]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

10

[0407]

實施方式 6

在本實施方式中對能夠使用本發明的一個實施方式的電子裝置的例子進行說明。

15

[0408]

圖 23A 所示的電子裝置 6500 是可以用作智慧手機的可攜式資訊終端設備。

[0409]

電子裝置 6500 的外殼 6501 中包括顯示部 6502、電源按鈕 6503、按鈕 6504、揚聲器 6505、麥克風 6506、照相機 6507 及光源 6508 等。顯示部 6502 具有觸控面板功能。

[0410]

顯示部 6502 可以使用本發明的一個實施方式的顯示裝置。

[0411]

25 圖 23B 是包括外殼 6501 的麥克風 6506 一側的端部的剖面示意圖。

[0412]

外殼 6501 的表示面一側設置有具有透光性的保護構件 6510，被外殼 6501 及保護構件 6510 包圍的空間內設置有顯示面板 6511、光學構件 6512、觸控感測器面板 6513、印刷電路板 6517、電池 6518 等。

[0413]

保護構件 6510 藉由沒有圖示的顯示面板 6511、光學構件 6512 及觸控感測器面板 6513 的黏合層固定。

[0414]

5 此外，在顯示部 6502 外側的區域中，顯示面板 6511 的一部分被折疊。此外，該被折疊的部分與 FPC6515 連接。FPC6515 安裝有 IC6516。此外，FPC6515 與設置於印刷電路板 6517 的端子連接。

[0415]

10 顯示面板 6511 可以使用本發明的一個實施方式的撓性顯示器面板。由此，可以實現極輕量的電子裝置。此外，由於顯示面板 6511 極薄，所以可以在抑制電子裝置的厚度的情況下搭載大容量的電池 6518。此外，藉由折疊顯示面板 6511 的一部分以在像素部的背面設置與 FPC6515 的連接部，可以實現窄邊框的電子裝置。

[0416]

15 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0417]

實施方式 7

20 在本實施方式中對能夠應用本發明的一個實施方式的電子裝置進行說明。

[0418]

25 以下所例示的電子裝置是在顯示部中包括本發明的一個實施方式的顯示裝置的電子裝置，因此是可以實現高清晰的電子裝置。此外，可以同時實現高清晰及大螢幕的電子裝置。

[0419]

在本發明的一個實施方式的電子裝置的顯示部上例如可以顯示具有全高清、4K2K、8K4K、16K8K 或更高的解析度的影像。

[0420]

作為電子裝置，例如除了電視機、膝上型個人電腦、顯示器裝置、數位看板、彈珠機、遊戲機等大型的具有比較大的螢幕的電子裝置之外，還可以舉出數位相機、數位攝影機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。

5 [0421]

使用了本發明的一個實施方式的電子裝置可以沿著房屋或樓的內壁或外壁、汽車等的內部裝飾或外部裝飾等的平面或曲面組裝。

[0422]

圖 24A 是安裝有取景器 8100 的照相機 8000 的外觀圖。

10 [0423]

照相機 8000 包括外殼 8001、顯示部 8002、操作按鈕 8003、快門按鈕 8004 等。此外，照相機 8000 安裝有可裝卸的鏡頭 8006。

[0424]

在照相機 8000 中，鏡頭 8006 和外殼 8001 也可以被形成為一體。

15 [0425]

藉由按下快門按鈕 8004 或者觸摸用作觸控面板的顯示部 8002，可以進行成像。

[0426]

20 外殼 8001 包括具有電極的嵌入器，除了可以與取景器 8100 連接以外，還可以與閃光燈裝置等連接。

[0427]

取景器 8100 包括外殼 8101、顯示部 8102 以及按鈕 8103 等。

[0428]

25 外殼 8101 藉由嵌合到照相機 8000 的嵌入器的嵌入器裝到照相機 8000。取景器 8100 可以將從照相機 8000 接收的影像等顯示到顯示部 8102 上。

[0429]

按鈕 8103 被用作電源按鈕等。

[0430]

本發明的一個實施方式的顯示裝置可以用於照相機 8000 的顯示部 8002 及取景器 8100 的顯示部 8102。此外，也可以在照相機 8000 中內置有取景器。

[0431]

5 圖 24B 是頭戴顯示器 8200 的外觀圖。

[0432]

頭戴顯示器 8200 包括安裝部 8201、透鏡 8202、主體 8203、顯示部 8204 以及電纜 8205 等。此外，在安裝部 8201 中內置有電池 8206。

[0433]

10 藉由電纜 8205，將電力從電池 8206 供應到主體 8203。主體 8203 具備無線接收器等，能夠將所接收的影像資訊等顯示到顯示部 8204 上。此外，主體 8203 具有相機，由此可以利用使用者的眼球及眼瞼的動作作為輸入方法。

[0434]

15 此外，也可以對安裝部 8201 的被使用者接觸的位置設置多個電極，以檢測出根據使用者的眼球的動作而流過電極的電流，由此實現識別使用者的視線的功能。此外，還可以具有根據流過該電極的電流監視使用者的脈搏的功能。安裝部 8201 可以具有溫度感測器、壓力感測器、加速度感測器等各種感測器，也可以具有將使用者的生物資訊顯示在
20 顯示部 8204 上的功能或與使用者的頭部的動作同步地使顯示在顯示部 8204 上的影像變化的功能。

[0435]

可以將本發明的一個實施方式的顯示裝置用於顯示部 8204。

[0436]

25 圖 24C、圖 24D 及圖 24E 是頭戴顯示器 8300 的外觀圖。頭戴顯示器 8300 包括外殼 8301、顯示部 8302、帶狀固定工具 8304 以及一對透鏡 8305。

[0437]

使用者可以藉由透鏡 8305 看到顯示部 8302 上的顯示。較佳的是，

彎曲配置顯示部 8302。因為使用者可以感受高真實感。此外，藉由透鏡 8305 分別看到顯示在顯示部 8302 的不同區域上的影像，來可以進行利用視差的三維顯示等。此外，本發明的一個實施方式不侷限於設置有一個顯示部 8302 的結構，也可以設置兩個顯示部 8302 以對使用者的一對眼睛分別配置兩個不同的顯示部。

[0438]

可以將本發明的一個實施方式的顯示裝置用於顯示部 8302。因為包括本發明的一個實施方式的半導體裝置的顯示裝置具有極高的解析度，所以即使如圖 24E 那樣地使用透鏡 8305 放大，也可以不使使用者看到像素而可以顯示現實感更高的影像。

[0439]

圖 25A 至圖 25G 所示的電子裝置包括外殼 9000、顯示部 9001、揚聲器 9003、操作鍵 9005（包括電源開關或操作開關）、連接端子 9006、感測器 9007（該感測器具有測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）、麥克風 9008 等。

[0440]

圖 25A 至圖 25G 所示的電子裝置具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態影像、文字影像等）顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；藉由利用各種軟體（程式）控制處理的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料來處理的功能；等。注意，電子裝置的功能不侷限於上述功能，而可以具有各種功能。電子裝置可以包括多個顯示部。此外，也可以在該電子裝置中設置照相機等而使其具有如下功能：拍攝靜態影像或動態影像來將所拍攝的影像儲存在存儲介質（外部存儲介質或內置於照相機的存儲介質）中的功能；將所拍攝的影像顯示在顯示部上的功能；等。

[0441]

下面，詳細地說明圖 25A 至圖 25G 所示的電子裝置。

[0442]

圖 25A 是示出電視機 9100 的立體圖。可以將例如是 50 英寸以上或 100 英寸以上的大型顯示部 9001 組裝到電視機 9100。

5 [0443]

圖 25B 是示出可攜式資訊終端 9101 的立體圖。可攜式資訊終端 9101 例如可以用作智慧手機。可攜式資訊終端 9101 也可以設置有揚聲器 9003、連接端子 9006、感測器 9007 等。此外，可攜式資訊終端 9101 可以將文字或影像資訊顯示在其多個面上。圖 25B 示出顯示三個圖示 10 9050 的例子。此外，也可以將由虛線矩形表示的資訊 9051 顯示在顯示部 9001 的另一個面上。作為資訊 9051 的一個例子，可以舉出提示收到電子郵件、SNS 或電話等的資訊；電子郵件或 SNS 等的標題；發送者姓名；日期；時間；電池餘量；以及天線接收信號強度等。或者，可以在顯示有資訊 9051 的位置上顯示圖示 9050 等。

15 [0444]

圖 25C 是示出可攜式資訊終端 9102 的立體圖。可攜式資訊終端 9102 具有將資訊顯示在顯示部 9001 的三個以上的面上的功能。在此，示出資訊 9052、資訊 9053、資訊 9054 分別顯示於不同的面上的例子。例如，使用者也可以在將可攜式資訊終端 9102 放在上衣口袋裡的狀態 20 下確認顯示在能夠從可攜式資訊終端 9102 的上方觀察到的位置上的資訊 9053。使用者可以確認到該顯示而無需從口袋裡拿出可攜式資訊終端 9102，由此能夠判斷例如是否接電話。

[0445]

圖 25D 是示出手錶型可攜式資訊終端 9200 的立體圖。可攜式資訊 25 終端 9200 例如可以用作智慧手錶。此外，顯示部 9001 的顯示面被彎曲，能夠在所彎曲的顯示面上進行顯示。例如，藉由與可進行無線通訊的耳麥相互通訊，可攜式資訊終端 9200 可以進行免提通話。此外，可攜式資訊終端 9200 包括連接端子 9006，可以與其他資訊終端進行資料的交換或者進行充電。此外，充電工作也可以利用無線供電進行。

[0446]

圖 25E 至圖 25G 是示出能夠折疊的可攜式資訊終端 9201 的立體圖。此外，圖 25E 是可攜式資訊終端 9201 為展開狀態的立體圖，圖 25G 是可攜式資訊終端 9201 為折疊狀態的立體圖，並且圖 25F 是可攜式資訊終端 9201 為從圖 25E 和圖 25G 中的一個狀態變為另一個狀態的中途的狀態的立體圖。可攜式資訊終端 9201 在折疊狀態下可攜性好，在展開狀態下因為具有無縫拼接的較大的顯示區域而其顯示的一覽性優異。可攜式資訊終端 9201 所包括的顯示部 9001 由鉸鏈 9055 所連接的三個外殼 9000 來支撐。例如，可以以 1mm 以上且 150mm 以下的曲率半徑使顯示部 9001 彎曲。

[0447]

圖 26A 示出電視機的一個例子。電視機 7100 的顯示部 7500 被組裝在外殼 7101 中。在此示出利用支架 7103 支撐外殼 7101 的結構。

[0448]

可以藉由利用外殼 7101 所具備的操作開關或另外提供的遙控器 7111 進行圖 26A 所示的電視機 7100 的操作。此外，也可以將觸控面板應用於顯示部 7500，藉由用手指等觸摸顯示部 7500 可以進行電視機 7100 的操作。此外，遙控器 7111 也可以除了具備操作按鈕以外還具備顯示部。

[0449]

此外，電視機 7100 也可以具備電視廣播的接收機或用來連接到通訊網路的通訊設備。

[0450]

圖 26B 示出筆記型個人電腦 7200。筆記型個人電腦 7200 包括外殼 7211、鍵盤 7212、指向裝置 7213、外部連接埠 7214 等。在外殼 7211 中組裝有顯示部 7500。

[0451]

圖 26C 及圖 26D 示出數位看板 (Digital Signage) 的一個例子。

[0452]

圖 26C 所示的數位看板 7300 包括外殼 7301、顯示部 7500 及揚聲器 7303 等。此外，還可以包括 LED 燈、操作鍵(包括電源開關或操作開關)、連接端子、各種感測器以及麥克風等。

[0453]

5 此外，圖 26D 示出設置於圓柱狀柱子 7401 上的數位看板 7400。數位看板 7400 包括沿著柱子 7401 的曲面設置的顯示部 7500。

[0454]

顯示部 7500 越大，一次能夠提供的資訊量越多，並且容易吸引人的注意，由此例如可以提高廣告宣傳效果。

10 [0455]

較佳為將觸控面板用於顯示部 7500，使得使用者能夠操作。由此，不僅可以用於廣告，還可以用於提供路線資訊或交通資訊、商用設施的指南等使用者需要的資訊。

[0456]

15 如圖 26C 和圖 26D 所示，數位看板 7300 或數位看板 7400 較佳為藉由無線通訊可以與使用者所攜帶的智慧手機等資訊終端設備 7311 聯動。例如，顯示在顯示部 7500 上的廣告的資訊可以顯示在資訊終端設備 7311 的螢幕，並且藉由操作資訊終端設備 7311，可以切換顯示部 7500 的顯示。

20 [0457]

此外，可以在數位看板 7300 或數位看板 7400 上以資訊終端設備 7311 為操作單元(控制器)執行遊戲。由此，不特定多個使用者可以同時參加遊戲，享受遊戲的樂趣。

[0458]

25 本發明的一個實施方式的顯示裝置可以應用於圖 26A 至圖 26D 所示的顯示部 7500。

[0459]

圖 26E 和圖 26F 示出遊戲機的例子。

[0460]

圖 26E 所示的遊戲機 7600 為可攜式遊戲機的例子。可攜式遊戲機 7600 包括外殼 7601、顯示部 7610 以及按鈕 7603 等。

[0461]

圖 26F 所示的遊戲機 7700 為固定式遊戲機的例子。固定式遊戲機 7700 以無線或有線與控制器 7720 連接。此外，控制器 7720 包括外殼 7601、顯示部 7610 以及按鈕 7603 等。此外，控制器 7720 具有顯示部 7610，由此控制器 7720 本身能夠用作可攜式遊戲機。

[0462]

藉由將本發明的一個實施方式的半導體裝置應用於遊戲機 7600、遊戲機 7700 以及控制器 7720，可以實現低功耗的遊戲機。此外，藉由將本發明的一個實施方式的顯示裝置應用於顯示部 7610，可以實現低功耗且能夠高清晰顯示的遊戲機。

[0463]

雖然在圖 26E 和圖 26F 中示出可攜式遊戲機和固定式遊戲機作為遊戲機的一個例子，但是本發明的一個實施方式不侷限於此。作為可以應用本發明的一個實施方式的遊戲機，例如可以舉出設置在娛樂設施(遊戲中心，遊樂園等)的街機遊戲機、設置在體育設施的擊球練習用投球機等。

[0464]

雖然本實施方式的電子裝置採用具有顯示部的結構，但是本發明的一個實施方式也可以用於不具有顯示部的電子裝置。

[0465]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

25

實施例

[0466]

以下製造了本發明的一個實施方式的電晶體並對其電特性進行了評價。

[0467]

[樣本的製造]

作為所製造的電晶體的結構，可以援用實施方式 1 以及圖 2A1、圖 2A2、圖 2B1 及圖 2B2 所例示的電晶體 100 及電晶體 100A。製造了區域 103a 的厚度 (t1) 都為 305nm 而區域 103b 的厚度 (t2) 各不相同的多個樣本。明確而言，製造了區域 103b 的厚度 (t2) 為 205nm 的樣本及區域 103b 的厚度 (t2) 為 55nm 的樣本。在區域 103b 的厚度 (t2) 為 205nm 的樣本中，區域 103a 的厚度 (t1) 為區域 103b 的厚度 (t2) 的 1.5 倍。在區域 103b 的厚度 (t2) 為 55nm 的樣本中，區域 103a 的厚度 (t1) 為區域 103b 的厚度 (t2) 的 5.5 倍。此外，作為對比樣本，以同樣的方式製造了區域 103a 的厚度 (t1) 與區域 103b 的厚度 (t2) 相等的樣本。在對比樣本中，區域 103a 的厚度 (t1) 為區域 103b 的厚度 (t2) 的 1.0 倍。

[0468]

15 首先，在玻璃基板上藉由濺射法形成厚度大約為 100nm 的鎢膜，並對其進行加工得到第一閘極電極。

[0469]

接著，在玻璃基板及第一閘極電極上形成厚度為 305nm 的成為第一閘極絕緣層的絕緣膜。作為成為第一閘極絕緣層的絕緣膜，使用藉由電漿 CVD 法形成的厚度大約為 240nm 的氮化矽膜、厚度大約為 60nm 的氮化矽膜及厚度大約為 5nm 的氧氮化矽膜的疊層膜。

[0470]

25 接著，在絕緣膜上形成厚度大約為 30nm 的金屬氧化物膜。金屬氧化物膜藉由使用 In-Ga-Zn 氧化物靶材(In : Ga : Zn=4 : 2 : 4.1[原子數比])的濺射法形成。

[0471]

在金屬氧化物膜上形成光阻遮罩，並對其進行加工得到半導體層。接著，對絕緣層進行加工得到第一閘極絕緣層。製造了區域 103b 的厚度 (t2) 不同的多個樣本。此外，作為對比樣本，以同樣的方式製造了

區域 103a 的厚度 (t1) 與區域 103b 的厚度 (t2) 相等的樣本。

[0472]

然後，在氮氛圍下以 350°C 進行 1 小時的加熱處理，接下來在氧和氮的混合氛圍下以 350°C 進行 1 小時的加熱處理。

5

[0473]

接著，作為第二閘極絕緣層，藉由電漿 CVD 法層疊厚度大約為 150nm 的氧氮化矽膜。然後，在氮氛圍下以 350°C 進行 1 小時的加熱處理。

[0474]

10

接著，在第二閘極絕緣層上藉由濺射法形成厚度大約為 20nm 的金屬氧化物膜。金屬氧化物膜藉由使用 In-Ga-Zn 氧化物靶材(In:Ga:Zn=4:2:4.1[原子數比])的濺射法形成。然後，作為氧供應處理，在氧和氮的混合氛圍下以 350°C 進行 1 小時的加熱處理。

[0475]

15

接著，在金屬氧化物膜上藉由濺射法層疊厚度大約為 100nm 的鉬膜。然後，藉由蝕刻去除鉬膜和金屬氧化物膜的一部分得到第二閘極電極及金屬氧化物層。

[0476]

20

接著，以第二閘極電極為遮罩進行雜質元素的添加處理。使用硼作為雜質元素，並使用 B₂H₆ 氣體作為用來供應硼的氣體。使用電漿離子摻雜裝置進行硼的添加，劑量為 2×10¹⁵ions/cm²，加速電壓為 40kV。

[0477]

接著，作為覆蓋電晶體的保護絕緣層，利用電漿 CVD 法形成厚度大約為 300nm 的氧氮化矽膜。氧氮化矽膜的成膜溫度為 350°C。

25

[0478]

接著，在覆蓋電晶體的保護絕緣層及第二閘極絕緣層的一部分形成開口，利用濺射法形成鉬膜，然後對其進行加工得到源極電極及汲極電極。然後，作為平坦化層形成厚度大約為 1.5μm 的丙烯酸樹脂膜，在氮氛圍下以 250°C 進行一小時的加熱處理。

[0479]

藉由上述製程，得到形成在玻璃基板上的電晶體。

[0480]

[電晶體的 Id-Vg 特性]

5 接著，測定所製造的上述電晶體的 Id-Vg 特性。

[0481]

作為電晶體的 Id-Vg 特性的測定條件，施加到第一閘極電極的電壓（以下也稱為閘極電壓(Vg)）以及施加到第二閘極電極的電壓（以下也稱為背閘極電壓(Vbg)）從-15V 每隔 0.25V 變化到+20V。此外，將施加到源極電極的電壓（以下也稱為源極電壓(Vs)）設定為 0V(comm)，將施加到汲極電極的電壓（以下也稱為汲極電壓(Vd)）設定為 0.1V 和 5.1V。

[0482]

圖 27 示出相當於電晶體 100 的電晶體的 Id-Vg 特性，圖 28 示出相當於電晶體 100A 的電晶體的 Id-Vg 特性。在圖 27 及圖 28 中，在橫向上排列著區域 103b 的厚度 (t2) 不同的條件的結果。此外，在各圖式中，還示出區域 103a 的厚度 (t1) 與區域 103b 的厚度 (t2) 相等的電晶體的結果。在圖 27 及圖 28 中，示出電晶體的通道長度為 2 μ m 且通道寬度分別為 1 μ m、3 μ m、50 μ m 的三種電晶體。此外，分別對每一種測定了 20 個電晶體的 Id-Vg 特性。如圖 27 及圖 28 所示，在任一樣本中都可以得到優良的電特性。

[0483]

根據圖 27 及圖 28 所示的 Id-Vg 特性，計算出臨界電壓 (Vth)、通態電流 (Ion) 及移動率 (μ FE)。圖 29 示出相當於電晶體 100 的電晶體特性，而圖 30 示出相當於電晶體 100A 的電晶體特性。在圖 29 及圖 30 中，臨界電壓 (Vth) 為在汲極電壓 (Vd) 為 5.1V 的條件下的數值。通態電流 (Ion) 為在汲極電壓 (Vd) 為 5.1V 且閘極電壓 (Vg) 為 5V 的條件下的數值。移動率 (μ FE) 為在汲極電壓 (Vd) 為 5.1V 的條件下的數值。此外，圖 29 及圖 30 所示的數值為中央值。

[0484]

由圖 30 可知：藉由使區域 103b 的厚度 (t_2) 薄於區域 103a 的厚度 (t_1)，通態電流及移動率得到提高；區域 103a 的厚度與區域 103b 的厚度的比例 (t_1/t_2) 越大，通態電流及移動率越高；以及通道寬度越小，通態電流及移動率越高。由此可推測，由於區域 103a 的厚度與區域 103b 的厚度的比例 (t_1/t_2) 變大，在通道寬度方向上，第二閘極電極不但位於半導體層的頂面一側而且還位於其側面一側及斜下方一側，所以可以由對第二閘極電極施加電壓時產生的電場電圍繞半導體層，從而使電晶體的通態電流及移動率得到了提高。

[0485]

10 [電晶體的可靠性]

接著，評價所製造的上述電晶體的可靠性。

[0486]

作為可靠性評價，進行了閘極偏置應力測試 (GBT 測試)。在 GBT 測試中，將形成有電晶體的基板保持為 60°C 且對電晶體的源極和汲極施加 0V 的電壓，對閘極施加 20V 或 -20V 的電壓，保持該狀態 1 小時。此時，將在昏暗的測試環境下對閘極施加正電壓的測試記為 PBTS (Positive Bias Temperature Stress)，將對閘極施加負電壓的測試記為 NBTS (Negative Bias Temperature Stress)。此外，將在對樣本照射光的狀態下的 PBTS 及 NBTS 分別記為 PBTIS (Positive Bias Temperature Illumination Stress) 及 NBTIS (Negative Bias Temperature Illumination Stress)。當照射光時，使用 10000lx 左右的白色 LED 光。

[0487]

評價閘極偏置應力測試前及測試後的臨界電壓的變動值 (ΔV_{th})。圖 31A 示出相當於電晶體 100 的電晶體特性，而圖 31B 示出相當於電晶體 100A 的電晶體特性。

[0488]

如圖 31A 和圖 31B 所示，所製造的電晶體的臨界電壓的變動都極小。

[0489]

因此，可確認到本發明的一個實施方式的電晶體具有優良的電特性及高可靠性。

【符號說明】

- 5 [0490]
 100、100A、100B、100C、100D、100E、100F、100G 電晶體
 102 基板
 103 絕緣層
 103a、103b 區域
 10 106 導電層
 108、108a、108b 半導體層
 108f 金屬氧化物膜
 108N 區域
 110 絕緣層
 15 110f 絕緣膜
 112 導電層
 112f 導電膜
 114 金屬氧化物層
 114f 金屬氧化物膜
 20 115 光阻遮罩
 116、118 絕緣層
 120a、120b 導電層
 141a、141b、142 開口部
 208、208a、208b 半導體層
 25 208N 區域
 212 導電層
 214 金屬氧化物層
 215 光阻遮罩
 220a、220b 導電層

241a、241b 開口部

申請專利範圍

1.一種半導體裝置，包括絕緣表面上的第一電晶體及第二電晶體，
該第一電晶體包括：

第一絕緣層；

5 該第一絕緣層上的第一半導體層；

該第一半導體層上的第二絕緣層；以及

隔著該第二絕緣層與該第一半導體層重疊的第一導電層，

其中，該第一絕緣層的一部分與該第一半導體層重疊並且在厚度
方向上突出，

10 該第一絕緣層具有與該第一半導體層重疊的第一區域及不與該第
一半導體層重疊且厚度比該第一區域薄的第二區域，

並且，該第一導電層的一部分位於該第二區域上並且該第一導電
層的該部分的底面位於該第一半導體層的底面下，

該第二電晶體包括：

15 該第一絕緣層上的第二半導體層；

該第二半導體層上的該第二絕緣層；

金屬氧化物層；

隔著該第二絕緣層及該金屬氧化物層與該第二半導體層重疊的第
二導電層；以及

20 隔著該第一絕緣層與該第二半導體層重疊的第三導電層，

其中，該第一絕緣層的一部分與該第二半導體層重疊並且在厚度
方向上突出，

該第一絕緣層具有與該第二半導體層重疊的第三區域及不與該第
二半導體層重疊且厚度比第三區域薄的第四區域，

25 該第二導電層的一部分位於該第四區域上並且該第二導電層的該
部分的底面位於該第二半導體層的底面下，

並且，該第三區域的側面具有從與該第二半導體層的下端部接觸
的部分到該第四區域梯度連續變化的形狀。

2.一種半導體裝置，包括絕緣表面上的第一電晶體及第二電晶體，
該第一電晶體包括：

第一絕緣層；

該第一絕緣層上的第一半導體層；

5 該第一半導體層上的第二絕緣層；以及

隔著該第二絕緣層與該第一半導體層重疊的第一導電層，

其中，該第一絕緣層的一部分與該第一半導體層重疊並且在厚度
方向上突出，

該第一絕緣層具有與該第一半導體層重疊的第一區域及不與該第
10 一半導體層重疊且厚度比該第一區域薄的第二區域，

該第一導電層的一部分位於該第二區域上並且該第一導電層的該
部分的底面位於該第一半導體層的底面下，

並且，該第二絕緣層與該第一區域的側面、該第二區域的頂面、該
第一半導體層的頂面及側面接觸，

15 該第二電晶體包括：

該第一絕緣層上的第二半導體層；

該第二半導體層上的該第二絕緣層；

金屬氧化物層；

20 隔著該第二絕緣層及該金屬氧化物層與該第二半導體層重疊的第
二導電層；以及

隔著該第一絕緣層與該第二半導體層重疊的第三導電層，

其中，該第一絕緣層的一部分與該第二半導體層重疊並且在厚度
方向上突出，

該第一絕緣層具有與該第二半導體層重疊的第三區域及不與該第
25 二半導體層重疊且厚度比第三區域薄的第四區域，

該第二導電層的一部分位於該第四區域上並且該第二導電層的該
部分的底面位於該第二半導體層的底面下，

該第二絕緣層與該第三區域的側面、該第四區域的頂面、該第二半
導體層的頂面及側面接觸，

並且，該第三區域的側面具有從與該第二半導體層的下端部接觸的部分到該第四區域梯度連續變化的形狀。

3.一種半導體裝置，包括

絕緣表面上的第一電晶體及第二電晶體，

5 該第一電晶體包括：

第一絕緣層；

該第一絕緣層上的第一半導體層；

該第一半導體層上的第二絕緣層；以及

隔著該第二絕緣層與該第一半導體層重疊的第一導電層，

10 其中，該第一絕緣層的一部分與該第一半導體層重疊並且在厚度方向上突出，

該第一絕緣層具有與該第一半導體層重疊的第一區域及不與該第一半導體層重疊且厚度比該第一區域薄的第二區域，

15 該第一導電層的一部分位於該第二區域上並且該第一導電層的該部分的底面位於該第一半導體層的底面下，

並且，該第二絕緣層和該第一導電層的頂面形狀大致一致，

該第二電晶體包括：

該第一絕緣層上的第二半導體層；

該第二半導體層上的第三絕緣層；

20 金屬氧化物層；

隔著該第三絕緣層及該金屬氧化物層與該第二半導體層重疊的第二導電層；以及

隔著該第一絕緣層與該第二半導體層重疊的第三導電層，

25 其中，該第一絕緣層的一部分與該第二半導體層重疊並且在厚度方向上突出，

該第一絕緣層具有與該第二半導體層重疊的第三區域及不與該第二半導體層重疊且厚度比第三區域薄的第四區域，

該第二導電層的部分位於該第四區域上並且該第二導電層的該部分的底面位於該第二半導體層的底面下，

該第三絕緣層和該第二導電層的頂面形狀大致一致，
並且，該第三區域的側面具有從與該第二半導體層的下端部接觸的部分到該第四區域梯度連續變化的形狀。

4.根據申請專利範圍第 1 項之半導體裝置，

5 其中該第一半導體層具有不與該第一導電層重疊的第五區域，
該第二半導體層具有不與該第二導電層重疊的第六區域，
該第五區域及該第六區域包含第一元素，
並且該第一元素為磷、硼、鎂、鋁和矽中的任一個以上。

5.根據申請專利範圍第 4 項之半導體裝置，

10 其中該第一半導體層及該第二半導體層包含金屬氧化物，
並且該第五區域及該第六區域包含該第一元素和氧的鍵合。

6.根據申請專利範圍第 1 或 3 項之半導體裝置，還包括第四絕緣層，

15 其中該第一半導體層具有不與該第一導電層重疊的第五區域，
該第二半導體層具有不與該第二導電層重疊的第六區域，
該第四絕緣層與該第五區域及該第六區域接觸，
該第一半導體層及該第二半導體層包含金屬氧化物，
並且該第四絕緣層包含氮化物。

7.根據申請專利範圍第 6 項之半導體裝置，

20 其中該第四絕緣層包含選自鋁、鈦、鉭、鎢、鉻和鈦中的一個以上的元素及氮，

並且在該第五區域及該第六區域中存在金屬狀態的鈦。

8.根據申請專利範圍第 6 項之半導體裝置，

其中該第四絕緣層包含矽、氮以及氫。

25 9.根據申請專利範圍第 1 項之半導體裝置，

其中該第一區域的厚度為該第二區域的厚度的 1.2 倍以上且 10 倍以下。

10.根據申請專利範圍第 1 項之半導體裝置，

其中該第一區域的側面具有從與該第一半導體層的下端部接觸的

部分到該第二區域梯度連續變化的形狀。

11.根據申請專利範圍第 1 至 3 中任一項之半導體裝置，

其中該第一導電層具有其頂面位於比該第一半導體層的底面更低處的部分，

5 並且該第二導電層具有其頂面位於比該第二半導體層的底面更低處的部分。

12.根據申請專利範圍第 1 至 3 中任一項之半導體裝置，

其中該第一半導體層具有依次層疊有第一金屬氧化膜和第二金屬氧化膜的疊層結構，

10 該第二半導體層具有依次層疊有第三金屬氧化膜和第四金屬氧化膜的疊層結構，

並且該第二金屬氧化膜及該第四金屬氧化膜的結晶性高於該第一金屬氧化膜及該第三金屬氧化膜的結晶性。

13.根據申請專利範圍第 1 至 3 中任一項之半導體裝置，還包括像

15 素部和驅動電路部，

該像素部包括該第一電晶體，

並且該驅動電路部包括該第二電晶體。

圖式

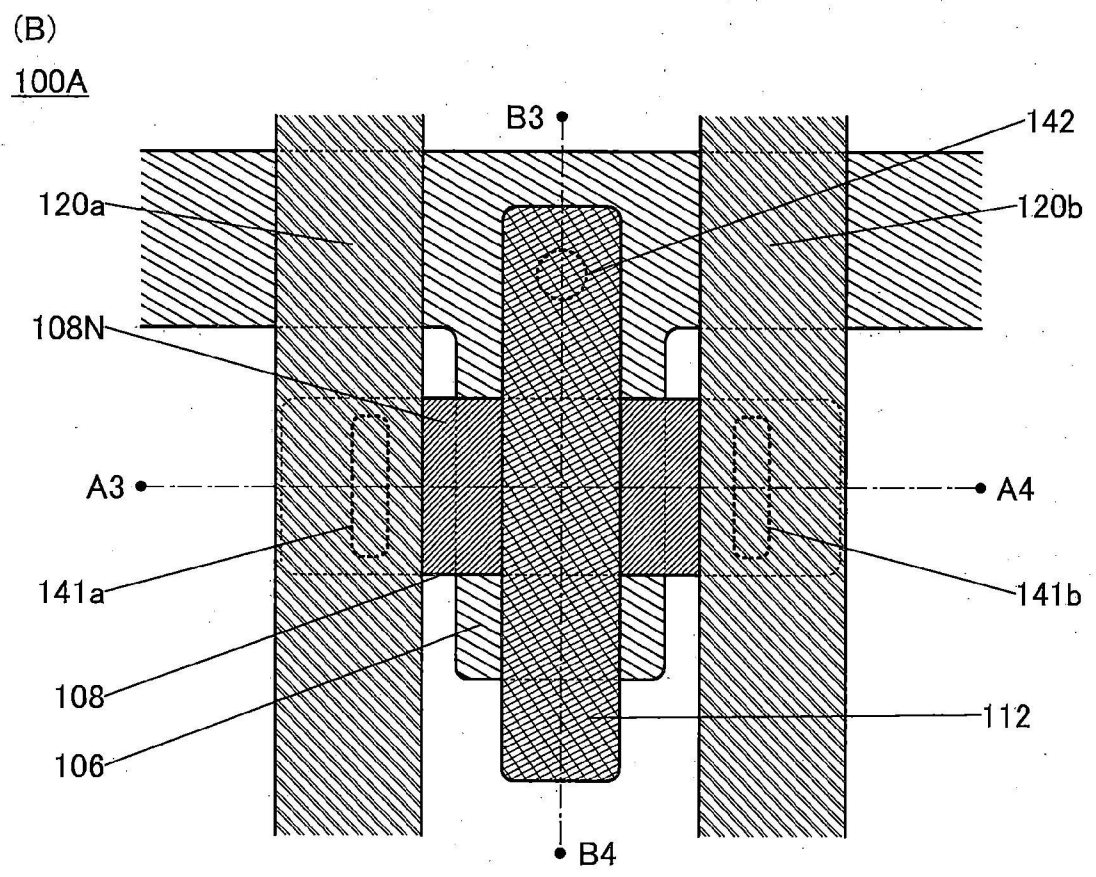
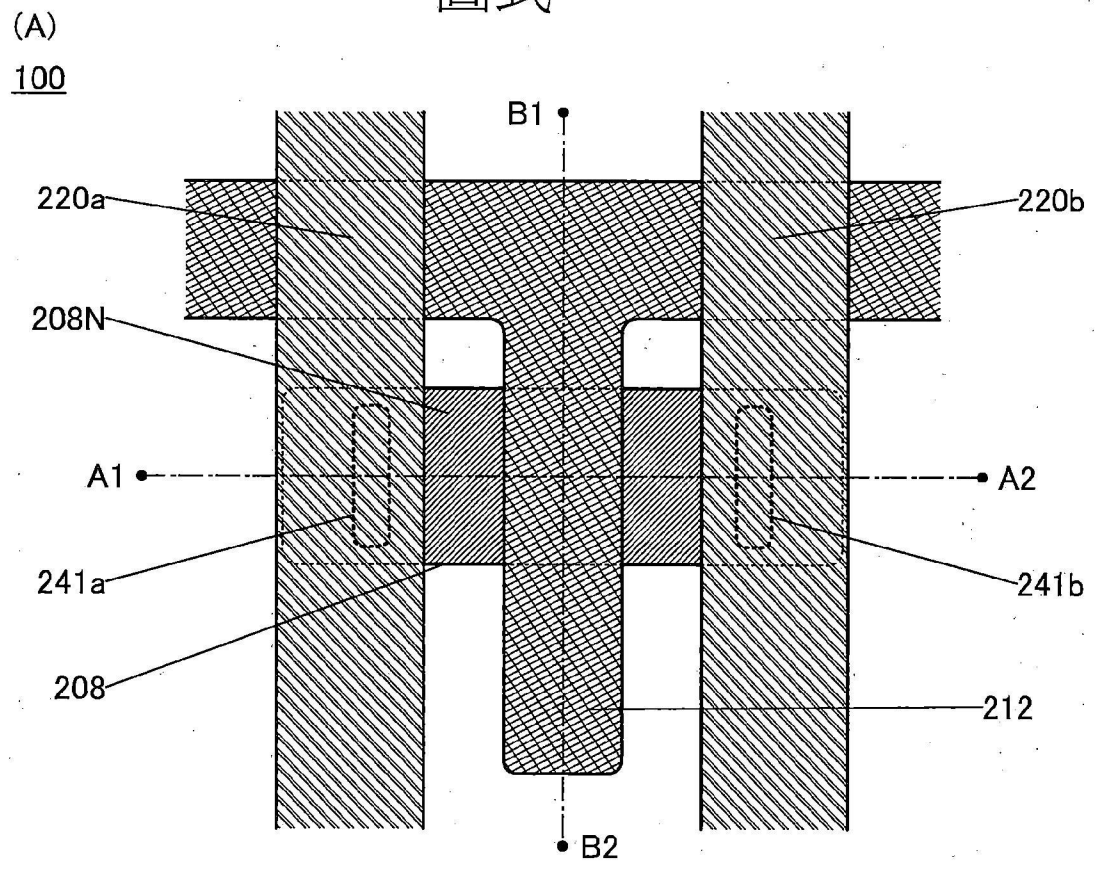


圖1

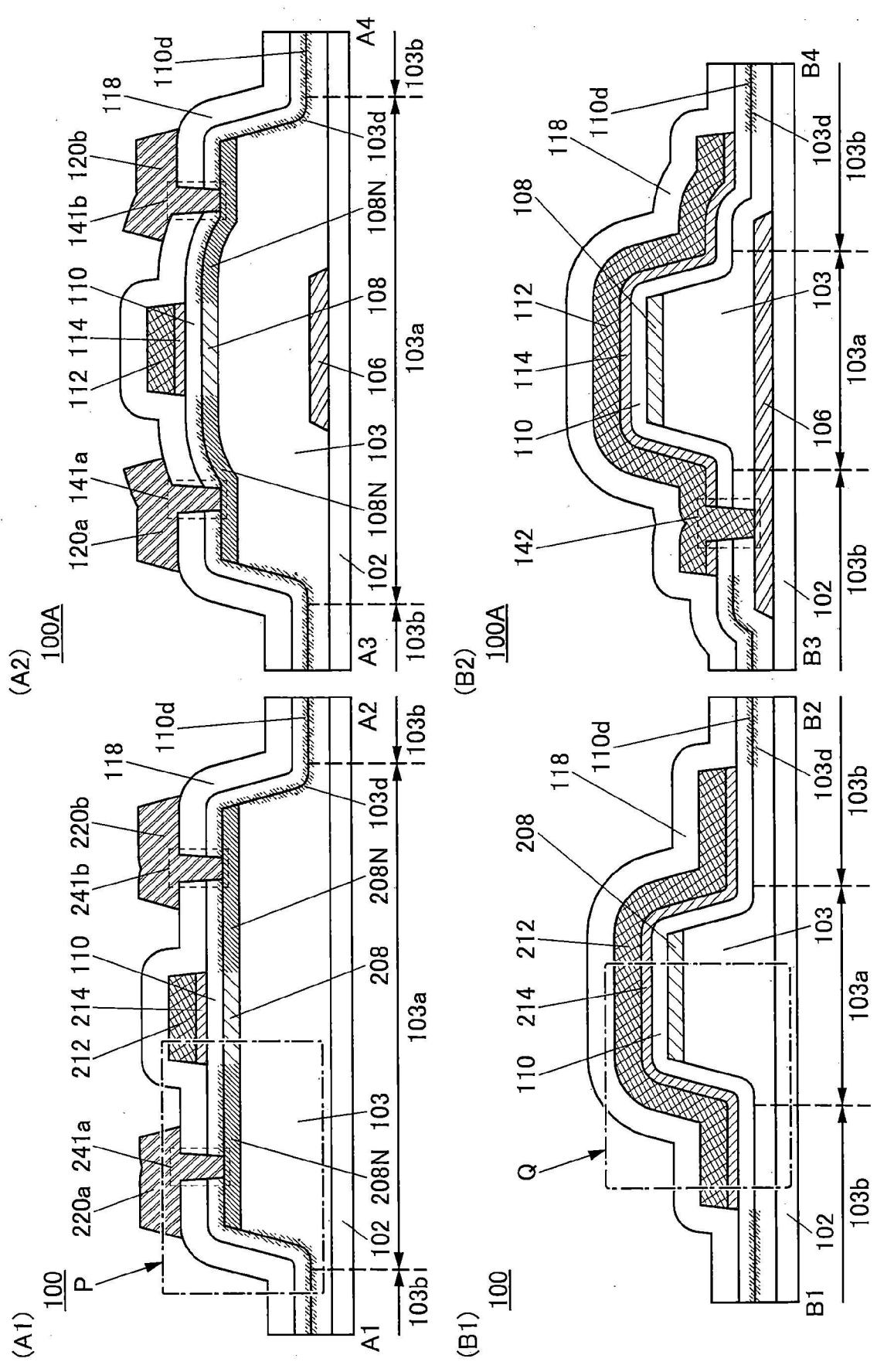


圖2

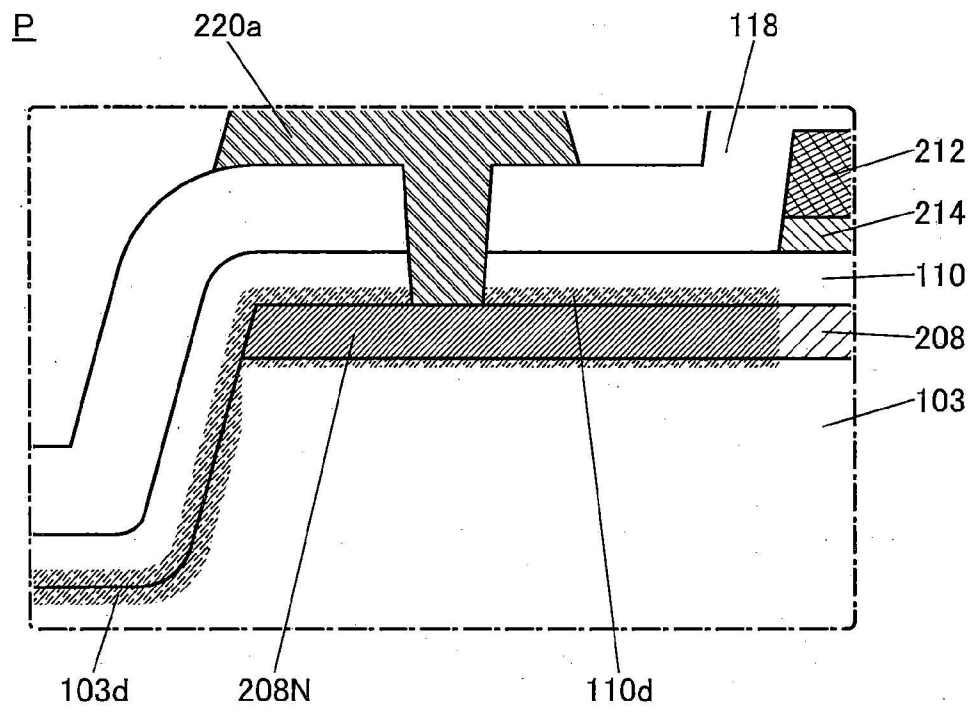


圖3

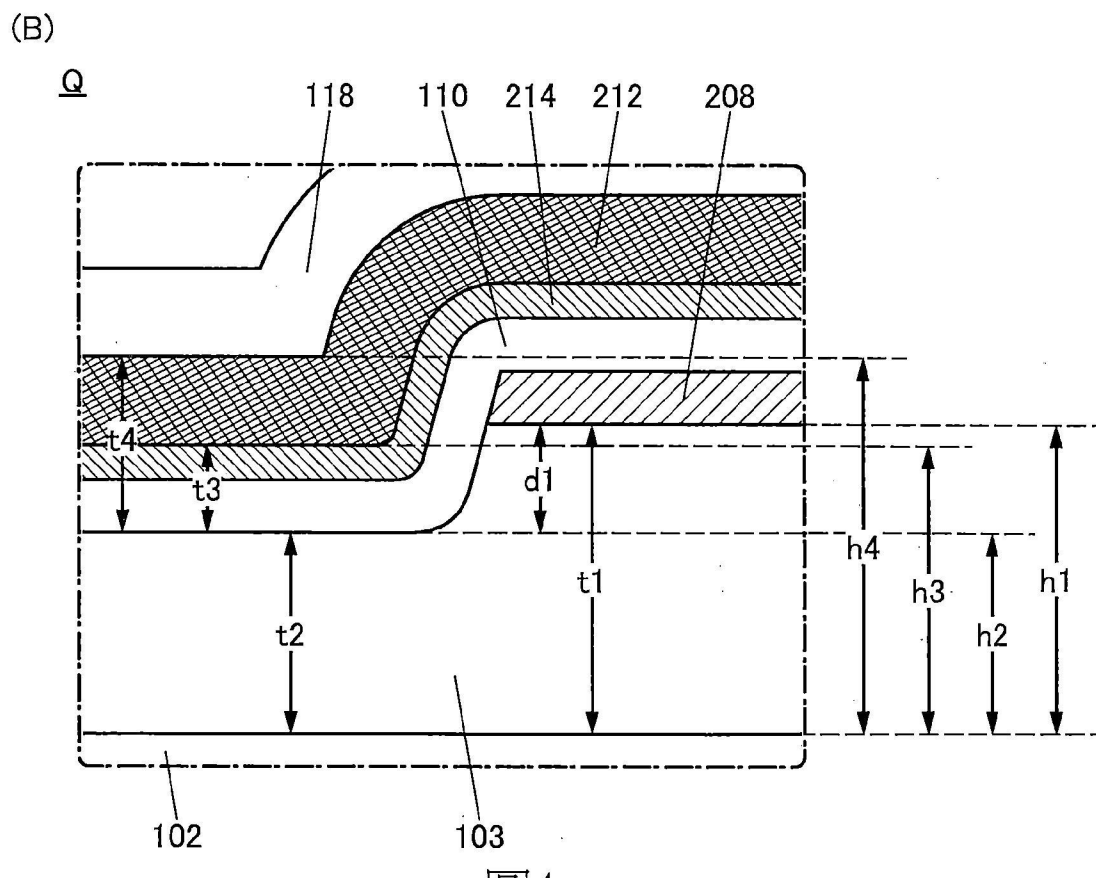
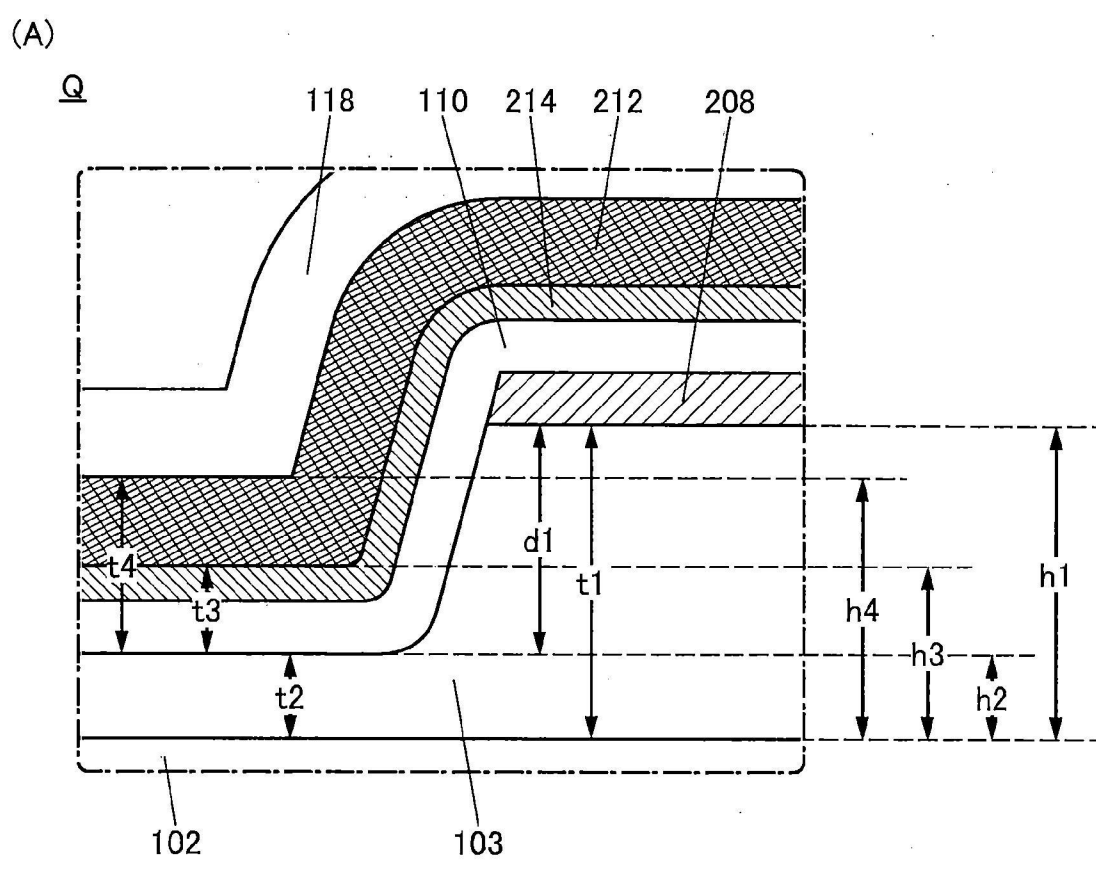


圖4

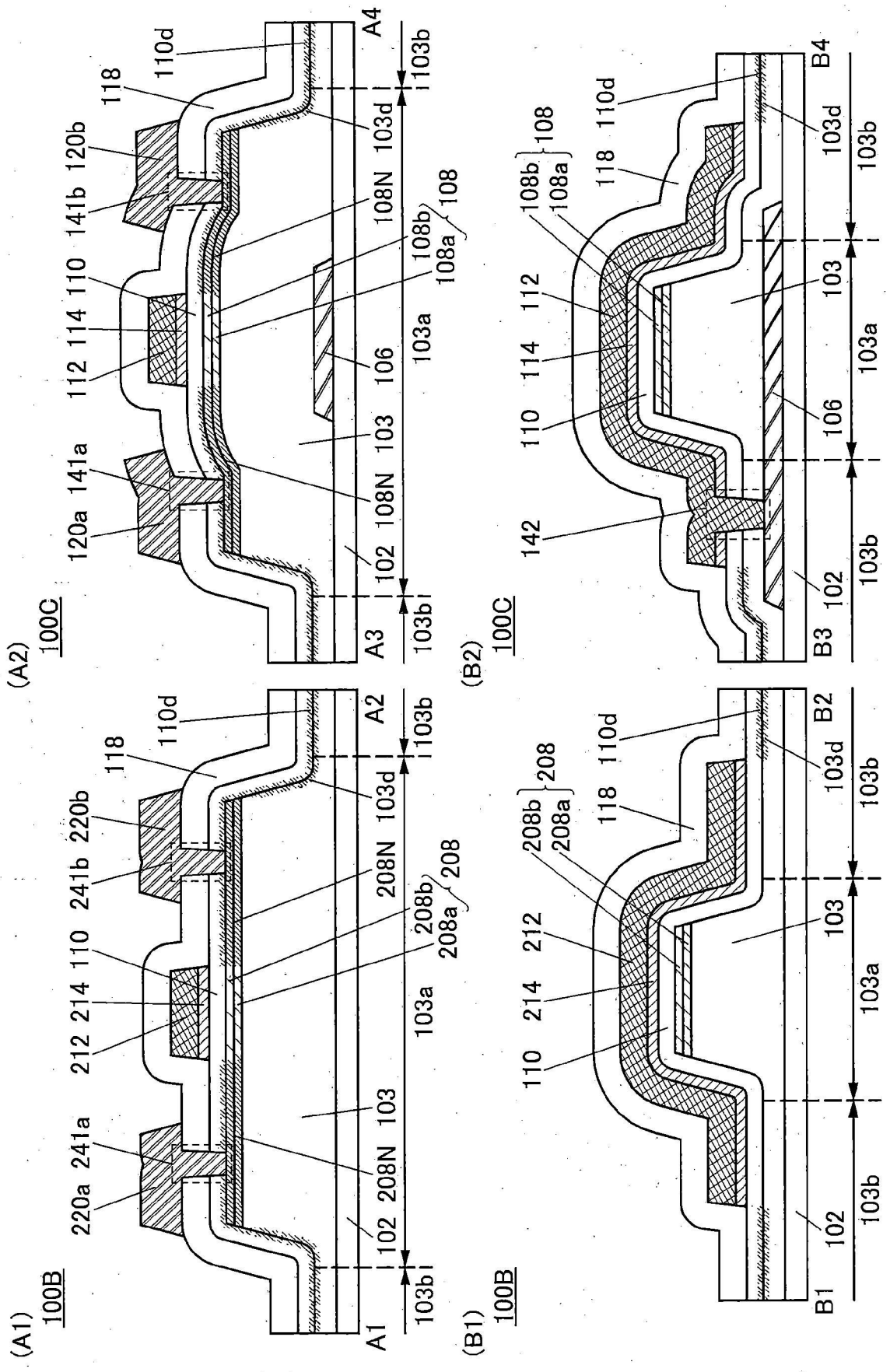


圖5

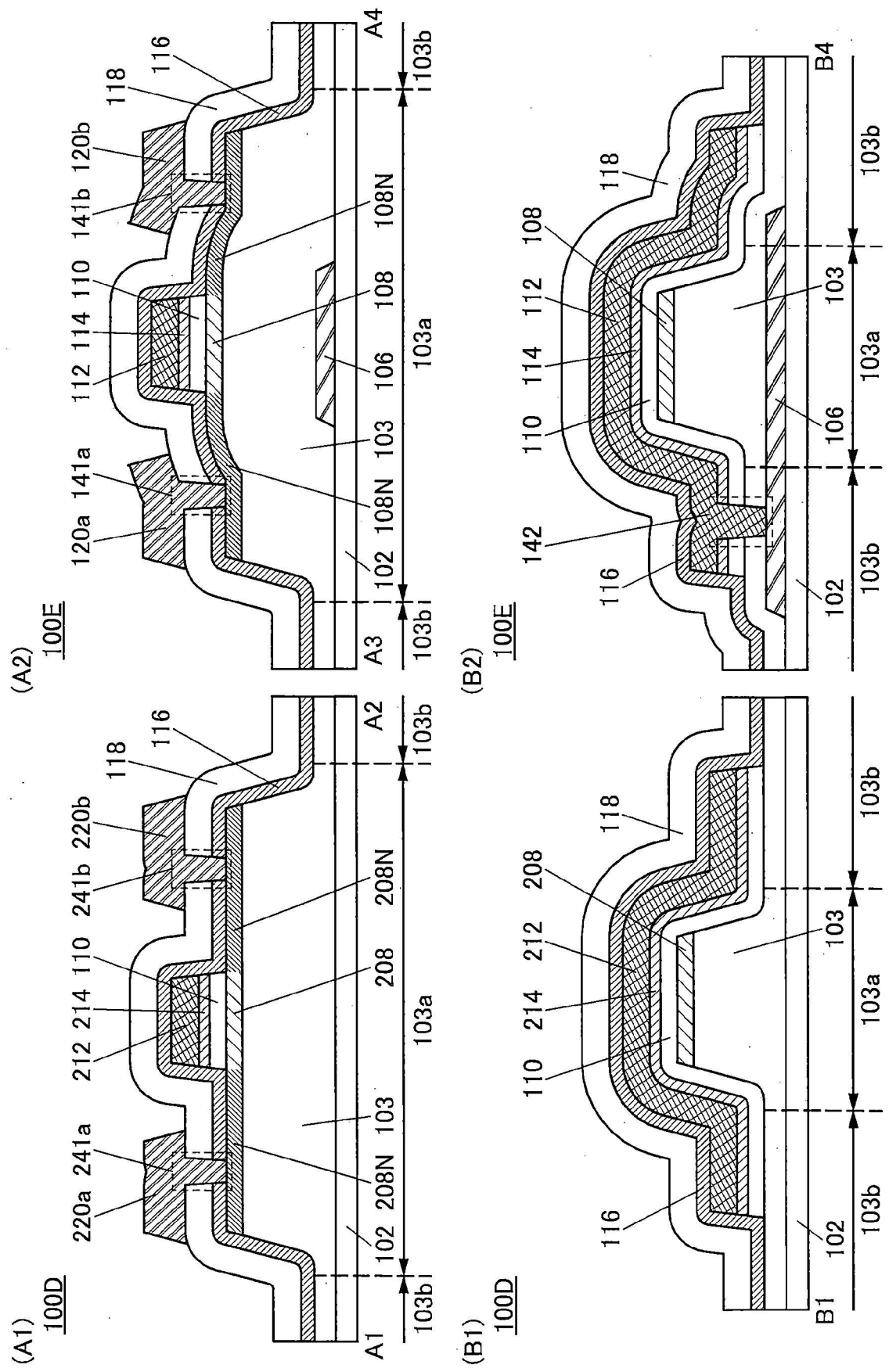


圖6

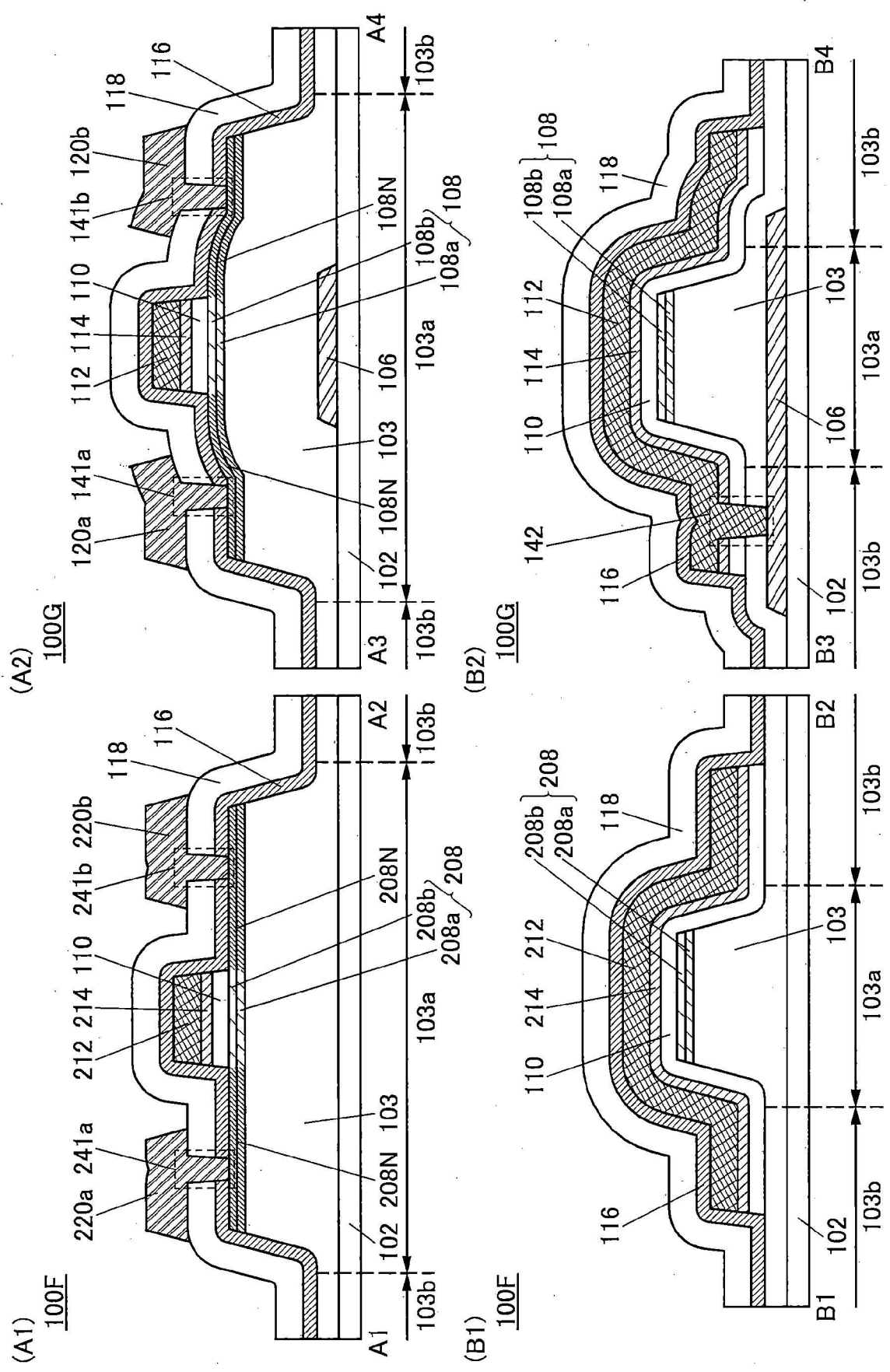
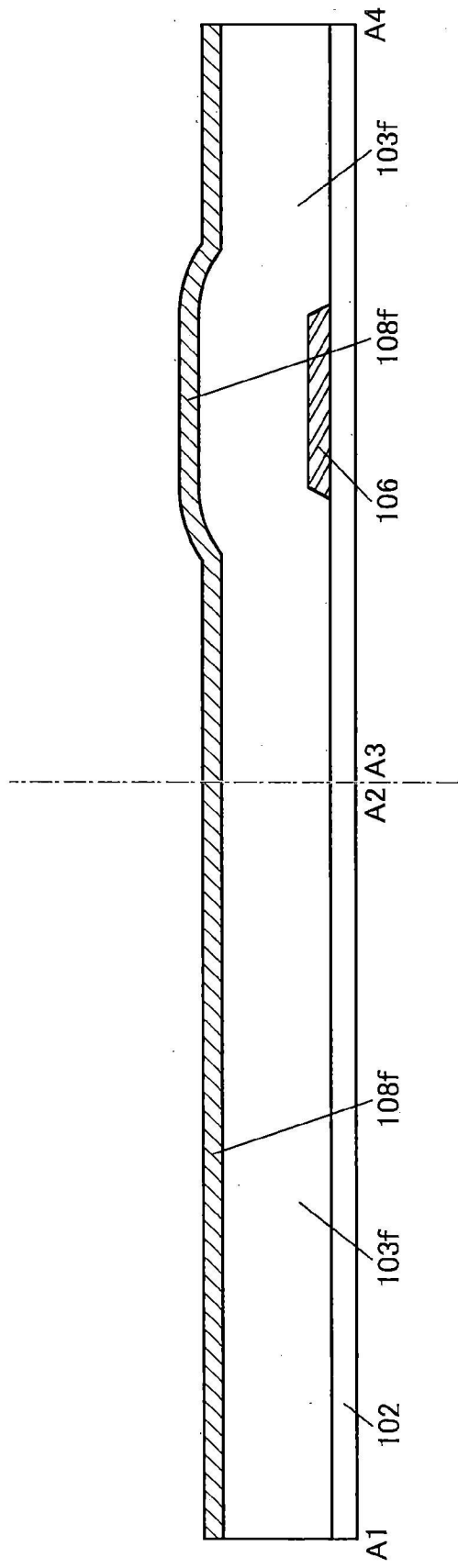


圖7

(A)



(B)

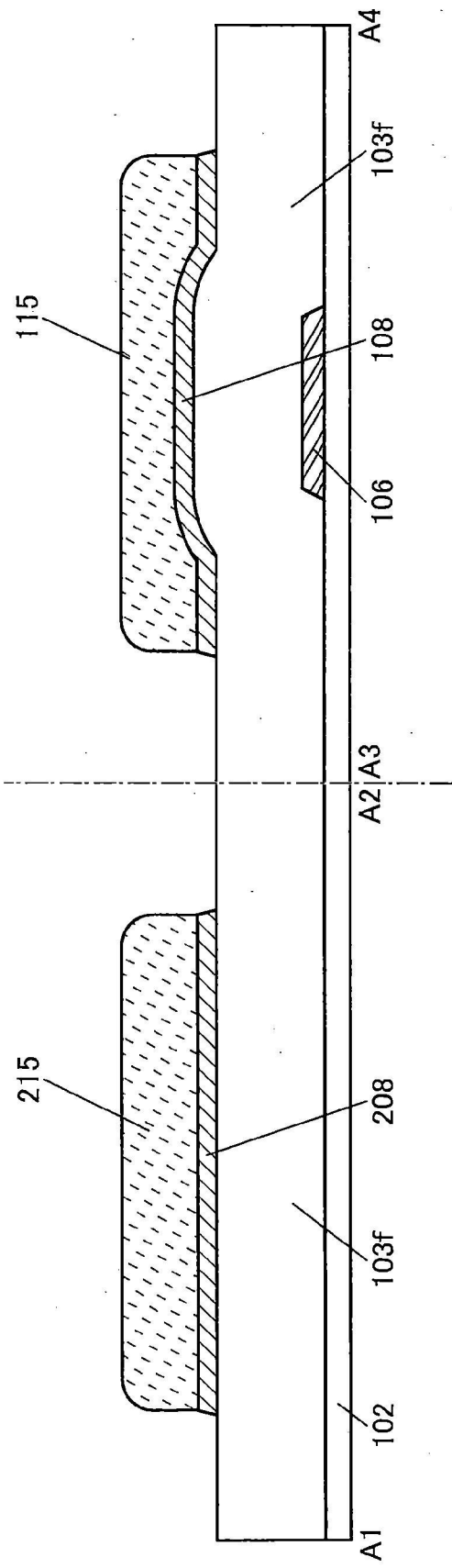


圖8

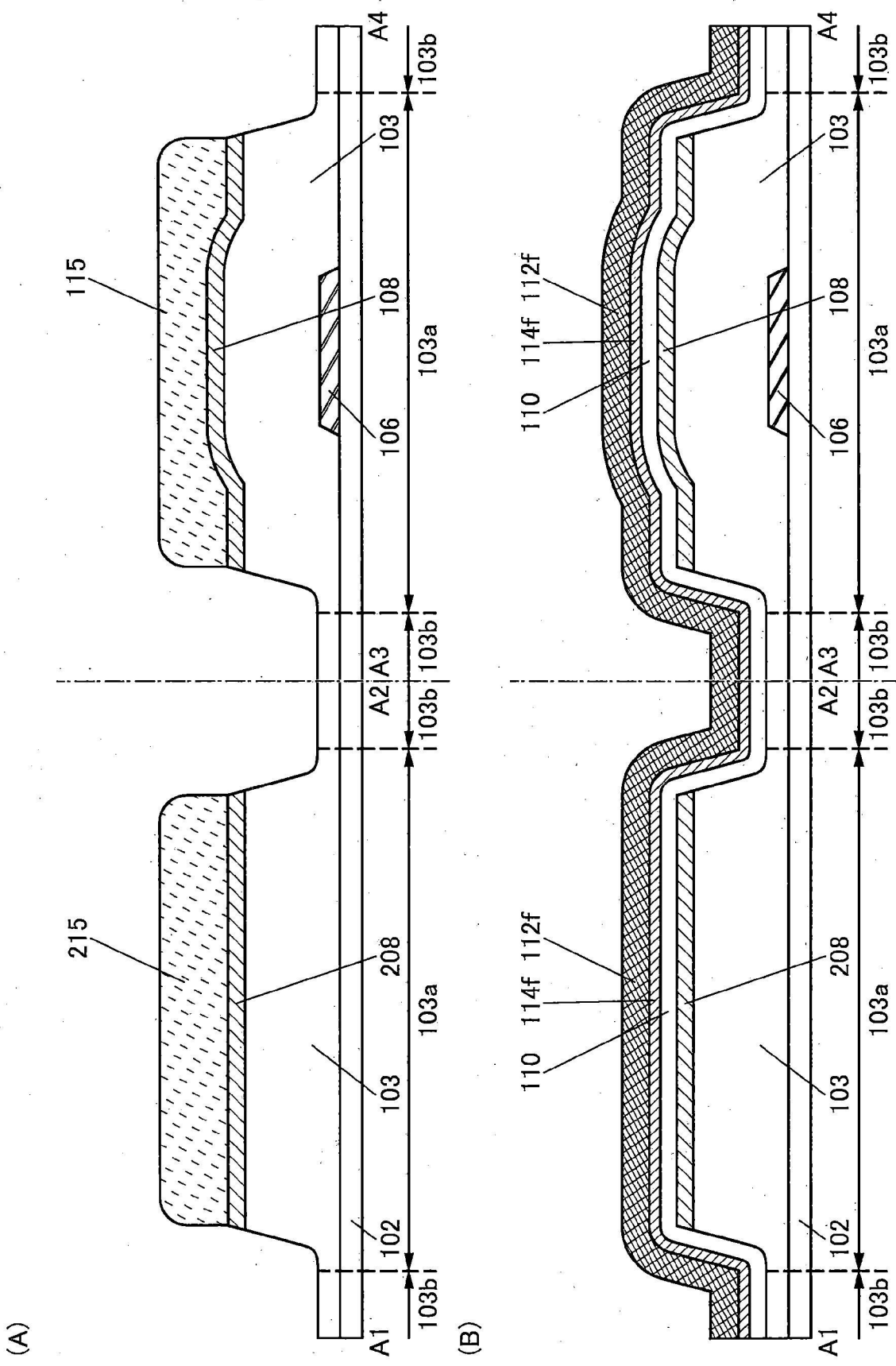


圖9

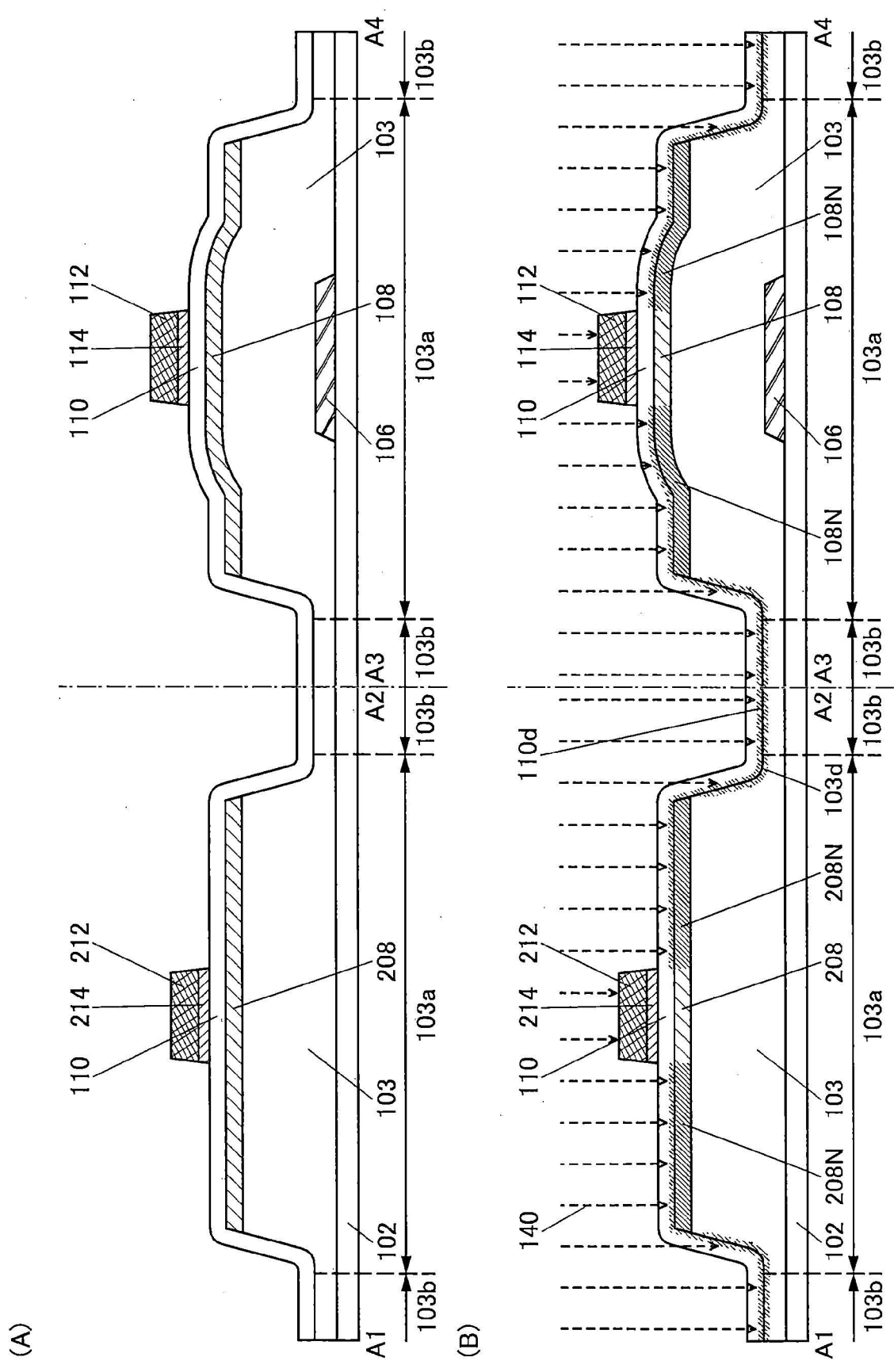


圖10

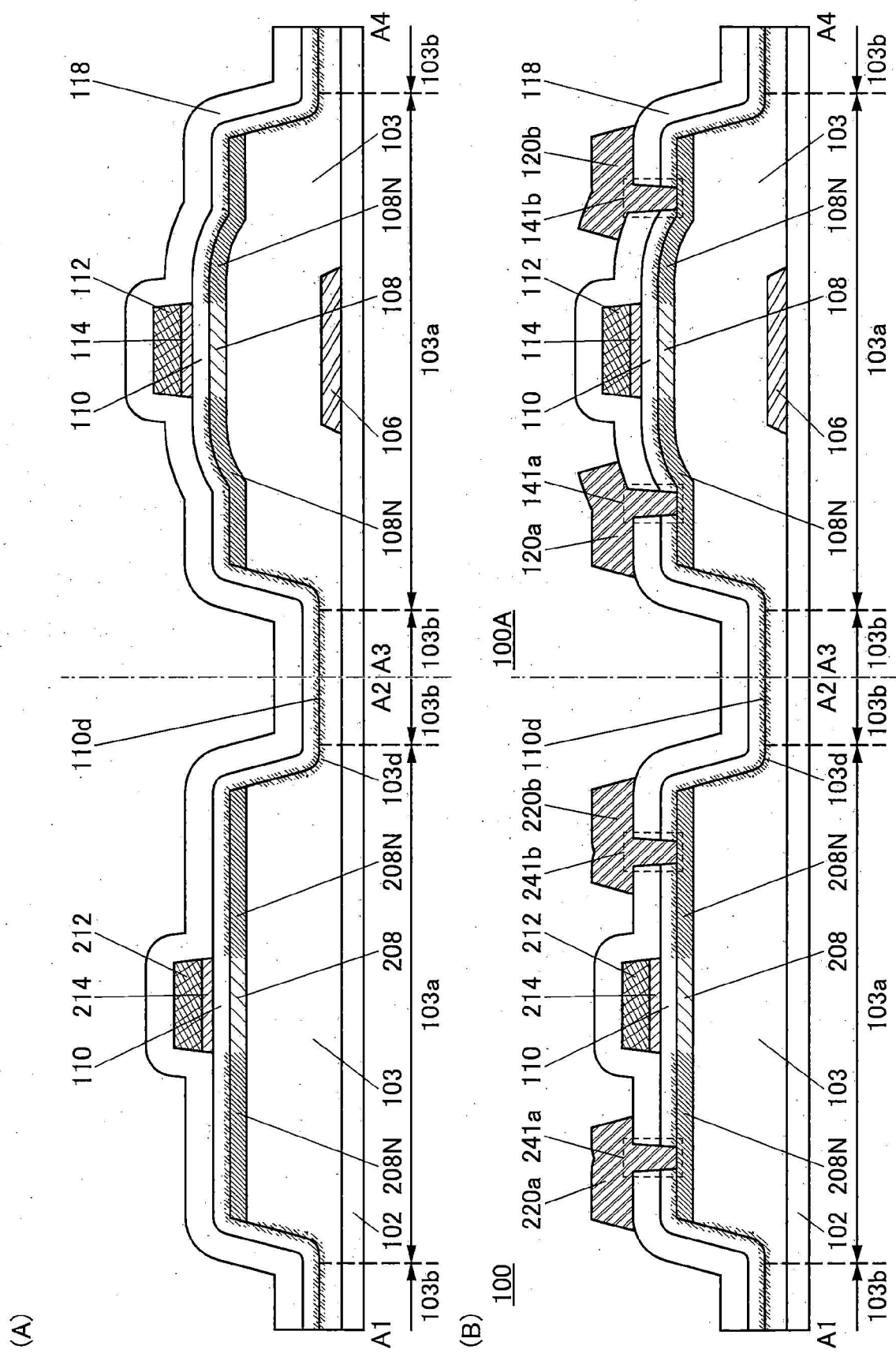


圖11

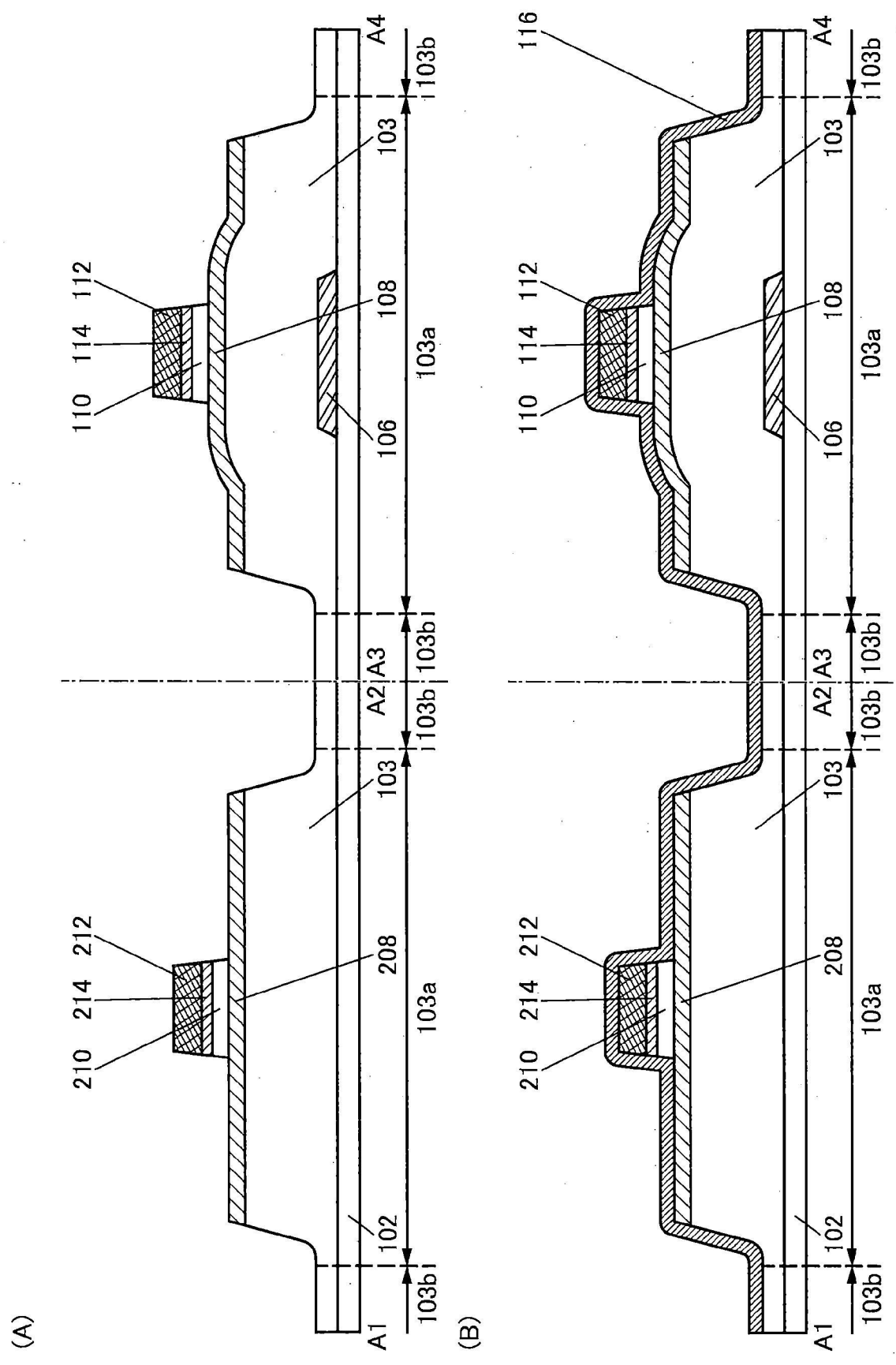


圖12

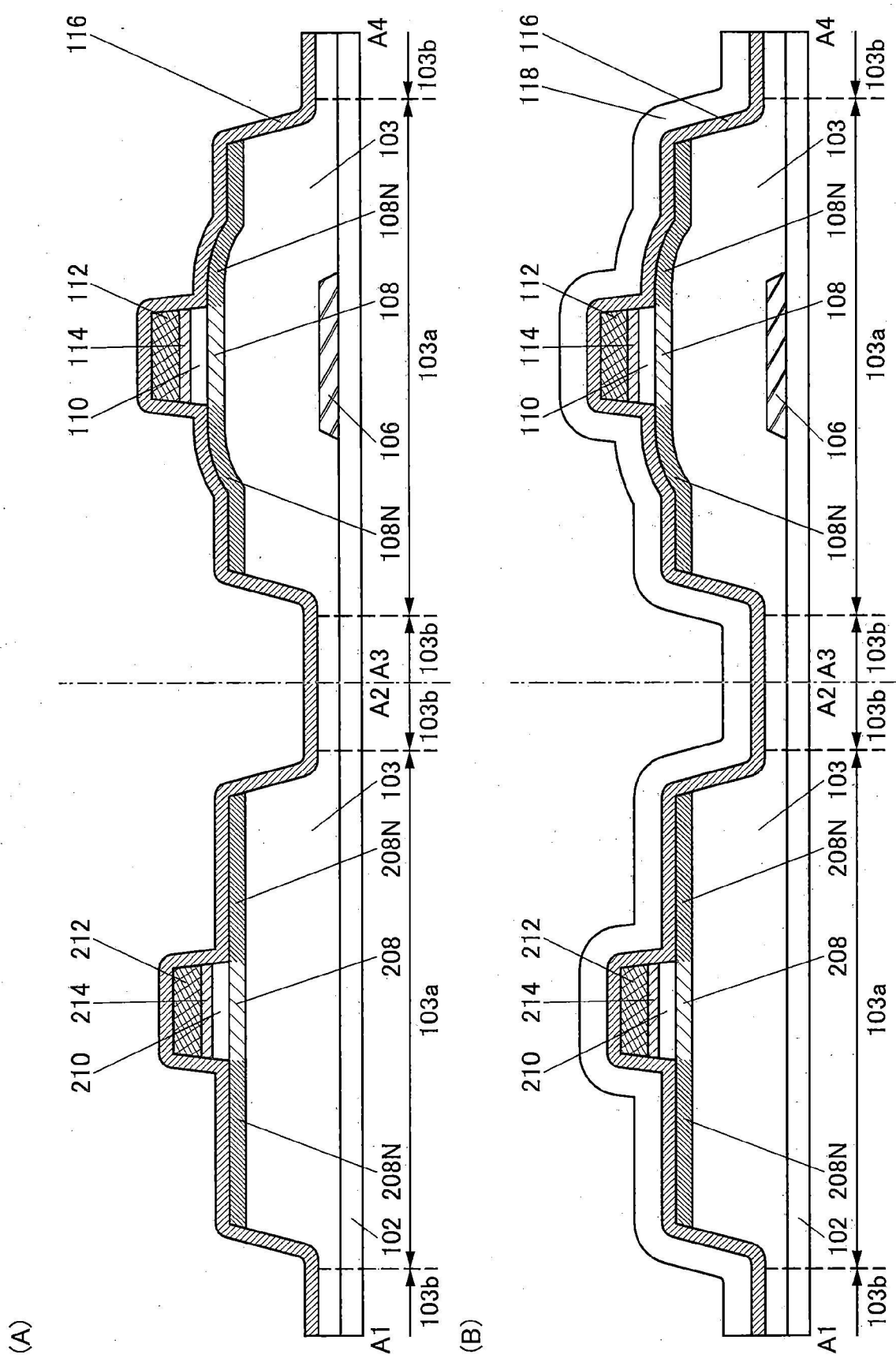


圖13

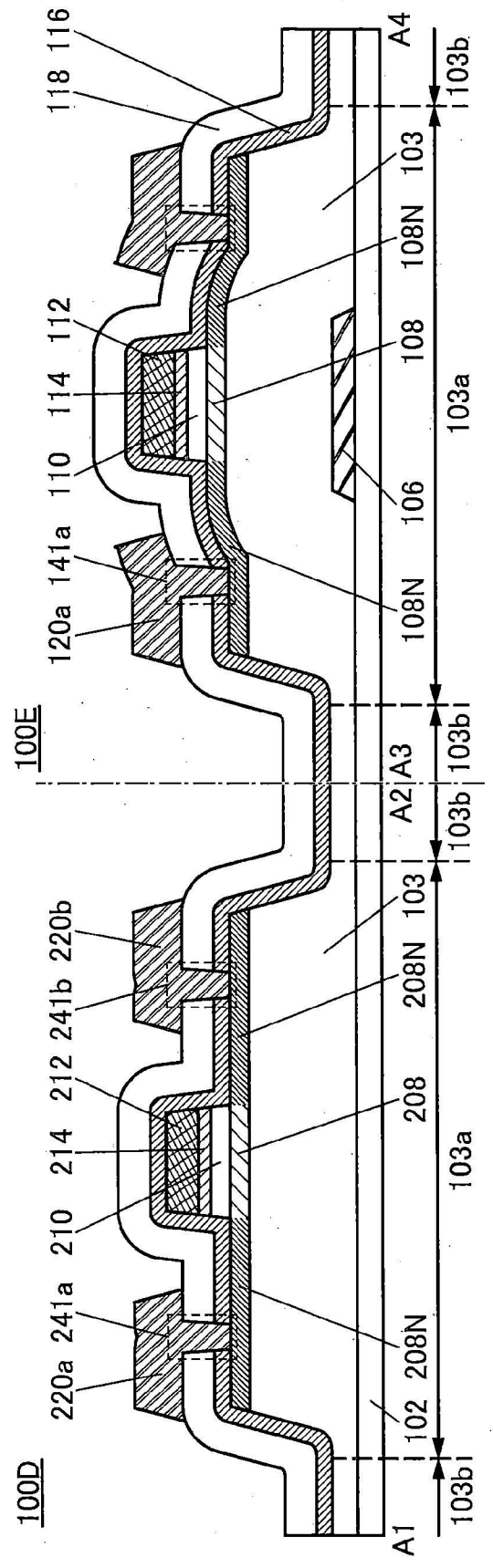


圖14

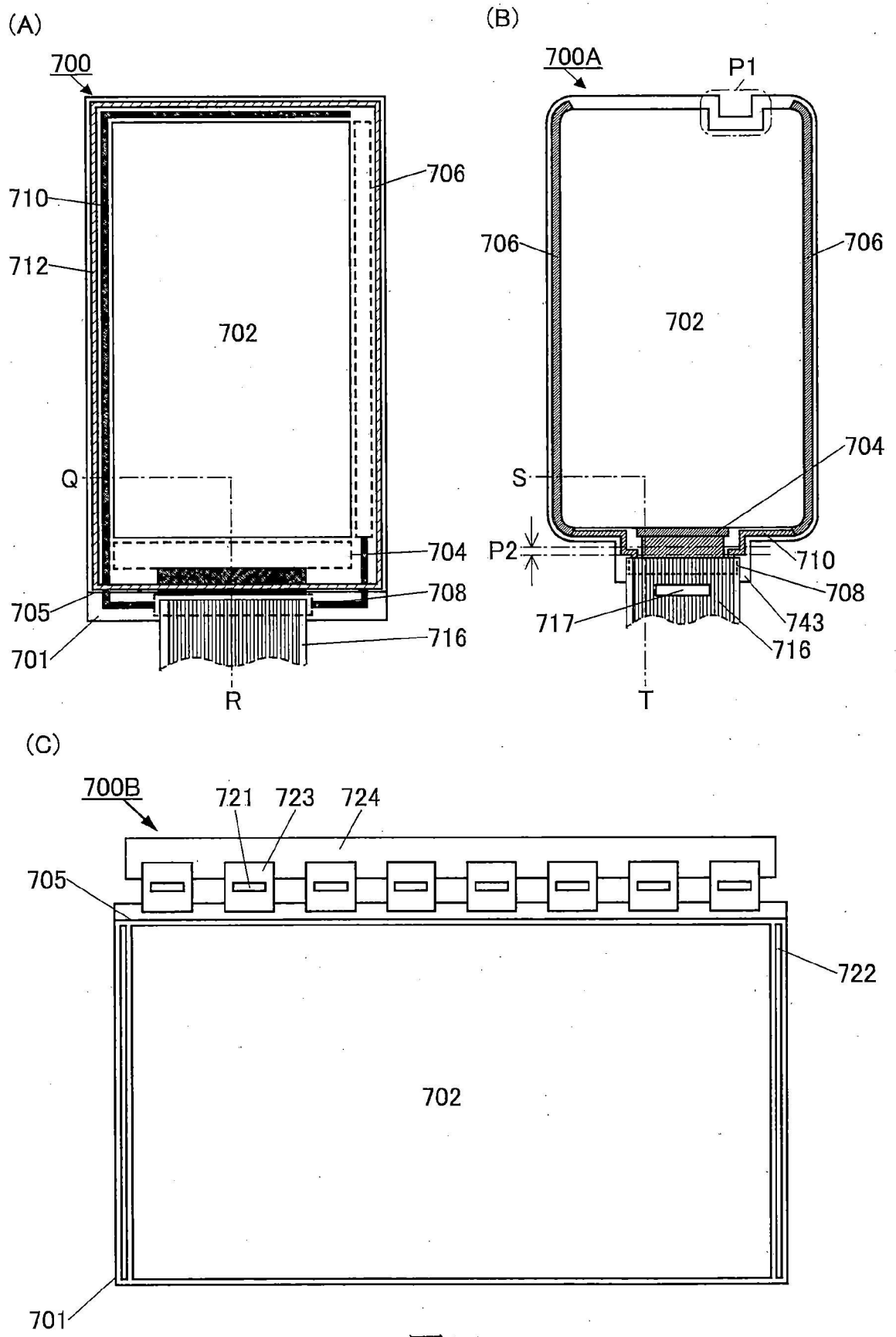


圖15

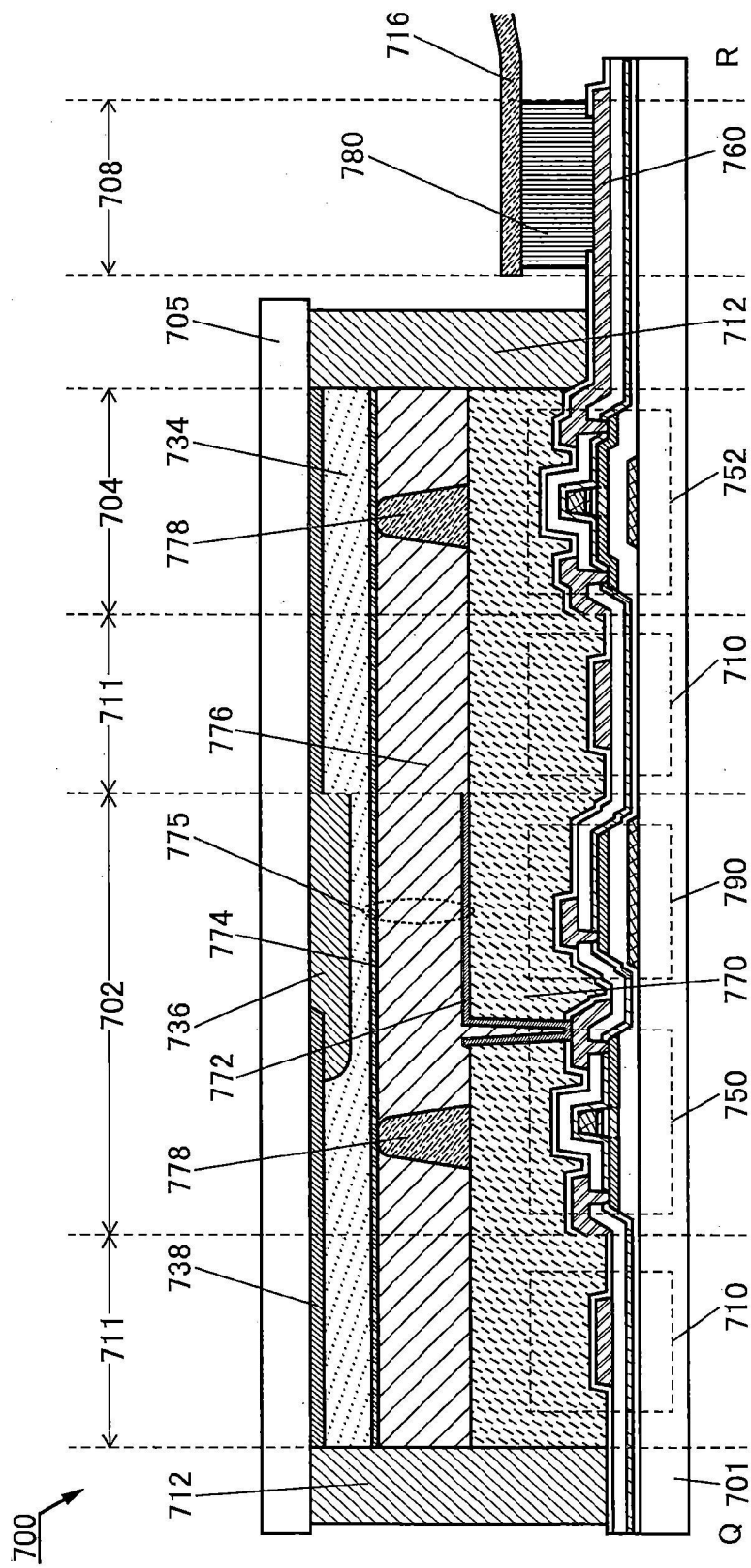


圖16

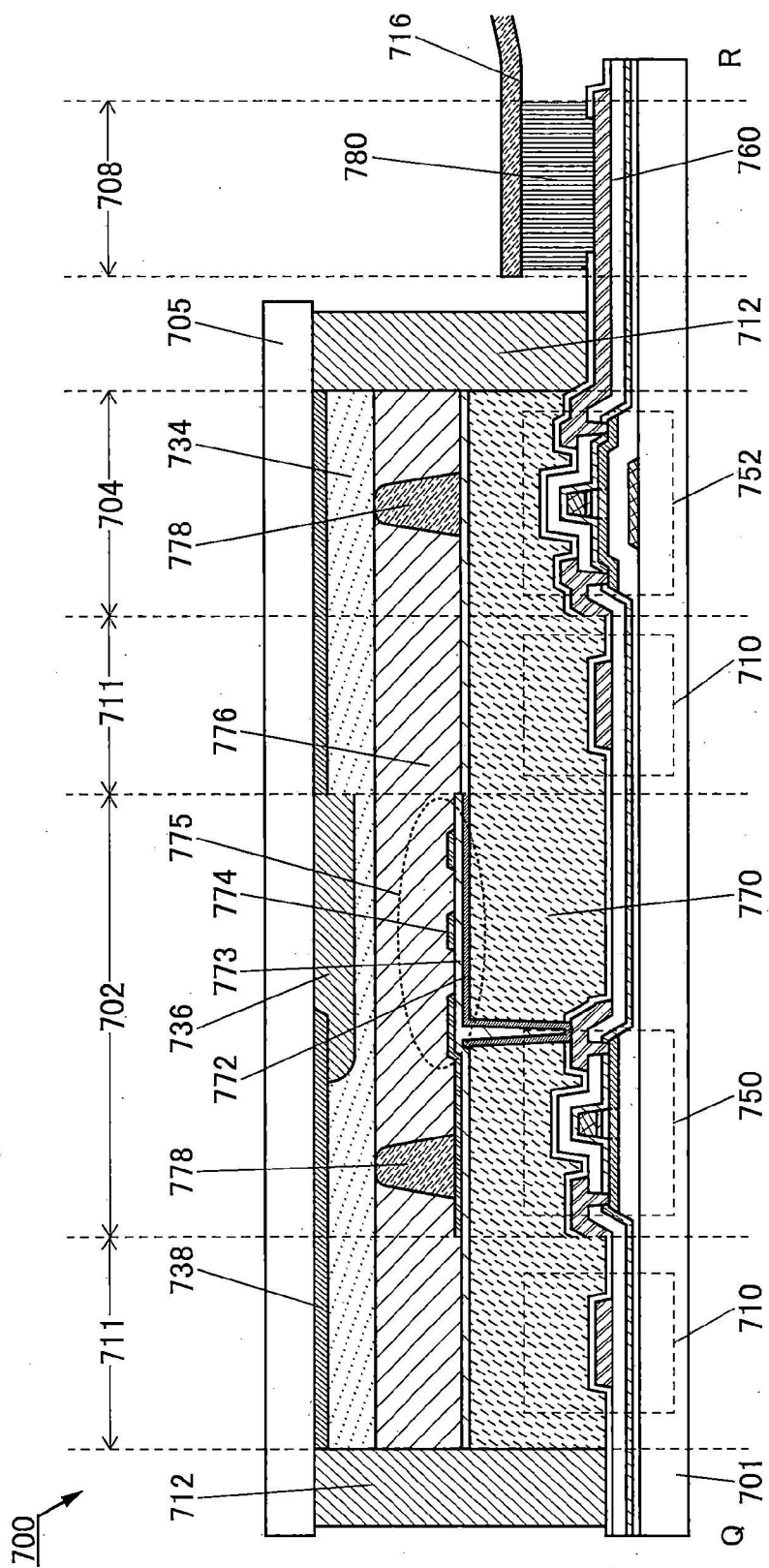


圖17

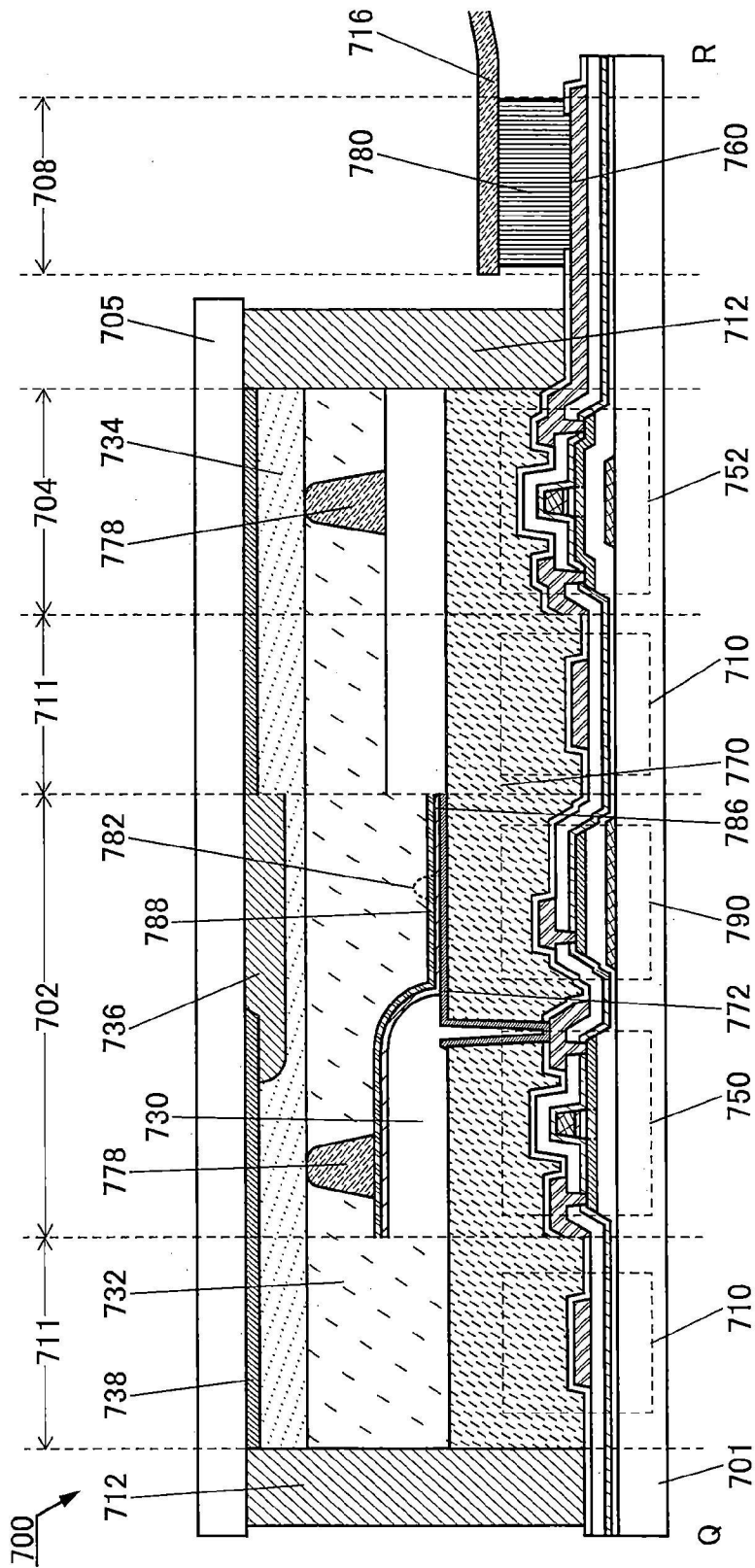


圖18

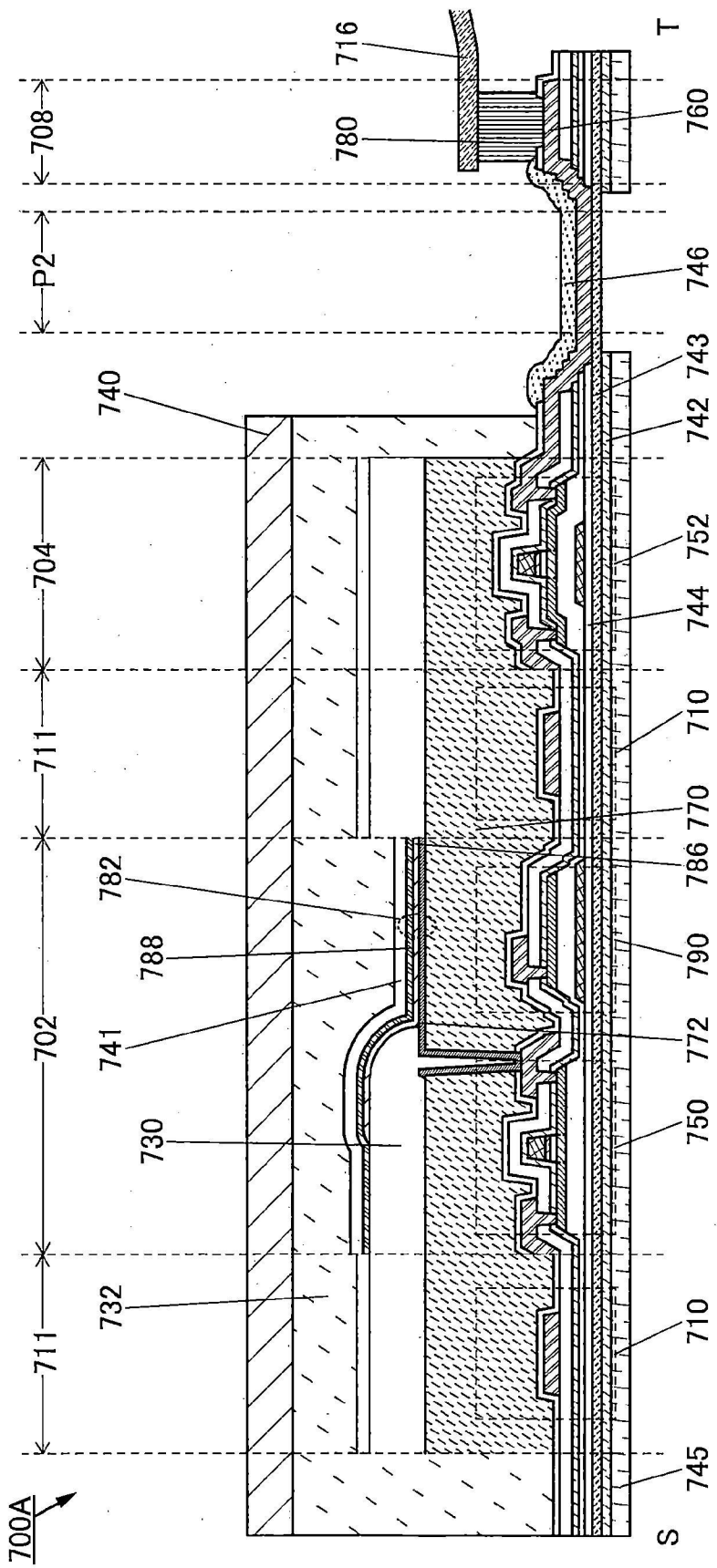
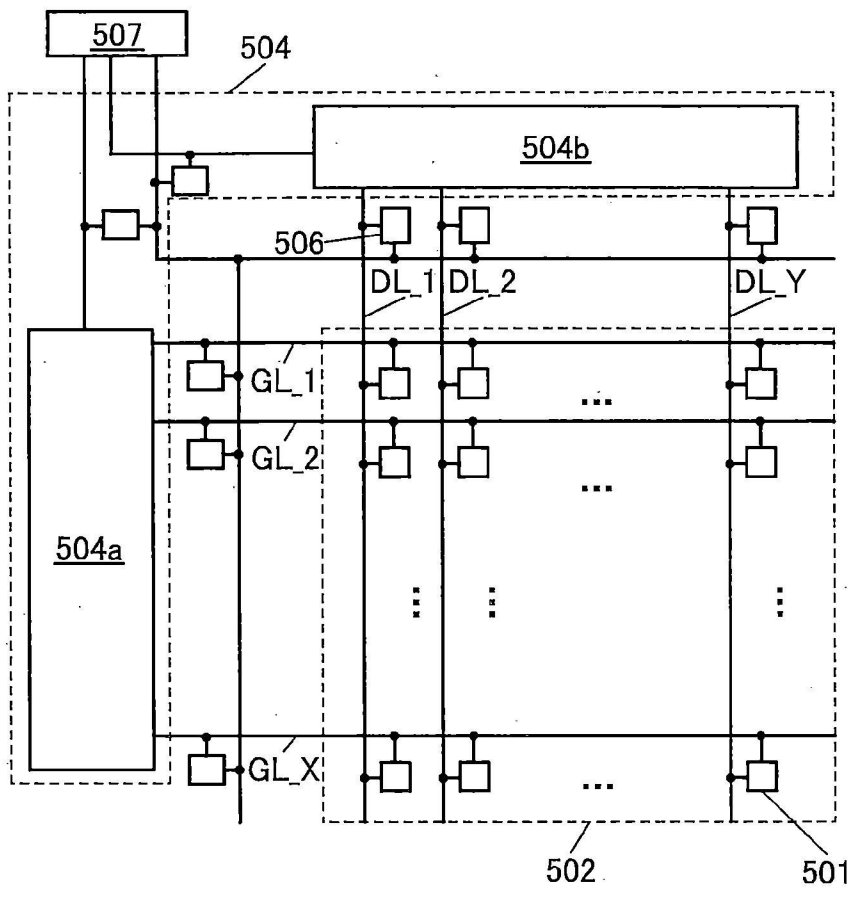
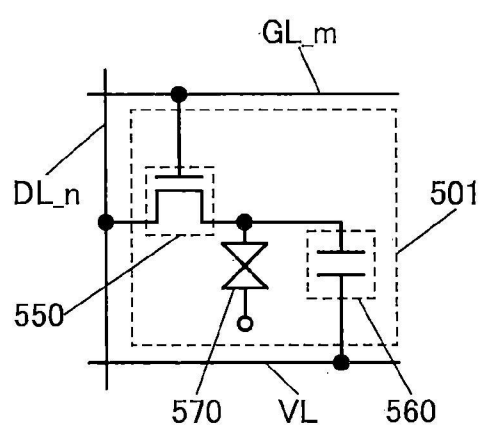


圖19

(A)



(B)



(C)

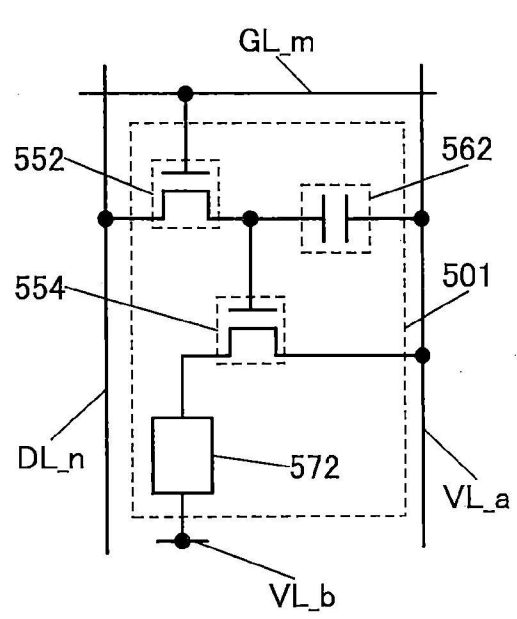


圖20

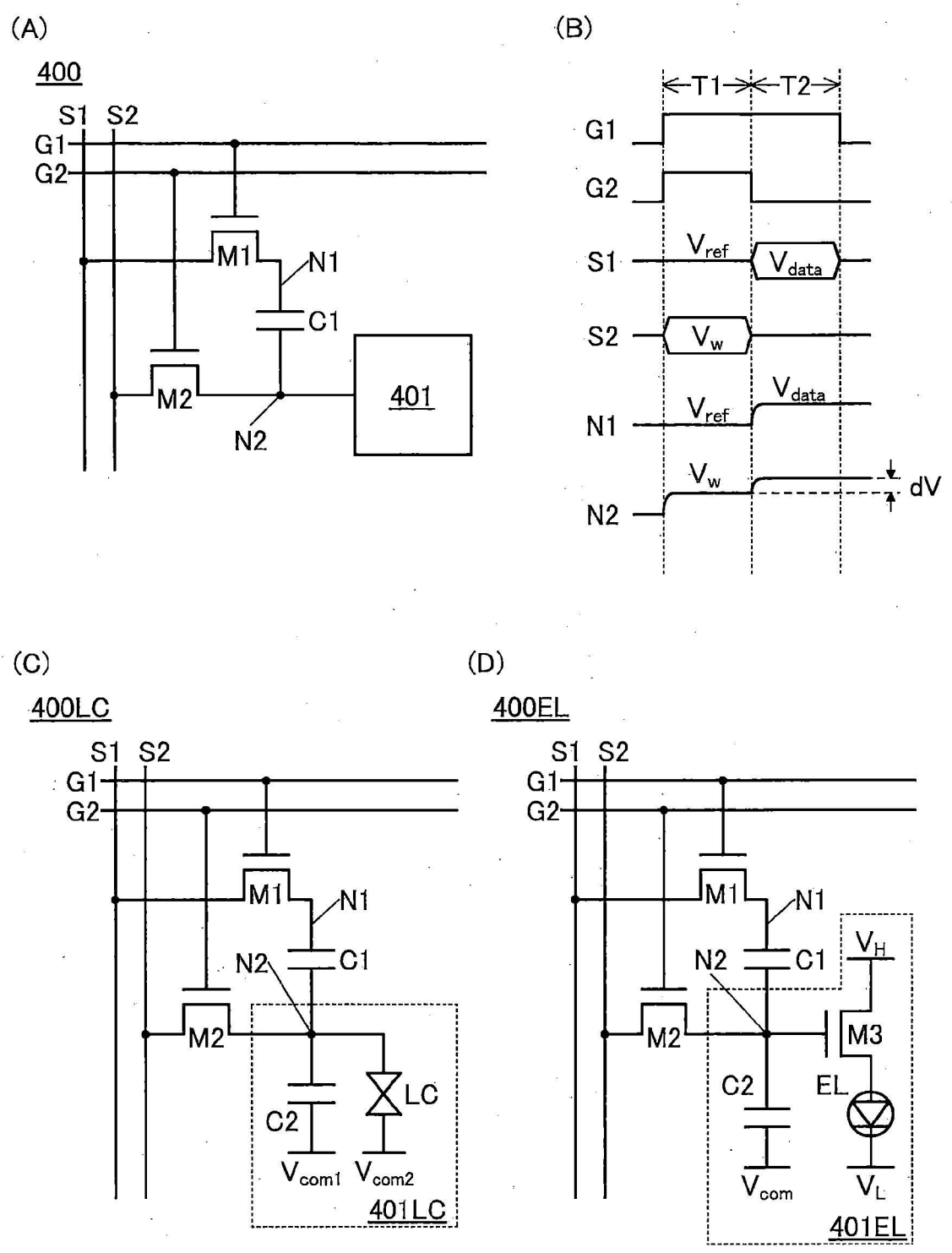
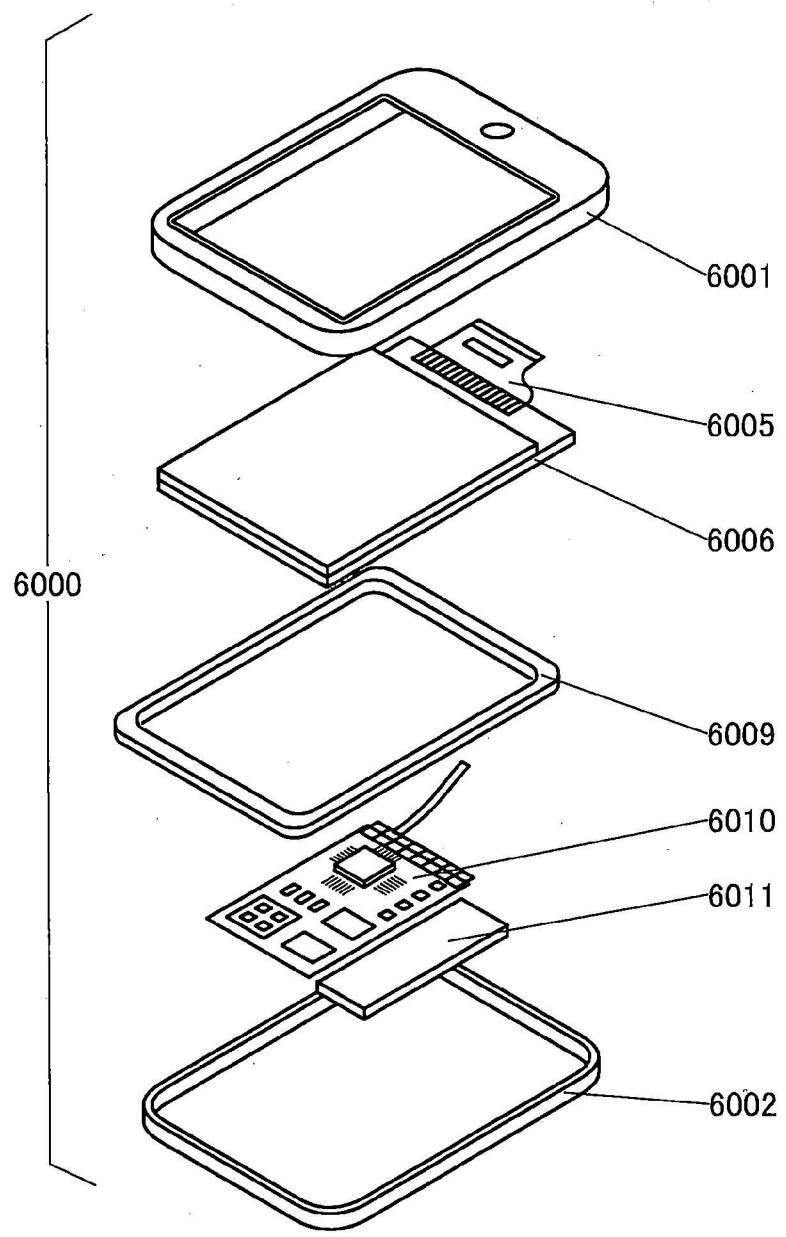


圖21

(A)



(B)

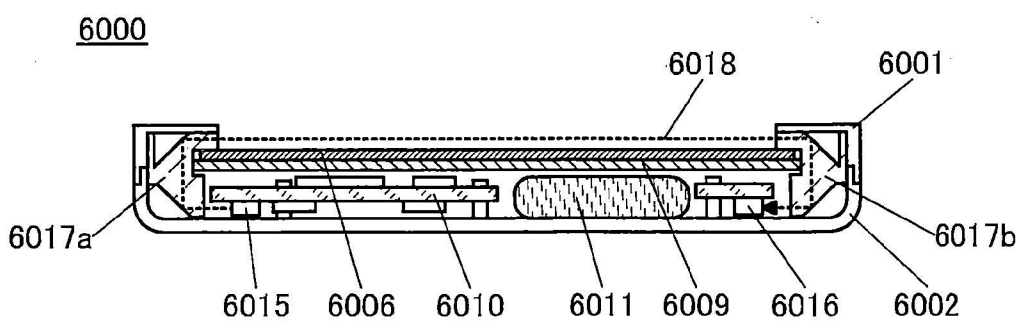
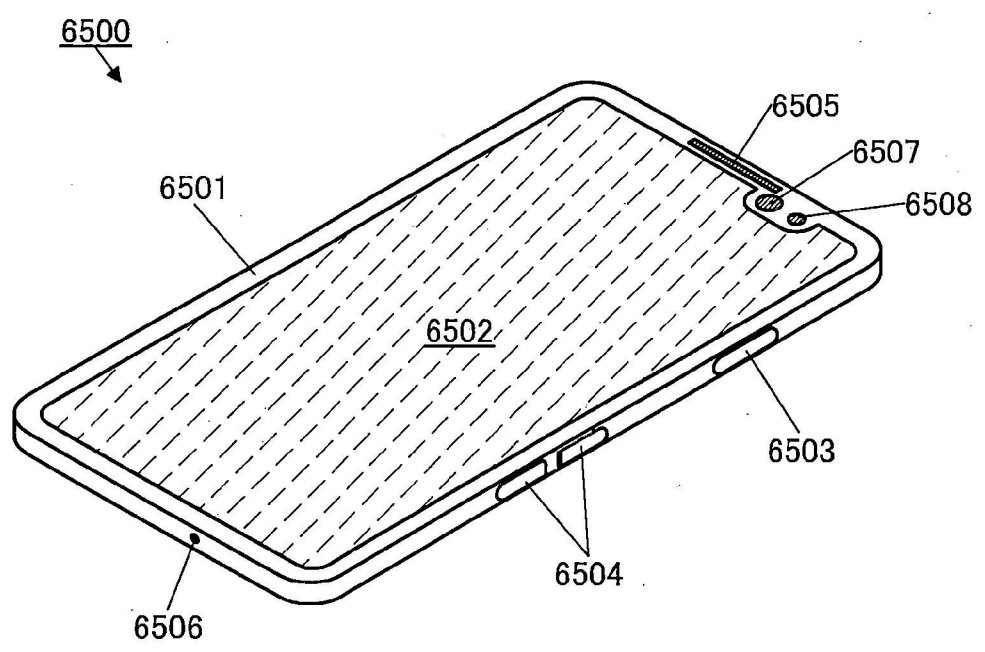


圖22

(A)



(B)

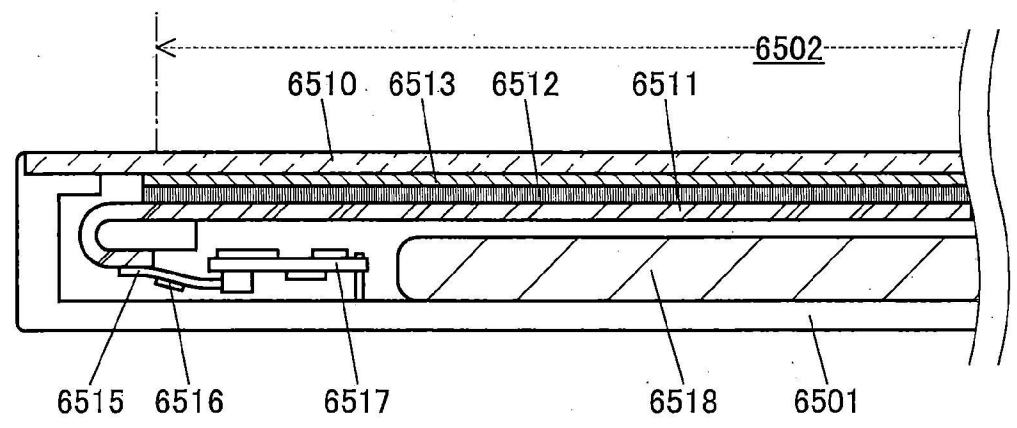


圖23

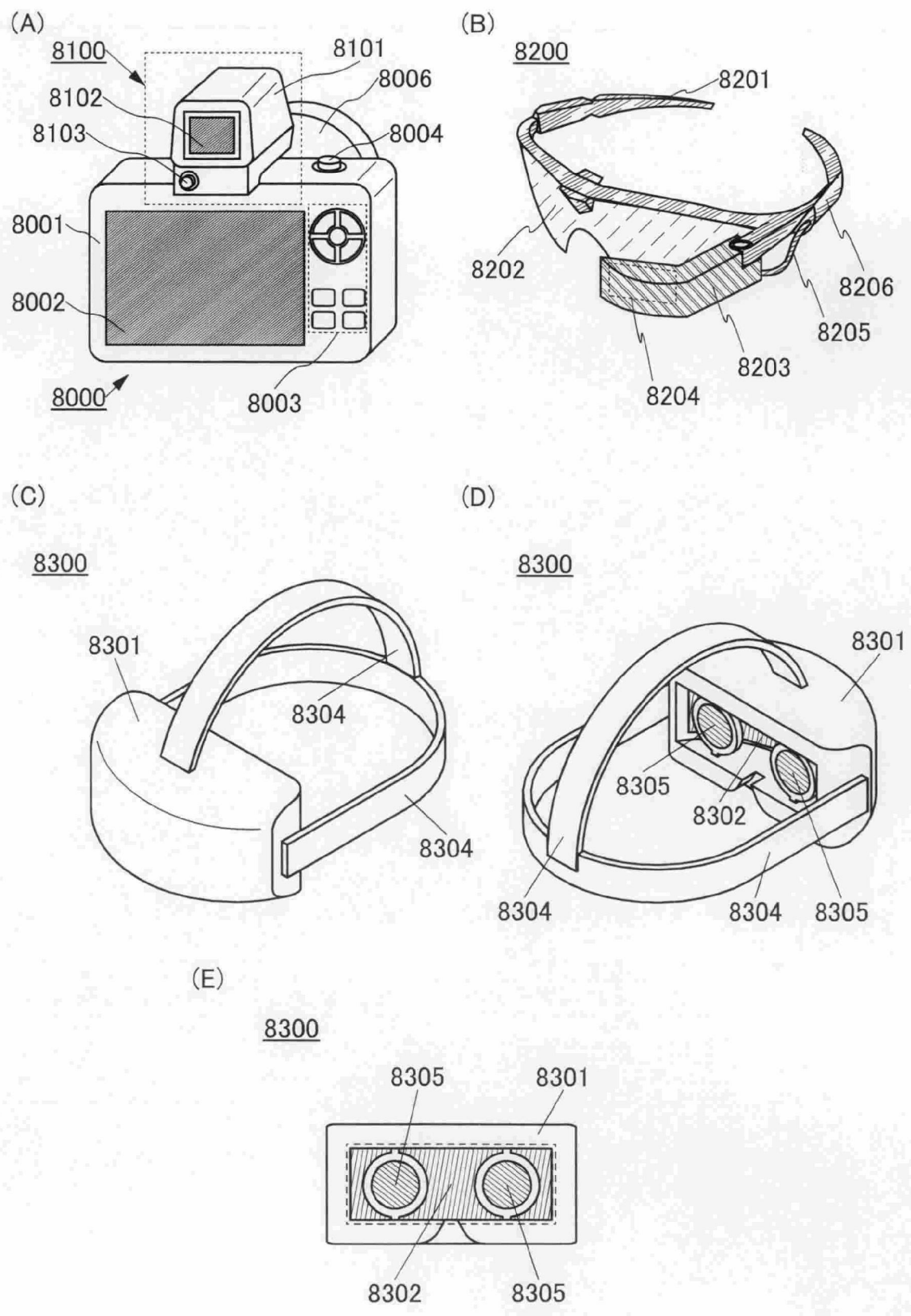


圖24

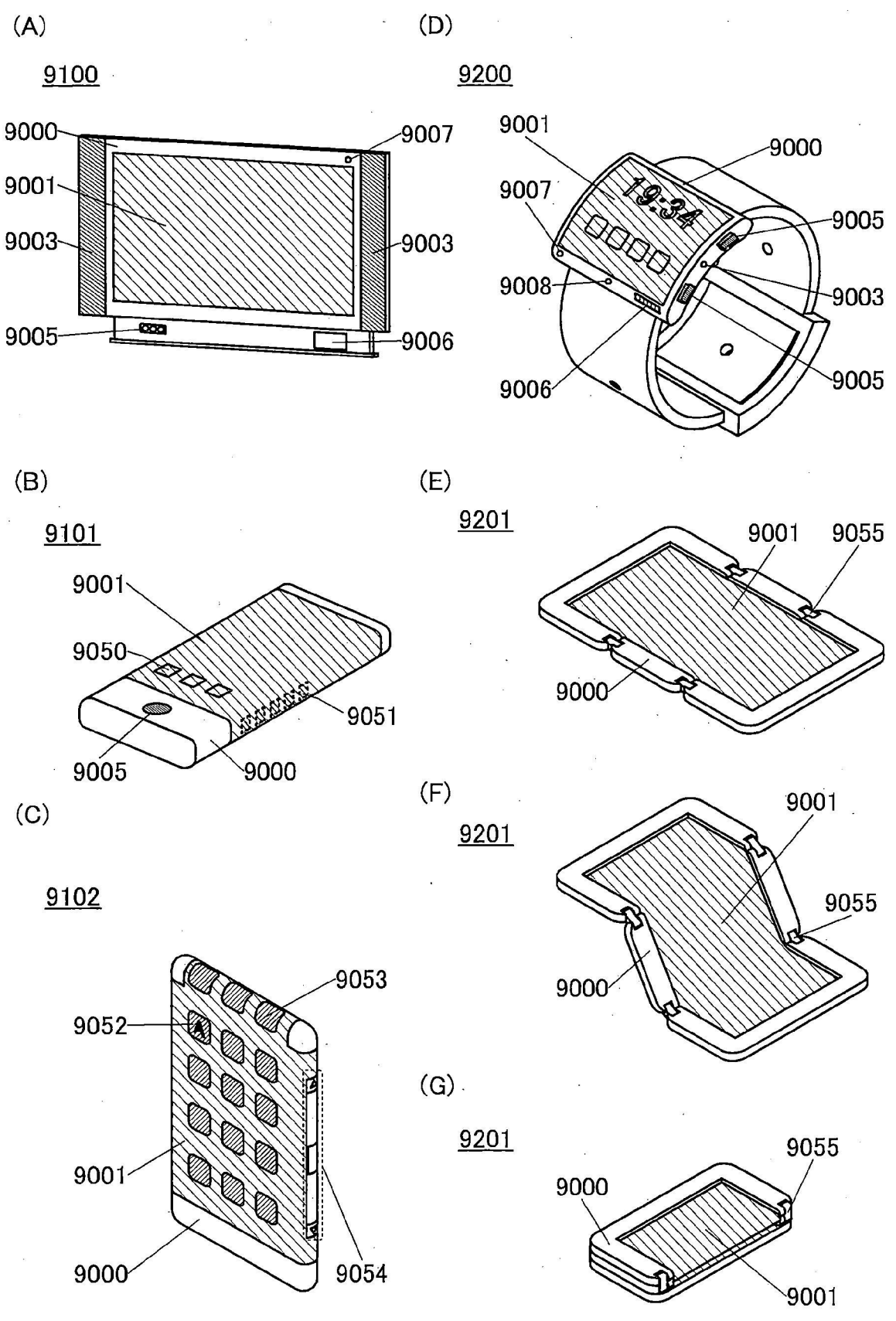


圖25

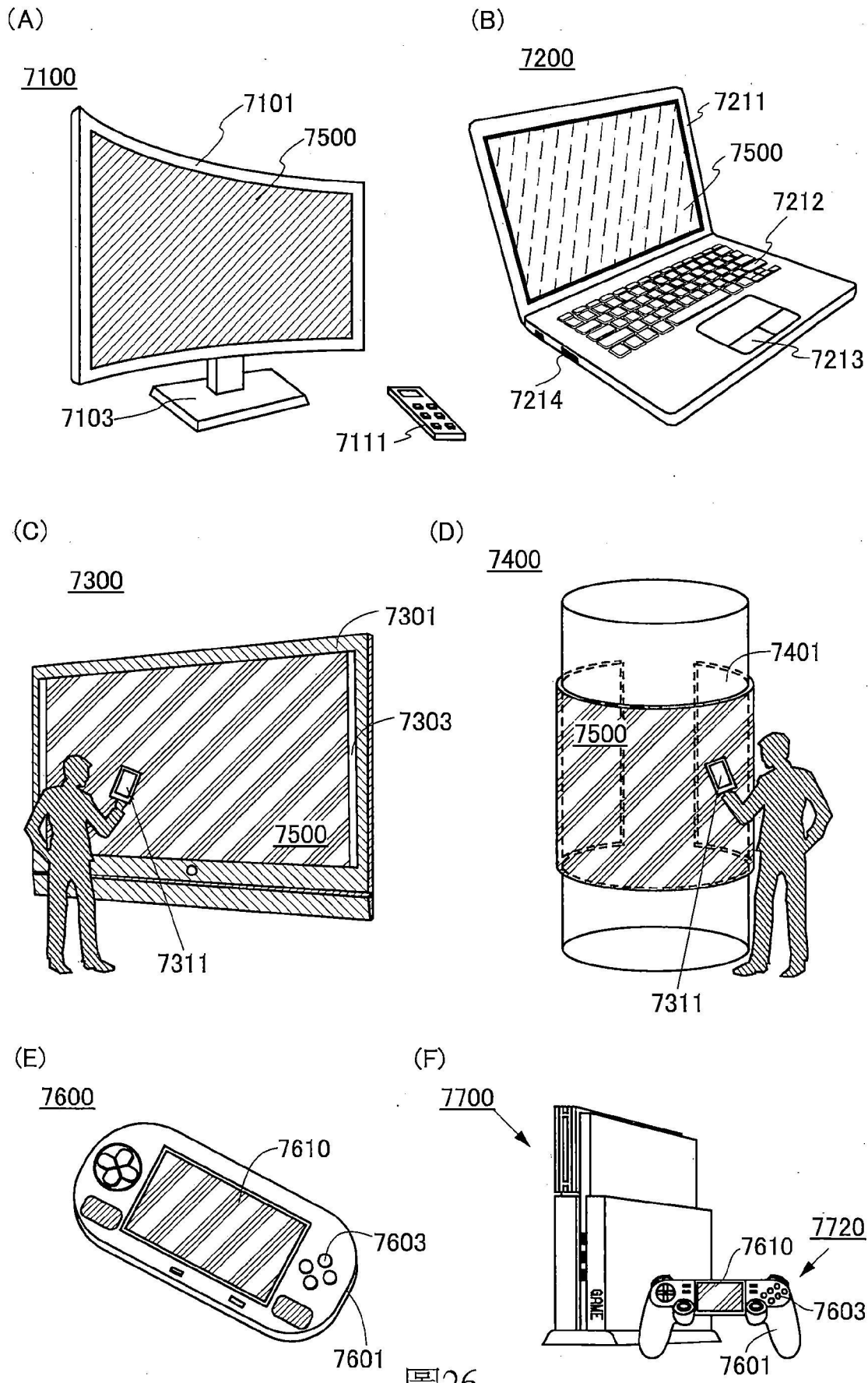


圖 26

		305nm			55nm		
		305nm			250nm		
		0nm			5.5		
		1.0			1.5		
領域103aの厚さ(t1)		1.0			1.5		
領域103bの厚さ(t2)		0nm			5.5		
d1(=t1-t2)		0nm			5.5		
t1/t2		1.0			1.5		
$L/W = 2 \mu m / 1 \mu m$							
	$L/W = 2 \mu m / 3 \mu m$						
		$L/W = 2 \mu m / 50 \mu m$					

図27

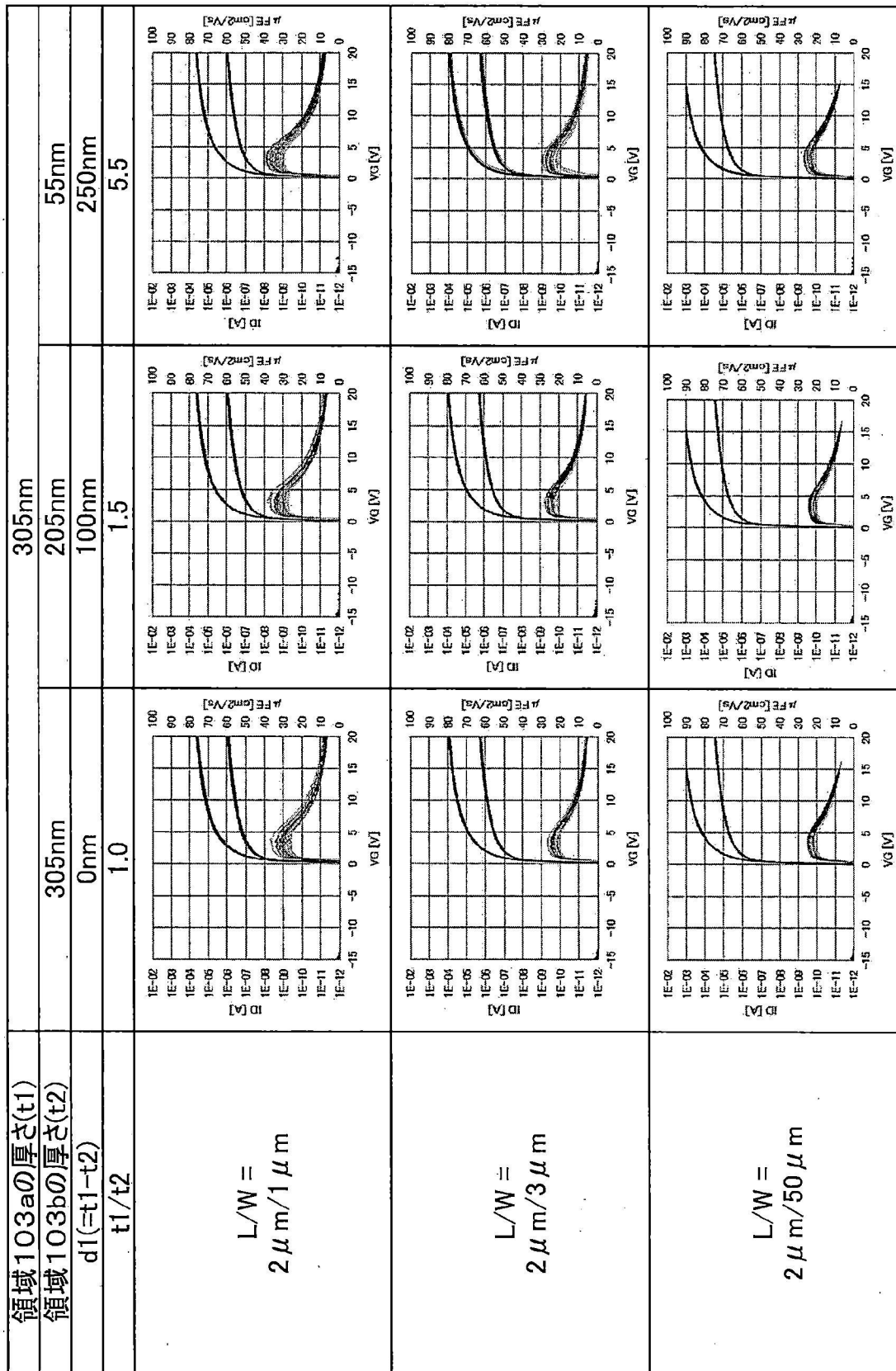


図28

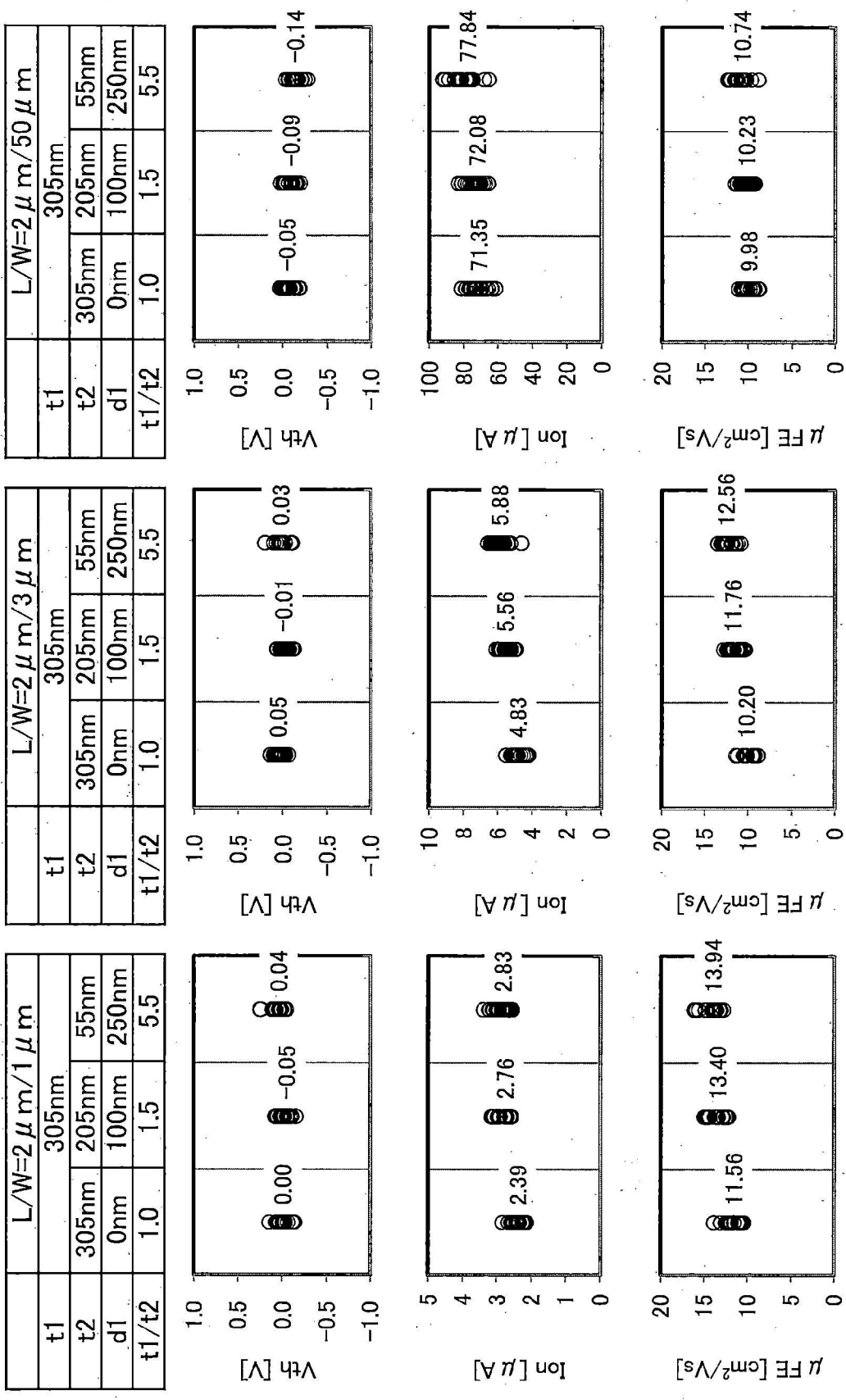


圖29

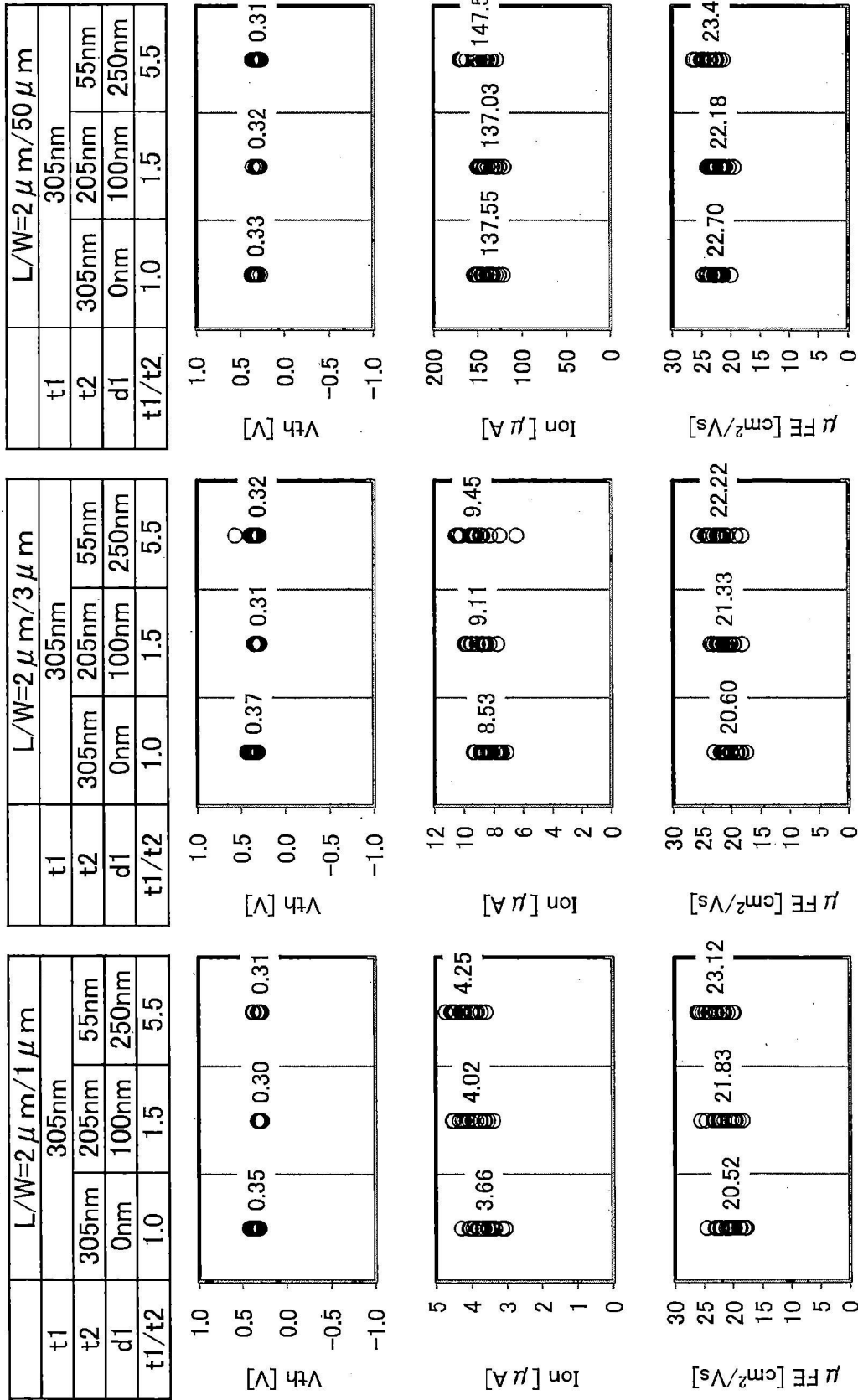


圖30

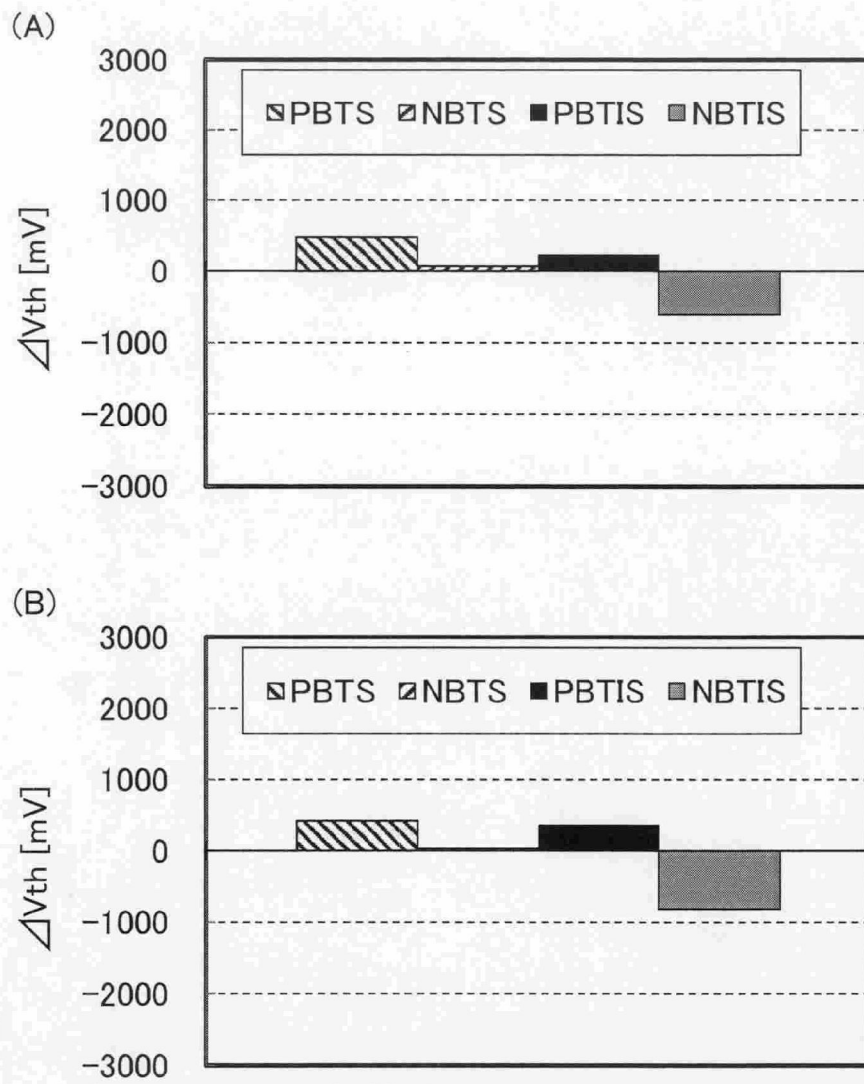


圖31