

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 21 年 9 月 24 日 (2009.9.24)

【公開番号】特開 2007-74708 (P2007-74708A)

【公開日】平成 19 年 3 月 22 日 (2007.3.22)

【年通号数】公開・登録公報 2007-011

【出願番号】特願 2006-215996 (P2006-215996)

【国際特許分類】

H 0 3 M 1/74 (2006.01)

【F I】

H 0 3 M 1/74

【手続補正書】

【提出日】平成 21 年 8 月 10 日 (2009.8.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

互いに直列接続されており、 $X$  が 1 より大きい整数である  $X$  個の容量性デジタル / アナログコンバータであって、該  $X$  個の容量性デジタル / アナログコンバータのそれぞれが、

$M$  が 1 よりも大きい整数である  $M$  個のスイッチと、  
信号入力部と、  
信号出力部と、

前記  $M$  個のスイッチにそれぞれ通じており、第 1 および第 2 の端部および実質的に等しい容量値を有する  $M$  個の容量と、を備え、

前記  $M$  個のスイッチが前記  $M$  個の容量の前記第 1 の端部を前記信号出力部に選択的に接続し、

前記  $M$  個の容量のうち選択されなかったものの前記第 2 の端部が前記信号入力部に接続されていない場合に、前記  $M$  個のスイッチが前記  $M$  個の容量のうち選択された一つの容量の前記第 2 の端部を前記信号入力部に接続する、

該容量性デジタル / アナログコンバータと、

前記  $X$  個の容量性デジタル / アナログコンバータのうち一つの容量性デジタル / アナログコンバータの前記信号入力部に通じる信号出力部を有する第 1 のデジタル / アナログコンバータと、

を備える、デジタル / アナログコンバータ。

【請求項 2】

入力部および出力部を有する増幅器と、

前記増幅器の前記入力部および前記出力部に通じるフィードバック容量と、  
を更に備え、

前記  $X$  個の容量性デジタル / アナログコンバータのうち他の一つの容量性デジタル / アナログコンバータの前記  $M$  個の容量の前記第 1 の端部が、前記  $X$  個の容量性デジタル / アナログコンバータのうち前記他の一つの容量性デジタル / アナログコンバータの第 1 のフェーズ中に、基準電位に通じ、

前記増幅器の前記入力部が、前記  $X$  個の容量性デジタル / アナログコンバータのうち前記他の一つの容量性デジタル / アナログコンバータの前記  $M$  個の容量の前記第 1 の端部に、前記  $X$  個の容量性デジタル / アナログコンバータのうち前記他の一つの容量性デジタル

／アナログコンバータの第２のフェーズ中に、選択的に通じる、請求項１に記載のデジタル／アナログコンバータ。

【請求項３】

互いに直列接続されており、 $X$ が１より大きい整数である $X$ 個の容量性デジタル／アナログコンバータであって、該 $X$ 個の容量性デジタル／アナログコンバータのそれぞれが、

$M$ が１よりも大きい整数である $M$ 個のスイッチと、

信号入力部と、

信号出力部と、

前記 $M$ 個のスイッチにそれぞれ通じており、第１および第２の端部および実質的に等しい容量値を有する $M$ 個の容量と、を備え、

前記 $M$ 個のスイッチが前記 $M$ 個の容量の前記第１の端部を前記信号出力部に選択的に接続し、

前記 $M$ 個のスイッチが前記 $M$ 個の容量のうち選択された一つの容量の前記第２の端部を前記信号入力部に接続する、

該容量性デジタル／アナログコンバータと、

前記 $X$ 個の容量性デジタル／アナログコンバータのうち一つの容量性デジタル／アナログコンバータの前記信号入力部に通じる信号出力部を有する第１のデジタル／アナログコンバータと、

入力部および出力部を有する増幅器と、

を備える、デジタル／アナログコンバータであって、

前記 $X$ 個の容量性デジタル／アナログコンバータのうち他の一つの容量性デジタル／アナログコンバータの前記 $M$ 個の容量の前記第１の端部が、前記 $X$ 個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの第１のフェーズ中に、基準電位に通じ、

前記増幅器の前記入力部が、前記 $X$ 個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの前記 $M$ 個の容量の前記第１の端部に、前記 $X$ 個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの第２のフェーズ中に、選択的に通じ、

前記 $X$ 個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの前記 $M$ 個の容量の前記第２の端部が、前記 $X$ 個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの前記第２のフェーズ中に、前記増幅器の前記出力部に通じる、デジタル／アナログコンバータ。

【請求項４】

前記第１のデジタル／アナログコンバータが、 $Y$ がゼロより大きい整数である $Y$ 個の抵抗性デジタル／アナログコンバータを備える、請求項１に記載のデジタル／アナログコンバータ。

【請求項５】

互いに直列接続されており、 $X$ が１より大きい整数である $X$ 個の容量性デジタル／アナログコンバータであって、該 $X$ 個の容量性デジタル／アナログコンバータのそれぞれが、

$M$ が１よりも大きい整数である $M$ 個のスイッチと、

信号入力部と、

信号出力部と、

前記 $M$ 個のスイッチにそれぞれ通じており、第１および第２の端部および実質的に等しい容量値を有する $M$ 個の容量と、を備え、

前記 $M$ 個のスイッチが前記 $M$ 個の容量の前記第１の端部を前記信号出力部に選択的に接続し、

前記 $M$ 個のスイッチが前記 $M$ 個の容量のうち選択された一つの容量の前記第２の端部を前記信号入力部に接続する、

該容量性デジタル／アナログコンバータと、

前記 X 個の容量性デジタル / アナログコンバータのうち一つの容量性デジタル / アナログコンバータの前記信号入力部に通じる信号出力部を有する第 1 のデジタル / アナログコンバータであって、Y がゼロよりも大きな整数である Y 個の抵抗性デジタル / アナログコンバータを備える該第 1 のデジタル / アナログコンバータと、  
を備える、デジタル / アナログコンバータであって、

前記 Y 個の抵抗性デジタル / アナログコンバータのうち少なくとも一つの抵抗性デジタル / アナログコンバータが、

信号出力部と、

前記電圧基準と前記基準電位の間に直列接続された N 個の抵抗と、

前記 N 個の抵抗のうち選択された抵抗と前記基準電位の間にある N 個のノードと、

前記 Y 個の抵抗性デジタル / アナログコンバータのうち前記一つの抵抗性デジタル / アナログコンバータの前記信号出力部を前記 N 個のノードのうち一つのノードに選択的に接続する N 個の第 2 のスイッチと、

を備える、請求項 4 に記載のデジタル / アナログコンバータ。

【請求項 6】

前記 X 個の容量性デジタル / アナログコンバータおよび前記第 1 のデジタル / アナログコンバータを制御するための切り換え信号を選択的に生成する制御モジュールを更に備える、請求項 1 に記載のデジタル / アナログコンバータ。

【請求項 7】

請求項 1 に記載のデジタル / アナログコンバータを備える、逐次近似型アナログ / デジタルコンバータ。

【請求項 8】

互いに直列接続されており、X が 1 より大きい整数である X 個の容量性デジタル / アナログコンバータであって、該 X 個の容量性デジタル / アナログコンバータのそれぞれが、

M が 1 よりも大きい整数である M 個のスイッチと、

信号入力部と、

信号出力部と、

前記 M 個のスイッチにそれぞれ通じており、第 1 および第 2 の端部および実質的に等しい容量値を有する M 個の容量と、を備え、

前記 M 個のスイッチが前記 M 個の容量の前記第 1 の端部を前記信号出力部に選択的に接続し、

前記 M 個のスイッチが前記 M 個の容量のうち選択された一つの容量の前記第 2 の端部を前記信号入力部に接続する、

該容量性デジタル / アナログコンバータと、

前記 X 個の容量性デジタル / アナログコンバータのうち一つの容量性デジタル / アナログコンバータの前記信号入力部に通じる信号出力部を有する第 1 のデジタル / アナログコンバータと、

を備えるデジタル / アナログコンバータを具備する、逐次近似型アナログ / デジタルコンバータであって、

前記 X 個の容量性デジタル / アナログコンバータのうち一つの容量性デジタル / アナログコンバータに選択的に通じる入力部を有する増幅器と、

前記増幅器の出力部に通じる逐次近似モジュールと、

前記逐次近似モジュールの出力部に通じ、前記 X 個の容量性デジタル / アナログコンバータおよび前記第 1 のデジタル / アナログコンバータ用の切り換え信号を選択的に生成する復号化モジュールと、

を更に備える、逐次近似型アナログ / デジタルコンバータ。

【請求項 9】

前記第 1 のデジタル / アナログコンバータが容量性デジタル / アナログコンバータを備える、請求項 1 に記載のデジタル / アナログコンバータ。

【請求項 10】

前記容量性デジタル／アナログコンバータが、  
信号出力部と、

入力部、および前記信号出力部に通じる出力部を有する増幅器と、

並列接続されており、第１の端部と第２の端部とを有しているＭ個の第２の容量であって、前記第１の端部が前記容量性デジタル／アナログコンバータの第１のフェーズ中に基準電位に選択的に通じ、前記第１の端部が前記容量性デジタル／アナログコンバータの第２のフェーズ中に前記増幅器の前記入力部に選択的に通じる、該Ｍ個の第２の容量と、

前記容量性デジタル／アナログコンバータの前記第１のフェーズ中に前記Ｍ個の第２の容量の前記第２の端部を前記電圧基準および前記基準電位の一方に選択的に接続し、前記容量性デジタル／アナログコンバータの前記第２のフェーズ中に前記Ｍ個の第２の容量の前記第２の端部を前記出力部に選択的に接続する、Ｍ個の第２のスイッチと、  
を備える、請求項９に記載のデジタル／アナログコンバータ。

【請求項１１】

デジタル／アナログコンバータの動作方法であって、

Ｘ個の容量性デジタル／アナログコンバータを直列に接続するステップであって、Ｘが１より大きい整数であり、該Ｘ個の容量性デジタル／アナログコンバータのそれぞれが第１および第２の端部ならびに実質的に等しい容量値を有するＭ個の容量を備える、該ステップと、

前記Ｍ個の容量の前記第１の端部を信号出力部に選択的に接続するステップと、

前記Ｍ個の容量のうち選択された一つの容量の前記第２の端部を信号入力部に接続するステップと、

第１のデジタル／アナログコンバータの信号出力部を前記Ｘ個の容量性デジタル／アナログコンバータのうち一つの容量性デジタル／アナログコンバータの前記信号入力部に接続するステップと、

を備える方法。

【請求項１２】

入力部および出力部を有する増幅器と、前記増幅器の前記入力部および前記出力部に通じるフィードバック容量と、を設けるステップと、

前記Ｘ個の容量性デジタル／アナログコンバータのうち他の一つの容量性デジタル／アナログコンバータの前記Ｍ個の容量の前記第１の端部を、前記Ｘ個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの第１のフェーズ中に、基準電位に接続するステップと、

前記増幅器の前記入力を、前記Ｘ個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの前記Ｍ個の容量の前記第１の端部に、前記Ｘ個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの第２のフェーズ中に、選択的に接続するステップと、

を更に備える、請求項１１に記載の方法。

【請求項１３】

入力部および出力部を有する増幅器を設けるステップと、

前記Ｘ個の容量性デジタル／アナログコンバータのうち他の一つの容量性デジタル／アナログコンバータの前記Ｍ個の容量の前記第１の端部を、前記Ｘ個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの第１のフェーズ中に、基準電位に選択的に接続するステップと、

前記増幅器の前記入力部を、前記Ｘ個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの前記Ｍ個の容量の前記第１の端部に、前記Ｘ個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの第２のフェーズ中に、選択的に接続するステップと、

前記Ｘ個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの前記Ｍ個の容量の前記第２の端部を、前記Ｘ個の容量性デジタル／アナログコンバータのうち前記他の一つの容量性デジタル／アナログコンバータの前記

第 2 のフェーズ中に、前記増幅器の前記出力部に選択的に接続するステップと、  
を更に備える、請求項 11 に記載の方法。

【請求項 14】

前記第 1 のデジタル / アナログコンバータが、 $Y$  がゼロより大きい整数である  $Y$  個の抵抗性デジタル / アナログコンバータを備える、請求項 11 に記載の方法。

【請求項 15】

前記  $X$  個の容量性デジタル / アナログコンバータおよび前記第 1 のデジタル / アナログコンバータを制御するための切り換え信号を選択的に生成するステップ更に備える、請求項 11 に記載の方法。

【請求項 16】

前記  $X$  個の容量性デジタル / アナログコンバータを用いてアナログ入力信号を逐次近似するステップを更に備える、請求項 11 に記載の方法。

【請求項 17】

前記第 1 のデジタル / アナログコンバータが容量性デジタル / アナログコンバータを備える、請求項 11 に記載の方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

[0082] 容量部 110 は、抵抗  $R_1$ 、 $R_2$ 、 $R_3$  および  $R_4$  を含んでいる。好ましい実施形態では、抵抗  $R_1$ 、 $R_2$ 、 $R_3$  および  $R_4$  がほぼ等しい抵抗値を有する。抵抗は同じ抵抗値を有してもよく、言い換えれば  $R_1 = R_2 = R_3 = R_4$  であってもよい。以下でさらに述べるように、抵抗は、 $V_{ref}$  と、接地等の基準電位との間に直列で接続されている。抵抗間のノードは、スイッチ  $SW_{4LSB}$ 、 $SW_{3LSB}$ 、 $SW_{2LSB}$ 、および  $SW_{1LSB}$ （総称してスイッチ  $SW_L$ ）により選択され、共通ノード 130 と接続されて分圧器を作り出す。制御モジュール 132 は、スイッチ  $SW_L$  および  $SW_M$  に対しての切り換え信号を選択的に生成する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

[0093] 次に図 8A および 8B を参照すると、本発明によるネスト化セグメント化容量性 - 容量性 D/A コンバータ 108 が示されている。図 8A には、出力回路 102 が示されている。図 8B には、例示的なサンプリング積分構成が示されている。容量部 110 は上述のように動作する。明確にするために、コンデンサ  $C_1$ 、 $C_2$ 、 $C_3$  および  $C_4$  を  $C_{1M}$ 、 $C_{2M}$ 、 $C_{3M}$  および  $C_{4M}$  と改称している。第 2 の容量部 150 は、2 個の最下位ビットに関連付けられており、コンデンサ  $C_{1L}$ 、 $C_{2L}$ 、 $C_{3L}$  および  $C_{4L}$  と、演算増幅器のような増幅器 152 と、スイッチ 154 とを含んでいる。  $LSB$  容量部 150 により与えられる電圧は、 $V_{CDAC}$  である。以下に述べるように、第 2 の容量部 150 もサンプリング積分フェーズを有している。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

[0094]次に図8Cおよび8Dを参照すると、

【数8】

$$V_{CDAC} = \frac{V_{ref}}{4}$$

についてのサンプリングフェーズ中の図8BのD/Aコンバータの等価回路が示されている。サンプリングフェーズ中、スイッチ154を閉としてコンデンサ $C_{4L}$ 、 $C_{3L}$ および $C_{2L}$ を接地等の基準電位と接続する。コンデンサ $C_{1L}$ を $V_{ref}$ まで帯電する。 $V_{ref}C_{1L}$ と等しいコンデンサ $C_{1L}$ 上に電荷が蓄積される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

[0095]積分フェーズ中、スイッチ154を開として、コンデンサ $C_{4L}$ 、 $C_{3L}$ 、 $C_{2L}$ および $C_{1L}$ をフィードバックで接続する。スイッチ154の開前の全電荷がスイッチ154の開後の全電荷と同じになる。したがって：

$$Q_r = VC_r = V_{ref}C_{1L} = V(C_{1L} + C_{2L} + C_{3L} + C_{4L}) ;$$

$$V = V_{ref}C_{1L} / (C_{1L} + C_{2L} + C_{3L} + C_{4L})$$

$C_{1L}$ 、 $C_{2L}$ 、 $C_{3L}$ および $C_{4L}$ が等しいとすると、

【数9】

$$V = \frac{V_{ref}}{4}$$

となる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

[0096]次に図8Eを参照すると、

【数10】

$$V_{CDAC} = \frac{V_{ref}}{2}$$

についてのサンプリングフェーズ中の図8BのD/Aコンバータの等価回路が示されている。サンプリングフェーズ中、スイッチ154を閉としてコンデンサ $C_{4L}$ および $C_{3L}$ を接地等の基準電位と接続する。コンデンサ $C_{1L}$ および $C_{2L}$ を $V_{ref}$ まで帯電する。 $V_{ref}(C_{1L} + C_{2L})$ と等しいコンデンサ $C_{1L}$ および $C_{2L}$ 上に電荷が蓄積される。

## 【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

[0097] 積分フェーズ中、スイッチ 154 を開として、コンデンサ  $C_{4L}$ 、 $C_{3L}$ 、 $C_{2L}$  および  $C_{1L}$  をフィードバックで接続する。スイッチ 154 を開く前の全電荷がスイッチ 154 の閉後の全電荷と同じになる。したがって：

$$Q_r = V C_r = V_{ref} (C_{1L} + C_{2L}) = V (C_{1L} + C_{2L} + C_{3L} + C_{4L})$$

$$V = V_{ref} (C_{1L} + C_{2L}) / (C_{1L} + C_{2L} + C_{3L} + C_{4L})$$

$C_{1L}$ 、 $C_{2L}$ 、 $C_{3L}$  および  $C_{4L}$  が等しいとすると、

【数 11】

$$V = \frac{V_{ref}}{2}$$

となる。

## 【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

[0098] 次に図 8 F を参照すると、

【数 12】

$$V_{cdac} = \frac{3V_{ref}}{4}$$

についてのサンプリングフェーズ中の図 8 B の D / A コンバータの等価回路が示されている。サンプリングフェーズ中、スイッチ 154 を閉としてコンデンサ  $C_{4L}$  を接地等の基準電位と接続する。コンデンサ  $C_{1L}$ 、 $C_{2L}$  および  $C_{3L}$  を  $V_{ref}$  まで帯電する。 $V_{ref} (C_{1L} + C_{2L} + C_{3L})$  と等しいコンデンサ  $C_{1L}$ 、 $C_{2L}$  および  $C_{3L}$  上に電荷が蓄積される。

## 【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

[0099] 積分フェーズ中、スイッチ 154 を開として、コンデンサ  $C_{4L}$ 、 $C_{3L}$ 、 $C_{2L}$  および  $C_{1L}$  をフィードバックで接続する。スイッチ 154 の開前の全電荷がスイッチ 154 の閉後の全電荷と同じになる。したがって：

$$Q_r = V C_r = V_{ref} (C_{1L} + C_{2L} + C_{3L}) = V (C_{1L} + C_{2L} + C_{3L} + C_{4L}) ;$$

$V = V_{ref} (C_{1L} + C_{2L} + C_{3L}) / (C_{1L} + C_{2L} + C_{3L} + C_{4L})$   
 $C_{1L}$ 、 $C_{2L}$ 、 $C_{3L}$  および  $C_{4L}$  が等しいとすると、  
 【数 1 3】

$$V = \frac{3V_{ref}}{4}$$

となる。

【手続補正 1 0】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 7

【補正方法】変更

【補正の内容】

【0 0 5 7】

[0100]次に図 8 G を参照すると、 $V_{CDAC} = V_{ref}$  についてのサンプリングフェーズ中の図 8 B の D / A コンバータの等価回路が示されている。この値が次の MSB を用いることにより既に得られるので、この位置に関連付けられたスイッチを省略してもよい。この場合、コンデンサの 1 個を常に接地してもよい。スイッチを用いる場合、サンプリングフェーズ中、スイッチ 1 5 4 を閉としてコンデンサ  $C_{1L}$ 、 $C_{2L}$ 、 $C_{3L}$  および  $C_{4L}$  を  $V_{ref}$  まで帯電する。 $V_{ref} (C_{1L} + C_{2L} + C_{3L} + C_{4L})$  と等しいコンデンサ  $C_{1L}$ 、 $C_{2L}$ 、 $C_{3L}$  および  $C_{4L}$  上に電荷が蓄積される。

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 8

【補正方法】変更

【補正の内容】

【0 0 5 8】

[0101]積分フェーズ中、スイッチ 1 5 4 を開として、コンデンサ  $C_{4L}$ 、 $C_{3L}$ 、 $C_{2L}$  および  $C_{1L}$  をフィードバックで接続する。スイッチ 1 5 4 の開前の全電荷がスイッチ 1 5 4 の閉後の全電荷と同じになる。したがって：

$$\begin{aligned} Q_r &= V C_r = V_{ref} (C_{1L} + C_{2L} + C_{3L} + C_{4L}) \\ &= V (C_{1L} + C_{2L} + C_{3L} + C_{4L}) ; \\ V &= V_{ref} (C_{1L} + C_{2L} + C_{3L} + C_{4L}) / (C_{1L} + C_{2L} + C_{3L} + C_{4L}) \end{aligned}$$

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 7

【補正方法】変更

【補正の内容】

【0 0 7 7】

[0120]HDD 4 0 0 は、コンピュータ等のホストデバイス（図示せず）、携帯情報端末、携帯電話、メディアまたは MP3 プレーヤー等のモバイルコンピューティングデバイス、および / または他のデバイスと 1 つ以上の有線または無線通信リンク 4 0 8 を介して通信することもできる。HDD 4 0 0 は電源 4 0 3 を有していてもよい。HDD 4 0 0 は、ランダムアクセスメモリ（RAM）、フラッシュメモリ等の低待ち時間不揮発性メモリ、読み出し専用メモリ（ROM）、および / または他の適当な電子データ記憶装置等のメモリ 4 0 9 と接続することもできる。



## 【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】変更

【補正の内容】

【0078】

[0121]次に図17Bを参照すると、本発明はデジタル多用途ディスク(DVD)ドライブ410内のD/AまたはA/Dコンバータで実施可能である。DVD410内の信号処理および/または制御回路412および/または他の回路(図示せず)が、データの処理、符号化および/または暗号化、計算、および/または光学記憶媒体416から読み出されるデータおよび/または、そこに書き込まれるデータの初期化を行うことができる。いくつかの実施では、DVD410内の信号処理および/または制御回路412および/または他の回路(図示せず)が、符号化および/または複号化および/またはDVDドライブに関連付けられた他の信号処理機能等の他の機能を行うことも可能である。DVD410は電源413を有していてもよい。

## 【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0081

【補正方法】変更

【補正の内容】

【0081】

[0124]HDTV420は、光学および/または磁気記憶装置等の不揮発性方式でデータを記憶した大量データ記憶装置427と通信することもできる。少なくとも1個のHDDが図17Aに示す構成を有してもよく、および/または少なくとも1個のDVDが図17Bに示す構成を有してもよい。このHDDは、およそ1.8インチより小径の1枚以上のプラッタを含むミニHDDであってもよい。HDTV420は、電源423を有していてもよい。HDTV420は、RAM、ROM、フラッシュメモリ等の低待ち時間不揮発性メモリおよび/または他の適当な電子データ記憶装置等のメモリ428と接続することもできる。HDTV420は、WLANネットワークインターフェース429を介してWLANとの接続をサポートすることもできる。

## 【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正の内容】

【0082】

[0125]次に図17Dを参照すると、本発明は車両430の制御システム、WLANインターフェース、車両制御システムの大量データ記憶装置および/または電源433内のD/AまたはA/Dコンバータを実施、および/またはそこで実施することもできる。いくつかの実施では、本発明は、温度センサ、圧力センサ、回転センサ、気流センサおよび/または他の適当なセンサ等の1個または複数のセンサ436から入力を受信し、および/またはエンジン動作パラメータ、トランスミッション動作パラメータ、および/または他の制御信号等の1個または複数の出力制御信号438を生成するパワートレイン制御システム432を実施する。

## 【手続補正 16】

【補正対象書類名】明細書

【補正対象項目名】 0 0 8 5

【補正方法】 変更

【補正の内容】

【 0 0 8 5 】

[0128]次に図 1 7 E を参照すると、本発明は、携帯電話アンテナ 4 5 1 を含み得る携帯電話 4 5 0 内の D / A または A / D コンバータで実施可能である。いくつかの実施では、携帯電話 4 5 0 がマイク 4 5 6、スピーカーおよび / または音声出力ジャック等の音声出力部 4 5 8、ディスプレイ 4 6 0 および / またはキーパッド、ポインティングデバイス、音声作動および / または他の入力デバイス等の入力デバイス 4 6 2 を含んでいる。携帯電話 4 5 0 は、電源 4 5 3 を有していてもよい。携帯電話 4 5 0 内の信号処理および / または制御回路 4 5 2 および / または他の回路（図示せず）が、データの処理、符号化および / または暗号化、計算、データの初期化および / または他の携帯電話機能を行うことが可能である。

【手続補正 1 7】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 7

【補正方法】 変更

【補正の内容】

【 0 0 8 7 】

[0130]次に図 1 7 F を参照すると、本発明はセットトップボックス 4 8 0 内の D / A または A / D コンバータで実施可能である。セットトップボックス 4 8 0 は、ブロードバンドソース等のソースから信号を受信し、テレビおよび / またはモニタおよび / または他のビデオおよび / または音声出力デバイス等のディスプレイ 4 8 8 に適した、標準および / または高精細度音声 / ビデオ信号を出力する。セットトップボックス 4 8 0 は、電源 4 8 3 を有していてもよい。セットトップボックス 4 8 0 の信号処理回路および / または制御回路 4 8 4 および / または他の回路（図示せず）が、データの処理、符号化および / または暗号化、計算、データの初期化および / または他のセットトップボックス機能を行うことができる。

【手続補正 1 8】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 9

【補正方法】 変更

【補正の内容】

【 0 0 8 9 】

[0132]次に図 1 7 G を参照すると、本発明はメディアプレーヤー 5 0 0 内の D / A または A / D コンバータで実施可能である。いくつかの実施では、メディアプレーヤー 5 0 0 が、ディスプレイ 5 0 7 および / またはキーパッド、タッチパッド等のユーザー入力部 5 0 8 を含んでいる。いくつかの実施では、メディアプレーヤー 5 0 0 が、通常メニュー、ドロップダウンメニュー、アイコンおよび / またはポイントアンドクリックインターフェースを使用するグラフィカルユーザーインターフェース（GUI）をディスプレイ 5 0 7 および / またはユーザー入力部 5 0 8 を介して使用することができる。メディアプレーヤー 5 0 0 は、電源 5 1 3 を有していてもよい。メディアプレーヤー 5 0 0 は、スピーカーおよび / または音声出力ジャック等の音声出力部 5 0 9 をさらに含んでいる。メディアプレーヤー 5 0 0 の信号処理回路および / または制御回路 5 0 4 および / または他の回路（図示せず）が、データの処理、符号化および / または暗号化、計算、データの初期化および / または他のメディアプレーヤー機能を行うことも可能である。