

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3626452号
(P3626452)

(45) 発行日 平成17年3月9日(2005.3.9)

(24) 登録日 平成16年12月10日(2004.12.10)

(51) Int. Cl.⁷

F I

H O 3 K 19/0175
G 1 1 C 11/409
H O 1 L 21/822
H O 1 L 27/04H O 3 K 19/00 1 O 1 Q
H O 1 L 27/04 V
G 1 1 C 11/34 3 5 4 Q

請求項の数 9 (全 19 頁)

(21) 出願番号 特願2001-395749 (P2001-395749)
(22) 出願日 平成13年12月27日(2001.12.27)
(65) 公開番号 特開2003-198357 (P2003-198357A)
(43) 公開日 平成15年7月11日(2003.7.11)
審査請求日 平成15年1月21日(2003.1.21)(73) 特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100083161
弁理士 外川 英明
(72) 発明者 榑田 桂一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝 マイクロエレクトロニクスセ
ンター内

審査官 彦田 克文

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

それぞれデータを記憶する複数のメモリセルと、
出力バッファを有し、第1のクロック信号に同期して前記データを前記出力バッファへ入
力させる出力バッファ部と、

前記出力バッファのバッファサイズを決定するバッファサイズ決定信号、及び前記バッ
ファサイズ決定信号が遷移するタイミングに基づいた所定の期間だけ所定値になるフィルタ
ー信号を生成し、前記出力バッファ部に向けて出力するバッファサイズ決定回路と、
を具備し、

前記出力バッファ部は、前記フィルター信号を前記第1のクロック信号に同期させ、前記
第1のクロック信号に同期した前記フィルター信号が前記所定値である期間には前記バッ
ファサイズ決定信号に基づいたバッファサイズの更新を禁止して、前記フィルター信号が
前記所定値以外である期間には前記バッファサイズ決定信号に基づいたバッファサイズの
更新を許容する

ことを特徴とする半導体装置。

【請求項2】

前記フィルター信号は、前記バッファサイズ決定信号が遷移するタイミングの前後の所定
クロック数分だけ所定値とされることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記出力バッファ部はさらに、第1のレジスタ回路及び第2のレジスタ回路を有し、

10

20

前記第 1 のレジスタ回路は、前記フィルター信号が入力され、前記第 1 のクロック信号に同期して前記フィルター信号を出力し、

前記第 2 のレジスタ回路は、前記バッファサイズ決定信号が入力され、前記第 1 のレジスタから出力された前記フィルター信号が前記所定値である期間には、前記出力バッファへの前記バッファサイズ決定信号の出力を禁止して、前記フィルター信号が前記所定値である期間以外には、前記出力バッファへの前記バッファサイズ決定信号の出力を許容する、ことを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】

前記第 1 のレジスタ回路及び前記第 2 のレジスタ回路は前記第 1 のクロック信号に同期して出力制御されることを特徴とする請求項 3 記載の半導体装置。

10

【請求項 5】

前記第 1 のレジスタ回路及び前記第 2 のレジスタ回路は前記第 1 のクロック信号に同期して出力制御され、前記バッファサイズ決定回路は前記第 1 のクロック信号と異なる第 2 のクロック信号に同期して出力制御されることを特徴とする請求項 3 又は 4 記載の半導体装置。

【請求項 6】

前記バッファサイズ決定回路と前記第 1 のレジスタ回路とを接続する第 1 の配線と、前記バッファサイズ決定回路と前記第 2 のレジスタ回路とを接続する第 2 の配線とは、ほぼ同じだけの配線遅延量を有することを特徴とする請求項 3 乃至 5 記載の半導体装置。

【請求項 7】

20

前記バッファサイズ決定回路は、前記出力バッファが前記半導体装置の外部に取り付けられた外部抵抗と同じインピーダンスを有するように、前記出力バッファのバッファサイズを決定するものであることを特徴とする請求項 1 乃至 6 記載の半導体装置。

【請求項 8】

前記出力バッファはプルアップ用出力トランジスタ群及びプルダウン用出力トランジスタ群を有し、前記出力バッファがハイレベルを出力するときに前記プルダウン用出力トランジスタ群のバッファサイズを更新し、前記出力バッファがロウレベルを出力するときに前記プルアップ用出力トランジスタ群のバッファサイズを更新することを特徴とする請求項 1 乃至 7 記載の半導体装置。

【請求項 9】

30

それぞれデータを記憶する複数のメモリセルと、プルアップ用出力トランジスタ群及びプルダウン用出力トランジスタ群からなる出力バッファを有し、クロック信号に同期して前記データを前記出力バッファへ入力させる出力バッファ部と、

前記出力バッファのバッファサイズを決定するバッファサイズ決定信号を生成し、前記出力バッファ部に向けて出力するバッファサイズ決定回路と、

を具備し、

前記出力バッファ部は、前記出力バッファがハイレベルを出力するときに前記プルダウン用出力トランジスタ群のバッファサイズを更新し、前記出力バッファがロウレベルを出力するときに前記プルアップ用出力トランジスタ群のバッファサイズを更新する

40

ことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に係り、特に、プログラマブルインピーダンス出力バッファ方式におけるバッファサイズの更新制御に関する。

【0002】

【従来の技術】

近年の半導体記憶装置（メモリ）に要求されるデータ転送速度は高速化され、その動作周波数は数百 MHz レベルに達している。

50

【 0 0 0 3 】

この高速化技術の一つとして、プログラマブルインピーダンス（P I）回路技術というものが知られている。以下にプログラマブルインピーダンス回路技術について簡単に説明する。

【 0 0 0 4 】

半導体装置と外部とのデータの送受信を高速に行う場合、外部と接続されている配線の抵抗やインダクタンス、接続先容量に起因するある一定のインピーダンスによりデータ信号の反射が起こり、正常なデータの送受信ができなくなることがある。このデータの反射を解決するには、半導体装置内部と外部のインピーダンスを一致させればよい。

【 0 0 0 5 】

ところが、半導体装置は原理的に動作電圧、温度、といった外部要因の変化によって内部のインピーダンスが容易に変化してしまうという特性をもつ。

【 0 0 0 6 】

そこで、外部のインピーダンスを参照し、半導体装置内部のインピーダンスを動作電圧や温度変化に関わらず自動的に外部のインピーダンスに一致させるように制御する。

【 0 0 0 7 】

より具体的には、出力バッファを構成するトランジスタの駆動力（バッファサイズ）を変化させることにより、出力バッファのインピーダンスを外部のインピーダンス（通常はユーザが設定した抵抗値）に対して高精度で合わせ込み、使用環境の変化などによる回路設計時からのズレを補正する。

【 0 0 0 8 】

このようなインピーダンスの合わせ込み（バッファサイズの更新）は、更新コントローラを用いて書き込み動作時やNOP（no operation）状態のときに行われる。

【 0 0 0 9 】

【 発明が解決しようとする課題 】

しかし、インピーダンスの合わせ込みを書き込み動作時やNOP状態のときに行うため、従来の方式ではリード動作が連続するときにはインピーダンスの合わせ込みは行われない。

【 0 0 1 0 】

そのため、リード動作が連続したときに半導体装置内部のインピーダンスが変化すると、上記の通り、データ信号の反射が起こるなどの問題が生じることになる。

【 0 0 1 1 】

本発明は上記課題に鑑みてなされたものであり、プログラマブルインピーダンス回路技術において、インピーダンスの合わせ込みの精度を向上させることを目的とする。

【 0 0 1 2 】

【 課題を解決するための手段 】

本発明にかかる半導体装置は、例えば、それぞれデータを記憶する複数のメモリセルと、出力バッファを有し、第1のクロック信号に同期して前記データを前記出力バッファへ入力させる出力バッファ部と、前記出力バッファのバッファサイズを決定するバッファサイズ決定信号、及び前記バッファサイズ決定信号が遷移するタイミングに基づいた所定の期間だけ所定値になるフィルター信号を生成し、前記出力バッファ部に向けて出力するバッファサイズ決定回路と、を具備し、前記出力バッファ部は、前記フィルター信号を前記第1のクロック信号に同期させ、前記第1のクロック信号に同期した前記フィルター信号が前記所定値である期間には前記バッファサイズ決定信号に基づいたバッファサイズの更新を禁止して、前記フィルター信号が前記所定値以外である期間には前記バッファサイズ決定信号に基づいたバッファサイズの更新を許容することを特徴とする。

【 0 0 1 3 】

また、本発明にかかる半導体装置は、例えば、それぞれデータを記憶する複数のメモリセルと、プルアップ用出力トランジスタ群及びプルダウン用出力トランジスタ群からなる出力バッファを有し、クロック信号に同期して前記データを前記出力バッファへ入力させる

10

20

30

40

50

出力バッファ部と、前記出力バッファのバッファサイズを決定するバッファサイズ決定信号を生成し、前記出力バッファ部に向けて出力するバッファサイズ決定回路と、を具備し、前記出力バッファ部は、前記出力バッファがハイレベルを出力するときに前記プルダウン用出力トランジスタ群のバッファサイズを更新し、前記出力バッファがロウレベルを出力するときに前記プルアップ用出力トランジスタ群のバッファサイズを更新することを特徴とする。

【0014】

【発明の実施の形態】

本発明の実施の形態について、図面を参照して詳細に説明する。

第1の実施の形態

10

図1は本発明の第1の実施形態の構成図である。

【0015】

図1において、ポート(PCB)10上には、メモリチップ11が搭載されている。このメモリチップ11のI/O端子12がデータバス13を介してMPU14の入力端子15に接続されている。

【0016】

図2にメモリチップ11のレイアウト例を示す。

【0017】

メモリチップ11には、例えば4つのメモリブロック23が配置され、それぞれのメモリブロック23に対応してデータ出力部22が設けられている。このデータ出力部22には、I/O端子や出力バッファなどが含まれる。また、データ出力部22に含まれる出力バッファのバッファサイズを決定するためのバッファサイズ決定回路21がメモリチップ11の中央部に設けられ、そのバッファサイズ決定回路21の出力は各データ出力部22に接続されている。なお、バッファサイズ決定回路21に接続された抵抗RQは、合わせ込むインピーダンス値を決めるために接続されたものである。

20

【0018】

図3は、図1及び図2のメモリチップ11をより詳細にした構成図である(各構成要素の配置は実際のものとは異なることに留意する)。

【0019】

図3に示したように、メモリチップ11は、行列状に配置された複数のメモリセルを有するメモリアレイ31と、所望のメモリセルを選択するロウセクタ32及びカラムセクタ33と、センスアンプ34と、ライトバッファ35と、アドレスデータが入力されるアドレス端子36と、アドレス端子36とロウセクタ32及びカラムセクタ33との間に接続されたアドレスバッファ37と、データバスに接続された入力バッファ部39及び出力バッファ部40と、入力バッファ部39及び出力バッファ部40に接続されたI/O端子12と、出力バッファ40のインピーダンス(バッファサイズ)を自動調整するバッファサイズ決定回路21と、書き込み時または読み出し時における動作タイミングのコントロールを行うタイミングコントロール回路41と、そのタイミングコントロール回路41からの出力を受けるバッファ42とを有する。

30

【0020】

次に、図3に示した回路の動作を説明する。

40

【0021】

まず、アドレス信号がアドレス端子36から入力され、アドレスバッファ37を介してロウセクタ32及びカラムセクタ33へ供給される。このアドレス信号に基づいて、メモリアレイ31中の所望のメモリセルが選択される。

【0022】

なお、図3では、説明を簡単にするために、アドレス端子36及びアドレスバッファ37をそれぞれ1つずつ示した。しかし実際のアドレス信号は、nビットのロウアドレス信号とmビットのカラムアドレス信号とで構成されている。従って、アドレス端子36はn+m個存在し、アドレスバッファ37はn個のロウアドレスバッファとm個のカラムアドレ

50

スバッファとから構成される。そして、 n 個のロウアドレスバッファがロウセクタ32に接続され、 m 個のカラムアドレスバッファがカラムセクタ33に接続される。

【0023】

同様に、図3においては、I/O端子12、入力バッファ部39、及び出力バッファ部40を1つづつ示した。しかし実際には、データバスが k ビットであるとする、これに対応して、I/O端子12、入力バッファ部39、及び出力バッファ部40はそれぞれ k 個ずつ存在することになる。

【0024】

データ書き込み時には、I/O端子12から入力された書き込みデータが、入力バッファ部39を介してライトバッファ35へ与えられ、メモリアレイ31中の所望のメモリセルに書き込まれる。

10

【0025】

一方、データ読み出し時には、選択されたメモリセルから読み出された出力データDATAが、センスアンプ34を介して出力バッファ部40へ伝送され、出力バッファ部40からI/O端子12を介してメモリチップ11外部へ出力される。なお、タイミング制御信号が、タイミングコントロール回路41からバッファ42を介してロウセクタ32、カラムセクタ33、センスアンプ34、及びライトバッファ35に供給されて、書き込み時または読み出し時における動作タイミングの制御が行われる。

【0026】

バッファサイズ決定回路21は、出力バッファ部40と同様の回路形式を持つ(あるいはサイズが定数倍の)ダミーバッファ回路と、外部端子ZQとを有する。外部端子ZQには、マッチングすべきインピーダンスを指定するための外部抵抗RQが接続されている。そして、バッファサイズ決定回路21はダミーバッファ回路のインピーダンスが外部抵抗RQと等しくなるようなトランジスタサイズを自動的に探す。そして、バッファサイズ決定回路21はバッファサイズを決定するためのバッファサイズ決定信号Pzをシステムのクロック信号CKに同期したクロック信号CK'に基づいて出力する。このバッファサイズ決定信号Pzにより出力バッファ部40のバッファサイズが制御される。なお、このバッファサイズ決定回路21は、例えばシステムのクロック信号CKの64サイクルに1サイクルであるといったように、クロック信号CKのサイクルより大きいサイクルでバッファサイズ決定信号Pzを出力する。

20

30

<データ出力に関する部分の説明>

次に、図3に示したメモリチップ11のうち、データ出力に関する部分(出力バッファ部40、バッファサイズ決定回路21)を図4に抜き出して説明する。

【0027】

出力バッファ部40には、出力データDATAが入力される出力レジスタ53、バッファサイズ更新制御回路54、及び出力バッファ52が含まれる。また、バッファサイズ更新制御回路54には、出力バッファ52のインピーダンス(バッファサイズ)を決定するバッファサイズ決定回路21が接続されている。

【0028】

メモリアレイ31の所望のメモリセルから読み出された出力データDATAはシステムのクロック信号CKの反転クロック信号CKBに同期して出力レジスタ53に取り込まれ、クロック信号CKに同期して出力レジスタ53から出力バッファ52及びバッファサイズ更新制御回路54に向けて出力される。

40

【0029】

一方、バッファサイズ決定回路21から出力されたバッファサイズ決定信号Pz(Pz(Pi)、Pz(Ni))は中間バッファ51で増幅され、バッファサイズ更新制御回路54に入力される。このバッファサイズ決定信号Pzは、出力バッファ52のバッファサイズを決定するための信号である。

【0030】

そして、バッファサイズ更新制御回路54はバッファサイズ決定信号Pz及び出力データ

50

D A T Aの値に基づき、出力バッファ52のバッファサイズ(インピーダンス)を更新する。

<バッファサイズ更新制御回路54及び出力バッファ52の説明>

図5は図4のうちバッファサイズ更新制御回路54及び出力バッファ52をより詳細に示したものである。

【0031】

図5に示すように、バッファサイズ更新制御回路54は、PMOSゲート制御回路61とNMOSゲート制御回路62とを有する。また、出力バッファ52は、プルアップ用トランジスタ群(P0~P5)と、プルダウン用トランジスタ群(N0~N5)とを有する。

【0032】

プルアップ用トランジスタ群(P0~P5)は、所定の単位チャネル幅Wの1倍、2倍、4倍、8倍、16倍、32倍のチャネル幅をそれぞれ有する6個のPMOSTランジスタからなる。各PMOSTランジスタの電流経路の一端がI/O端子12に接続され、各PMOSTランジスタの電流経路の他端に高レベル電源電位(VDDQ)が印加されている。

10

【0033】

プルダウン用トランジスタ群(N0~N5)は、所定の単位チャネル幅W'の1倍、2倍、4倍、8倍、16倍、32倍のチャネル幅をそれぞれ有する6個のNMOSTランジスタからなる。各NMOSTランジスタの電流経路の一端がI/O端子12に接続され、各NMOSTランジスタの電流経路の他端に低レベル電源電位(VSSQ)が印加されている。通常、この低レベル電源電位(VSSQ)は接地電位となる。

20

【0034】

プルアップ用トランジスタ群(P0~P5)のそれぞれのゲートにはPMOSゲート制御回路61が接続される。それぞれのPMOSゲート制御回路61には、出力レジスタ53から出力された出力データDATAとそれぞれに対応するバッファサイズ決定信号Pz(Pi(i=0~5))が入力される。なお、図5にはPMOSTランジスタP5のゲートに接続されるPMOSゲート制御回路61しか図示していないが、同じ構成のPMOSゲート制御回路61がPMOSTランジスタP0~P4のゲートにそれぞれ接続される。

【0035】

プルダウン用トランジスタ群(N0~N5)のそれぞれのゲートにはNMOSゲート制御回路62が接続される。それぞれのNMOSゲート制御回路62には、出力レジスタ53から出力された出力データDATAとそれぞれに対応するバッファサイズ決定信号Pz(Ni(i=0~5))が入力される。なお、図5にはNMOSTランジスタN5のゲートに接続されるNMOSゲート制御回路62しか開示していないが、NMOSTランジスタN0~N4のゲートにはそれぞれNMOSゲート制御回路62が接続される。

30

【0036】

PMOSゲート制御回路61は、出力データDATAに応じて開閉されるスイッチ65と、ラッチ回路63を有する。

【0037】

同様に、NMOSゲート制御回路62は、出力データDATAに応じて開閉されるスイッチ66と、ラッチ回路64を有する。

40

【0038】

そして、プルアップ用トランジスタ群(P0~P5)とプルダウン用トランジスタ群(N0~N5)とからなる出力トランジスタ群60は、ラッチ回路63、64にそれぞれラッチされたデータに従って、その一部が閉じたままになる。そのため、ラッチ回路63、64にラッチされたデータに基づいて出力インピーダンス(バッファサイズ)を制御することができる。

【0039】

具体的に、出力トランジスタ群60のバッファサイズは以下の通り制御される。

【0040】

50

まず、プルアップ用トランジスタ群 (P 0 ~ P 5) のインピーダンスの合わせ込みについて説明する。

【 0 0 4 1 】

出力データ D A T A が L の場合、ラッチ回路 6 3 にラッチされているデータにかかわらず、 P M O S ゲート制御回路 6 1 の出力は H となる。これにより、対応する P M O S トランジスタ P 0 ~ P 5 はオフとなる。

【 0 0 4 2 】

逆に、出力データ D A T A が H の場合、ラッチ回路 6 3 にラッチされているデータが H であれば P M O S ゲート制御回路 6 1 の出力は L となり、対応する P M O S トランジスタ P 0 ~ P 5 はオンとなる。また、ラッチ回路 6 3 にラッチされているデータが L であれば、 P M O S ゲート制御回路 6 1 の出力は H となり、対応する P M O S トランジスタ P 0 ~ P 5 はオフとなる。

10

【 0 0 4 3 】

ここで、上記構成によると、バッファサイズ決定信号 P z (P i) は出力データ D A T A が L であるときにラッチ回路 6 3 に取り込まれることになる。出力データ D A T A が L であれば、ラッチ回路 6 3 の出力が変化しても、 P M O S ゲート制御回路 6 1 の出力は H のままで不定にならないからである。また、出力データ D A T A が L から H に変わるときに P M O S トランジスタ P 0 ~ P 5 のインピーダンス (バッファサイズ) を外部抵抗 R Q に合わせ込んでおくことが重要であり、出力データ D A T A として連続して H を出力しているときにインピーダンスを合わせ込むと、それにより生じたノイズが出力に乗ってしまうからである。

20

【 0 0 4 4 】

次に、プルダウン用トランジスタ群 (N 0 ~ N 5) のインピーダンスの合わせ込みについて説明する。

【 0 0 4 5 】

出力データ D A T A が L の場合、ラッチ回路 6 4 にラッチされているデータが H であれば N M O S ゲート制御回路 6 2 の出力は L となり、対応する N M O S トランジスタ N 0 ~ N 5 はオフとなる。また、ラッチ回路 6 4 にラッチされているデータが L であれば、 N M O S ゲート制御回路 6 2 の出力は H となり、対応する N M O S トランジスタ N 0 ~ N 5 はオンとなる。

30

【 0 0 4 6 】

逆に、出力データ D A T A が H の場合、ラッチ回路 6 4 にラッチされているデータにかかわらず、 N M O S ゲート制御回路 6 2 の出力は H となる。これにより、対応する N M O S トランジスタ N 0 ~ N 5 はオフとなる。

【 0 0 4 7 】

ここで、上記構成によると、バッファサイズ決定信号 P z (N i) は、出力データ D A T A が H であるときにラッチ回路 1 0 9 に取り込まれることになる。出力データ D A T A が H であれば、ラッチ回路 1 0 9 の出力が変化しても、 N M O S ゲート制御回路 1 0 7 の出力は L のままで、不定にならないからである。また、出力データ D A T A が H から L に変わるときに N M O S トランジスタ N 0 ~ N 5 のインピーダンス (バッファサイズ) を外部抵抗 R Q に合わせ込んでおくことが重要であり、出力データ D A T A として連続して L を出力しているときにインピーダンスを合わせ込むと、それにより生じたノイズが出力に乗ってしまうからである。

40

【 0 0 4 8 】

なお、バッファサイズの更新サイクルは、動作電圧や温度といった外部要因の変化がシステムのクロック信号 C K の周波数に比べて十分遅いため、クロック信号 C K に対して十分低速に設定されている。

【 0 0 4 9 】

上述の通り、本発明の第 1 の実施形態によれば、リード動作が連続した場合でも、出力データ D A T A に応じて出力トランジスタ群 6 0 のバッファサイズを更新できることになり

50

、インピーダンスの合わせ込みの精度を向上させることが可能となる。

本発明の第2の実施形態

<第1の実施形態の問題点>

まず、本発明の第1の実施形態の問題点について説明する。

【0050】

図6及び図7に本発明の第1の実施形態にかかる半導体装置の動作タイミングチャートを示す。

【0051】

出力データDATAはクロック信号CKに同期して出力レジスタ53から出力バッファ52へ出力される。バッファサイズ決定信号Pzはクロック信号CK'に同期してバッファサイズ決定回路21から出力される。クロック信号CK'はシステムのクロック信号CKに同期しているが、図2に示したように、バッファサイズ決定回路21から出力バッファ52までは長い配線を通る必要がある。その配線遅延などにより、バッファサイズ決定信号Pzが出力バッファ52に入力されるまでに所定の遅延時間が生じる。

10

【0052】

システムのクロック信号CKの周波数が比較的遅い場合は、図6に示したように、バッファサイズ決定回路21から出力バッファ52までの配線遅延やスキューをクロック周期内に収めることができた。

【0053】

しかし、クロック周波数が高速になると、図7に示したように、この配線遅延やスキューがクロック周期内に収まらなくなってしまう。

20

【0054】

そして、出力データDATAはクロック信号CKに同期して出力レジスタ53から出力バッファ52に出力されるが、バッファサイズの更新中(つまり、バッファサイズ決定信号Pzをラッチ回路63、64に取り込んでいるとき)に、出力データDATAが遷移すると、バッファサイズ決定信号Pzの一部を誤ラッチしてしまい、バッファサイズの更新を正常にできなくなってしまう恐れがある。逆に言うと、出力データDATAが遷移している期間にバッファサイズの更新が行われると、バッファサイズ決定信号Pzの一部を誤ラッチしてしまい、バッファサイズの更新を正常にできなくなってしまう恐れがある。

【0055】

特に、図7のようなDDR(Dual-Data-Rate)方式では、クロックの立ち上がり、立ち下がり両方でデータ出力が変化する。そのため、バッファサイズの更新に許容される期間はクロックの半周期に制限されてしまい、タイミング条件は一層厳しくなっている。

30

【0056】

そこで、上記問題点を解決した本発明の第2の実施形態について、第1の実施形態と同じ構成の部分については説明を省略し(第1の実施形態における図1~3に相当する部分)、相違点を中心に説明する(図4及び図5に相当する部分)。

<データ出力に係る部分の説明>

図8は、本発明の第2の実施形態にかかる半導体装置のデータ出力に係る部分を抜き出したものである。つまり、図3に示したメモリチップ11のうち、データ出力に係る部分(出力バッファ部40、バッファサイズ決定回路21)を抜き出したものである。

40

【0057】

出力バッファ部40には、出力レジスタ53、第1のレジスタ73、第2のレジスタ74、バッファサイズ更新制御回路75、及び出力バッファ52が含まれる。

【0058】

バッファサイズ更新制御回路75には、出力バッファ52のバッファサイズ(インピーダンス)を決定するバッファサイズ決定回路21が接続されている。第1のレジスタ73は、バッファサイズ決定回路21と中間バッファ72を介して接続されている。第2のレジスタ74は、バッファサイズ決定回路21と中間バッファ71を介して接続されている。

50

出力レジスタ40及び第2のレジスタ44は出力バッファ45に接続されている。出力バッファ45はI/O端子12に接続されている。

【0059】

次に、図8に示した回路の動作について、図9に示したタイミングチャート図を参照して説明する。

【0060】

バッファサイズ決定回路21は、クロック信号CK'に同期して、例えば12ビットのバッファサイズ決定信号Pz(Pz(P0)~Pz(P5)、Pz(N0)~Pz(N5))及びバッファサイズの更新制御を行うフィルター信号filを出力する。ここで、フィルター信号filは例えばバッファサイズ決定信号Pzがバッファサイズ決定回路21から出力される前後2クロック分ずつの幅でLとなるパルス信号であり、このフィルター信号filがLの期間はバッファサイズの更新が禁止される。バッファサイズ決定信号Pzは、中間バッファ71で増幅され、第2のレジスタ74に入力される。フィルター信号filは、中間バッファ72で増幅され、第1のレジスタ73に入力される。

10

【0061】

第1のレジスタ73は、クロック信号CKの反転クロック信号CKBに同期してフィルター信号filを取り込み、クロック信号CKに同期して出力する。このクロック信号CKに同期されたフィルター信号をfckと図示してある。

【0062】

このフィルター信号fckは第2のレジスタ74に入力される。第2のレジスタ74は、フィルター信号fckに同期してバッファサイズ決定信号Pzを取り込み、バッファサイズ更新制御回路75に入力される。

20

【0063】

ここで、フィルター信号fckはクロック信号CKに同期しているため、バッファサイズ決定信号Pzもクロック信号CKに同期してバッファサイズ更新制御回路75に入力されることになる。また、図示せぬメモリセルから読み出された出力データDATAは、クロック信号CKの反転信号CKBに同期して出力レジスタ53に取り込まれ、クロック信号CKに同期して出力バッファ52に向けて出力される。

【0064】

このようにして、出力データDATAの出力バッファ52への入力とバッファサイズ更新制御回路75による出力バッファ52のバッファサイズの更新とが同期して行われることになる。

30

【0065】

ここで、バッファサイズ決定信号Pzとフィルター信号filとは、出力バッファ部40まではほぼ同じ経路で接続され、ほぼ等しいRC遅延を有する配線を経由して伝播される。そのため、バッファサイズ決定信号Pzとフィルター信号filとは出力バッファ部40においても、タイミング関係は保存されている。しかし、配線遅延やスキューにより、出力データDATAの出力から数えてクロックCKの半周期分の時間内に収まらない可能性がある。

【0066】

しかし、フィルター信号filは、第1のレジスタ73によりクロック信号CKに同期して出力される(フィルター信号fck)。上述の通り、フィルター信号filはバッファサイズ決定信号Pzがバッファサイズ決定回路21から出力される前後2クロック分ずつの幅でLとなるパルス信号であり、このフィルター信号filがLの期間はバッファサイズの更新が禁止される。つまり、第2のレジスタ74は、フィルター信号fckがLの期間はバッファサイズ決定信号Pzを取り込まず、フィルター信号fckがHになってからバッファサイズ決定信号Pzを取り込む。このように、クロック信号CKに同期したフィルター信号fckがHとなってからバッファサイズの更新が行われるため、クロック信号CKに同期して出力される出力データDATAが遷移しているときにバッファサイズの更新をしてしまうことを防止でき、バッファサイズ決定信号Pzの誤ラッチを防止すること

40

50

が可能となる。

<出力バッファ52、バッファサイズ更新制御回路75、及び第2のレジスタ74についての説明>

次に、図8に示した出力バッファ部40のうち、出力バッファ52、バッファサイズ更新制御回路75、及び第2のレジスタ74の部分76を図10に抜き出して詳細に説明する。

【0067】

図10に示すように、バッファサイズ更新制御回路75は、PMOSゲート制御回路81とNMOSゲート制御回路82とを有する。また、出力バッファ52は、プルアップ用トランジスタ群(P0~P5)と、プルダウン用トランジスタ群(N0~N5)とを有する

10

【0068】

プルアップ用トランジスタ群(P0~P5)は、所定の単位チャネル幅Wの1倍、2倍、4倍、8倍、16倍、32倍のチャネル幅をそれぞれ有する6個のPMOSトランジスタからなる。各PMOSトランジスタの電流経路の一端がI/O端子12に接続され、各PMOSトランジスタの電流経路の他端に高レベル電源電位(VDDQ)が印加されている。

【0069】

プルダウン用トランジスタ群(N0~N5)は、所定の単位チャネル幅W'の1倍、2倍、4倍、8倍、16倍、32倍のチャネル幅をそれぞれ有する6個のNMOSトランジスタからなる。各NMOSトランジスタの電流経路の一端がI/O端子12に接続され、各NMOSトランジスタの電流経路の他端に低レベル電源電位(VSSQ)が印加されている。通常、この低レベル電源電位(VSSQ)は接地電位とする。

20

【0070】

プルアップ用トランジスタ群(P0~P5)のそれぞれのゲートにはPMOSゲート制御回路81が接続される。それぞれのPMOSゲート制御回路81には、出力データDATAとそれぞれに対応するバッファサイズ決定信号Pz(Pi(i=0~5))が入力される。なお、図10にはPMOSトランジスタP5のゲートに接続されるPMOSゲート制御回路81しか図示していないが、同じ構成のPMOSゲート制御回路81がPMOSトランジスタP0~P4のゲートにそれぞれ接続される。

30

【0071】

プルダウン用トランジスタ群(N0~N5)のそれぞれのゲートにはNMOSゲート制御回路82が接続される。それぞれのNMOSゲート制御回路82には、出力データDATAとそれぞれに対応するバッファサイズ決定信号Pz(Ni(i=0~5))が入力される。なお、図10にはNMOSトランジスタN5のゲートに接続されるNMOSゲート制御回路82しか図示していないが、同じ構成のNMOSゲート制御回路82がNMOSトランジスタN0~N4のゲートにそれぞれ接続される。

【0072】

PMOSゲート制御回路81は、出力データDATAに応じて開閉されるスイッチ83及びラッチ回路85を有する。

40

【0073】

NMOSゲート制御回路82は、出力データDATAに応じて開閉されるスイッチ84及びラッチ回路86を有する。

【0074】

そして、プルアップ用トランジスタ群(P0~P5)とプルダウン用トランジスタ群(N0~N5)とからなる出力トランジスタ群60は、ラッチ回路85、86にそれぞれラッチされたデータに従って、その一部が閉じたままになる。そのため、ラッチ回路85、86にラッチされたデータに基づいて出力インピーダンス(バッファサイズ)を制御することができる。

【0075】

50

具体的に、出力トランジスタ群 60 のバッファサイズは以下の通り制御される。

【0076】

まず、プルアップ用トランジスタ群 (P0 ~ P5) のインピーダンスの合わせ込みについて説明する。

【0077】

出力データ DATA が L の場合、ラッチ回路 85 にラッチされているデータにかかわらず、PMOS ゲート制御回路 81 の出力は H となる。これにより、対応する PMOS トランジスタ P0 ~ P5 はオフとなる。

【0078】

出力データ DATA が H の場合、ラッチ回路 85 にラッチされているデータが H であれば PMOS ゲート制御回路 81 の出力は L となり、対応する PMOS トランジスタ P0 ~ P5 はオンとなる。逆に、ラッチ回路 85 にラッチされているデータが L であれば、PMOS ゲート制御回路 81 の出力は H となり、対応する PMOS トランジスタ P0 ~ P5 はオフとなる。

10

【0079】

ここで、バッファサイズ決定信号 Pz (Pi) は、フィルター信号 fck が H の期間にラッチ回路 74P に取り込まれ、フィルター信号 fck が L の期間にはラッチ回路 74P へ取り込まれない (取り込みが禁止される)。

【0080】

さらに、出力データ DATA が L になると、ラッチ回路 74P に取り込まれていたバッファサイズ決定信号 Pz (Pi) はスイッチ 83 を介してラッチ回路 85 に取り込まれることになる。出力データ DATA が L であれば、ラッチ回路 85 の出力が変化しても、PMOS ゲート制御回路 81 の出力は H のままで、不定にならないからである。また、出力データ DATA が L から H に変わるときに PMOS トランジスタ P0 ~ P5 のインピーダンス (バッファサイズ) を外部抵抗 RQ に合わせ込んでおくことが重要であり、出力データ DATA として連続して H を出力しているときは、インピーダンスを合わせ込む必要性は高くないからである。

20

【0081】

次に、プルダウン用トランジスタ群 (N0 ~ N5) のインピーダンスの合わせ込みについて説明する。

30

【0082】

出力データ DATA が L の場合、ラッチ回路 86 にラッチされているデータが H であれば NMOS ゲート制御回路 82 の出力は L となり、対応する NMOS トランジスタ N0 ~ N5 はオフとなる。また、ラッチ回路 86 にラッチされているデータが L であれば、NMOS ゲート制御回路 82 の出力は H となり、対応する NMOS トランジスタ N0 ~ N5 はオンとなる。

【0083】

逆に、出力データ DATA が H の場合、ラッチ回路 86 にラッチされているデータにかかわらず、NMOS ゲート制御回路 82 の出力は H となる。これにより、対応する NMOS トランジスタ N0 ~ N5 はオフとなる。

40

【0084】

ここで、バッファサイズ決定信号 Pz (Ni) は、フィルター信号 fck が H の期間にラッチ回路 74N に取り込まれ、フィルター信号 fck が L の期間にはレジスタ 74N に取り込まれない (取り込みが禁止される)。

【0085】

さらに、出力データ DATA が L になると、ラッチ回路 74N に取り込まれていたバッファサイズ決定信号 Pz (Ni) はスイッチ 84 を介してラッチ回路 86 に取り込まれることになる。出力データ DATA が L であれば、ラッチ回路 86 の出力が変化しても、PMOS ゲート制御回路 82 の出力は H のままで、不定にならないからである。また、出力データ DATA が H から L に変わるときに NMOS トランジスタ P0 ~ P5 のインピーダン

50

ス（バッファサイズ）を外部抵抗 RQ に合わせ込んでおくことが重要であり、出力データ DATA として連続して L を出力しているときは、インピーダンスを合わせ込む必要性は高くないからである。

【0086】

このようにして、各 PMOS トランジスタ $P0 \sim P5$ 及び各 NMOS トランジスタ $N0 \sim N5$ は、バッファサイズ決定回路 21 から出力されるバッファサイズ決定信号 Pz によって導通 / 非導通が制御される。そして、各 PMOS トランジスタ及び各 NMOS トランジスタの導通 / 非導通によって、出力バッファ 52 のバッファサイズ（インピーダンス）が制御される。

< バッファサイズ決定回路 21 の説明 >

次に、図 11 及び図 12 を参照して、バッファサイズ決定回路 21 の詳細を説明する。

【0087】

バッファサイズ決定回路 21 は、バッファサイズ決定信号 Pz を生成するバッファサイズ決定信号生成部 90 と、フィルター信号 fil を生成するフィルター信号生成部 100 とを有する。図 11 にバッファサイズ決定信号生成部 90 を示し、図 12 にフィルター信号生成部 100 を示す。

【0088】

まず、図 11 を参照してバッファサイズ決定信号生成部 90 について説明する。

【0089】

バッファサイズ決定信号生成部 90 は、プルダウン用トランジスタ群（ $N100 \sim N105$ ）のインピーダンスを整合するためのプルダウン制御系 91 と、プリアップ用トランジスタ群（ $P100 \sim P105$ ）のインピーダンスを整合するためのプリアップ制御系 92 とを有する。このバッファサイズ決定信号生成部 90 は、バッファサイズ決定信号 Pz として、プリアップ側のバッファサイズ決定信号 $Pz (Pi (i = 0 \sim 5))$ 及びプルダウン側のバッファサイズ決定信号 $Pz (Ni (i = 0 \sim 5))$ を出力する。

【0090】

ここでは、インピーダンス信号 $Pz (Ni)$ を出力するプルダウン側のバッファサイズ制御についてのみ説明し、プリアップ側についての説明を省略する。

【0091】

バッファサイズ決定信号生成部 90 は、ZQ 端子に直列接続された PMOS トランジスタ $P111$ と、PMOS トランジスタ $P111$ とゲート及びソースをそれぞれ共通とした PMOS トランジスタ $P112$ とを備える。PMOS トランジスタ $P111$ のゲートレベルは、ZQ 端子の電位 VZQ が高レベル側電源電圧 $VDDQ$ の二分の一になるように、オペアンプ OP1 によってレベル制御される。ここで、高レベル側電源電圧 $VDDQ$ は出力バッファ 52 を駆動する高レベル側電源電圧である。

【0092】

そして、PMOS トランジスタ $P112$ のドレイン（ノード REF IU）はオペアンプ OP2 の反転入力端子に接続され、 $VDDQ / 2$ が供給される。一方、オペアンプ OP2 の非反転入力端子には電圧 VZQ が供給される。U/D カウンタ 93 は、出力信号 $D0, D1, \dots, D5$ により、ダミーバッファ回路 Ndm の NMOS トランジスタ群 $N100, N101, \dots, N105$ に対して選択的に導通、非導通を制御する。NMOS トランジスタ群 $N100, N101, \dots, N105$ のドレインは、オペアンプ OP2 の反転入力端子（ノード REF IU）に帰還されている。

【0093】

従って、プルダウン制御系 91 は、ノード REF IU の電圧が基準電圧 $a1 (= VDDQ / 2)$ に一致するように、ダミーバッファ回路 Ndm の NMOS トランジスタ $N100, N101, \dots, N105$ の導通 / 非導通を決定し、これによって、ダミーバッファ回路 Ndm のバッファサイズ（インピーダンス）が決定される。さらに、U/D カウンタ 93 の出力信号 $D0, D1, \dots, D5$ に基づいて、バッファサイズ決定信号 $Pz (Ni)$ が出力される。

10

20

30

40

50

【 0 0 9 4 】

なお、ブルアップ制御系 9 2 も同様にしてバッファサイズ決定信号 $P_z (P_i)$ を出力する。

【 0 0 9 5 】

このようにして、マッチングすべきインピーダンスを指定するための外部抵抗 R_Q を Z_Q 端子に接続することにより、バッファサイズ決定信号生成部 9 0 は、出力バッファ 5 2 のインピーダンスが外部抵抗 R_Q の値（あるいはその定数倍）になるように、バッファサイズ決定信号 P_z を生成することができる。

【 0 0 9 6 】

次に、図 1 2 を参照してフィルター信号生成部 1 0 0 について説明する。

10

【 0 0 9 7 】

フィルター信号生成部 1 0 0 には、クロック信号 CK をそれぞれ 2 , 4 , 8 , 1 6 , 3 2 , 6 4 分周するためのレジスタ回路 1 2 1 ~ 1 2 6 と、クロック信号 CK を 8 分周した信号の位相を半周期ずらした信号 $8K_2$ を出力するレジスタ回路 1 2 7 と、クロック信号 CK を 3 2 分周した信号 $32K$ とクロック信号 CK を 6 4 分周した信号 $64K$ とレジスタ 1 2 7 から出力される信号 $8K_2$ とが入力される $NAND$ 回路 1 2 8 とを有する。この $NAND$ 回路 1 2 8 の出力がフィルター信号 fil となる。

【 0 0 9 8 】

レジスタ回路 1 2 1 は、反転出力端子 QB から出力された信号 $2K$ を反転クロック信号 CK_B の H に同期して入力端子 D から取り込み、クロック信号 CK の H に同期して信号 $2K$ を 2 分周した信号 $2KB$ を出力端子 Q から出力する。ここで、信号 $2K$ と信号 $2KB$ とは相補信号である。

20

【 0 0 9 9 】

レジスタ回路 1 2 2 は、反転出力端子 QB から出力された信号 $4K$ をレジスタ回路 1 2 1 の出力端子 Q から出力された信号 $2KB$ の H に同期して入力端子 D から取り込み、レジスタ回路 1 2 1 の出力端子 QB から出力された信号 $2K$ の H に同期して信号 $2K$ を 2 分周した信号 $4KB$ (クロック信号 CK を 4 分周した信号) を出力端子 Q から出力する。ここで、信号 $4K$ と信号 $4KB$ とは相補信号である。

【 0 1 0 0 】

以下、同様にして、レジスタ回路 1 2 3 はクロック信号 CK を 8 分周した信号 $8K$ を生成し、レジスタ回路 1 2 4 はクロック信号 CK を 1 6 分周した信号 $16K$ を生成し、レジスタ回路 1 2 5 はクロック信号 CK を 3 2 分周した信号 $32K$ を生成し、レジスタ回路 1 2 6 はクロック信号 CK を 6 4 分周した信号 $64K$ を生成する。また、レジスタ 1 2 7 は、クロック信号 CK を 8 分周した信号 $8K$ の位相を半周期ずらした信号 $8K_2$ を出力する。

30

【 0 1 0 1 】

$NAND$ 回路 1 2 8 には、クロック信号 CK を 8 分周した信号の位相を半周期ずらした信号 $8K_2$ と、クロック信号 CK を 3 2 分周した信号 $32K$ と、クロック信号 CK を 6 4 分周した信号 $64K$ とが入力される。そのため、図 9 に示したように、 $NAND$ 回路 1 2 8 はクロック信号 CK の 6 4 周期目にあたるパルスの前後 2 クロック分だけ L を出力し、これがフィルター信号 fil となる。

40

【 0 1 0 2 】

上記説明では、フィルター信号 fil をクロック信号 CK の 6 4 周期目のパルスの前後 2 クロック分だけ L になるような信号とした。

【 0 1 0 3 】

ここで、フィルター信号 fil をクロック信号 CK の 6 4 周期目のパルスの前後 4 クロック分だけ L になるような信号とするのであれば、図 1 2 に示したレジスタ回路 1 2 7 がクロック信号 CK を 1 6 分周した信号 $16K$ の位相が半周期ずれた信号 $16K_2$ を出力するように設計すればよい。

【 0 1 0 4 】

また、バッファサイズの更新サイクルをクロック信号 CK の 1 2 8 クロックに 1 回とする

50

のであれば、図12のNAND回路128に入力される信号を全て2分周したものとすればよい。

【0105】

つまり、バッファサイズの更新サイクルとフィルター信号*fil*のパルス幅に応じてフィルター信号生成部100を変更すればよい。

【0106】

なお、上記説明では、バッファサイズ決定回路21はクロック信号*CK*を64分周したクロック信号*CK'*により制御されることとした。その場合、図13に示したように、図12のレジスタ回路124~126の各出力信号16*K*（クロック信号*CK*を16分周したもの）、32*K*（クロック信号*CK*を32分周したもの）、64*K*（クロック信号*CK*を64分周したもの）がNAND回路131に入力されて、そのNAND回路131の出力がクロック信号*CK'*となる。

10

【0107】

以上の通り、本実施形態では、クロック信号*CK*に同期したフィルター信号*clk*がHとなってからバッファサイズの更新が行われるため、クロック信号*CK*に同期して出力される出力データ*DAT*Aが遷移しているときにバッファサイズの更新をしてしまうことを防止でき、バッファサイズ決定信号*Pz*の誤ラッチを防止することが可能となる。

【0108】

なお、本実施形態によると、従来の方法に比べてバッファサイズの更新が2クロック分遅れることになるが、バッファサイズの更新サイクルはこの2クロックに比べて十分大きいので（例えば64クロックに1回更新）、問題とはならない。

20

【0109】

また、バッファサイズ決定回路21を駆動するクロック信号*CK'*と、出力データ*DAT*Aの出力制御をするクロック信号*CK*とを、同じクロック信号にしても構わない。

【0110】

さらに、図4で示した中間バッファ51や、図8で示した中間バッファ71、72は省略しても構わない。これにより、バッファの個数を減らすことができ、レイアウト面積の削減を図ることができる。

【0111】

【発明の効果】

本発明は、プログラマブルインピーダンス回路技術において、インピーダンスの合わせ込みの精度を向上させることが可能となる。

30

【図面の簡単な説明】

【図1】本発明の第1の実施形態にかかるメモリチップの配置図。

【図2】メモリチップ11のレイアウト例を示した図。

【図3】メモリチップ11の構成図。

【図4】メモリチップ11のうちデータ出力に関する部分を抜き出した図。

【図5】図4に示したバッファサイズ更新制御回路54及び出力バッファ52をより詳細に示した図。

【図6】本発明の第1の実施形態にかかる半導体装置の動作タイミングチャート図。

40

【図7】本発明の第1の実施形態にかかる半導体装置の動作タイミングチャート図。

【図8】本発明の第2の実施形態にかかる半導体装置のデータ出力に関する部分を抜き出した図。

【図9】図8に示した半導体装置の動作タイミングチャート図。

【図10】図8に示した出力バッファ部40のうち、出力バッファ52、バッファサイズ更新制御回路75、及び第2のレジスタ74の部分76を抜き出した図。

【図11】バッファサイズ決定回路21のバッファサイズ決定信号生成部90の構成図。

【図12】バッファサイズ決定回路21のフィルター信号*fil*を生成するフィルター信号生成部100の構成図。

【図13】バッファサイズ決定回路21の動作を制御するクロック信号*CK'*を生成する

50

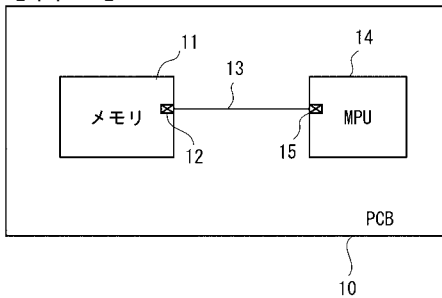
回路図。

【符号の説明】

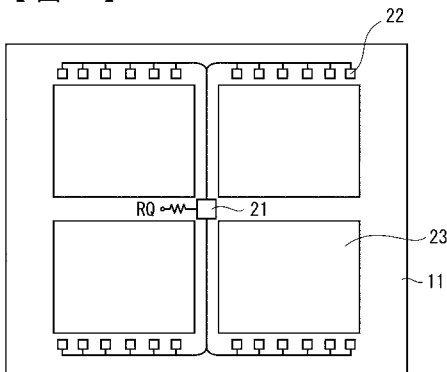
10 ... ボード (P C B)、 11 ... メモリチップ、 12 ... I / O 端子、 13 ... データバス、 14 ... M P U、 15 ... 入力端子、 21 ... バッファサイズ決定回路、 22 ... データ出力部、 23 ... メモリブロック、 31 ... メモリアレイ、 32 ... ロウセクタ、 33 ... カラムセクタ、 34 ... センスアンプ、 35 ... ライトバッファ、 36 ... アドレス端子、 37 ... アドレスバッファ、 39 ... 入力バッファ部、 40 ... 出力バッファ部、 41 ... タイミングコントロール部、 42 ... バッファ、 52 ... 出力バッファ、 53 ... 出力レジスタ、 54 ... バッファサイズ更新制御回路、 60 ... 出力トランジスタ群、 61 ... P M O S ゲート制御回路、 62 ... N M O S ゲート制御回路、 63 ... ラッチ回路、 64 ... ラッチ回路、 65 ... スイッチ、 66 ... スイッチ、 71 ... 中間バッファ、 72 ... 中間バッファ、 73 ... 第1のレジスタ、 74 ... 第2のレジスタ、 74 P ... ラッチ回路、 74 N ... ラッチ回路、 75 ... バッファサイズ更新制御回路、 81 ... P M O S ゲート制御回路、 82 ... N M O S ゲート制御回路、 83 ... スイッチ、 84 ... スイッチ、 85 ... ラッチ回路、 86 ... ラッチ回路、 90 ... バッファサイズ決定信号生成部、 91 ... プルダウン制御系、 92 ... プルアップ制御系、 93 ... U / D カウンタ、 94 ... U / D カウンタ、 100 ... フィルター信号生成部、 121 ~ 127 ... レジスタ回路、 128 ... N A N D 回路、 131 ... N A N D 回路。

10

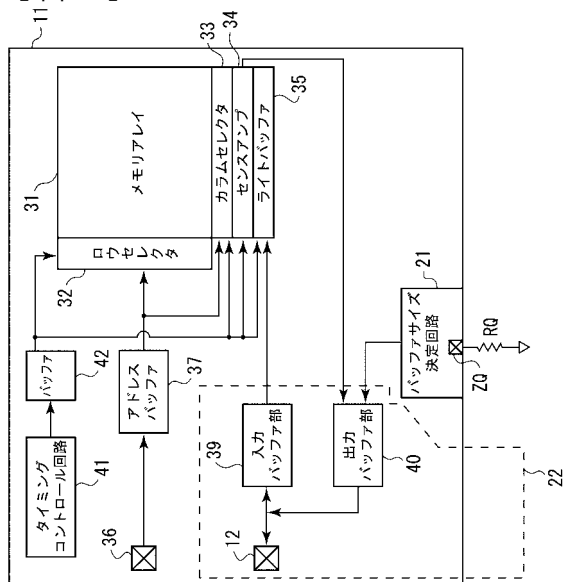
【図1】



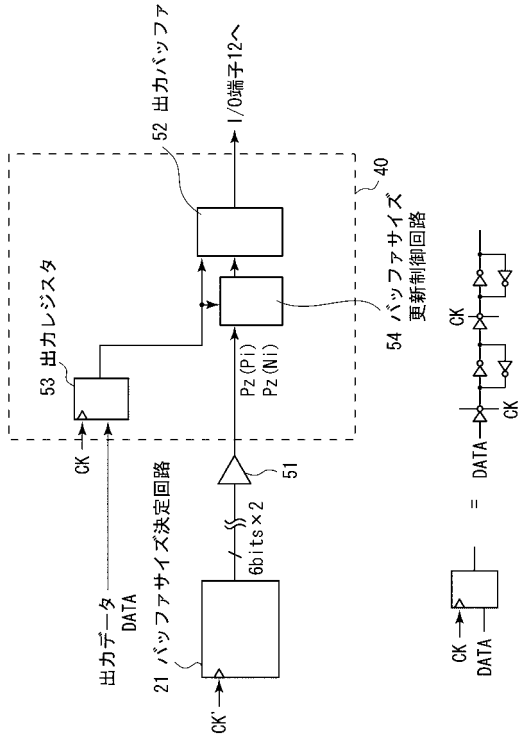
【図2】



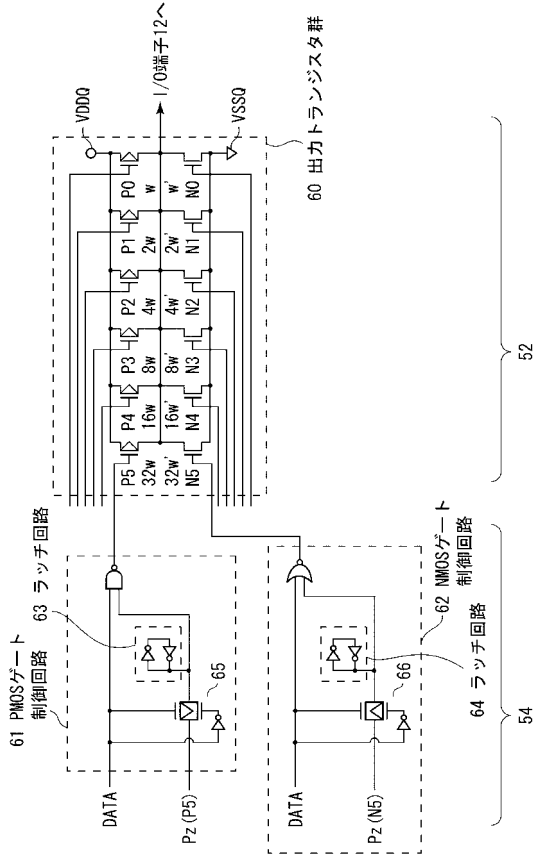
【図3】



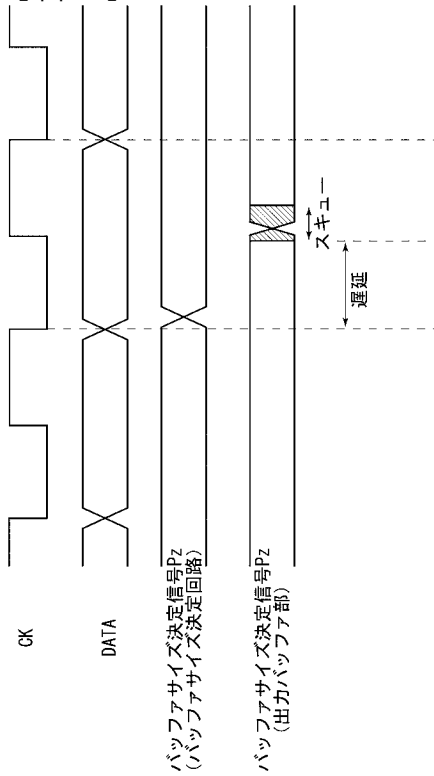
【 図 4 】



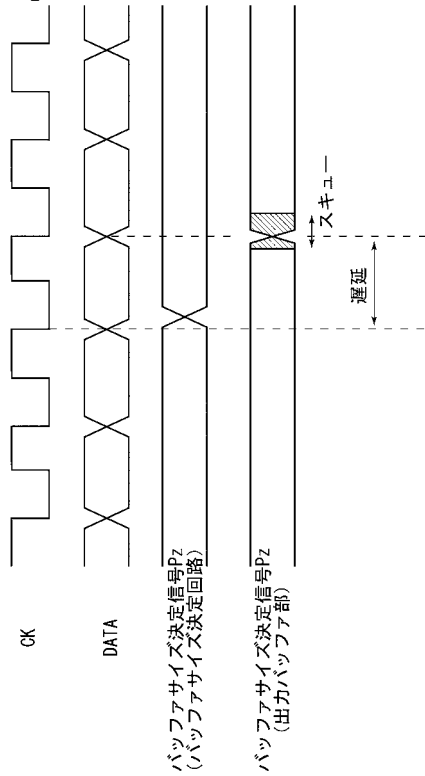
【 図 5 】



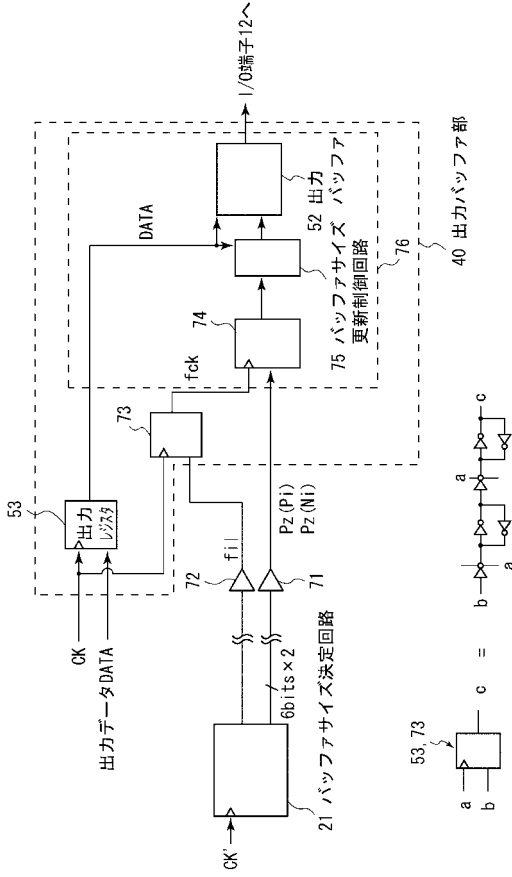
【 図 6 】



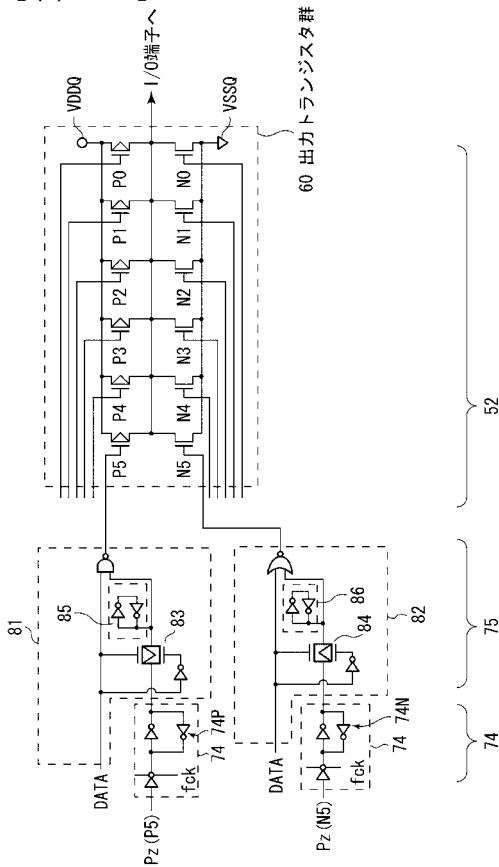
【 図 7 】



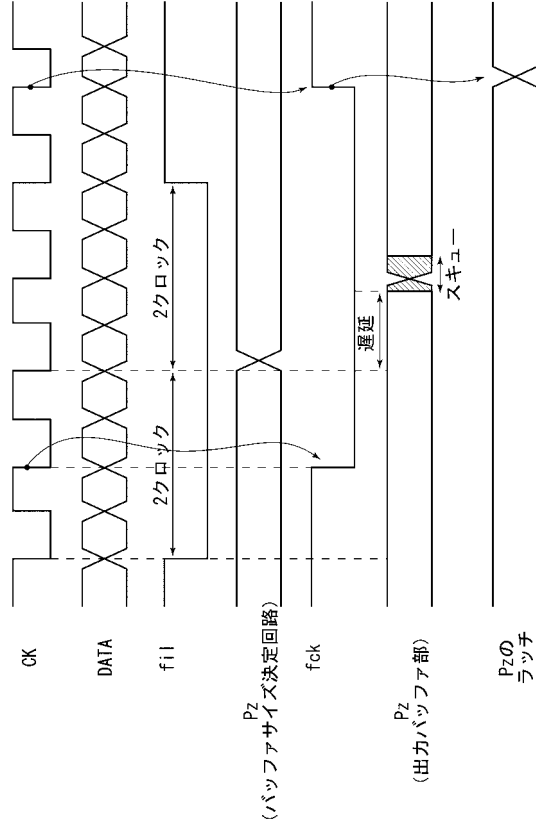
【 図 8 】



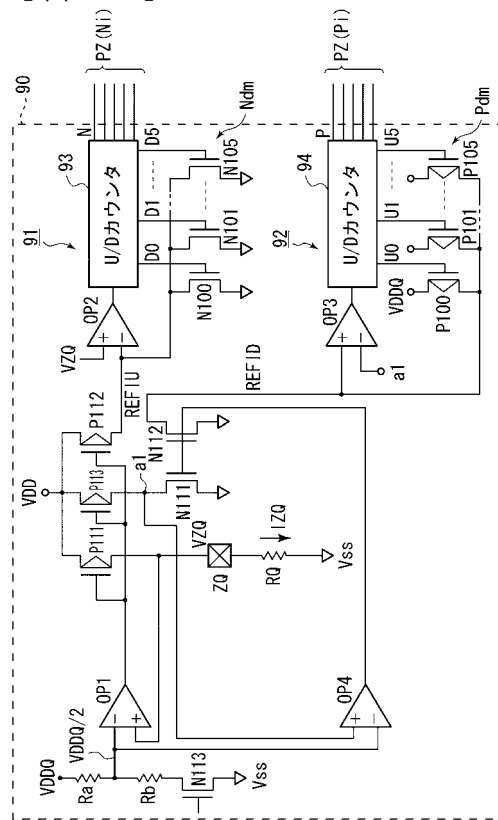
【 図 10 】



【 図 9 】



【 図 11 】



フロントページの続き

- (56)参考文献 特開平11-027132(JP,A)
特開平10-041803(JP,A)
特開平11-031960(JP,A)
特開平11-340810(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03K 19/0175
G11C 11/409
H01L 21/822
H01L 27/04