

WO 2022/209368 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

supply control unit controls a power-supply voltage to each of the column comparison circuits.

(57) 要約: [課題] ディザを効果的に付与する。 [解決手段] 固体撮像素子は、画素アレイと、水平方向制御部と、コンパレータと、カラム電源制御部と、を備える。画素アレイは、受光した光を光電変換して信号を出力する画素をアレイ状に備える。水平方向制御部は、前記画素アレイのラインを選択し、前記ラインに属する前記画素からの信号出力を制御する。コンパレータは、前記画素アレイのカラムごとに前記画素からの出力信号を比較する複数のカラム比較回路を備える。カラム電源制御部は、前記カラム比較回路のそれぞれに対する電源電圧を制御する。

明 細 書

発明の名称： 固体撮像素子及び固体撮像装置

技術分野

[0001] 本開示は、固体撮像素子及び固体撮像装置に関する。

背景技術

[0002] 撮像装置では、受光した信号を、ライン制御信号にしたがってそれぞれのラインにおけるカラムに基づいて垂直信号線を介して出力し、この出力された信号を水平転送することにより、画素値を取得する手法がある。このような手法においては、ラインの選択制御ごとに、受光信号を転送するために、画素回路の電圧、電荷のリセットが一斉に実行される。一斉にリセットが実行されることにより、電源変動等の影響が発生し、画素回路から出力される信号に影響を及ぼすことがある。また、量子化誤差による縦筋が現れることもある。これらに対して、画素リセット時の信号線へのフィードスルーの振幅やフィードスルーのセトリング時間が画素ごとに異なることを利用し、リセットレベルをカラム方向に分布させる等、セトリングしきらないタイミングでばらつきを持たせることによりディザ効果が発生させることがある。

[0003] しかしながら、画素で発生したフィードスルー信号は、垂直信号線を介して比較器に伝搬し、この比較器の入力端でのフィードスルー成分は、垂直信号線の寄生抵抗により減衰する。また、垂直信号線の寄生抵抗は、比較器から遠い画素ラインほど大きく、比較器から近い画素ラインほど小さく見える。したがって、相対的に、比較器からの距離に応じてディザ効果が異なるという問題が発生する。

[0004] 具体的には、ディザ量を比較器から近いラインに合わせて調整すると、遠いラインにおいては期待したディザ量を得ることができず、一方で、比較器から遠いラインに合わせて調整すると、近いラインにおいては過剰なディザとなる。また近年、高解像度で高感度な静止画又は動画を取得するために、大面積化、多画素化が進んでおり、遠近端差が大きくなっている。そのため

、比較器と遠い画素ラインと近い画素ラインとの寄生抵抗の差も必然的に大きくなっている。AD変換を行う期間はディザによるカラム毎のカウントばらつきを包含するように決定されるため、過剰なディザはAD期間を延ばす要因となり得る。結果的に、処理速度的にデメリットが生じる蓋然性が高い。

先行技術文献

特許文献

[0005] 特許文献1：特開2009-038834号公報

発明の概要

発明が解決しようとする課題

[0006] そこで、本開示では、ディザを効果的に付与する、固体撮像装置を提供する。

課題を解決するための手段

[0007] 一実施形態によれば、固体撮像素子は、画素アレイと、水平方向制御部と、コンパレータと、カラム電源制御部と、を備える。画素アレイは、受光した光を光電変換して信号を出力する画素をアレイ状に備える。水平方向制御部は、前記画素アレイのラインを選択し、前記ラインに属する前記画素からの信号出力を制御する。コンパレータは、前記画素アレイのカラムごとに前記画素からの出力信号を比較する複数のカラム比較回路を備える。カラム電源制御部は、前記カラム比較回路のそれぞれに対する電源電圧を制御する。

[0008] 前記カラム電源制御部は、 n ($n \geq 2$)種類の電源電圧を前記カラム比較回路のそれぞれに印加してもよい。

[0009] 前記カラム電源制御部は、 n 種類の電位が生成可能な回路を備えてもよい。

[0010] 前記カラム電源制御部は、 n 種類の電位を伝達する n 本の制御線を備えてもよい。

[0011] 前記カラム電源制御部は、 m ($m \geq 2$)個の前記カラム比較回路ごとに、同じ電源電圧を印加してもよい。

[0012] 前記カラム電源制御部は、 n 本の制御線を m カラム周期で前記カラム比較回

路と接続させる、セレクトア、を備えてもよい。

[0013] 前記セレクトアは、AD変換ごとに、n本の制御線とm周期の前記カラム比較回路との接続状況を遷移させてもよい。

[0014] 前記セレクトアは、時間に対する周期的に、AD変換ごとの接続状況を遷移させてもよい。

[0015] 前記セレクトアは、乱数に基づいて、AD変換後との接続状況を遷移させてもよい。

[0016] 前記から無電源制御部は、n本の制御線に対して、前記カラム比較回路のリセットのタイミングにおいては、n種類の電位を出力し、AD変換のタイミングにおいては、1種類の電位を出力させてもよい。

[0017] 前記カラム電源制御部は、前記カラム比較回路に電源電圧を印加する電源線について、他の前記カラム比較回路の前記電源線との短絡、開放を制御する、スイッチと、前記スイッチの切替状態を制御するスイッチ制御信号を発信する、スイッチ制御回路と、を備えてもよい。

[0018] 前記カラム電源制御部は、前記カラム比較回路のリセットのタイミングと、AD変換のタイミングと、において、それぞれの前記カラム比較回路の電源電圧を変動させてもよい。

[0019] 前記カラム電源制御部は、前記カラム比較回路のAD変換ごとに、電源電圧を変動させるか、させないかを制御してもよい。

[0020] 前記カラム電源制御部は、AD変換ごとに、前記スイッチを制御し、短絡する前記カラム比較回路の組み合わせを変動させてもよい。

[0021] 一実施形態によれば、固体撮像装置は、前記画素における受講環境を制御する、光学系と、上記のいずれかに記載の固体撮像素子と、前記固体撮像素子から出力される信号を処理する、処理回路と、を備える。

図面の簡単な説明

[0022] [図1]一実施形態に係る固体撮像装置を模式的に示すブロック図。

[図2]一実施形態に係る固体撮像素子を模式的に示す図。

[図3]一実施形態に係る固体撮像素子を模式的に示す図。

[図4]一実施形態に係る固体撮像素子を模式的に示す図。

[図5]一実施形態に係る固体撮像素子の回路の一部を模式的に示すブロック図。

[図6]一実施形態に係るカラム電源制御部及びコンパレータの一例を示す回路図。

[図7]一実施形態に係るセレクタの一例を示す回路図。

[図8]一実施形態に係る固体撮像素子の回路におけるタイミングチャート。

[図9]一実施形態に係るカラム電源制御の一例を示す表。

[図10]一実施形態に係るカラム電源制御の一例を示す表。

[図11]一実施形態に係るカラム電源制御部の一例を示す回路図。

[図12]一実施形態に係る固体撮像素子の回路におけるタイミングチャート。

[図13]一実施形態に係る固体撮像素子の回路におけるタイミングチャート。

[図14]一実施形態に係る制御信号の遅延回路の一例を示す回路図。

[図15]一実施形態に係る制御信号の遅延回路の一例を示す回路図。

[図16]一実施形態に係る短絡、開放するカラム選択の一例を示す表。

[図17]一実施形態に係るカラム電源制御部及びコンパレータの一例を示す回路図。

[図18]一実施形態に係る固体撮像素子の回路におけるタイミングチャート。

[図19]一実施形態に係るカラム電源制御部及びコンパレータの一例を示す回路図。

[図20]一実施形態に係る固体撮像素子の回路におけるタイミングチャート。

[図21]車両制御システムの概略的な構成の一例を示すブロック図。

[図22]車外情報検出部及び撮像部の設置位置の一例を示す説明図。

発明を実施するための形態

[0023] 以下、図面を参照して本開示における実施形態の説明をする。図面は、説明のために用いるものであり、実際の装置における各部の構成の形状、サイズ、又は、他の構成とのサイズの比等が図に示されている通りである必要はない。また、図面は、簡略化して書かれているため、図に書かれている以外

にも実装上必要な構成は、適切に備えるものとする。

[0024] (第1実施形態)

図1は、一実施形態に係る固体撮像装置を模式的に示すブロック図である。固体撮像装置1は、光学系10と、電源部12と、操作部14と、制御部16と、表示部18と、固体撮像素子20と、記憶部22と、処理部24と、を備える。固体撮像装置1は、外部から光学系10を介して取得した情報を信号に変換し、適切に処理して格納、出力する装置である。各構成は、例えば、必要に応じて固体撮像装置1に備えられるバス100を介して接続されてもよいし、直接的に適切な他の構成と接続されてもよい。

[0025] 固体撮像装置1は、例えば、デジタルスチルカメラ等のデジタルカメラ、撮影機能を備えるスマートフォン、タブレット端末、パーソナルコンピュータ等に搭載され、又は、自動車、ロボット等の各種筐体に備えられるカメラ等であってもよい。

[0026] 光学系10は、レンズ等の光学系である。光学系10は、固体撮像素子20において適切に光から信号へと変換ができるように設計、配置される。光学系10は、独立した光学系であってもよいし、少なくともその一部が、固体撮像素子20の受光部上に固体撮像素子20と一体として形成されるマイクロレンズ等であってもよい。

[0027] 電源部12は、固体撮像装置1の各部において動作に必要な電力を適切に供給する電源を有する。

[0028] 操作部14は、ユーザの操作を受け付け、ユーザの操作にしたがった操作信号を出力し、バス100を介して各部に通知する。

[0029] 制御部16は、各部の制御を実行する回路であり、各部の制御に必要な制御信号を適切に出力する。

[0030] 表示部18は、例えば、固体撮像素子20が取得し、適切に信号処理された画像情報等を表示する任意の形式のディスプレイ等を備える。場合によっては、操作部14の操作に供する画像を表示してもよい。また、操作部14と表示部18は、例えば、タッチパネル、タッチディスプレイとして一体として配置され

てもよい。

[0031] 例えば、電源部12、操作部14及び表示部18は、固体撮像装置1に必須の構成ではなく、固体撮像装置1に備えられる図示しない入出力インタフェースを介して適切に電力、操作信号及び表示するデータ等が入出力されるものであってもよい。

[0032] 固体撮像素子20は、光学系10を介して適切に集光された光を受光し、光電変換をして受光した光の強度に基づいたアナログ信号を取得する。固体撮像素子20は、例えば、フォトダイオード、有機光電変換膜を備える。固体撮像素子20は、さらに、DAC(Digital to Analog Converter)を備え、このアナログ信号をデジタル信号に変換して、適切に信号処理をした上で出力をしてもよい。

[0033] 記憶部22は、固体撮像素子20が出力する信号を一時的に格納するフレームメモリを備える。さらに、記憶部22は、固体撮像装置1において制御に必要なとなるデータを格納するストレージを備えてもよい。

[0034] 処理部24は、固体撮像素子20が出力した信号を適切に処理して出力する。処理部24は、例えば、固体撮像素子20が出力する画像信号に対して、取得したいデータに基づいた処理をしたり、画像処理をしたりして、記憶部22や表示部18に出力する。

[0035] 電源部12は、固体撮像装置1の各部において動作に必要な電力を適切に供給する電源を有する。

[0036] 操作部14は、ユーザの操作を受け付け、ユーザの操作にしたがった操作信号を出力し、バス100に関して各部に通知する。

[0037] 制御部16は、各部の制御を実行する回路であり、各部の制御に必要な制御信号を適切に出力する。

[0038] 表示部18は、例えば、固体撮像素子20が取得し、適切に信号処理された画像情報等を表示する任意の形式のディスプレイ等を備える。場合によっては、操作部14の操作に供する画像を表示してもよい。また、操作部14と表示部18は、例えば、タッチパネル、タッチディスプレイとして一体として配置され

てもよい。

[0039] 例えば、電源部12、操作部14及び表示部18は、固体撮像装置1に必須の構成ではなく、固体撮像装置1に備えられる図示しない入出力インタフェースを介して適切に電力、操作信号及び表示するデータ等が入出力されるものであってもよい。

[0040] 固体撮像素子20は、光学系10を介して適切に集光された光を受光し、光電変換をして受光した光の強度に基づいたアナログ信号を取得する。固体撮像素子20は、例えば、フォトダイオード、有機光電変換膜を備える。固体撮像素子20は、さらに、DAC(Digital to Analog Converter)を備え、このアナログ信号をデジタル信号に変換して、適切に信号処理をした上で出力をしてもよい。

[0041] 記憶部22は、固体撮像素子20が出力する信号を一時的に格納するフレームメモリを備える。さらに、記憶部22は、固体撮像装置1において制御に必要なデータを格納するストレージを備えてもよい。

[0042] 処理部24は、固体撮像素子20が出力した信号を適切に処理して出力する。処理部24は、例えば、固体撮像素子20が出力する画像信号に対して、取得したいデータに基づいた処理をしたり、画像処理をしたりして、記憶部22や表示部18に出力する。

[0043] 図2は、固体撮像素子20の実装例である。固体撮像素子20は、受光素子200と、記憶部22の少なくとも一部である記憶回路202、及び、処理部24の少なくとも一部である処理回路204と、を同一の半導体基板30に備える。このように、1つの半導体基板30に、受光素子200と、記憶回路202と、処理回路204と、が備えられてもよい。各部は、適切な導線等により接続される。

[0044] 図3は、上記の別の実装例である。固体撮像素子20は、異なる半導体層である第1半導体層31と、第2半導体層32に実装されてもよい。第1半導体層31には、受光素子200が備えられ、第2半導体層32には、記憶回路202と、処理回路204と、が備えられる。第1半導体層31及び第2半導体層32は、積層されて一体の半導体装置として形成され、動作する。例えば、第1半導体層31が第2半導体

層32よりも光学系10に近く配置され、光学系10を介した光を第1半導体層31において受光し、第2半導体層32に信号が出力される。

[0045] 図4は、上記とは別の実装例である。固体撮像素子20は、異なる半導体層である第1半導体層31と、第2半導体層32と、第3半導体層33に実装されてもよい。第1半導体層31には、受光素子200が備えられ、第2半導体層32には、記憶回路202が備えられ、第3半導体層33には、処理回路204が備えられる。第1半導体層31、第2半導体層32及び第3半導体層33は、積層されて一体の半導体装置として形成され、動作する。例えば、第1半導体層31が光学系10に最も近く配置され、光学系10を介した光を第1半導体層31において受光し、第2半導体層32及び第3半導体層33の少なくとも一方に信号が出力される。

[0046] 図3、図4に示す形態の場合、積層された半導体層の形成は、例えば、ウェハから切り出して個片化した後に上下に重ねて貼り合わされるCoC(Chip on Chip)方式を採用してもよい。また、いずれか1つの層を切り出して個片化した後にウェハと貼り合わされるCoW(Chip on Wafer)方式を採用してもよい。あるいは、それぞれのウェア同士を貼り合わせてから個片化するWoW(Wafer on Wafer)方式を採用してもよい。

[0047] 半導体層同士の接合には、限定されない例として、ビアホール、マイクロバンプ、マイクロパッド、プラズマ接合等を用いることができる。このような手法により、適切にそれぞれの半導体層は、電氣的に接続され、信号を送受信可能に形成される。

[0048] 上記のように実装された固体撮像素子20は、垂直同期信号Vsyncに同期して、光電変換により画像データを生成する。ここで、垂直同期信号Vsyncは、撮像のタイミングを示す所定周波数の周期信号である。固体撮像素子20は、この垂直同期信号Vsyncが示すタイミングに基づいて生成した画像データを、バス100を介して適切に出力する。

[0049] 図5は、固体撮像素子20における受光素子200として備えられる画素からの信号の出力の一例として、カラムごとに信号を出力する例を模式的に示す図である。カラムごとにAD変換をする例について示す。受光素子200は、その内

部に画素206をカラム方向及びライン方向にアレイ状に備える画素アレイを有する。

[0050] 水平方向制御部208は、画素アレイにおける画素のラインを選択する回路である。水平方向制御部208からの制御信号に基づいて、受光素子200における画素206のラインが選択され、選択されたラインに属する画素から画素信号(アナログ信号)が出力される。

[0051] コンパレータ210は、カラムごとに出力される画素からのアナログ信号を、例えば、デジタル信号をDA変換によりアナログ信号へと変換したランプ信号と比較し、その比較結果を増幅して、カラムごとに出力する。

[0052] カウンタ212は、コンパレータ210からの出力に基づいて、それぞれの画素206から出力される画素値をデジタル信号として出力する。

[0053] 上記は一般的な構成であるが、本実施形態における固体撮像素子20はさらに、カラム電源制御部214を備える。カラム電源制御部214は、コンパレータ210において、カラムごとに備えられる比較回路の電源電圧を制御する回路である。このカラム電源制御部214によりカラムごとに局所的に電源電圧を制御することにより、本実施形態の固体撮像素子20は、適切なディザ処理を実現する。

[0054] 図6は、本実施形態に係る固体撮像素子20におけるコンパレータ210と、カラムごとの局所電源を制御するカラム電源制御部214の一例を示す図である。以下の例においては、例えば、局所電源電圧を3通りにして、ディザ処理を実行するものである。3通りの電圧は、限定されない一例として示すものであり、局所電源の電圧は、2通りであってもよいし、4通り以上であってもよい。

[0055] コンパレータ210は、カラムごとにカラム比較回路210A、210B、210C、・・・、を備える。添え字のA、B、Cは、カラムを識別する文字である。それぞれのカラム比較回路は、同一の回路で構成されることが望ましい。ここでは、カラム比較回路210Aを例に構成を説明する。

[0056] カラム比較回路210Aは、キャパシタC1、C2、C3と、トランジスタM1、M2、M3、M4と、スイッチSW1、SW2と、否定回路N1と、を備える。

- [0057] キャパシタC1、C2は、オートゼロ容量を構成する。キャパシタC1は、一端がカラムごとの垂直信号線VSLに接続される。キャパシタC2は、一端にランプ信号Rampが入力される。キャパシタC1、C2のそれぞれ他端は接続され、画素からの信号をランプ信号Rampに重畳して信号DIFFDACを出力する。
- [0058] トランジスタM1は、例えば、p型のMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)であり、ソースがカラム電源制御部214に接続され電源電圧VDDAが印加され、ゲートがキャパシタC1、C2と接続されてDIFFDACが印加される。
- [0059] トランジスタM2は、例えば、n型のMOSFETであり、ドレインがトランジスタM1のドレインと接続され、ソースが電源電圧VSSに接続される。このトランジスタM2は、第1電流源として動作する。トランジスタM2のゲートには、適切なバイアス電圧が印加され、ドレインの電位に基づいたドレイン電流を流す。
- [0060] トランジスタM1、M2のドレイン間において、信号VOUT1をトランジスタM3のゲートへと出力する。
- [0061] スイッチSW1は、トランジスタM1のゲートとドレインの間に接続される。スイッチSW1は、オートゼロ信号AZPにより、トランジスタM1のゲートとドレイン間の短絡及び開放を制御する。スイッチSW1がオンすることにより、トランジスタM1のゲートは、トランジスタM2を介して電源電圧VSSに接続され、キャパシタC1、C2の電荷をリセットする。
- [0062] トランジスタM3は、例えば、p型のMOSFETであり、ソースがカラム電源制御部214に接続され電源電圧VDDAが印加され、ゲートがトランジスタM1のドレインと接続される。
- [0063] トランジスタM4は、例えば、n型のMOSFETであり、ドレインがトランジスタM3のドレインと接続され、ゲートがキャパシタC3の一端と接続され、ソースが電源電圧VSSと接続される。このトランジスタM4は、第2電流源として動作する。
- [0064] トランジスタM3、M4のドレイン間において、信号VOUT2を否定回路N1へと出力する。

- [0065] キャパシタC3は、第2電流源として動作するトランジスタM4のゲートの電位を生成するキャパシタである。
- [0066] スイッチSW2は、トランジスタM4のゲートとドレインとの間に接続される。スイッチSW1は、オートゼロ信号AZNにより、トランジスタM4のゲートとドレイン間の短絡及び開放を制御する。スイッチSW2がオンすることにより、トランジスタM4のゲートは、ドレインと接続され、ゲートの電位をリセットする。
- [0067] 否定回路N1は、入力を反転して出力する回路であり、入力されたVOUT2を反転して、コンパレータからの出力信号OUTを出力する。なお、構成によっては、否定回路N1の前後において、クランプ回路が接続されていてもよい。このクランプ回路は、コンパレータから選択的に出力することができる回路であってもよい。
- [0068] この回路は、一例として挙げられる回路であり、カラムに対するコンパレータの回路は、この図6の例に限定されるものではない。
- [0069] カラム電源制御部214は、セレクトア216と、局所電源218A、218B、218C、
・ ・ ・、を備える。カラム電源制御部214は、各カラムに対応するカラム比較回路210A、210B、210C、
・ ・ ・、に適切な電源電圧を印加し、ディザ効果を生じさせる回路である。
- [0070] セレクトア216は、制御信号Cntと、局所電源となる電圧V1、V2、V3と、が入力され、適切な出力先に適切な電圧を出力する回路である。セレクトア216は、制御信号Cntにしたがって、どのカラムにどの電圧を出力するかを選択する。
- [0071] 局所電源218Aは、カラム比較回路210Aに対する電源電圧を制御し、出力する回路である。局所電源218Aは、電源電圧VDDに接続され、セレクトア216から出力された電圧を安定した電圧に制御して、カラム比較回路210Aの電源端子へ電源電圧VDDAを出力する。カラムA以外の他のカラムについても同様である。局所電源218は、それぞれが、例えば、LD0(Low Dropout)等のレギュレータを備えて構成されてもよい。局所電源218は、複数の電圧値に対して安定した電圧を出力するレギュレータ、例えば、入出力電圧にある程度の幅を有して

いても適切に安定した電圧を供給できるレギュレータを用いることが望ましい。

[0072] 例えば、制御信号Cntとして、カラム比較回路210Aの電源電圧をV1に設定する信号が入力されると、セクタ216は、局所電源218Aに電源電圧V1を接続する。局所電源218Aは、入力された電圧を安定した電圧V1へと変換して、カラム比較回路210Aへと電源電圧として出力する。

[0073] 図7は、セクタ216の限定されない一例を示す回路図である。セクタ216は、抵抗R1、R2、R3、R4と、電流源I1と、スイッチSW1A、SW1B、SW1C、SW2A、SW2B、SW2C、SW3A、SW3B、SW3Cと、を備える。

[0074] 抵抗R1、R2、R3、R4と、電流源I1は、電源電圧VDD、VSSの間に直列に接続される。これらの抵抗と電流源により、抵抗同士の接点において異なる電圧を生成する。例えば、抵抗R1、R2の節点の電位がV1、抵抗R2、R3の節点の電位がV2、抵抗R3、R4の節点の電位がV3であるとする。

[0075] スイッチSW1A、SW2A、SW3Aは、制御信号Cntにより、排他的に制御される。同様に、スイッチSW1B、SW2B、SW3B、及び、スイッチSW1C、SW2C、SW3Cは、それぞれ排他的に制御される。

[0076] 図7の例においては、スイッチSW1A、SW2B、SW3Cがオンし、それ以外のスイッチがオフしている。このようなスイッチの接続においては、電圧V1が局所電源218Aに出力され、電圧V2が局所電源218Bに出力され、電圧V3が局所電源218Cに出力される。

[0077] 以上のような構成により、制御信号Cntに基づいて、カラムのコンパレータに対して、それぞれ制御された電源電圧を印加することが可能となる。

[0078] 図8は、図7のようにセクタ216が接続されている場合におけるタイミングチャートである。実線、点線、破線がある組み合わせについて、実線は、電源電圧V1及びV1が選択されたカラムの入出力を表し、点線は、V2及びV2が選択されたカラムの入出力を表し、破線は、V3及びV3が選択されたカラムの入出力を表す。

[0079] まず、AZP、AZNがオンしていることにより、カラム比較回路210A、210B、2

10C、・・・は、リセットされている状態である。この状態において、カラム電源制御部214により、電圧V1、V2、V3が制御される。この期間において、カラム比較回路210A等におけるそれぞれのキャパシタがそれぞれのカラムに印加される電源電圧V1、V2、V3に基づいて適切にリセットレベルに設定される。

[0080] 画素信号の読み取り準備状態になると、AZP、AZNがオフする。続いて、V1～V3をリセットすることにより、VDDA、VDDB、VDDCがリセットレベルへと遷移する。例えば、図8の例のように、V1、V3をV2と同等の電圧としてもよい。なお、V2とする必要は無く、ADを実行するタイミングにおいて、同一の電位となるように制御すればよい。

[0081] その後ランプ信号Rampが適切に印加されることにより、画素値、及び、キャパシタのリセットレベルに基づいたタイミングで、VOUT1が出力される。このVOUT1によりトランジスタM3のゲート電位が変化することで、VOUT1の遷移タイミングに基づいた信号がそれぞれのカラム比較回路210A等から出力される。

[0082] このように、V1、V2、V3の電圧の差により、OUTを出力するタイミングをずらすことができ、ディザ処理を適切に実行することができる。

[0083] 次に、セレクト216における電源電圧の選択について説明する。

[0084] 図9は、カラム電源制御部214による制御の限定されない一例を示す表である。この図に示すように、3つのカラムに対して、3つの電源電圧を順番に適用してもよい。この例に示すように、周期的にカラムに付与する電源電圧を制御してもよい。このように電源電圧を変化させることにより、同じタイミングにおいては、カラム方向にディザ処理を実行することができるとともに、ADごとに同じカラムにおいて時間方向のディザ処理を実行することが可能となる。

[0085] なお、図9においては、周期的な電源電圧の変化となっているが、これには限られず、乱数により電源電圧が変化してもよい。また、乱数は、一様乱数には限られず、例えば、正規分布、ポアソン分布、二項分布等に基づいた

乱数としてもよい。乱数を用いる場合、各カラムに異なる乱数を用いてもよいし、上記と同様に、カラムAとカラムDは、同じ電源電圧とするようなカラム方向に対する周期性を有していてもよい。すなわち、カラムAに印加される電圧は、ランダムに決定されるが、カラムAとカラムDは、常に同じ電源電圧が印加されるとしてもよい。

[0086] このように、セレクトア216により入出力の関係をADごとに変化させてもよい。セレクトア216によりADごとに同一カラムに印加するバイス電圧を変化させることにより、同一カラムにおけるP相の出力タイミングを時間方向に変化させることができる。

[0087] 図10は、カラム電源制御部214による制御の限定されない他の一例を示す表である。この図に示すように、3つのカラムに対して時間によらず3つの電源電圧を適用してもよい。この場合、図9に示すように、時間方向のディザ処理は実現できないものの、カラム方向に対してのディザ処理を適切に実行することが可能となる。

[0088] 特に、隣接するカラム同士には、異なる電源電圧が印加されるように制御してもよい。また、取り合うカラムに限られず、所定値(例えば、3カラム以上)等に連続して同じ電源電圧が印加されないように、カラム方向に乱数により印加する電圧を決定してもよい。

[0089] 以上のように、本実施形態によれば、カラムごとに異なる電源電圧をコンパレータの電源電圧として印加することにより、カラム方向及び時間方向にディザ効果を適切に発生させることが可能となる。このように処理することで、P相のカウントを増加させることなく、画像信号において適切にディザ効果を発生させることが可能となる。また、ミスマッチによらないディザの付与が可能であり、トランジスタのサイズ等の設計自由度を増すことができる。また、P相におけるランプ信号の制御をすることなく、適切にP相におけるカウントを制御することが可能となる。

[0090] なお、前述において説明したように、セレクトア216により選択される信号の種類及び信号を振り分けるカラムの周期は、3に限られるものではない。例え

ば、セレクトア216は、 n ($n \geq 2$)種類の電源電圧を、 m ($m \geq 2$)カラム周期で振り分けることも可能である。この場合、セレクトア216には、電源電圧の入力として n 本の種類の電位が入力される入力線を備え、又は、セレクトア216において n 種類の電位が設定できる電源を備える。そして、セレクトア216は、 n 種類の電源電圧を適切に m 種類のカラムに選択的に出力できるような回路構成を有する。

[0091] 例えば、図7においては、 $n = 3$ ($V1, V2, V3$)、 $m = 3$ (218A, 218B, 218C)である。そして、カラム電源制御部214は、 n 種類の電位が生成可能である回路と、 n 本の制御線の接続関係とを制御可能な選択回路とを備える。この n 本の制御線は、例えば、 m カラム周期で、各カラムに対応する局所電源手段に接続される。

[0092] (第2実施形態)

図11は、第2実施形態に係るカラム電源制御部214の一例を示す回路図である。前述の実施形態の構成に加え、さらに、隣接するカラムの電源電圧端子を短絡するためのスイッチが配置されている。

[0093] 例えば、カラムA、B間の電源電圧を印加する線の間には、スイッチSWabが配置され、カラムB、C間においては、スイッチSWbcが配置されている。これらのスイッチは、制御信号Cntswにより制御される。

[0094] カラム電源制御部214は、さらに、この制御信号Cntswを出力するスイッチ制御回路(図示しない)を備えていてもよい。

[0095] 図12は、図11のようにセレクトア216が接続されている場合におけるタイミングチャートである。この図12に示すように、制御信号Cntswを、AZP及びAZNがオンからオフに切り替える前にオンからオフに切り替える。このタイミングは、VDDA等が立ち上がり、立ち下がりをしきる前にオートゼロがオフとなるようなタイミングに設定される。すなわち、図の一点鎖線で表されるような電源電圧において、カラムごとにキャパシタがリセットされる。

[0096] このような電源電圧が印加されるので、前述の実施形態と同様に、各カラムに対する比較回路からの出力タイミングにずれを生じさせる。

- [0097] 以上のように、本実施形態によっても、カラムごとに付与される電源電圧を変動させる制御をすることが可能となる。この変動分をAD変換のリセットレベルに重畳することにより、P相におけるカウントにばらつきを付与することが可能となる。本実施形態では、ディザ量を、AZとCntswのタイミングにより制御することができる。また、カラム間で電源電位を短絡させ、その後に変動させるため、短絡されたカラム同士は、平均化した電位を起点に V_{th} のミスマッチ分ばらつく。この結果、電源電圧の平均値自体は、変動がない。
- [0098] 図13は、本実施形態に係るAZPと、Cntswのタイミングによるディザ効果の大きさの関係を示す図である。上記にAZの前にCntswをオンからオフにするとしたが、これには限られない。例えば、AZPを先にオフにし、その後にCntswをオンにしてもよい。また、AZPと同時にCntswをオンにしてもよい。例えば、V1が短絡されているカラムにおける平均の電源電圧よりも高い場合には、V1と接続されているカラムAの電源電位は、図13のV1に示すような遷移をする。この状態で t_{ad} からAD変換が開始されたとする。
- [0099] t_1 においてAZPがオフとなっている場合、リセット時とAD変換時におけるVDの差が $t_2 \sim t_5$ と比較して大きくなるため、ディザ量が大きくなる。一方で、 t_5 においてAZPがオフとなっている場合、リセット時とAD変換時におけるVDの差が $t_1 \sim t_3$ と比較して小さくなるため、ディザ量が大きくなる。このように、AZPの切替タイミング、又は、Cntswの切替タイミングにより、ディザ量を制御することも可能となる。
- [0100] このように、AZP、Cntswのタイミングを制御することで、前述の実施形態における時間方向のディザと同様のディザ処理を実現することもできる。別の例としては、AD変換ごとに、ディザをする／しないを切り替えてもよい。例えば、Cntswをオフのまま制御することにより、隣接するカラムにおいて、ディザ処理がされないこととなる。これをAD変換ごとに切り替えることにより、時間方向にディザ処理をすることが可能となる。
- [0101] 図14は、オンからオフへの立ち下がりのタイミングの異なるCntswを生成する回路である。制御信号は、マルチプレクサMUXに複数の入力信号のいずれを

選ぶかを制御する選択信号である。

[0102] マルチプレクサMUXには、異なる個数のバッファを経由したそれぞれの立ち下りのタイミングが異なる信号が入力される。この立ち下りのタイミングが異なる信号のうち、所望の信号を制御信号によりマルチプレクサMUXから出力することにより、図13のようにタイミングでディザ量を制御する場合に所望の信号を出力させることができる。この回路もちろん、カラム電源制御部214に備えられてもよい。点線が入力されたパルスのタイミングであり、各バッファにより、異なるタイミングの実線で示す立ち下りパルスが出力される。

[0103] 制御信号は、前述の実施形態と同様に、周期的にそれぞれのカラムに適切になりセットレベルを設定するように設定されてもよいし、ADごとに乱数等により設定が更新されるものであってもよい。

[0104] 図15は、オンからオフの立ち下りのタイミングの異なるCntswを仮想的に生成する回路である。制御信号は、図14の場合と同様であり、周期的であってもよいし、ランダムであってもよい。

[0105] 図15の回路は、マルチプレクサMUXに入力されるバッファの駆動能力が異なる。この駆動能力の違いにより、例えば、各バッファの出力は、バッファの右上に示すように、駆動能力が高いほど鋭い信号を、駆動能力が低いほどなまった信号を出力する。この信号を制御信号により、適切にマルチプレクサMUXから出力する。

[0106] このような立ち下りのスロープが異なる信号をCntswとすることで、スイッチSWab等がオフとなる閾値電圧を下回るタイミングをずらすことにより、ディザ量を制御することができる。

[0107] 図16は、時間方向のディザを行う短絡、開放を制御する別の例を示す表である。同じ矢印が属するカラム同士が、各AD変換において短絡、開放の対象となるカラムである。このように、AD変換処理ごとに、短絡、開放をするカラム同士を変更してもよい。この図16においては、周期的にカラムの接続関係が制御されているが、カラムの接続関係は、周期的ではなく、ランダムに

制御されてもよい。例えば、ランダムウォークのように、左右いずれかに接続関係をずらす(図14における矢印の位置を左右に動かすか、又は、動かさないかのいずれかから選択する)制御としてもよい。

[0108] (第3実施形態)

前述の各実施形態は、各カラムの比較回路として、差動動作しないものを選択していたが、これに限られるものではない。例えば、ランプ信号と画素からの信号を差動信号に基づいて比較を実現する回路であっても本開示の手法を適用することができる。

[0109] 図17は、本実施形態におけるカラム比較回路210Aを示した回路図である。カラム比較回路210Aは、ランプ信号Rampと、画素からの垂直信号線VSLからの信号を差動入力として受け付け、この信号の差に基づいて、カウンタ回路におけるタイミング信号を取得する。なお、この回路は、差動アンプを用いるコンパレータの限定されない一例としてあげたものであり、この他の回路においても同様に適用することができる。

[0110] スイッチSWr、SWvは、例えば、図に示すように、下段に設置されるそれぞれの信号の入力端となるn型のMOSFETのゲートとドレインとの間に接続される。オートゼロ信号AZR、AZVにより、それぞれの入力トランジスタが適切にリセットされる。

[0111] 一般的には、このような差動アンプ型においては、AZRとAZVは、同時にオン／オフが切り替えられるが、本実施形態においては、このタイミングをずらすことにより、前述の第1実施形態と同様のディザ効果を得ることができる。

[0112] 図18は、本実施形態におけるタイミングチャートの一例を示す図である。この図18に示すように、まず、V1等の制御をする前に、AZVをオフさせて、画素からの信号が入力されるトランジスタのリセット状態を解除する。

[0113] 続いて、V1等を制御することにより、ランプ信号側のキャパシタのリセットレベルを変動させる。

[0114] そして、VDDA等が定常状態に遷移下の地に、AZRをオフして、ランプ信号入

力側のトランジスタのリセット状態を解除する。

[0115] このように制御することで、画素からの信号を受信するリセットレベルと、ランプ信号を受信するリセットレベルとを変動させることにより、ディザ効果を発揮することが可能となる。

[0116] 図19は、第2実施形態の比較回路を差動入力型としたものである。カラム間を短絡、開放するスイッチがある以外は、図17と同様の構成である。すなわち、差動入力を受け付けるコンパレータとして限定されない一例として提示するものである。

[0117] 図20は、図19の場合におけるタイミングチャートを示す図である。この場合も同様に、Cntswをオフした後に、まず、AZVをオフして、画素側のトランジスタのリセットレベルを設定する。この後に、ランプ信号側の入力トランジスタのリセットレベルを設定する。

[0118] このように制御することで、リセットレベルを変動させ、第2実施形態と同様に、適切なディザ処理を実現することが可能となる。

[0119] 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0120] 図21は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0121] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図21に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（Interface）120

５３が図示されている。

- [0122] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0123] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0124] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0125] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

- [0126] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0127] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。
- [0128] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0129] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０３０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0130] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少

なくとも一方の出力信号を送信する。図21の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0131] 図22は、撮像部12031の設置位置の例を示す図である。

[0132] 図22では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0133] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0134] なお、図22には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0135] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得

する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよい、位相差検出用の画素を有する撮像素子であってもよい。

[0136] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的変化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0137] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0138] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するか

否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0139] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、図1等の固体撮像装置、図5等の固体撮像素子は、撮像部12031に適用することができる。

[0140] 前述した実施形態は、以下のような形態としてもよい。

[0141] (1)

受光した光を光電変換して信号を出力する画素がアレイ状に備えられる、画素アレイと、

前記画素アレイのラインを選択し、前記ラインに属する前記画素からの信号出力を制御する、水平方向制御部と、

前記画素アレイのカラムごとに前記画素からの出力信号を比較する複数のカラム比較回路を備える、コンパレータと、

前記カラム比較回路のそれぞれに対する電源電圧を制御する、カラム電源制御部と、

を備える固体撮像素子。

[0142] (2)

前記カラム電源制御部は、 n ($n \geq 2$)種類の電源電圧を前記カラム比較回路のそれぞれに印加する、

(1)に記載の固体撮像素子。

[0143] (3)

前記カラム電源制御部は、 n 種類の電位が生成可能な回路を備える、

(2)に記載の固体撮像素子。

[0144] (4)

前記カラム電源制御部は、 n 種類の電位を伝達する n 本の制御線を備える、

(3)に記載の固体撮像素子。

[0145] (5)

前記カラム電源制御部は、 m ($m \geq 2$)個の前記カラム比較回路ごとに、同じ電源電圧を印加する、

(4)に記載の固体撮像素子。

[0146] (6)

前記カラム電源制御部は、 n 本の制御線を m カラム周期で前記カラム比較回路と接続させる、セレクト、を備える、

(5)に記載の固体撮像素子。

[0147] (7)

前記セレクトは、AD変換ごとに、 n 本の制御線と m 周期の前記カラム比較回路との接続状況を遷移させる、

(6)に記載の固体撮像素子。

[0148] (8)

前記セレクトは、時間に対する周期的に、AD変換ごとの接続状況を遷移させる、

(7)に記載の固体撮像素子。

[0149] (9)

前記セレクトは、乱数に基づいて、AD変換ごとの接続状況を遷移させる、

(7)に記載の固体撮像素子。

[0150] (10)

前記から無電源制御部は、 n 本の制御線に対して、

前記カラム比較回路のリセットのタイミングにおいては、n種類の電位を出力し、

AD変換のタイミングにおいては、1種類の電位を出力する、

(2)から(9)のいずれかに記載の固体撮像素子。

[0151] (11)

前記カラム電源制御部は、前記カラム比較回路に電源電圧を印加する電源線について、他の前記カラム比較回路の前記電源線との短絡、開放を制御する、スイッチと、

前記スイッチの切替状態を制御するスイッチ制御信号を発信する、スイッチ制御回路と、

を備える、

(1)に記載の固体撮像素子。

[0152] (12)

前記カラム電源制御部は、前記カラム比較回路のリセットのタイミングと、AD変換のタイミングと、において、それぞれの前記カラム比較回路の電源電圧を変動させる、

(11)に記載の固体撮像素子。

[0153] (13)

前記カラム電源制御部は、前記カラム比較回路のAD変換ごとに、電源電圧を変動させるか、させないかを制御する、

(11)に記載の固体撮像素子。

[0154] (14)

前記カラム電源制御部は、AD変換ごとに、前記スイッチを制御し、短絡する前記カラム比較回路の組み合わせを変動させる、

(11)に記載の固体撮像素子。

[0155] (15)

前記画素における受講環境を制御する、光学系と、

(1)から(14)のいずれかに記載の固体撮像素子と、

前記固体撮像素子から出力される信号を処理する、処理回路と、
を備える、固体撮像装置。

[0156] 本開示の態様は、前述した実施形態に限定されるものではなく、想到する種々の変形も含むものであり、本開示の効果も前述の内容に限定されるものではない。各実施形態における構成要素は、適切に組み合わせられて適用されてもよい。すなわち、特許請求の範囲に規定された内容及びその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更及び部分的削除が可能である。

符号の説明

[0157] 1: 固体撮像装置、
10: 光学系、
12: 電源部、
14: 操作部、
16: 制御部、
18: 表示部、
20: 固体撮像素子、
22: 記憶部、
24: 処理部、
200: 受光素子、
202: 記憶回路、
204: 処理回路、
206: 画素、
208: 水平方向制御部、
210: コンパレータ、
212: カウンタ、
214: カラム電源制御部、
216: セレクタ、
218: 局所電源、

請求の範囲

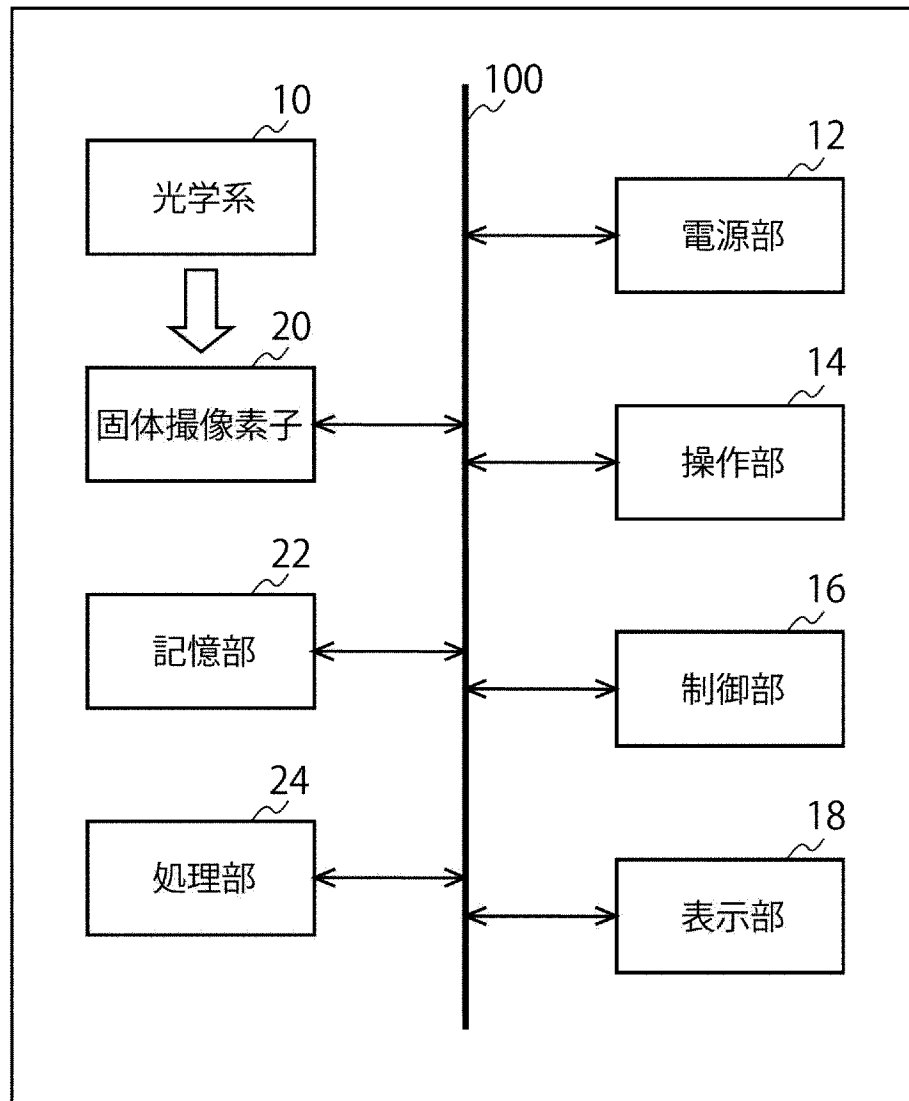
- [請求項1] 受光した光を光電変換して信号を出力する画素がアレイ状に備えられる、画素アレイと、
前記画素アレイのラインを選択し、前記ラインに属する前記画素からの信号出力を制御する、水平方向制御部と、
前記画素アレイのカラムごとに前記画素からの出力信号を比較する複数のカラム比較回路を備える、コンパレータと、
前記カラム比較回路のそれぞれに対する電源電圧を制御する、カラム電源制御部と、
を備える固体撮像素子。
- [請求項2] 前記カラム電源制御部は、 n ($n \geq 2$)種類の電源電圧を前記カラム比較回路のそれぞれに印加する、
請求項1に記載の固体撮像素子。
- [請求項3] 前記カラム電源制御部は、 n 種類の電位が生成可能な回路を備える、
請求項2に記載の固体撮像素子。
- [請求項4] 前記カラム電源制御部は、 n 種類の電位を伝達する n 本の制御線を備える、
請求項3に記載の固体撮像素子。
- [請求項5] 前記カラム電源制御部は、 m ($m \geq 2$)個の前記カラム比較回路ごとに、同じ電源電圧を印加する、
請求項4に記載の固体撮像素子。
- [請求項6] 前記カラム電源制御部は、 n 本の制御線を m カラム周期で前記カラム比較回路と接続させる、セレクトア、を備える、
請求項5に記載の固体撮像素子。
- [請求項7] 前記セレクトアは、AD変換ごとに、 n 本の制御線と m 周期の前記カラム比較回路との接続状況を遷移させる、
請求項6に記載の固体撮像素子。

- [請求項8] 前記セレクトは、時間に対する周期的に、AD変換ごとの接続状況を遷移させる、
請求項7に記載の固体撮像素子。
- [請求項9] 前記セレクトは、乱数に基づいて、AD変換ごとの接続状況を遷移させる、
請求項7に記載の固体撮像素子。
- [請求項10] 前記カラム電源制御部は、n本の制御線に対して、
前記カラム比較回路のリセットのタイミングにおいては、n種類の電位を出力し、
AD変換のタイミングにおいては、1種類の電位を出力する、
請求項2に記載の固体撮像素子。
- [請求項11] 前記カラム電源制御部は、前記カラム比較回路に電源電圧を印加する電源線について、他の前記カラム比較回路の前記電源線との短絡、開放を制御する、スイッチと、
前記スイッチの切替状態を制御するスイッチ制御信号を発信する、
スイッチ制御回路と、
を備える、
請求項1に記載の固体撮像素子。
- [請求項12] 前記カラム電源制御部は、前記カラム比較回路のリセットのタイミングと、AD変換のタイミングと、において、それぞれの前記カラム比較回路の電源電圧を変動させる、
請求項11に記載の固体撮像素子。
- [請求項13] 前記カラム電源制御部は、前記カラム比較回路のAD変換ごとに、電源電圧を変動させるか、させないかを制御する、
請求項11に記載の固体撮像素子。
- [請求項14] 前記カラム電源制御部は、AD変換ごとに、前記スイッチを制御し、短絡する前記カラム比較回路の組み合わせを変動させる、
請求項11に記載の固体撮像素子。

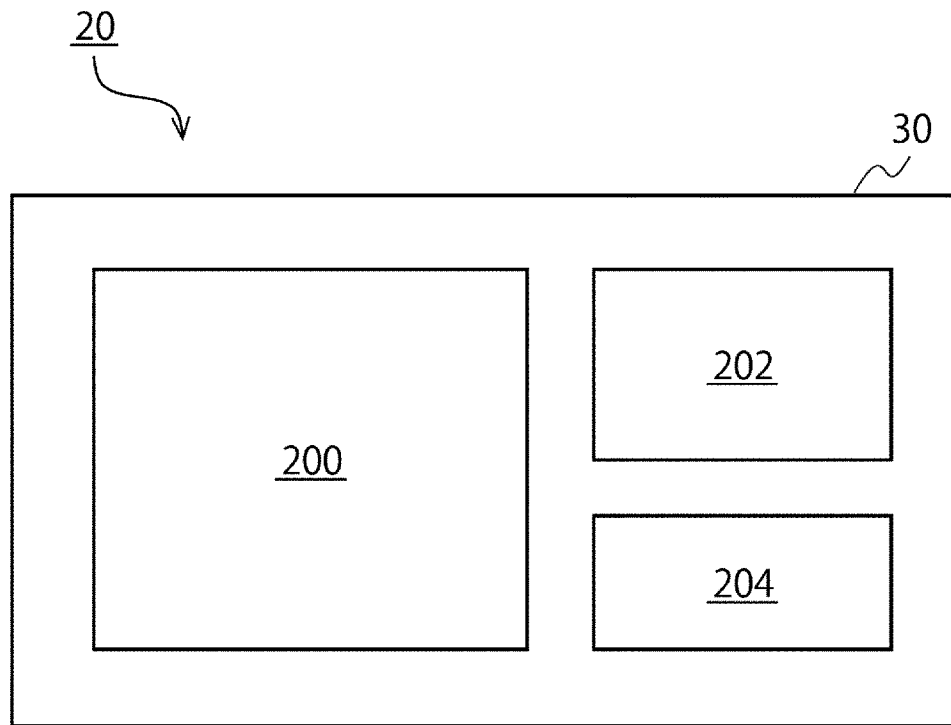
[請求項15] 前記画素における受講環境を制御する、光学系と、
請求項1に記載の固体撮像素子と、
前記固体撮像素子から出力される信号を処理する、処理回路と、
を備える、固体撮像装置。

[図1]

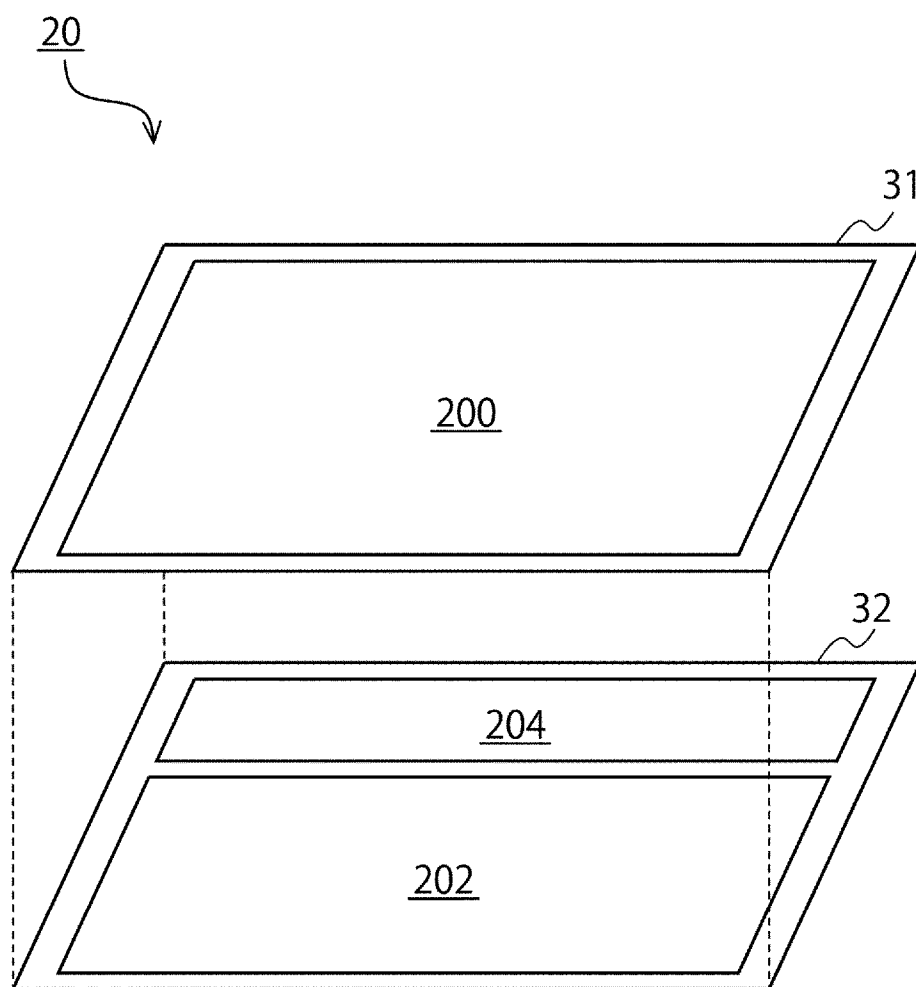
1



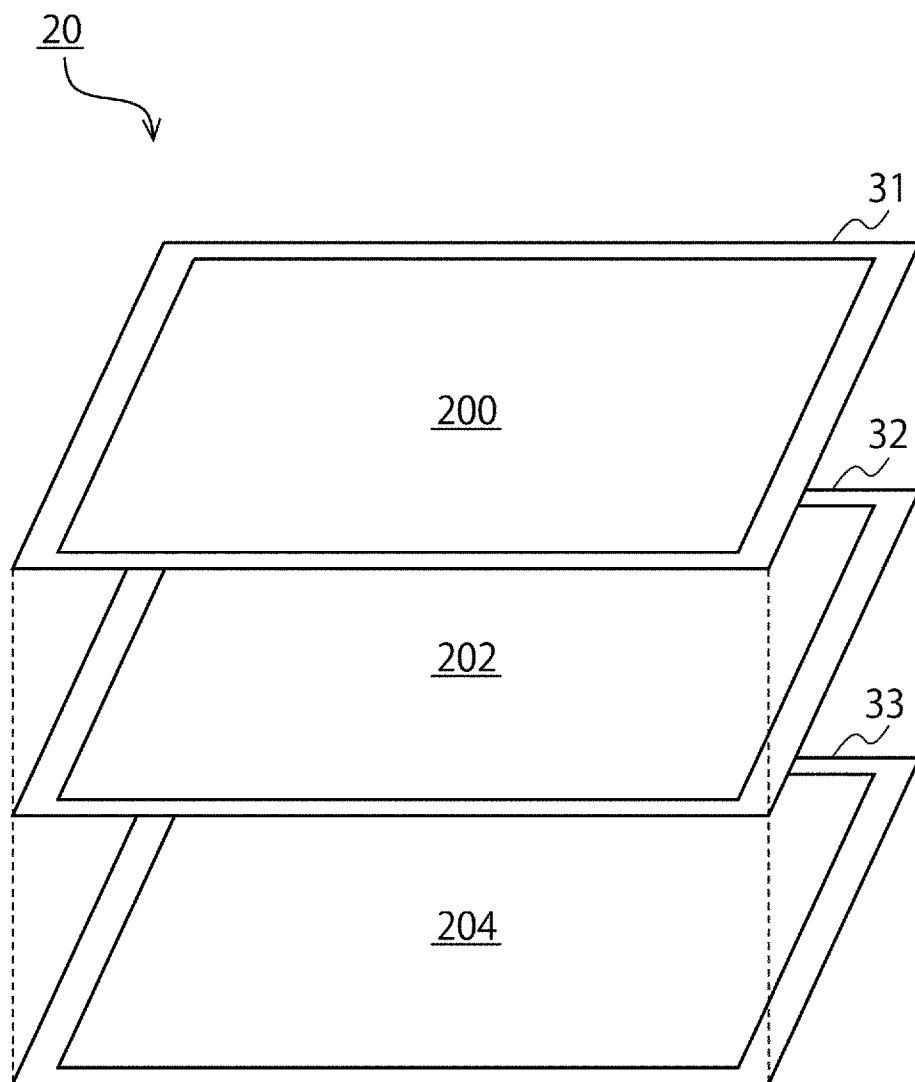
[図2]



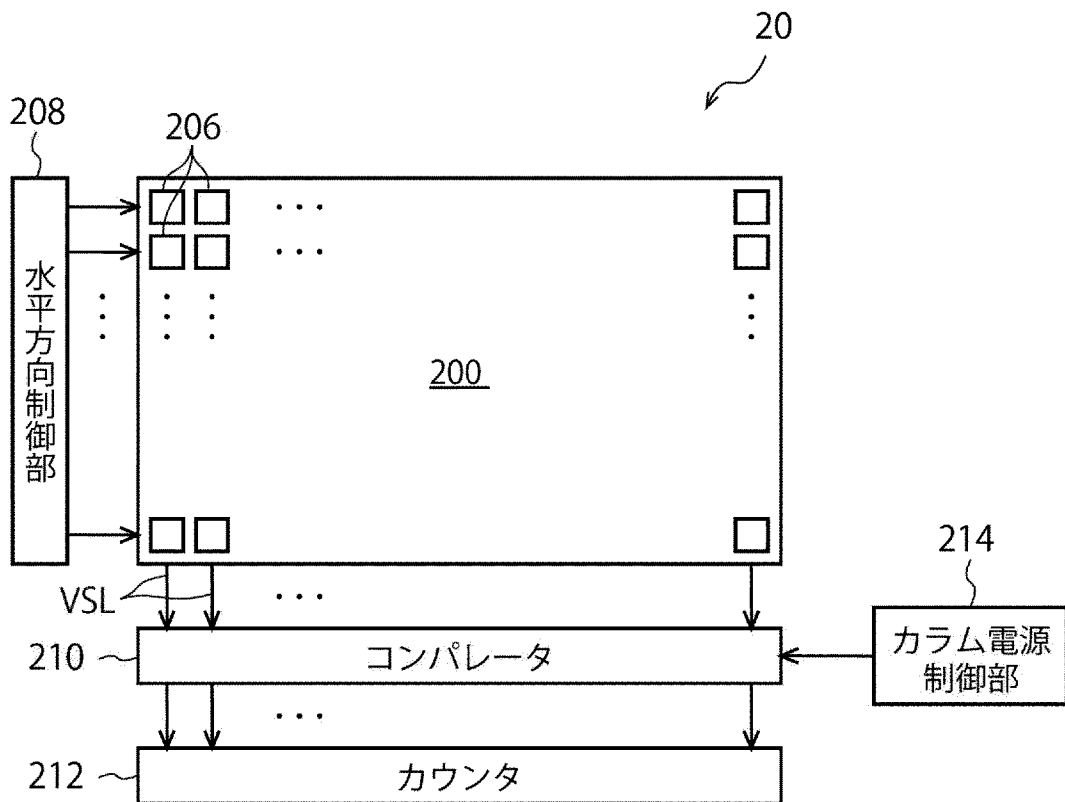
[図3]



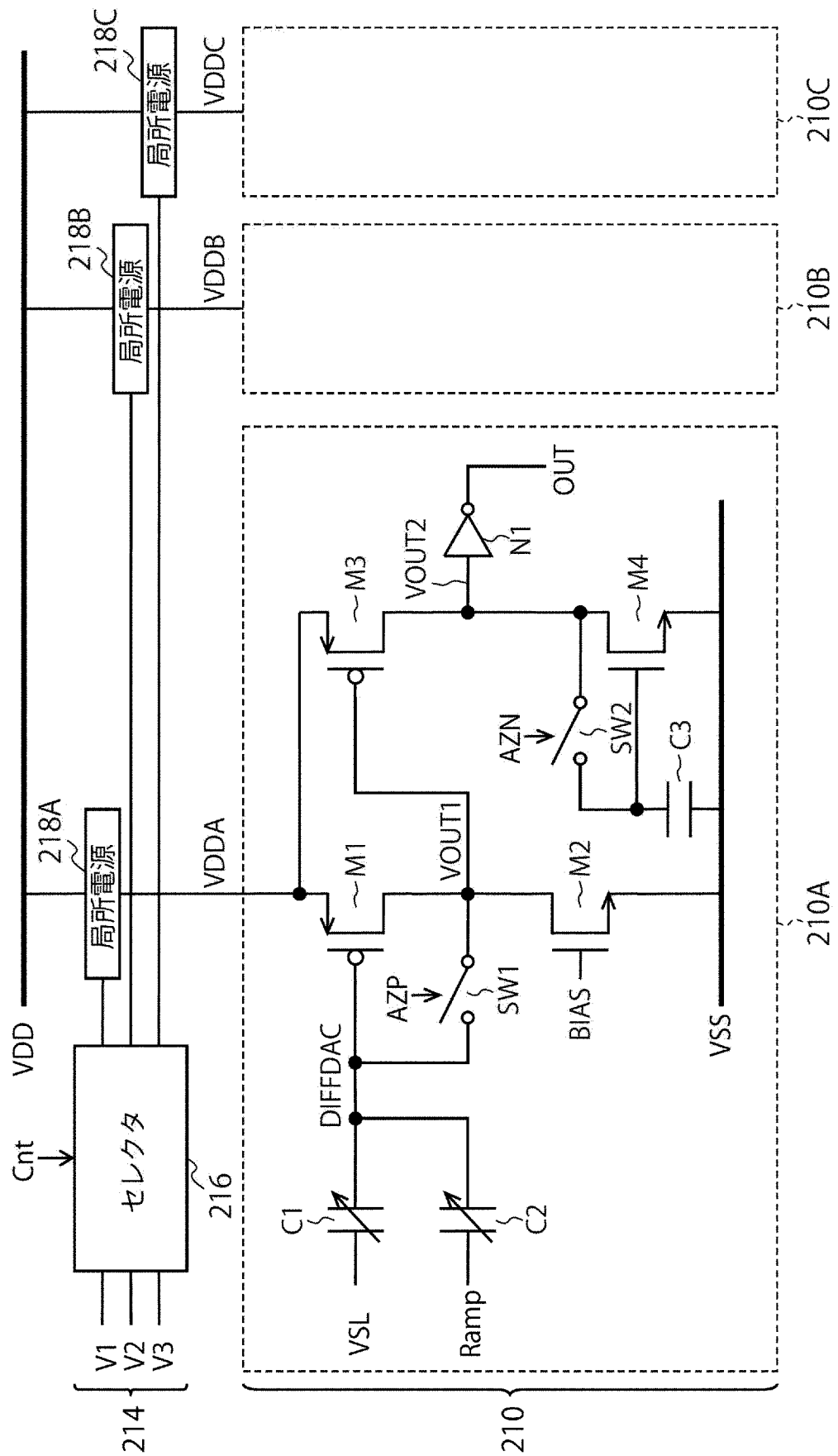
[図4]



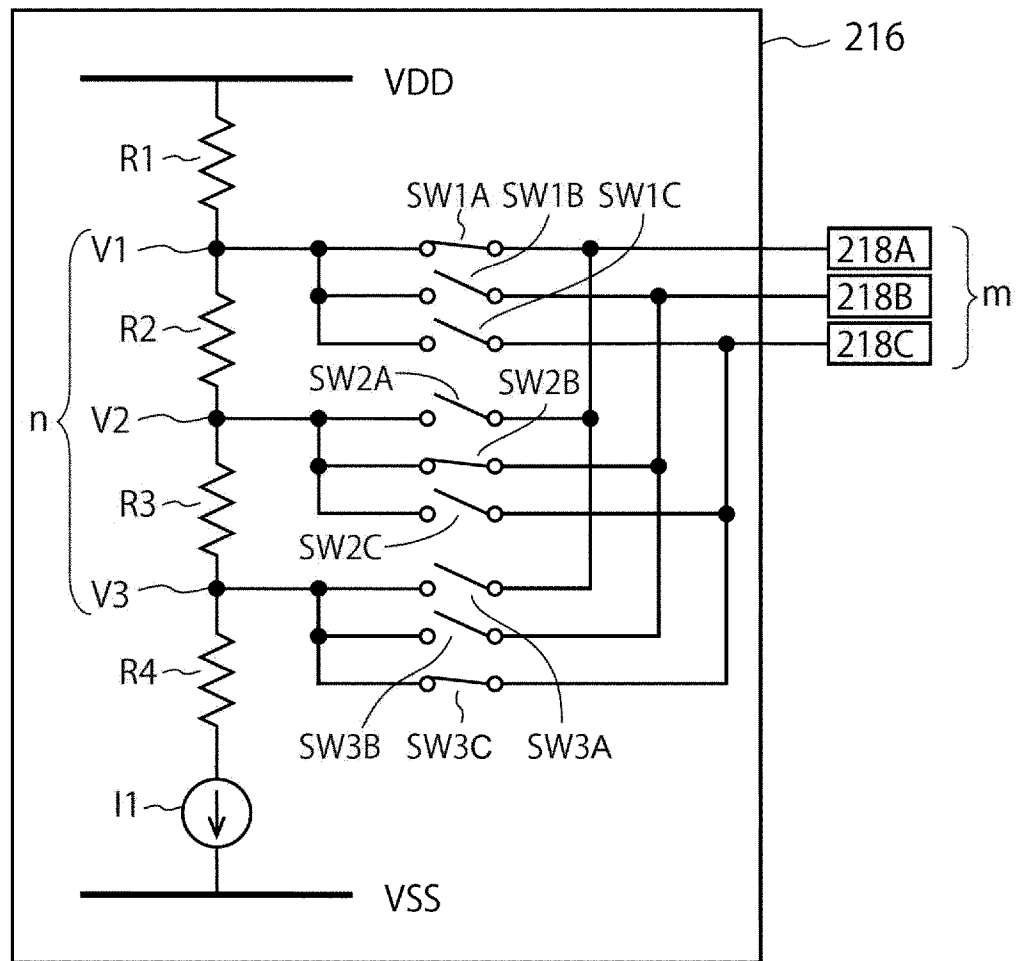
[図5]



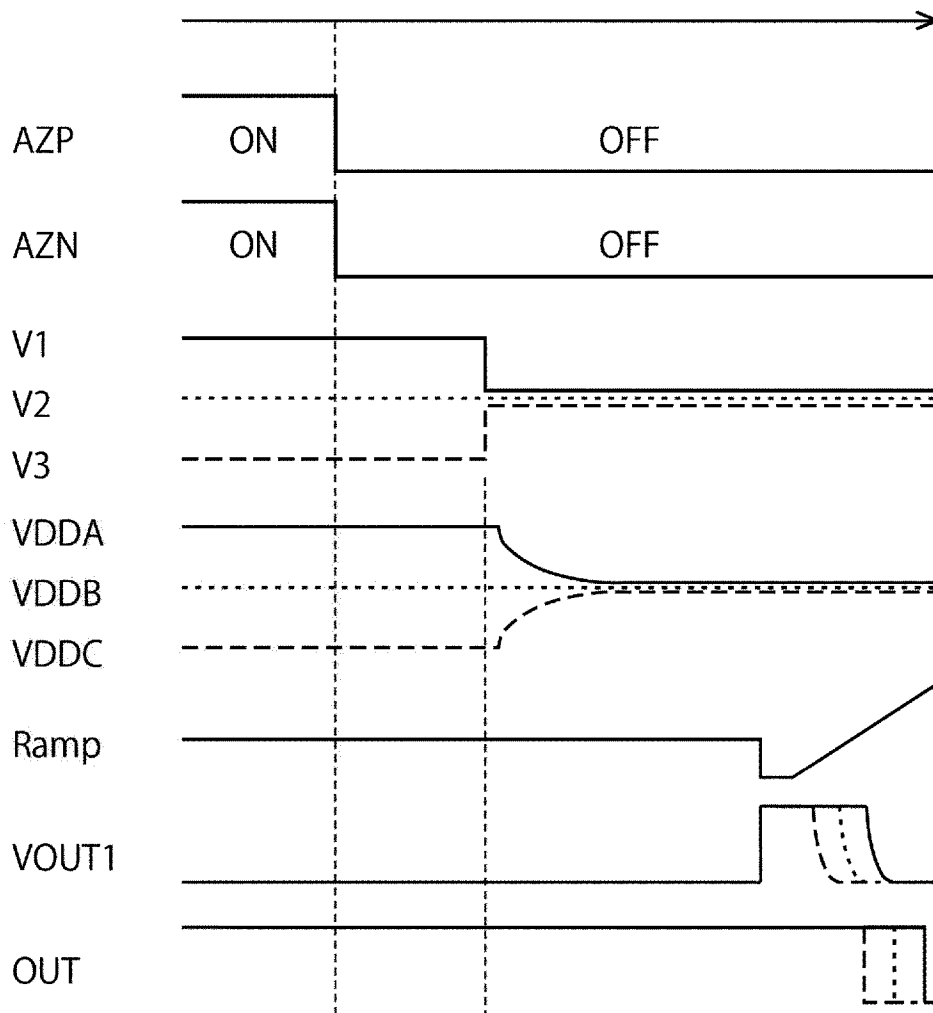
[図6]



[図7]



[図8]



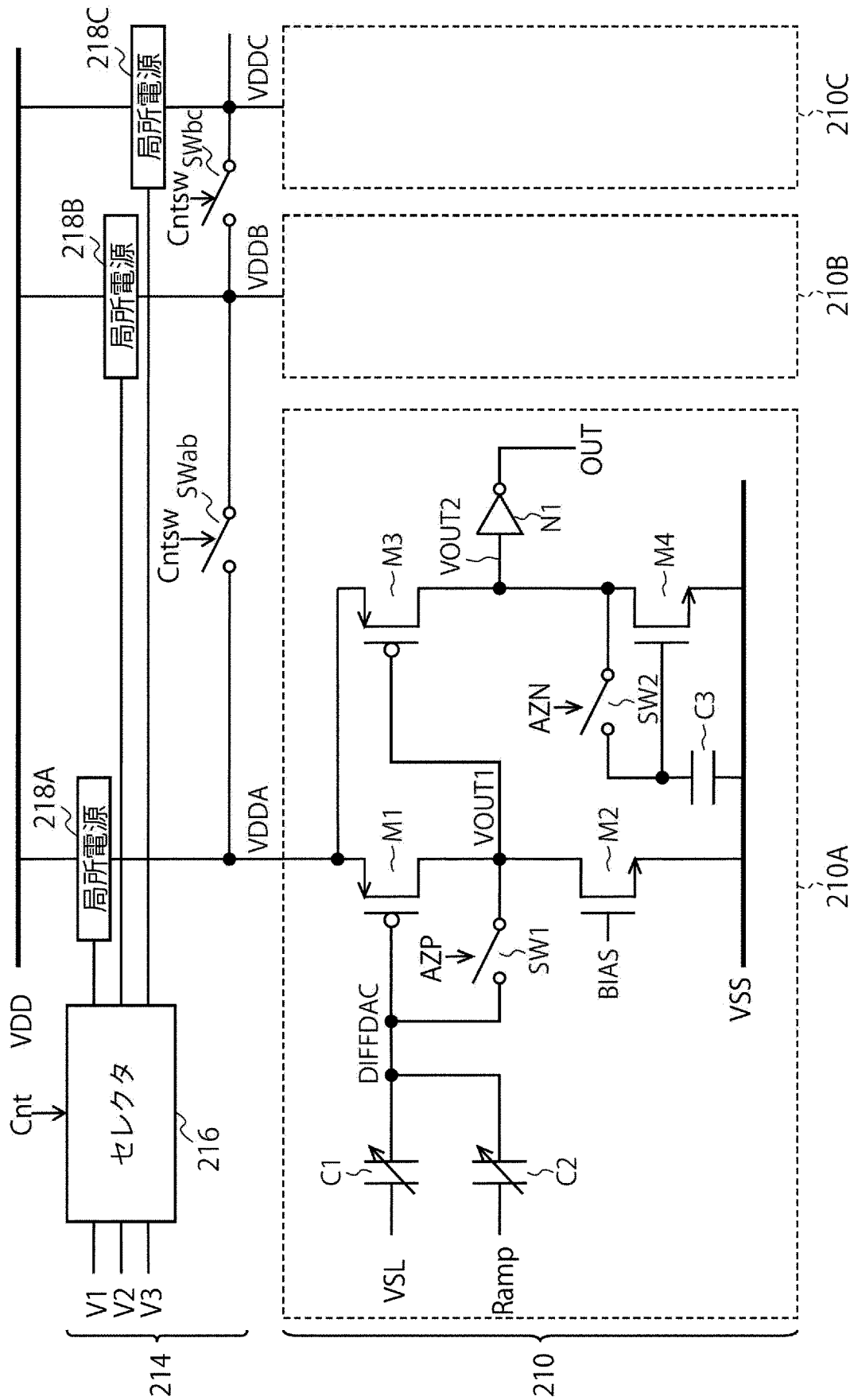
[図9]

	カラム A	カラム B	カラム C	カラム D	...
1stAD	V1	V2	V3	V1	...
2ndAD	V2	V3	V1	V2	...
3rdAD	V3	V1	V2	V3	...
4thAD	V1	V2	V3	V1	...
5thAD	V2	V3	V1	V2	...
⋮	⋮	⋮	⋮	⋮	⋮

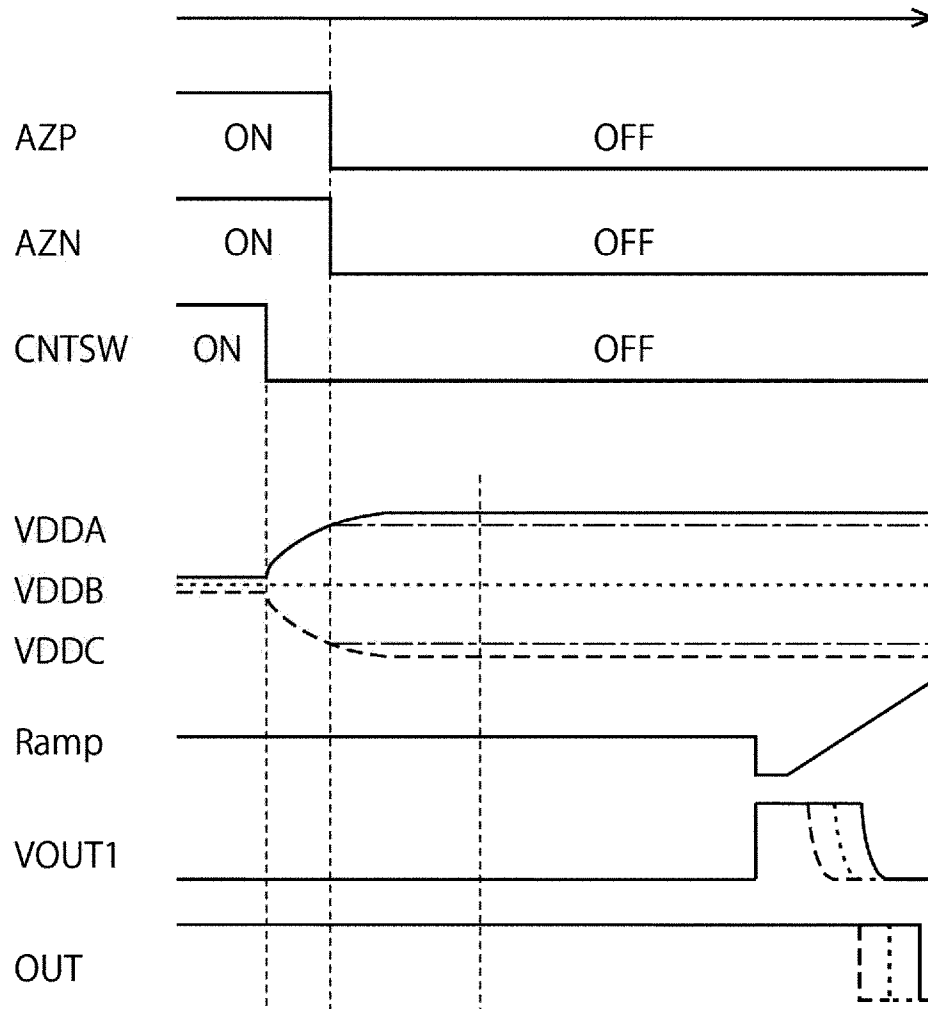
[図10]

	カラム A	カラム B	カラム C	カラム D	...
1stAD	V1	V2	V3	V1	...
2ndAD	V1	V2	V3	V1	...
3rdAD	V1	V2	V3	V1	...
4thAD	V1	V2	V3	V1	...
5thAD	V1	V2	V3	V1	...
⋮	⋮	⋮	⋮	⋮	⋮

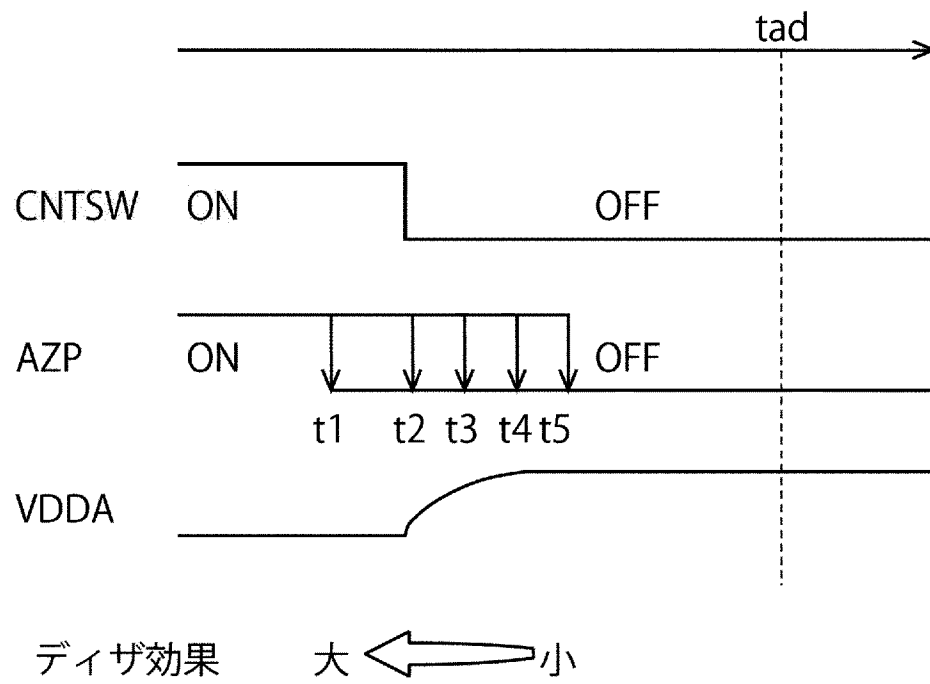
[図11]



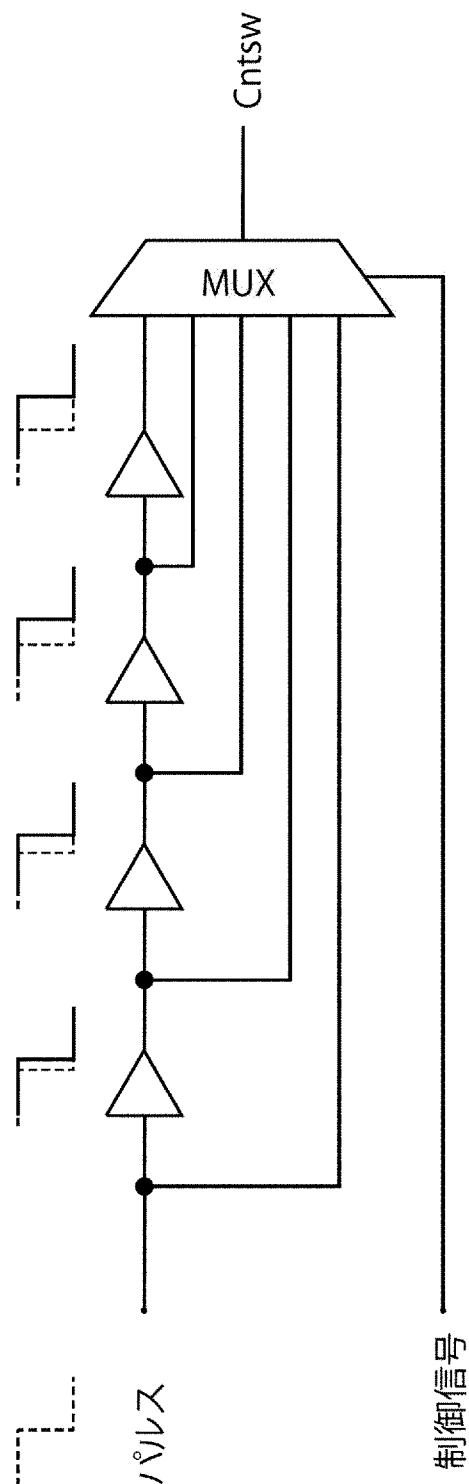
[図12]



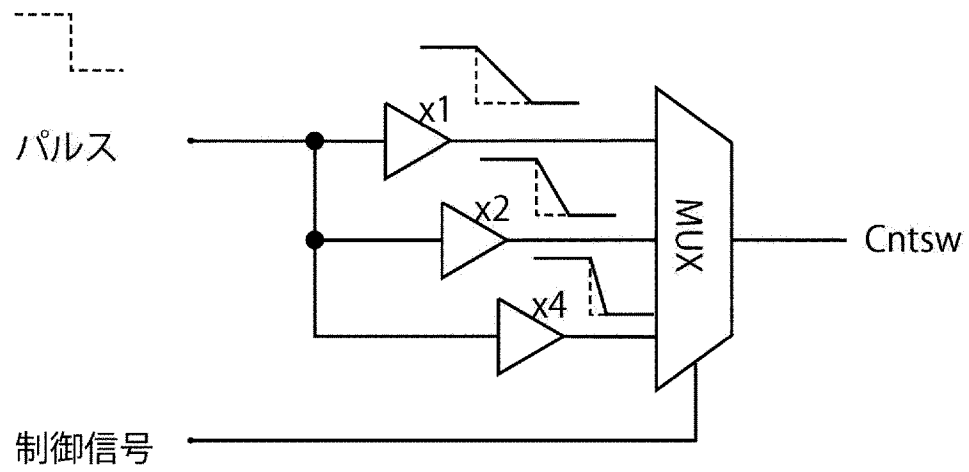
[図13]

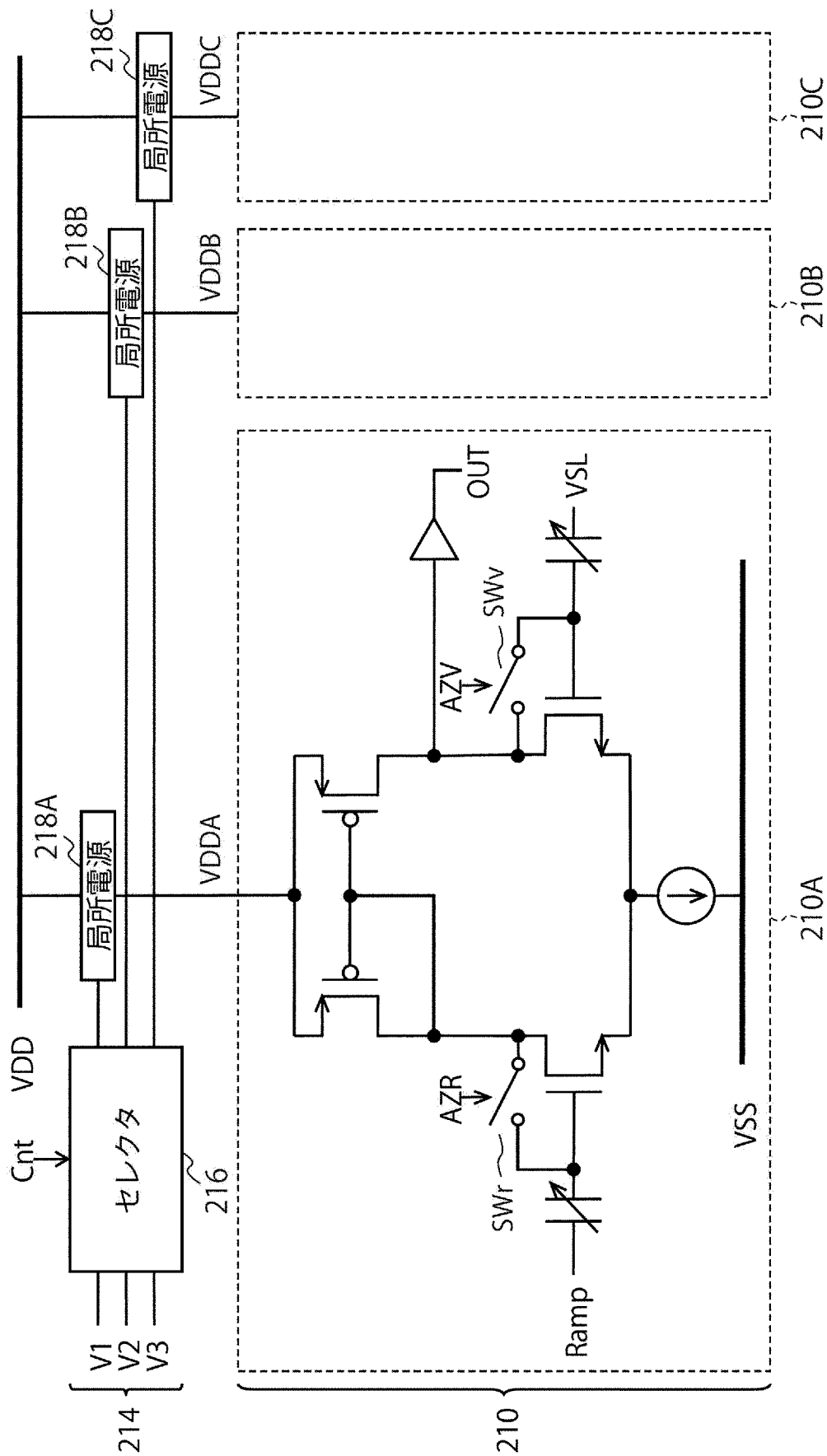


[図14]

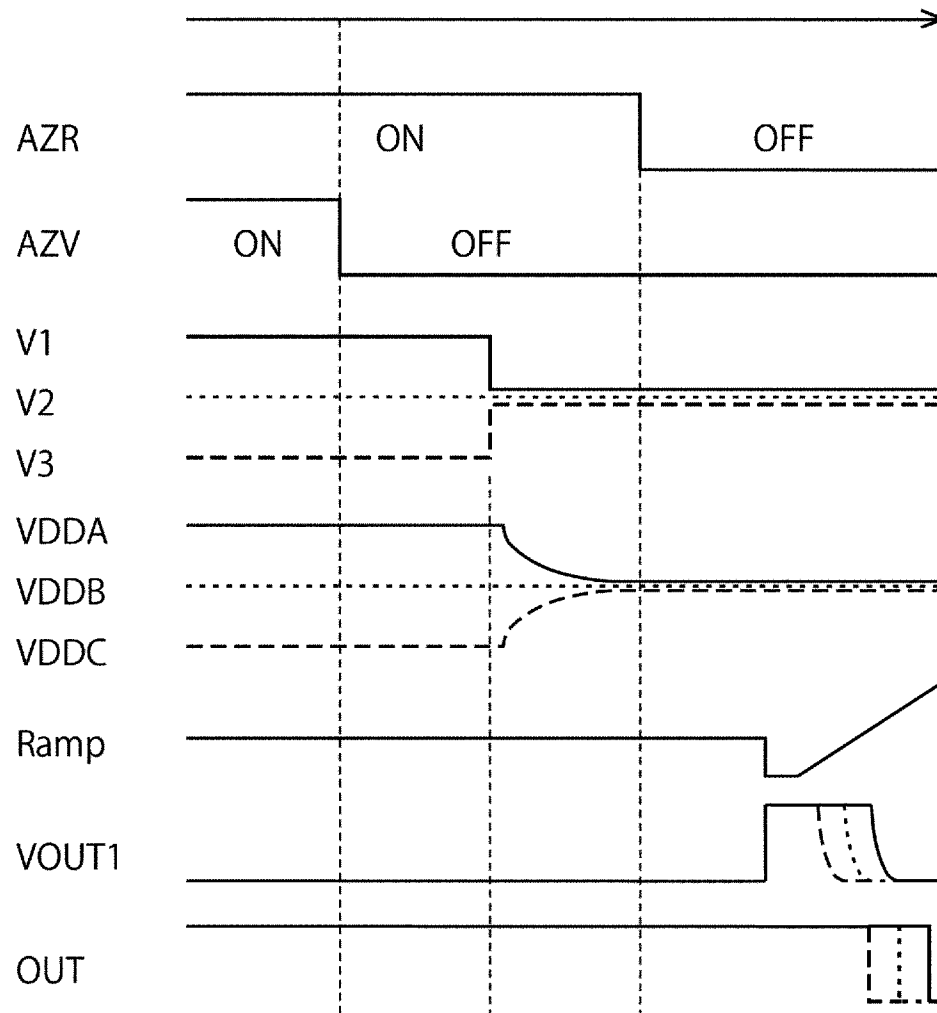


[図15]

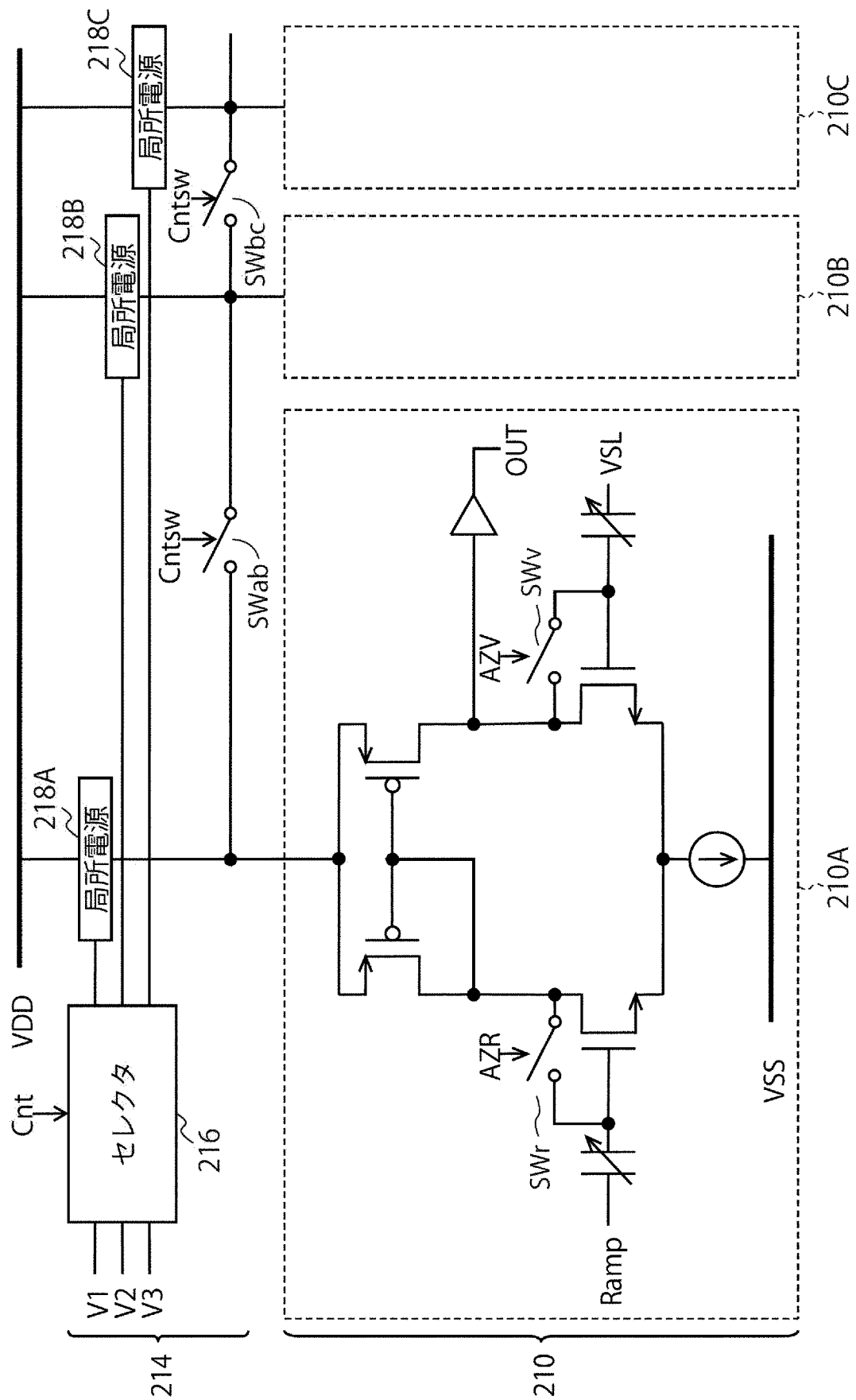




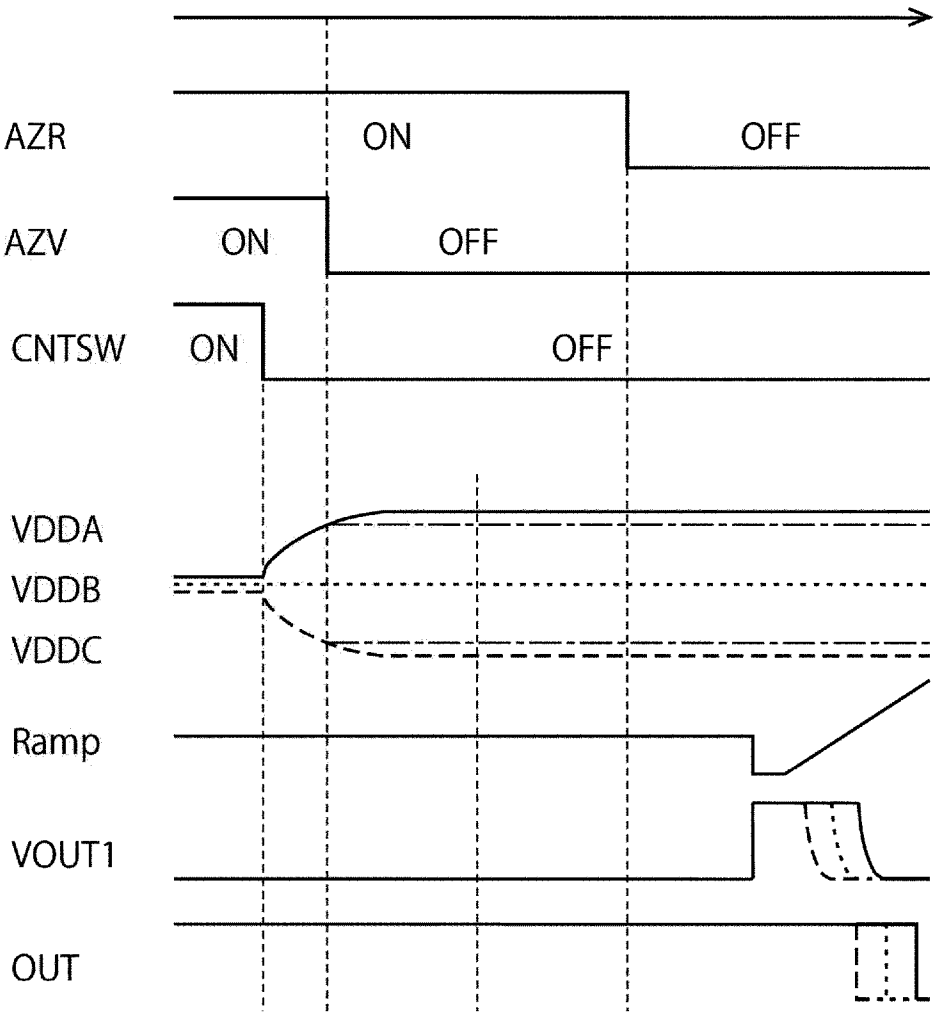
[図18]



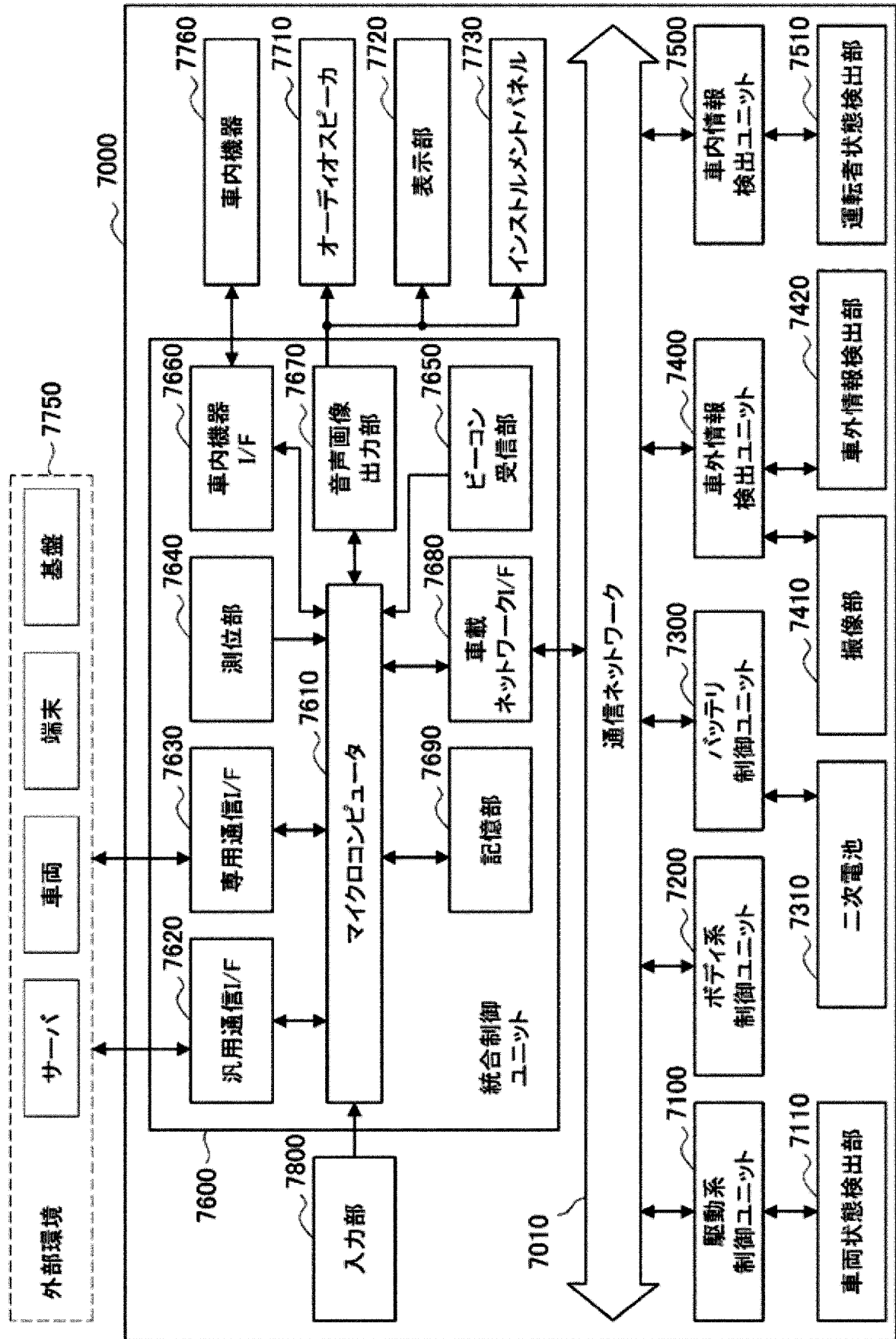
[図19]



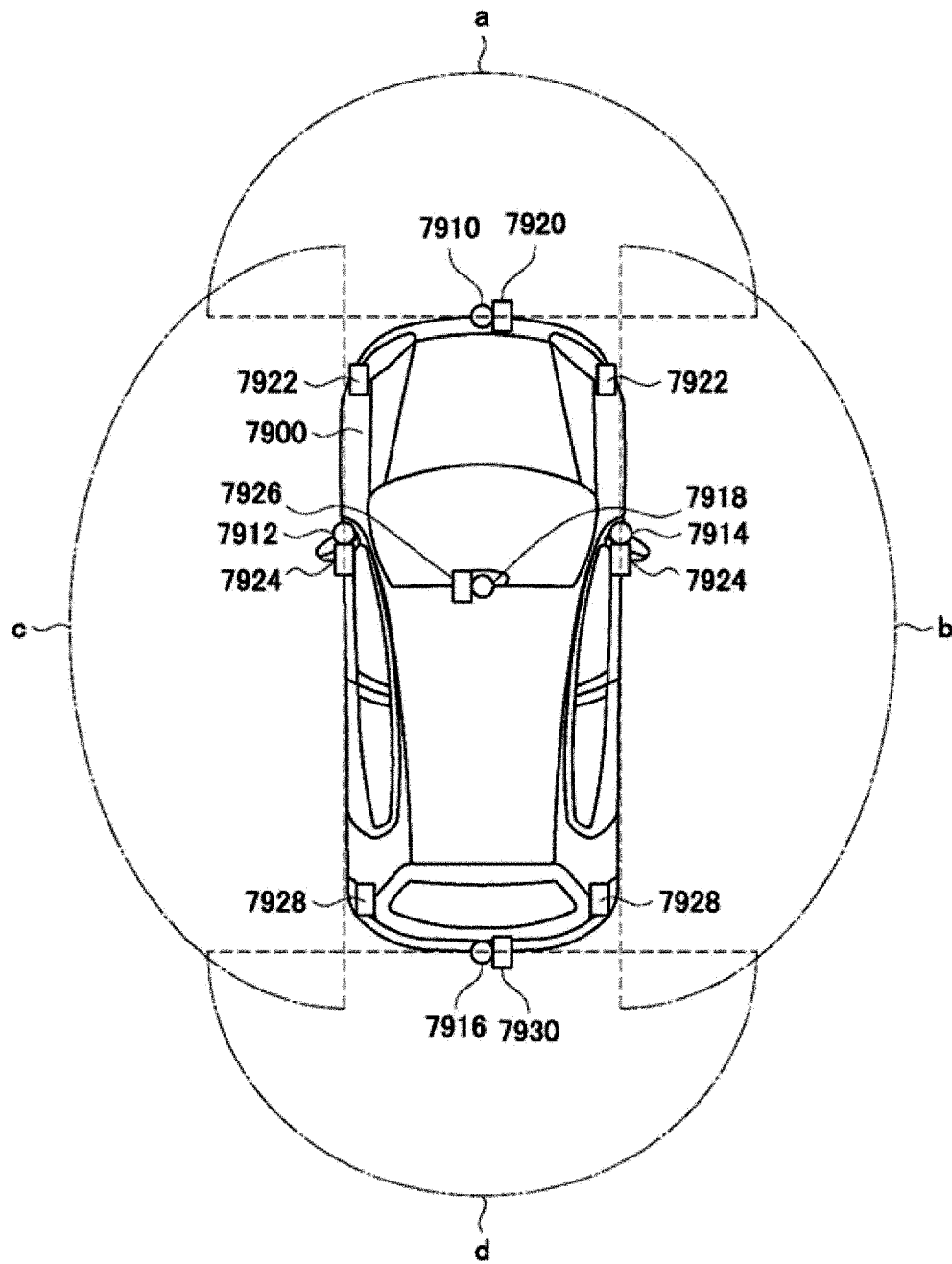
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/005841

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/357**(2011.01)i; **H04N 5/378**(2011.01)i

FI: H04N5/378; H04N5/357

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/357; H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-88785 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 04 June 2020 (2020-06-04) paragraphs [0079]-[0084], [0218], fig. 5, 19	1-4, 15
A		5-14
X	JP 2020-65146 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 23 April 2020 (2020-04-23) paragraphs [0075]-[0077], [0125], fig. 13, 22	1, 15
A	JP 2009-38834 A (SONY CORP.) 19 February 2009 (2009-02-19) paragraphs [0184]-[0193], fig. 9	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 April 2022

Date of mailing of the international search report

10 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/005841

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-88785	A	04 June 2020	WO 2020/111100 A1 paragraphs [0079]-[0084], [0218], fig. 5, 19	
JP	2020-65146	A	23 April 2020	WO 2020/080013 A1 paragraphs [0075]-[0077], [0125], fig. 13, 22	
JP	2009-38834	A	19 February 2009	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/357(2011.01)i; H04N 5/378(2011.01)i FI: H04N5/378; H04N5/357		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04N5/357; H04N5/378		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2020-88785 A（ソニーセミコンダクタソリューションズ株式会社）04.06.2020 (2020-06-04) 段落 [0079] - [0084], [0218], 図5, 19	1-4, 15
A		5-14
X	JP 2020-65146 A（ソニーセミコンダクタソリューションズ株式会社）23.04.2020 (2020-04-23) 段落 [0075] - [0077], [0125], 図13, 22	1, 15
A	JP 2009-38834 A（ソニー株式会社）19.02.2009 (2009-02-19) 段落 [0184] - [0193], 図9	1-15
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 06.04.2022		国際調査報告の発送日 10.05.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/005841

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-88785	A	04.06.2020	W0 2020/111100 A1 段落 [0079] - [0084] , [0218] , 図5, 19	
JP	2020-65146	A	23.04.2020	W0 2020/080013 A1 段落 [0075] - [0077] , [0125] , 図13, 22	
JP	2009-38834	A	19.02.2009	(ファミリーなし)	