

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6170816号
(P6170816)

(45) 発行日 平成29年7月26日(2017.7.26)

(24) 登録日 平成29年7月7日(2017.7.7)

(51) Int.Cl. F I
H O 2 J 7/02 (2016.01) H O 2 J 7/02 H

請求項の数 11 (全 21 頁)

(21) 出願番号	特願2013-238225 (P2013-238225)	(73) 特許権者	000237721
(22) 出願日	平成25年11月18日(2013.11.18)		F D K株式会社
(65) 公開番号	特開2015-100174 (P2015-100174A)		東京都港区港南一丁目6番4 1号
(43) 公開日	平成27年5月28日(2015.5.28)	(74) 代理人	110000176
審査請求日	平成28年10月20日(2016.10.20)		一色国際特許業務法人
		(72) 発明者	▲浜▼田 健志
			東京都港区新橋五丁目3 6番1 1号 F D K株式会社内
		審査官	赤穂 嘉紀

最終頁に続く

(54) 【発明の名称】 バランス補正装置及び蓄電装置

(57) 【特許請求の範囲】

【請求項 1】

直列接続された複数の蓄電セルからなる集合電池における、前記蓄電セル間又は直列接続された複数の前記蓄電セルからなる蓄電モジュール間の電圧を均等化するバランス補正装置であって、

直列接続された第1の前記蓄電モジュールと第2の前記蓄電モジュールとの接続点にその一端が接続される、インダクタと、

前記第1の蓄電モジュールの正負端子間に前記インダクタとともに直列接続される、第1のスイッチング素子と、

前記第2の蓄電モジュールの正負端子間に前記インダクタとともに直列接続される、第2のスイッチング素子と、

前記第1のスイッチング素子及び前記第2のスイッチング素子をオンオフ制御することにより前記蓄電モジュールの夫々に対する電流の供給を制御し、それにより前記インダクタを介して前記蓄電モジュール間で電力の授受を生じさせて前記蓄電モジュール間の電圧を均等化させる、スイッチング制御部と

を備えて構成される、複数のバランス補正ユニットを備え、

一の前記バランス補正ユニットの前記第1の蓄電モジュールは、他の一の前記バランス補正ユニットの前記第2の蓄電モジュールと同一の前記蓄電モジュールとなるように結線されており、

前記バランス補正ユニットの夫々の前記スイッチング制御部に対して、前記第1のスイ

10

20

ッチング素子及び前記第2のスイッチング素子をオンオフ制御すべく前記第1のスイッチング素子及び前記第2のスイッチング素子に入力する制御信号の生成に用いる共通のタイミング信号を供給する、タイミング信号供給部を備える、
 バランス補正装置。

【請求項2】

請求項1に記載のバランス補正装置であって、
 前記タイミング信号供給部が、前記タイミング信号を前記バランス補正ユニットの夫々の前記スイッチング制御部に対して直接供給する、
 バランス補正装置。

【請求項3】

請求項1に記載のバランス補正装置であって、
 前記タイミング信号供給部は、
 前記タイミング信号を第2の前記バランス補正ユニットの前記スイッチング制御部に供給する第1の回路と、
 前記第2のバランス補正ユニットが前記タイミング信号供給部から供給を受けた前記タイミング信号を第1の前記バランス補正ユニットの前記スイッチング制御部に供給する第2の回路と、
 を備える、
 バランス補正装置。

【請求項4】

請求項3に記載のバランス補正装置であって、
 前記第2の回路は、前記第2のバランス補正ユニットの前記スイッチング制御部が生成する前記制御信号に基づきタイミング信号を生成し、生成した前記タイミング信号を前記第1のバランス補正ユニットの前記スイッチング制御部に供給する、
 バランス補正装置。

【請求項5】

請求項4に記載のバランス補正装置であって、
 前記第2の回路は、前記第2のバランス補正ユニットの前記スイッチング制御部が生成する前記制御信号と当該第2のバランス補正ユニットの前記第2の蓄電モジュールの正極との間に生じる電圧差によって充電される容量素子に印加される電圧の変化に基づき前記タイミング信号を生成する、
 バランス補正装置。

【請求項6】

請求項5に記載のバランス補正装置であって、
 前記第2の回路は、前記容量素子に印加される電圧を整流することにより得られる電圧によって前記容量素子を充電する、
 バランス補正装置。

【請求項7】

請求項6に記載のバランス補正装置であって、
 前記第2の回路は、前記容量素子に印加される電圧を分圧することにより得られる分圧電圧に基づき前記タイミング信号を生成する、
 バランス補正装置。

【請求項8】

請求項3に記載のバランス補正装置であって、
 前記第2の回路は、前記第2のバランス補正ユニットの前記スイッチング制御部の前記第1のスイッチング素子、前記第2のスイッチング素子、及び前記インダクタの共通接続部に生じる電圧に基づき前記タイミング信号を生成する、
 バランス補正装置。

【請求項9】

請求項8に記載のバランス補正装置であって、

10

20

30

40

50

前記第2の回路は、前記共通接続部に生じる電圧を整流することにより得られる電圧の変化に基づき前記タイミング信号を生成する、
バランス補正装置。

【請求項10】

請求項9に記載のバランス補正装置であって、

前記第2の回路は、前記共通接続部に生じる電圧を分圧することにより得られる電圧の変化に基づき前記タイミング信号を生成する、
バランス補正装置。

【請求項11】

前記複数の蓄電セルと、請求項1乃至10のいずれか一項に記載の前記バランス補正装置と、を備える蓄電装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、直列接続された複数の蓄電セルからなる集合電池において、蓄電セル間又は直列接続された複数の蓄電セルからなる蓄電モジュール間の電圧を均等化するバランス補正装置及び蓄電装置に関する。

【背景技術】

【0002】

複数の蓄電セルが直列接続されてなる集合電池にあっては、放電能力の低下や寿命の短縮化を防ぐために蓄電セル間の電圧（起電力）のばらつきを抑える必要がある。とくに電気自動車等に用いられる蓄電装置のように、多数の蓄電セルからなる集合電池については蓄電セル間の電圧のばらつきを厳密に抑えることが求められる。

【0003】

蓄電セル間の電圧を均等化させる仕組みとして、例えば、特許文献1には、直列接続された2次電池B1、B2の接続点にインダクタLの一端を接続しておき、インダクタLの他端を電池B1の他端に接続して形成される第1閉回路に電流を流す第1モードと、インダクタLの他端を電池B2の他端に接続して形成される第2閉回路に電流を流す第2モードとを短時間ずつ交互に繰り返す動作（スイッチング動作）を適当な期間、実行することにより、電池B1と電池B2の電圧を均等化する、いわゆるコンバータ方式のバランス補正方法について開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-185229号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

図23にコンバータ方式のバランス補正回路7の一例を示す。同図に示すように、蓄電セルB1とB2とが直列接続されて集合電池3を構成している。蓄電セルB1の正負端子間には、スイッチング素子S1並びに容量素子C1が、蓄電セルB2の正負端子間には、スイッチング素子S2並びに容量素子C2が、夫々接続されている。またスイッチング素子S1、S2の共通接続点J3と、蓄電セルB1、B2の接続点J1との間にインダクタLが接続されている。

【0006】

スイッチング素子S1、S2は、制御回路10によって生成される制御信号1、2によって制御されるゲートドライバG1、G2によって、一方のスイッチング素子がオンのときは他方のスイッチング素子がオフするように互いに相補的に動作する。容量素子C1、C2は、例えば、スイッチング素子のオンオフ動作に起因して生じるノイズの低減、スイッチング素子のオンオフ動作により蓄電セルB1、B2に生じる電圧変化の緩和等を

10

20

30

40

50

目的として設けられる。

【 0 0 0 7 】

制御回路 1 0 は、制御信号 1 , 2 によってゲートドライバ G 1 , G 2 を制御することにより、スイッチング素子 S 1 及びスイッチング素子 S 2 を所定のデューティ比で交互にオンオフ制御する。これによりインダクタ L を介して蓄電セル B 1 と蓄電セル B 2 との間でエネルギーの授受が行われ、その結果、蓄電セル B 1 と蓄電セル B 2 の電圧が均等化される。

【 0 0 0 8 】

図 2 4 (a) は、制御回路 1 0 が、スイッチング素子 S 1 , S 2 のオンオフ制御を行っている期間に生成する、制御信号 1 , 2 の波形である。上記期間中、制御回路 1 0 は、例えば、同図に示すような同一周期で相補的にオンオフされる方形波からなる制御信号 1 , 2 を生成する。

10

【 0 0 0 9 】

図 2 4 (b) ~ (d) は、スイッチング素子 S 1 , S 2 のオンオフ制御を行っている期間にインダクタ L を流れる電流 i_L (以下、回生電流とも称する。)の波形である。このうち図 2 4 (b) は、蓄電セル B 1 の電圧 E_1 が蓄電セル B 2 の電圧 E_2 よりも高いときにインダクタ L を流れる電流 i_L の波形であり、図 2 4 (c) は、蓄電セル B 1 の電圧 E_1 が蓄電セル B 2 の電圧 E_2 よりも低いときにインダクタ L を流れる電流 i_L の波形であり、図 2 4 (d) は、蓄電セル B 1 の電圧 E_1 と蓄電セル B 2 の電圧 E_2 とが均等である(略等しい)ときにインダクタ L を流れる電流 i_L の波形である。

20

【 0 0 1 0 】

2 つの蓄電セル B 1 , B 2 に電圧差が存在する場合、第 1 経路及び第 2 経路に交互に電流 i_L が流れることにより蓄電セル B 1 と蓄電セル B 2 との間でエネルギーの授受が行われ、その結果、両者の電圧が均等化されてセルバランスが確保される。

【 0 0 1 1 】

ここで以上に示した構成は蓄電セルの数が 2 つの場合であるが、蓄電セルが 3 つ以上である場合に拡張することもできる。

【 0 0 1 2 】

図 2 5 は 3 つの蓄電セル B 1 ~ B 3 の電圧の均等化に対応したバランス補正回路 7 の一例である。同図において、制御回路 1 0 A は、スイッチング素子 S 1 , S 2 を相補的にオンオフして蓄電セル B 1 の電圧と蓄電セル B 2 の電圧を均等化させ、また制御回路 1 0 B は、スイッチング素子 S 3 , S 4 を相補的にオンオフして蓄電セル B 2 の電圧と蓄電セル B 3 の電圧を均等化させる。これらの制御によって蓄電セル B 2 の電圧は 2 つの蓄電セル B 1 , B 3 の双方の電圧と均等化され、その結果、3 つの蓄電セル B 1 , B 2 , B 3 の電圧が均等化される。

30

【 0 0 1 3 】

ここで同図に示すバランス補正回路 7 において、制御回路 1 0 A と制御回路 1 0 B とは独立して、即ち制御回路 1 0 A によるスイッチング素子 S 1 , S 2 のオンオフ制御に並行して制御回路 1 0 B によるスイッチング素子 S 3 , S 4 のオンオフ制御を行うこと(以下、並行制御とも称する。)も可能である。しかし並行制御が行われる場合、各制御回路 1 0 A , 1 0 B がスイッチング素子のオンオフ制御に際してスイッチング素子に入力する(スイッチング素子のゲートに与える)制御信号の周波数の同期が取れていないと、例えば、次のような問題が生じ得る。

40

【 0 0 1 4 】

図 2 6 は、上記並行制御が行われているときのスイッチング素子 S 2 の制御信号 2 の波形、スイッチング素子 S 3 の制御信号 3 の波形、図 2 5 の接続点 J 4 2 の電圧の波形(制御回路 1 0 A がスイッチング素子 S 1 , S 2 をオンオフ制御することに由来する波形(符号 (a) で示す波形)、制御回路 1 0 B がスイッチング素子 S 3 , S 4 をオンオフ制御することに由来する波形(符号 (b) で示す波形)、並びに、符号 (a) で示す波形と符号 (b) で示す波形とを重畳(合成)した波形(符号 (c) で示す波形))を例示した

50

ものである。尚、同図にはスイッチング素子 S 1 , S 4 の制御信号 1 , 4 の波形は示していないが、制御信号 1 の波形は制御信号 2 の波形を逆位相にしたものとなり、制御信号 4 の波形は制御信号 3 の波形を逆位相にしたものとなる。

【 0 0 1 5 】

同図に示すように、制御信号 2 と制御信号 3 の同期がとれていないために両者の位相差が時間経過とともに変化している。またこれに伴い、符号 (a) で示す波形及び符号 (b) で示す波形の位相差も変化している。このため、実際に接続点 J 4 2 に現れる電圧波形 (c) は多数の周波数成分を含んだ時間的に安定しない乱れた波形になっている。ここでこうした電圧波形は、ノイズや騒音、回生電流の異常、異常発振等の問題が生じさせる要因となり得る。

10

【 0 0 1 6 】

本発明は、上記課題を解決すべくなされたもので、制御回路間でスイッチング素子を制御する信号の同期が取れていないことに起因して生じる問題を防ぐことが可能なバランス補正装置及び蓄電装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 7 】

上記目的を達成するための本発明のうちの一つは、直列接続された複数の蓄電セルからなる集合電池における、前記蓄電セル間又は直列接続された複数の前記蓄電セルからなる蓄電モジュール間の電圧を均等化するバランス補正装置であって、直列接続された第 1 の前記蓄電モジュールと第 2 の前記蓄電モジュールとの接続点にその一端が接続される、インダクタと、前記第 1 の蓄電モジュールの正負端子間に前記インダクタとともに直列接続される、第 1 のスイッチング素子と、前記第 2 の蓄電モジュールの正負端子間に前記インダクタとともに直列接続される、第 2 のスイッチング素子と、前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子をオンオフ制御することにより前記蓄電モジュールの夫々に対する電流の供給を制御し、それにより前記インダクタを介して前記蓄電モジュール間で電力の授受を生じさせて前記蓄電モジュール間の電圧を均等化させる、スイッチング制御部とを備えて構成される、複数のバランス補正ユニットを備え、一の前記バランス補正ユニットの前記第 1 の蓄電モジュールが、他の一の前記バランス補正ユニットの前記第 2 の蓄電モジュールと同一の前記蓄電モジュールとなるように結線されており、前記バランス補正ユニットの夫々の前記スイッチング制御部に、前記バランス補正ユニットの夫々の前記スイッチング制御部に対して、前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子をオンオフ制御すべく前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子に入力する制御信号の生成に用いる共通のタイミング信号を供給する、タイミング信号供給部を備えることとする。

20

30

【 0 0 1 8 】

本発明の他の一つは、上記バランス補正装置であって、前記タイミング信号供給部が、前記タイミング信号を前記バランス補正ユニットの夫々の前記スイッチング制御部に対して直接供給する。

【 0 0 1 9 】

本発明の他の一つは、上記バランス補正装置であって、前記タイミング信号供給部は、前記タイミング信号を第 2 の前記バランス補正ユニットの前記スイッチング制御部に供給する第 1 の回路と、前記第 2 のバランス補正ユニットが前記タイミング信号供給部から供給を受けた前記タイミング信号を第 1 の前記バランス補正ユニットの前記スイッチング制御部に供給する第 2 の回路と、を備えることとする。

40

【 0 0 2 0 】

本発明の他の一つは、上記バランス補正装置であって、前記第 2 の回路は、前記第 2 のバランス補正ユニットの前記スイッチング制御部が生成する前記制御信号に基づきタイミング信号を生成し、生成した前記タイミング信号を前記第 1 のバランス補正ユニットの前記スイッチング制御部に供給することとする。

【 0 0 2 1 】

50

本発明の他の一つは、上記バランス補正装置であって、前記第2の回路は、前記第2のバランス補正ユニットの前記スイッチング制御部が生成する前記制御信号と当該第2のバランス補正ユニットの前記第2の蓄電モジュールの正極との間に生じる電圧差によって充電される容量素子に印加される電圧の変化に基づき前記タイミング信号を生成することとする。

【0022】

本発明の他の一つは、上記バランス補正装置であって、前記第2の回路は、前記容量素子に印加される電圧を整流することにより得られる電圧によって前記容量素子を充電することとする。

【0023】

本発明の他の一つは、上記バランス補正装置であって、前記第2の回路は、前記容量素子に印加される電圧を分圧することにより得られる分圧電圧に基づき前記タイミング信号を生成することとする。

【0024】

本発明の他の一つは、上記バランス補正装置であって、前記第2の回路は、前記第2のバランス補正ユニットの前記スイッチング制御部の前記第1のスイッチング素子、前記第2のスイッチング素子、及び前記インダクタの共通接続部に生じる電圧に基づき前記タイミング信号を生成することとする。

【0025】

本発明の他の一つは、上記バランス補正装置であって、前記第2の回路は、前記共通接続部に生じる電圧を整流することにより得られる電圧の変化に基づき前記タイミング信号を生成することとする。

【0026】

本発明の他の一つは、上記バランス補正装置であって、前記第2の回路は、前記共通接続部に生じる電圧を分圧することにより得られる電圧の変化に基づき前記タイミング信号を生成することとする。

【0027】

本発明の他の一つは、蓄電装置であって、前記複数の蓄電セルと上記バランス補正装置を備えることとする。

【0028】

その他、本願が開示する課題、及びその解決方法は、発明を実施するための形態の欄、及び図面により明らかにされる。

【発明の効果】

【0029】

本発明によれば、制御回路間でスイッチング素子を制御する信号の同期が取れていないことに起因して生じる問題を防ぐことができる。

【図面の簡単な説明】

【0030】

【図1】バランス補正回路1の一例である。

【図2】(a)は、制御回路10が第1の期間に出力する制御信号1, 2の波形であり、(b)乃至(d)は、第1の期間においてインダクタLを流れる電流の波形である。

【図3】3つの蓄電セルB1~B3の電圧の均等化に対応したバランス補正回路1の一例である。

【図4】4つの蓄電セルB1~B4の電圧の均等化に対応したバランス補正回路1の一例である。

【図5】第1実施例として示すバランス補正回路1である。

【図6】第1実施例として示すバランス補正回路1の変形例である。

【図7】第1実施例として示すバランス補正回路1の変形例である。

【図8】第2実施例として示すバランス補正回路1(蓄電セルが3つの場合)である。

【図9】制御信号4の電圧波形と制御回路10Aに供給されるタイミング信号の電圧波

10

20

30

40

50

形の一例である。

【図10】第2実施例として示すバランス補正回路1の変形例である。

【図11】第2実施例として示すバランス補正回路1（蓄電セルが4つの場合）である。

【図12】制御信号6の電圧波形と制御回路10Bに供給されるタイミング信号の電圧波形の一例である。

【図13】制御信号4の電圧波形と制御回路10Aに供給されるタイミング信号の電圧波形の一例である。

【図14】第3実施例として示すバランス補正回路1（蓄電セルが3つの場合）である。

【図15】第2のバランス補正ユニットの共通接続点J64の電圧波形と制御回路10Aに供給されるタイミング信号の電圧波形の一例である。

10

【図16】第3実施例として示すバランス補正回路1の変形例である。

【図17】第3実施例として示すバランス補正回路1（蓄電セルが4つの場合）である。

【図18】制御信号6の電圧波形と制御回路10Bに供給されるタイミング信号の電圧波形の一例である。

【図19】制御信号4の電圧波形と制御回路10Aに供給されるタイミング信号の電圧波形の一例である。

【図20】制御回路10がタイミング信号に同期させた制御信号を生成する仕組みを説明する図である。

【図21】制御信号生成回路101が制御信号 i 、 $i+1$ を生成する様子を説明する図である。

20

【図22】鋸波生成回路1011がタイミング信号に同期させた鋸波を生成する仕組みを説明する図である。

【図23】コンバータ方式のバランス補正回路7の一例である。

【図24】(a)は、制御回路10が第1の期間に出力する制御信号1、2の波形であり、(b)乃至(d)は、第1の期間においてインダクタLを流れる電流の波形である。

【図25】3つの蓄電セルB1～B3の電圧の均等化に対応したバランス補正回路7の一例である。

【図26】制御信号の周波数の同期が取れていない場合に接続点J42に生じる波形の一例である。

30

【発明を実施するための形態】

【0031】

以下、本発明の実施形態について説明する。尚、以下の説明において、同一又は類似の部分に同一の符号を付して重複する説明を省略することがある。また符号の添字部分を省略して同一の構成要素を総称することがある（例えば、制御回路10A、10B、10Cを制御回路10と総称する）。

【0032】

[バランス補正回路の基本構成]

図1にコンバータ方式のバランス補正回路1（バランス補正装置）の一例を示している。バランス補正回路1は、例えば、直列接続された複数の蓄電セルからなる集合電池を利用する蓄電装置（電気自動車、ハイブリッド自動車、電気二輪車、鉄道車両、昇降機、系統連携用蓄電装置、パーソナルコンピュータ、ノートブック型コンピュータ、携帯電話機、スマートフォン、PDA機器等）に適用される。蓄電セルは、例えば、リチウムイオン二次電池、リチウムイオンポリマー二次電池等であるが、電気二重層キャパシタ等の他の種類の蓄電素子であってもよい。

40

【0033】

集合電池を構成している蓄電セル間で製造品質や劣化の度合いが異なる場合、蓄電セル間の電池特性（電池容量、放電電圧特性）に差が生じることがあり、この電池特性の差に起因して、充放電時等に蓄電セル間の電圧にばらつきが生じることがある。そこでこのようなばらつきの発生を抑制すべく、バランス補正回路1は、蓄電セル間の電圧もしくは直

50

列接続された複数の蓄電セルからなる蓄電モジュール間の電圧を均等化（セルバランスの確保）させるように動作する。

【0034】

同図に示すように、直列接続された蓄電セルB1、B2によって集合電池3が構成されている。集合電池3の正負端子31、32には、例えば、集合電池3に充電電流を供給する電流供給源（例えば、充電器、回生回路等）、集合電池3の起電力を利用して機能する負荷（例えば、モータ、電子回路、電気製品等）等が接続される。

【0035】

蓄電セルB1の負極と蓄電セルB2の正極とを結ぶ線路（蓄電セルB1、B2の直列接続点を含む線路）には、インダクタLの一端が接続している。インダクタLの他端と蓄電セルB1の正極とを結ぶ線路には、スイッチング素子S1が設けられている。インダクタLの他端と蓄電セルB2の負極とを結ぶ線路には、スイッチング素子S2が設けられている。

10

【0036】

スイッチング素子S1、S2は、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）を用いて構成されている。スイッチング素子S1、S2は、制御回路10（スイッチング制御部）によって生成される制御信号1、2によって制御されるゲートドライバG1、G2によって、一方のスイッチング素子がオンのときは他方のスイッチング素子がオフするように互いに相補的に動作する。尚、スイッチング素子S1、S2はバイポーラトランジスタを用いて構成することもできる。

20

【0037】

インダクタLの一端と蓄電セルB1の正極との間には容量素子C1が、インダクタLの一端と蓄電セルB2の負極との間には容量素子C2が、夫々設けられている。これらの容量素子C1、C2は、例えば、スイッチング素子のオンオフ動作に起因して生じるノイズの低減、スイッチング素子のオンオフ動作により蓄電セルB1、B2に生じる電圧変化の緩和などを目的として設けられている。尚、容量素子C1は、例えば、蓄電セルB1の正極と蓄電セルB2の負極との間などに設けてもよい。

【0038】

制御回路10は、制御信号生成回路101、デューティ比制御回路102、及び計測回路103（電圧計測部）を備える。制御回路10は、例えば、演算装置（CPU（Central Processing Unit）、MPU（Micro Processing Unit）等）及び記憶装置（RAM（Random Access Memory）、ROM（Read Only Memory）等）を備えたマイクロコンピュータを用いて実現することができる。

30

【0039】

制御信号生成回路101は、ゲートドライバG1、G2の夫々に供給する2相の制御信号1、2を生成する。より具体的には、制御信号生成回路101は、デューティ比制御回路102から入力される後述のデューティ比制御信号に応じて制御信号1、2を生成する。本実施形態では、制御信号1、2は、所定のデューティ比の2相（ハイレベル（High level）、ローレベル（Low level））の方形波（例えばPWMパルス（PWM:Pulse Width Modulation））であるものとする。

40

【0040】

デューティ比制御回路102は、制御信号生成回路101が生成する制御信号1、2を制御するための信号（以下、デューティ比制御信号と称する）を生成し、生成したデューティ比制御信号を制御信号生成回路101に入力する。デューティ比制御回路102は、例えば、計測回路103の計測値から取得される蓄電セルB1、B2の電圧に応じて、蓄電セルB1、B2間の電圧が、迅速性、安全性、効率等を向上させる観点から適切に均等化されるようにデューティ比制御信号を生成する。

【0041】

計測回路103は、バランス補正回路1を構成している線路の所定部位の電圧（例えば、接続点J4-J2間の電圧、接続点J2-J7の間の電圧等）の計測値をリアルタイム

50

に取得し、取得した計測値を制御信号生成回路 101 やデューティ比制御回路 102 に伝達する。

【0042】

続いて、以上の構成からなるバランス補正回路 1 の基本的な動作について、図 2 を参照しつつ説明する。

【0043】

図 2 (a) は、制御回路 10 が、スイッチング素子 S_1 、 S_2 のオンオフ制御を行っている期間に生成する、制御信号 1、2 の波形である。上記期間において、制御回路 10 は、例えば、同一周期で相補的にオンオフされる方形波からなる制御信号 1、2 を生成する。

10

【0044】

図 2 (b) ~ (d) は、スイッチング素子 S_1 、 S_2 のオンオフ制御を行っている期間にインダクタ L を流れる電流 i_L (以下、回生電流とも称する。) の波形である。このうち図 2 (b) は、蓄電セル B_1 の電圧 E_1 が蓄電セル B_2 の電圧 E_2 よりも高いときにインダクタ L を流れる電流 i_L の波形であり、図 2 (c) は、蓄電セル B_1 の電圧 E_1 が蓄電セル B_2 の電圧 E_2 よりも低いときにインダクタ L を流れる電流 i_L の波形であり、図 2 (d) は、蓄電セル B_1 の電圧 E_1 と蓄電セル B_2 の電圧 E_2 とが均等である (略等しい) ときにインダクタ L を流れる電流 i_L の波形である。

【0045】

図 2 (b) に示すように、蓄電セル B_1 の電圧 E_1 が蓄電セル B_2 の電圧 E_2 よりも高いとき ($E_1 > E_2$)、スイッチング素子 S_1 がオンでスイッチング素子 S_2 がオフの間中は、主に蓄電セル B_1 の正極 接続点 J_5 接続点 J_4 スwitching素子 S_1 接続点 J_3 インダクタ L 接続点 J_2 接続点 J_1 蓄電セル B_1 の負極の経路 (以下、これを第 1 経路と称する。) で電流 i_L が流れる。つまりこの期間中は主に図 1 に示す実線矢印の方向に電流 i_L が流れてインダクタ L にエネルギーが蓄積される。

20

【0046】

その後、スイッチング素子 S_1 がオフしてスイッチング素子 S_2 がオンすると、インダクタ L に蓄積されていたエネルギーが、インダクタ L 接続点 J_2 接続点 J_1 蓄電セル B_2 の正極 蓄電セル B_2 の負極 接続点 J_6 接続点 J_7 スwitching素子 S_2 接続点 J_3 インダクタ L の経路で放出され、これにより蓄電セル B_2 が充電される。そしてインダクタ L のエネルギーが無くなると、インダクタ L には逆方向 (図 1 に示す破線矢印の方向) に電流 i_L が流れ始める。

30

【0047】

図 2 (c) に示すように、蓄電セル B_1 の電圧 E_1 が蓄電セル B_2 の電圧 E_2 よりも低い場合 ($E_1 < E_2$)、スイッチング素子 S_1 がオフでスイッチング素子 S_2 がオンの間中は、主に蓄電セル B_2 の正極 接続点 J_1 接続点 J_2 インダクタ L 接続点 J_3 スwitching素子 S_2 接続点 J_7 接続点 J_6 蓄電セル B_2 の負極の経路 (以下、これを第 2 経路と称する。) で電流 i_L が流れる。つまりこの期間中は主に図 1 に示す破線矢印の方向に電流 i_L が流れてインダクタ L にエネルギーが蓄積される。

【0048】

その後、スイッチング素子 S_2 がオフしてスイッチング素子 S_1 がオンすると、インダクタ L に蓄積されていたエネルギーが、インダクタ L 接続点 J_3 スwitching素子 S_1 接続点 J_4 接続点 J_5 蓄電セル B_1 の正極 蓄電セル B_1 の負極 接続点 J_1 接続点 J_2 インダクタ L の経路で放出され、これにより蓄電セル B_1 が充電される。そしてインダクタ L のエネルギーが無くなると、インダクタ L には逆方向 (図 1 に示す実線矢印の方向) に電流 i_L が流れ始める。

40

【0049】

このように、蓄電セル B_1 、 B_2 間の電圧に差が存在する場合、第 1 経路及び第 2 経路に交互に電流 i_L が流れることにより、蓄電セル B_1 と蓄電セル B_2 との間でエネルギーの授受が行われ、その結果両者の電圧が均等化されてセルバランスが確保される。尚、図

50

2 (d) に示すように、蓄電セル B 1 の電圧 E 1 と蓄電セル B 2 の電圧 E 2 とが均等である場合 ($E 1 = E 2$)、スイッチング素子 S 1, S 2 のオンオフ制御に伴って蓄電セル B 1, B 2 間で授受されるエネルギーの収支はバランスしており、蓄電セル B 1, B 2 間の電圧は均等に保たれる。

【 0 0 5 0 】

制御回路 1 0 は、計測回路 1 0 3 によって計測される電圧 (蓄電セル B 1, B 2 の夫々の端子間の電圧 (例えば、接続点 J 4 - J 2 間の電圧、接続点 J 2 - J 7 の間の電圧等) をリアルタイムに監視し、蓄電セル B 1, B 2 の電圧が均等であること (略一致していること) を検知すると、スイッチング素子 S 1, S 2 のオンオフ制御を停止する。

【 0 0 5 1 】

尚、蓄電セル B 1, B 2 間の電圧が、迅速性、安全性、効率等を向上させる観点から適切に均等化されるように、制御回路 1 0 が、例えば、計測回路 1 0 3 の計測値から取得される蓄電セル B 1, B 2 の電圧値に応じて制御信号 1, 2 のデューティ比を制御するようにしてもよい。

【 0 0 5 2 】

[蓄電セルが 3 つ以上である場合]

以上に説明したバランス補正回路 1 の構成は、蓄電セルが 3 つ以上である場合にも拡張することができる。

【 0 0 5 3 】

図 3 は 3 つの蓄電セル B 1 ~ B 3 の電圧の均等化に対応したバランス補正回路 1 の一例である。同図に示すように、このバランス補正回路 1 は、蓄電セル B 1, B 2 の充放電を制御する、制御回路 1 0 A、ゲートドライバ G 1, G 2、スイッチング素子 S 1, S 2、インダクタ L 1、及び容量素子 C 1, C 2 を含んで構成される回路 (以下、この回路のことを第 1 バランス補正ユニットとも称する。) と、蓄電セル B 2, B 3 の充放電を制御する、制御回路 1 0 B、ゲートドライバ G 3, G 4、スイッチング素子 S 3, S 4、インダクタ L 2、及び容量素子 C 3, C 4 を含んで構成される回路 (以下、この回路のことを第 2 バランス補正ユニットとも称する。) とを含む。

【 0 0 5 4 】

同図において、制御回路 1 0 A は、スイッチング素子 S 1, S 2 を相補的にオンオフして蓄電セル B 1 の電圧と蓄電セル B 2 の電圧を均等化させ、また制御回路 1 0 B は、スイッチング素子 S 3, S 4 を相補的にオンオフして蓄電セル B 2 の電圧と蓄電セル B 3 の電圧を均等化させる。これらの制御が行われることにより、蓄電セル B 2 の電圧は 2 つの蓄電セル B 1, B 3 の双方の電圧と均等化され、その結果、3 つの蓄電セル B 1, B 2, B 3 の電圧が均等化される。

【 0 0 5 5 】

同図において、容量素子 C 1 ~ C 4 は、いずれもスイッチング素子 S 1 ~ S 4 のオンオフ動作に起因して生じるノイズの低減、蓄電セル B 1 ~ B 3 の夫々に生じる電圧変化の緩和などを目的として設けられている。

【 0 0 5 6 】

図 4 は 4 つの蓄電セル B 1 ~ B 4 の電圧の均等化に対応したバランス補正回路 1 の一例である。同図に示すように、このバランス補正回路 1 は、蓄電セル B 1, B 2 の充放電を制御する、制御回路 1 0 A、ゲートドライバ G 1, G 2、スイッチング素子 S 1, S 2、インダクタ L 1、及び容量素子 C 1, C 2 を含んで構成される回路 (以下、この回路のことを第 1 バランス補正ユニットとも称する。) と、蓄電セル B 2, B 3 の充放電を制御する、制御回路 1 0 B、ゲートドライバ G 3, G 4、スイッチング素子 S 3, S 4、インダクタ L 2、及び容量素子 C 3, C 4 を含んで構成される回路 (以下、この回路のことを第 2 バランス補正ユニットとも称する。) と、蓄電セル B 3, B 4 の充放電を制御する、制御回路 1 0 C、ゲートドライバ G 5, G 6、スイッチング素子 S 5, S 6、インダクタ L 3、及び容量素子 C 5, C 6 を含んで構成される回路 (以下、この回路のことを第 3 バランス補正ユニットとも称する。) とを含む。

10

20

30

40

50

【 0 0 5 7 】

同図において、制御回路 10 A は、スイッチング素子 S 1 , S 2 を相補的にオンオフして蓄電セル B 1 の電圧と蓄電セル B 2 の電圧を均等化させ、制御回路 10 B は、スイッチング素子 S 3 , S 4 を相補的にオンオフして蓄電セル B 2 の電圧と蓄電セル B 3 の電圧を均等化させ、制御回路 10 C は、スイッチング素子 S 5 , S 6 を相補的にオンオフして蓄電セル B 3 の電圧と蓄電セル B 4 の電圧を均等化させる。これらの制御が行われることにより、蓄電セル B 2 の電圧は 2 つの蓄電セル B 1 , B 3 の双方の電圧と均等化され、また蓄電セル B 3 の電圧は 2 つの蓄電セル B 2 , B 4 の双方の電圧と均等化され、その結果、4 つの蓄電セル B 1 , B 2 , B 3 , B 4 の電圧が均等化される。

【 0 0 5 8 】

尚、同図において、容量素子 C 1 ~ C 6 は、いずれもスイッチング素子 S 1 ~ S 6 のオンオフ動作に起因して生じるノイズの低減、蓄電セル B 1 ~ B 4 の夫々に生じる電圧変化の緩和などを目的として設けられている。

【 0 0 5 9 】

[並行制御において生じる問題]

図 3 又は図 4 に示すバランス補正回路 1 において、各制御回路 10 (10 A ~ 10 C) は独立して動作することが可能であり、一の制御回路 10 によるスイッチング素子のオンオフ制御に並行して他の制御回路 10 によるスイッチング素子のオンオフ制御を行うこと (以下、この制御を並行制御と称する。) も可能である。

【 0 0 6 0 】

しかし各制御回路 10 A , 10 B , 10 C がスイッチング素子のオンオフ制御に際してスイッチング素子に入力する (スwitching素子のゲートに与える) 制御信号の周波数の同期が取れていない場合、前述した並行制御に際して問題が生じる可能性がある。即ち、例えば、図 3 の場合であれば接続点 J 4 2 に、図 4 の場合であれば接続点 J 4 2 , J 6 7 に、多数の周波数成分を含んだ時間的に安定しない乱れた電圧波形が現れ、ノイズや騒音の発生、回生電流の異常、異常発振等の問題が生じる可能性がある。以下、こうした問題の発生を防ぐための具体的な構成について説明する。

【 0 0 6 1 】

[第 1 実施例]

図 5 は第 1 実施例として示すバランス補正回路 1 である。このバランス補正回路 1 は、図 4 に示した 4 つの蓄電セル B 1 ~ B 4 の電圧の均等化に対応したバランス補正回路 1 を基本として構成されている。

【 0 0 6 2 】

このバランス補正回路 1 では、タイミング信号供給装置 100 (タイミング信号供給部) において生成した共通のタイミング信号 (例えば、発振回路等で生成された方形波のクロック信号) を各制御回路 10 A ~ 10 C に直接供給し、各制御回路 10 A ~ 10 C が、タイミング信号供給装置 100 から供給された共通のタイミング信号に基づき、夫々の制御対象になっているスイッチング素子 S 1 ~ S 6 をオンオフ制御するための制御信号 1 ~ 6 を生成する。尚、タイミング信号供給装置 100 は、例えば、マイクロコンピュータ、発振回路、クロックジェネレータ等を用いて構成されるが、タイミング信号供給装置 100 はいずれかの制御回路 10 の一部として構成されていてもよい。

【 0 0 6 3 】

このようにこのバランス補正回路 1 においては、各制御回路 10 A ~ 10 C が、同一のタイミング信号供給装置 100 から夫々に対して直接供給される共通のタイミング信号に基づき制御信号 1 ~ 6 を生成するので、各制御回路 10 A ~ 10 C が生成する制御信号は正確に同期しており、前述した問題の発生を防ぐことができる。

【 0 0 6 4 】

図 6 及び図 7 は、図 5 に示したバランス補正回路 1 の変形例である。図 6 に示すバランス補正回路 1 では、タイミング信号供給装置 100 の同一のポートから出力されるタイミング信号を、共通接続された分岐線路により分配して各制御回路 10 A ~ 10 C に供給す

10

20

30

40

50

るようにしている。また図7に示すバランス補正回路1では、タイミング信号供給装置100から一の制御回路10（同図では制御回路10C）に対してのみタイミング信号を直接供給し、その制御回路10（制御回路10C）から、当該制御回路10が供給を受けたタイミング信号を他の一の制御回路（同図では制御回路10B）に供給し、その制御回路（制御回路10B）から、当該制御回路10が供給を受けたタイミング信号をタイミング信号を他の一の制御回路（制御回路10A）に供給するように、即ち、タイミング信号供給装置100から出力されるタイミング信号を各制御回路10A～10Cにいわゆるバッケツリレー方式で供給するようにしている。図6又は図7の回路構成とした場合、タイミング信号供給装置100のタイミング信号の出力ポートの数が一つで済むためタイミング信号供給装置100の資源を有効利用することができる。

10

【0065】

[第2実施例]

図8は第2実施例として示すバランス補正回路1である。このバランス補正回路1は、図3に示した3つの蓄電セルB1～B3の電圧の均等化に対応したバランス補正回路1を基本として構成されている。

【0066】

このバランス補正回路1では、第2のバランス補正ユニットの制御回路10Bが生成する制御信号4に基づきタイミング信号を生成し、これを第1のバランス補正ユニットの制御回路10Aに供給するようにしている。より具体的には、第2のバランス補正ユニットは次のようにしてタイミング信号を生成する。

20

【0067】

同図に示すように、このバランス補正回路1にあっては、第2のバランス補正ユニットの制御信号4のスイッチング素子S4への供給線路と蓄電セルB3の正極（接続点J67）との間に、容量素子C81が設けられている。また蓄電セルB3の正極と容量素子C81の蓄電セルB3の正極側の端子（接続点J69側の端子）との間に、蓄電セルB3の正極から容量素子C81の蓄電セルB3の正極側の端子の方向にのみ電流を通過させる整流素子D1（ダイオード等）が設けられている。そして容量素子C81の蓄電セルB3の正極側の端子の電圧がタイミング信号として制御回路10Aに供給されるように、容量素子C81の蓄電セルB3の正極側の端子と制御回路10Aのタイミング信号の入力端子とが結線されている。

30

【0068】

以上の構成において、制御信号4がローレベルのときに容量素子C81は充電され、制御信号4がハイレベルのとき、容量素子C81の蓄電セルB3の正極側の端子の電圧は蓄電セルB3の正極の電位と制御信号4の電圧とを加えた値になる。

【0069】

図9に制御信号4の波形並びに制御回路10Aに供給されるタイミング信号の波形を例示している。同図に示すように、制御回路10Aに供給されるタイミング信号は、制御信号4に同期した波形となっている。また同図に示すように、タイミング信号は、制御信号4がローレベルのときにローレベル（蓄電セルB3の正極の電位）となり、制御信号4がハイレベルのときにハイレベル（蓄電セルB3の正極の電位に制御信号4によって充電された容量素子C81の端子間の電圧を加えた電位）となっている。尚、制御回路10Aがタイミング信号に基づき制御信号1, 2を生成する具体的な仕組みについては後述する。

40

【0070】

第1のバランス補正ユニットの制御回路10Aは、以上のようにして第2のバランス補正ユニットから供給されるタイミング信号に同期させて制御信号1, 2を生成する。尚、タイミング信号の電圧レベルを調整する必要がある場合には、例えば、図10に示すように、抵抗素子R1, R2により整流素子D1の端子間電圧を分圧した電圧をタイミング信号として制御回路10Aに供給するようにすればよい。

【0071】

50

同様の仕組みは4つ以上の蓄電セルに対応したバランス補正回路1に拡張することができる。図11は4つの蓄電セルB1～B4の電圧の均等化に対応したバランス補正回路1に適用した場合の一例である。尚、このバランス補正回路1は、図4に示したバランス補正回路1を基本として構成されている。

【0072】

同図に示すように、このバランス補正回路1にあっては、第3のバランス補正ユニットの制御回路10Cが生成する制御信号6に基づきタイミング信号を生成し、これを第2のバランス補正ユニットの制御回路10Bに供給するようにしている。また上記タイミング信号に基づき第2のバランス補正ユニットの制御回路10Bが生成する制御信号4に基づきタイミング信号を生成し、これを第1のバランス補正ユニットの制御回路10Aに供給するようにしている。

10

【0073】

図12に制御信号6の波形並びに制御回路10Bに供給されるタイミング信号の波形の一例を示す。同図に示すように、制御回路10Bに供給されるタイミング信号は、制御信号6に同期した波形になっている。また同図に示すように、タイミング信号は、制御信号6がローレベルのときにローレベル（蓄電セルB4の正極の電位）となり、制御信号6がハイレベルのときにハイレベル（蓄電セルB4の正極の電位に制御信号6によって充電された容量素子C81の端子間の電圧を加えた電位）となる。

【0074】

図13に制御信号4の波形並びに制御回路10Aに供給されるタイミング信号の波形を例示している。同図に示すように、制御回路10Aに供給されるタイミング信号は、制御信号4に同期した波形になっている。また同図に示すように、タイミング信号は、制御信号4がローレベルのときにローレベル（蓄電セルB3の正極の電位）となり、制御信号4がハイレベルのときにハイレベル（蓄電セルB3の正極の電位に制御信号4によって充電された容量素子C82の端子間の電圧を加えた電位）となる。尚、制御回路10Aがタイミング信号に基づき制御信号1, 2を生成する具体的な仕組みについては後述する。

20

【0075】

第2のバランス補正ユニットの制御回路10Bは、以上のようにして第3のバランス補正ユニットから供給されるタイミング信号に同期させて制御信号3, 4を生成する。また第1のバランス補正ユニットの制御回路10Aは、以上のようにして第2のバランス補正ユニットから供給されるタイミング信号に同期させて制御信号1, 2を生成する。

30

尚、タイミング信号の電圧レベルを調整する必要がある場合には、3つの蓄電セルに対応したバランス補正回路1の場合と同様、整流素子D1（又は整流素子D2）の端子間電圧を分圧した電圧をタイミング信号として制御回路10B（又は制御回路10A）に供給するようにすればよい。

【0076】

以上に説明したように、第2実施例のバランス補正回路1によれば、一のバランス補正ユニットの制御回路10が生成する制御信号に基づき生成されるタイミング信号を他のバランス補正ユニットの制御回路10に供給し、他のバランス補正ユニットがこのタイミング信号によって制御信号を生成するので、制御回路10間で制御信号を正確に同期させることができる。このため、制御信号の同期が取れていないことに起因する前述の問題の発生を防ぐことができる。

40

【0077】

[第3実施例]

図14は第3実施例として示すバランス補正回路1である。このバランス補正回路1は、図3に示した3つの蓄電セルB1～B3の電圧の均等化に対応したバランス補正回路1を基本として構成されている。

【0078】

50

このバランス補正回路 1 にあっては、第 2 のバランス補正ユニットの制御回路 10 B が生成する制御信号 3, 4 に基づきタイミング信号を生成し、これを第 1 のバランス補正ユニットの制御回路 10 A に供給するようにしている。より具体的には、このバランス補正回路 1 にあっては、第 2 のバランス補正ユニットの制御回路 10 B のスイッチング素子 S 1、スイッチング素子 S 2、及びインダクタ L 2 の共通接続点 J 6 4 (共通接続点を含む線路) の電圧を、整流素子 D 1 (ダイオード等) を介して制御回路 10 A に供給するようにしている。

【0079】

図 15 に共通接続点 J 6 4 の波形並びに制御回路 10 A に供給されるタイミング信号の波形を例示している。同図に示すように、制御回路 10 A に供給されるタイミング信号は、共通接続点 J 6 4 の波形に同期した波形、即ち、制御信号 3, 4 に同期した波形になっている。また同図に示すように、タイミング信号は、共通接続点 J 6 4 の波形がローレベルのときにローレベル (蓄電セル B 3 の正極の電位) となり、共通接続点 J 6 4 の波形がハイレベルのときにハイレベル (蓄電セル B 2 の正極の電位) となる。

【0080】

第 1 のバランス補正ユニットの制御回路 10 A は、以上のようにして第 2 のバランス補正ユニットから供給されるタイミング信号に同期させて制御信号 1, 2 を生成する。尚、制御回路 10 A 側の構成によっては、タイミング信号の電圧レベルを調整する必要がある場合には、例えば、図 16 に示すように、共通接続点 J 6 4 と制御回路 10 A のタイミング信号の入力端子との間に抵抗素子 R 1 を直列に挿入するとともに蓄電セル B 3 の正極と制御回路 10 A のタイミング信号の入力端子との間に抵抗素子 R 2 を挿入して電圧レベルを調整すればよい。

【0081】

同様の仕組みは 4 つ以上の蓄電セルに対応したバランス補正回路 1 に拡張することができる。図 17 は 4 つの蓄電セル B 1 ~ B 4 の電圧の均等化に対応したバランス補正回路 1 に適用した場合の一例である。尚、このバランス補正回路 1 は、図 4 に示したバランス補正回路 1 を基本として構成されている。

【0082】

同図に示すように、このバランス補正回路 1 にあっては、第 3 のバランス補正ユニットの制御回路 10 C が生成する制御信号 5, 6 に基づきタイミング信号を生成し、これを第 2 のバランス補正ユニットの制御回路 10 B に供給するようにしている。また第 3 のバランス補正ユニットから供給される上記タイミング信号に基づき第 2 のバランス補正ユニットの制御回路 10 B が生成する制御信号 3, 4 に基づきタイミング信号を生成し、これを第 1 のバランス補正ユニットの制御回路 10 A に供給するようにしている。

【0083】

図 18 に共通接続点 J 7 4 の波形並びに制御回路 10 B に供給されるタイミング信号の波形の一例を示す。同図に示すように、制御回路 10 B に供給されるタイミング信号は、共通接続点 J 7 4 の波形に同期した波形、即ち、制御信号 5, 6 に同期した波形になっている。また同図に示すように、タイミング信号は、共通接続点 J 7 4 の波形がローレベルのときにローレベル (蓄電セル B 4 の正極の電位) となり、共通接続点 J 7 4 の波形がハイレベルのときにハイレベル (蓄電セル B 3 の正極の電位) となる。

【0084】

図 19 に共通接続点 J 6 4 の波形並びに制御回路 10 A に供給されるタイミング信号の波形の一例を示す。同図に示すように、制御回路 10 A に供給されるタイミング信号は、共通接続点 J 6 4 の波形に同期した波形、即ち、制御信号 3, 4 に同期した波形になっている。また同図に示すように、タイミング信号は、共通接続点 J 6 4 の波形がローレベルのときにローレベル (蓄電セル B 3 の正極の電位) となり、共通接続点 J 6 4 の波形がハイレベルのときにハイレベル (蓄電セル B 2 の正極の電位) となる。

【0085】

以上に説明したように、第 3 実施例のバランス補正回路 1 によれば、一のバランス補正

10

20

30

40

50

ユニットの制御回路 10 が生成する制御信号に基づき生成されるタイミング信号を他のバランス補正ユニットの制御回路 10 に供給し、他のバランス補正ユニットがこのタイミング信号によって制御信号を生成するので、制御回路 10 間で制御信号を正確に同期させることができる。このため、制御信号の同期が取れていないことに起因する前述の問題の発生を防ぐことができる。

【0086】

また第3実施例のバランス補正回路 1 は、一のバランス補正ユニットの制御回路 10 の2つのスイッチング素子 S1 とインダクタ L の共通接続点の電圧に基づき生成されるタイミング信号を他のバランス補正ユニットの制御回路 10 に供給するので、第2実施例のように容量素子を設ける必要がなく、制御回路 10 間で制御信号を正確に同期させる仕組みをより簡素な構成で実現することができる。

10

【0087】

[タイミング信号に同期した制御信号の生成方法]

以上に説明した実施例において、制御回路 10 は、供給されたタイミング信号に基づき、例えば、次のようにして制御信号を生成する。

【0088】

図20は第1乃至第3実施例で説明したバランス補正ユニット1の構成である(同図ではバランス補正ユニット1を一般化して描いている)。同図に示すように、制御回路10は、制御信号生成回路101、デューティ比制御回路102、計測回路103を備えている。これらの回路の基本的な構成は前述した通りである。同図に示すように、制御信号生成回路101は鋸波生成回路1011を備えている。鋸波生成回路1011は入力されるタイミング信号に同期させた鋸波を生成する。

20

【0089】

図21に示すように、制御信号生成回路101は、デューティ比制御回路102から入力されるデューティ比制御信号と、鋸波生成回路1011によって生成された鋸波とを比較することにより制御信号 i ($i = 1, 3, 5 \dots$) 及び i とは逆位相の制御信号 $i + 1$ を生成する。尚、説明の簡単の為、同図には i のみ示している。

【0090】

鋸波生成回路1011は、例えば、図22に示すように、タイミング信号がローレベルからハイレベル(逆論理(ハイレベルからローレベル)でもよい)に遷移したタイミングで鋸波を最大値(又は最小値)にリセットすることにより、タイミング信号に同期させた鋸波を生成する。

30

【0091】

以上により、制御回路10は、外部から入力されるタイミング信号に基づき、これに同期させた制御信号(制御信号 i , $i + 1$)を生成することができる。

【0092】

ところで、以上に説明した実施形態の説明は、本発明の理解を容易にするためのものであり、本発明を限定するものではない。本発明はその趣旨を逸脱することなく、変更、改良され得ると共に本発明にはその等価物が含まれることは勿論である。

【0093】

例えば、本発明のバランス補正回路は、蓄電セルとは別体に設けられるものであってもよいし、蓄電セルと一体化されて電池パック等を構成するものであってもよい。

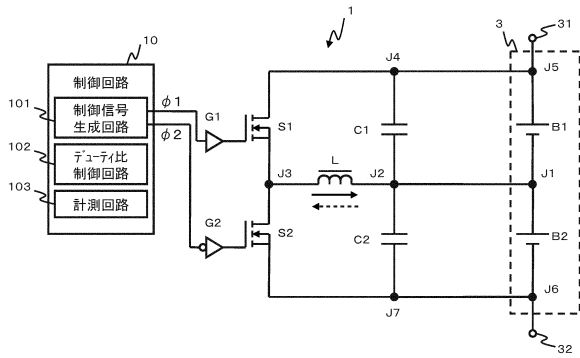
40

【符号の説明】

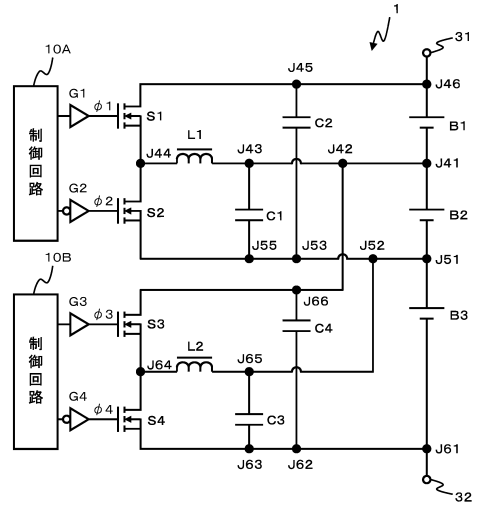
【0094】

1 バランス補正回路、10A~10C 制御回路、101 制御信号生成回路、1011 鋸波生成回路、102 デューティ比制御回路、103 計測回路、100 タイミング信号供給装置、L1~L3 インダクタ、C1~C6 容量素子、B1~B4 蓄電セル、S1~S6 スwitching素子、D1, D2 整流素子

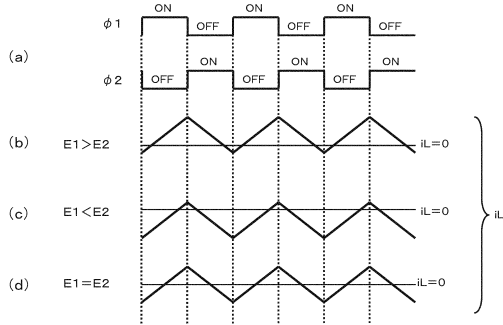
【図1】



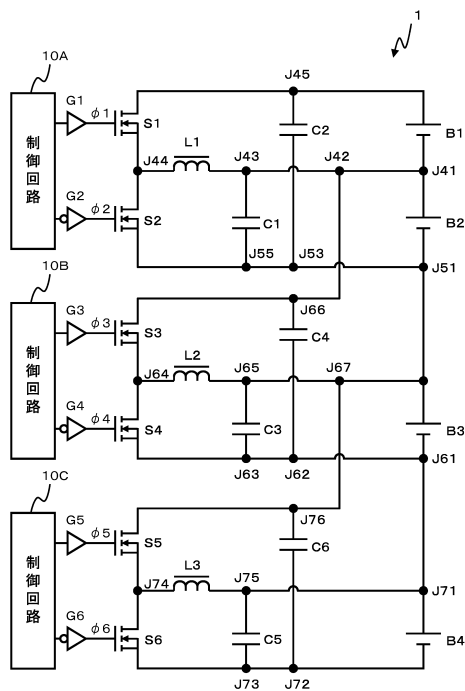
【図3】



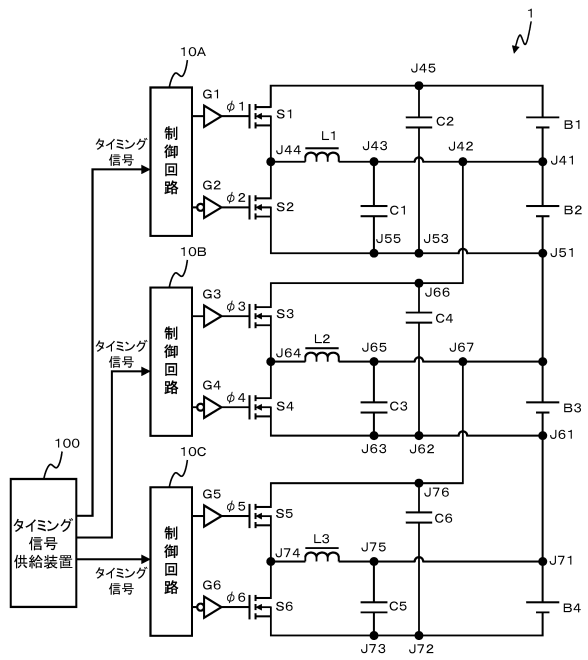
【図2】



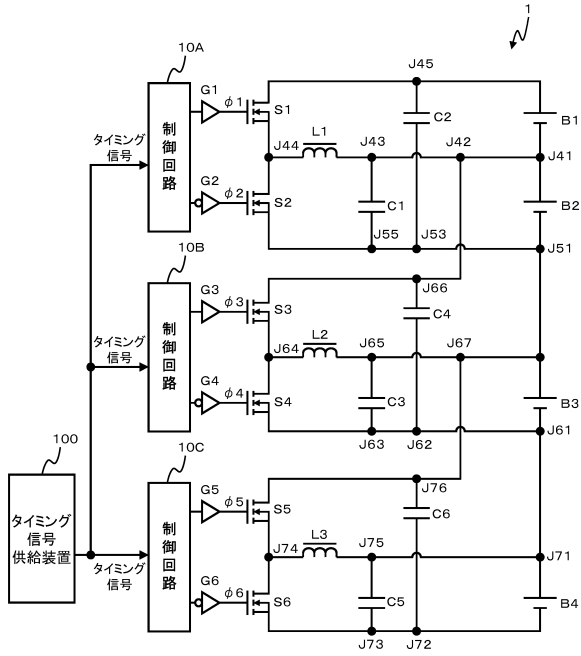
【図4】



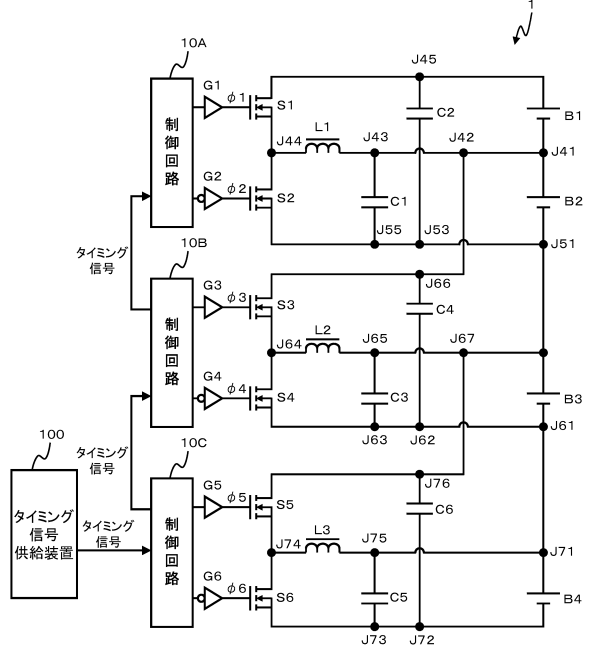
【図5】



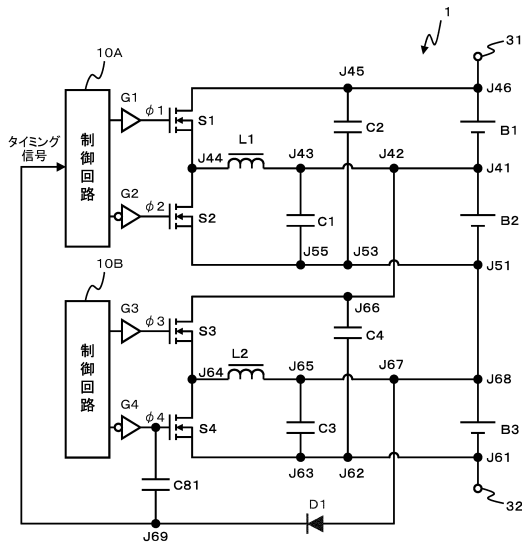
【図6】



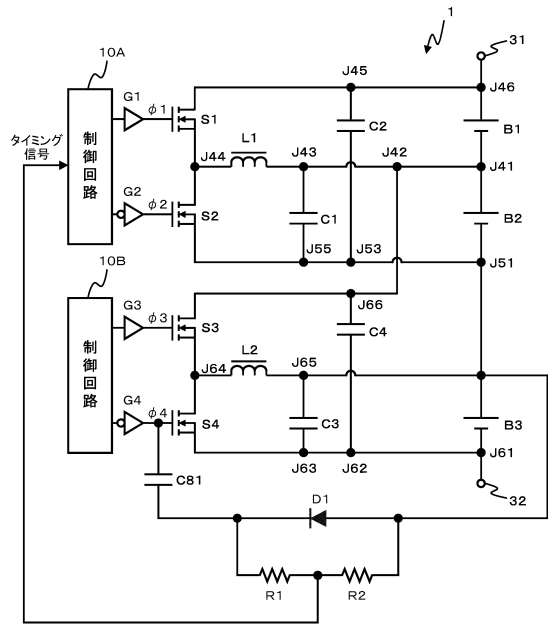
【図7】



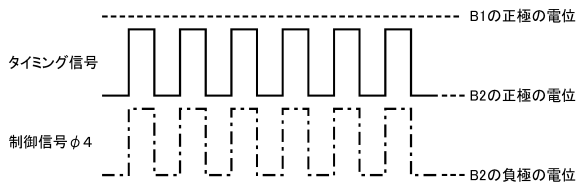
【図8】



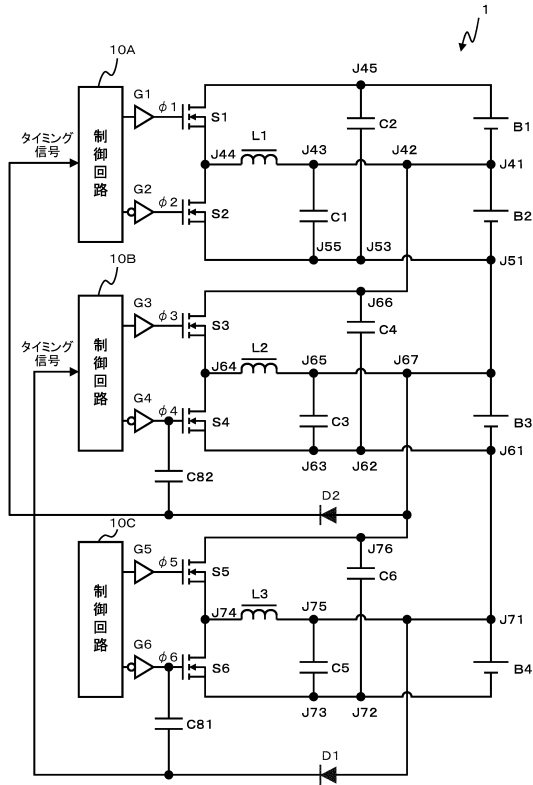
【図10】



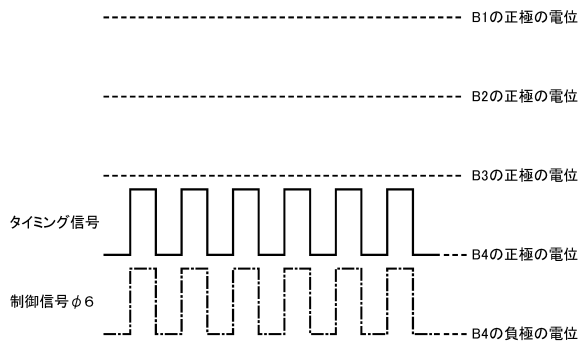
【図9】



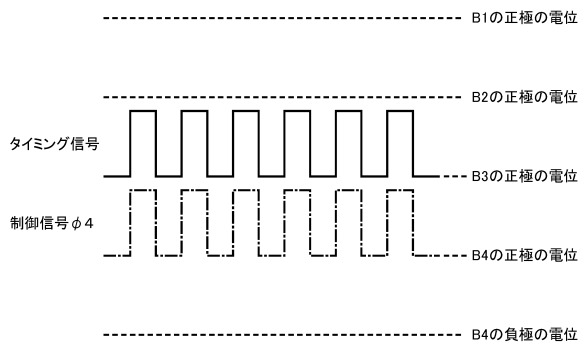
【図11】



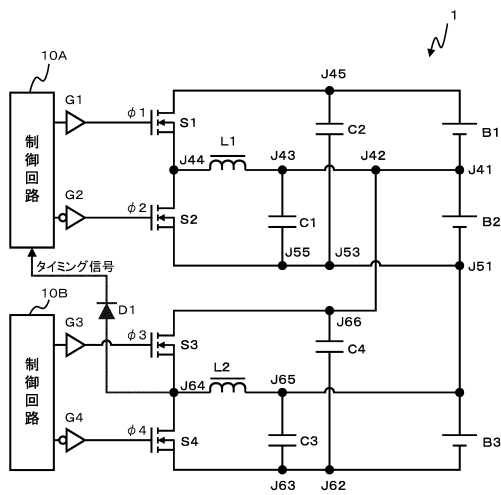
【図12】



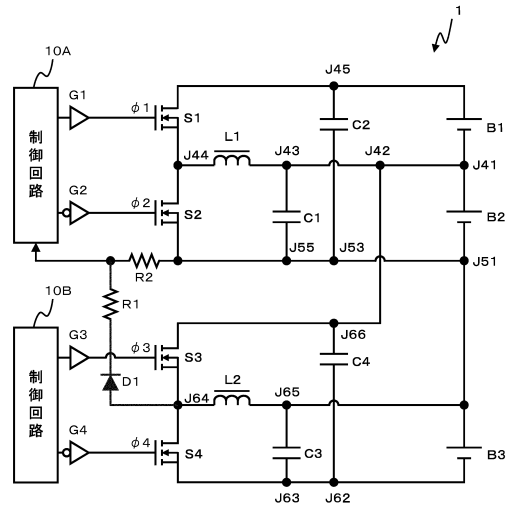
【図13】



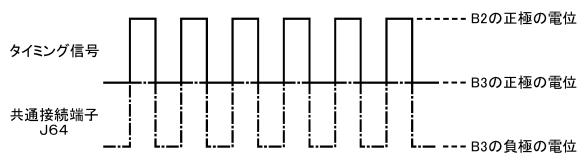
【図14】



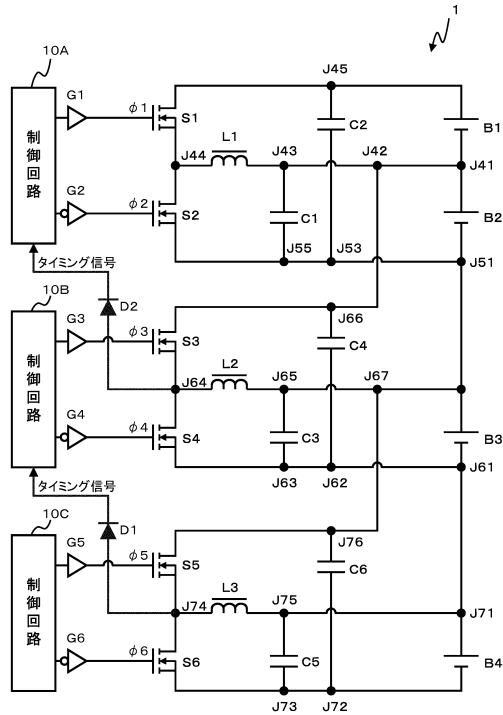
【図16】



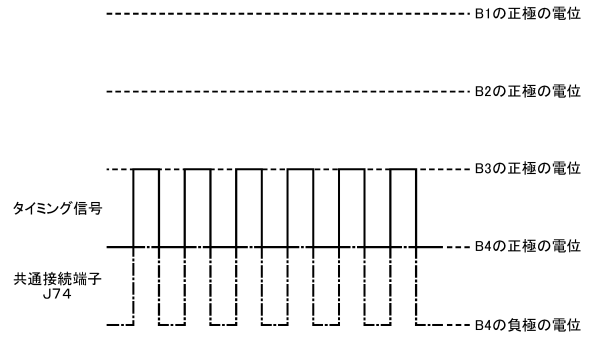
【図15】



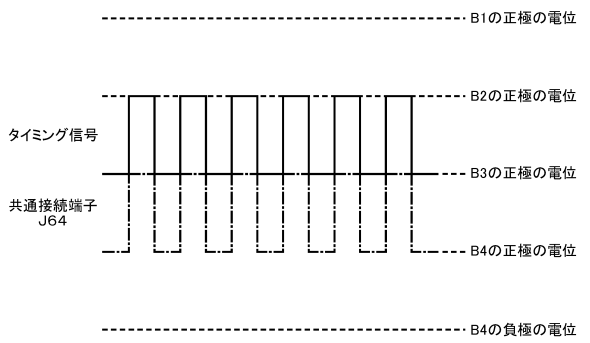
【図17】



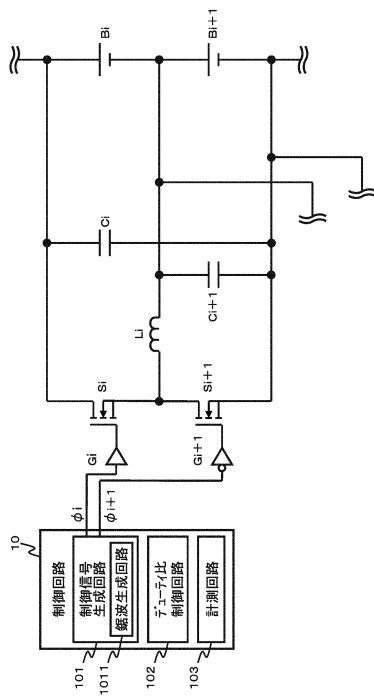
【図18】



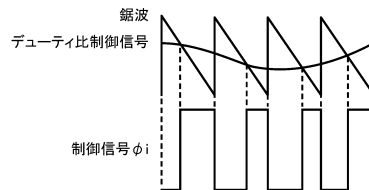
【図19】



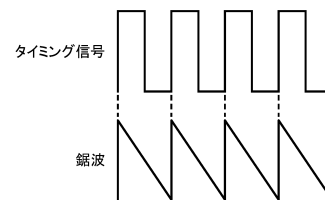
【図20】



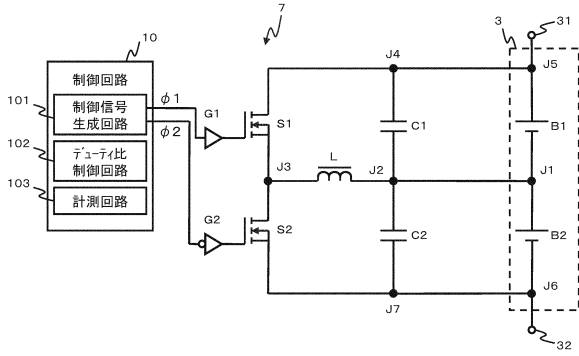
【図21】



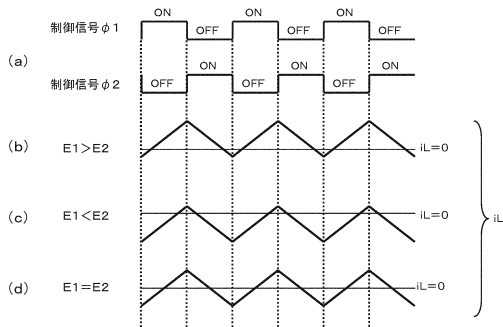
【図22】



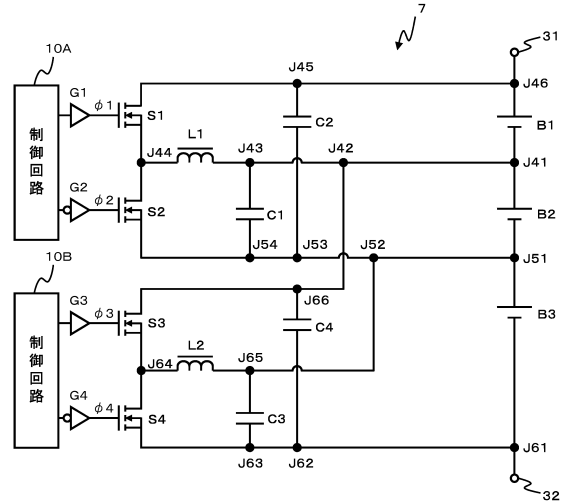
【図23】



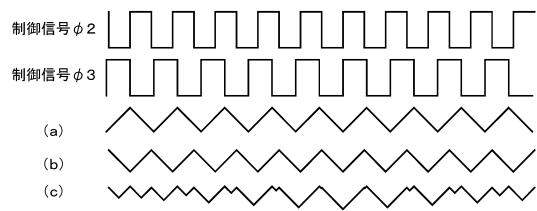
【図24】



【図25】



【図26】



フロントページの続き

(56)参考文献 特開2008-017605(JP,A)
特開2013-115882(JP,A)
特開2001-185229(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02J 7/02