

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年10月26日(26.10.2012)



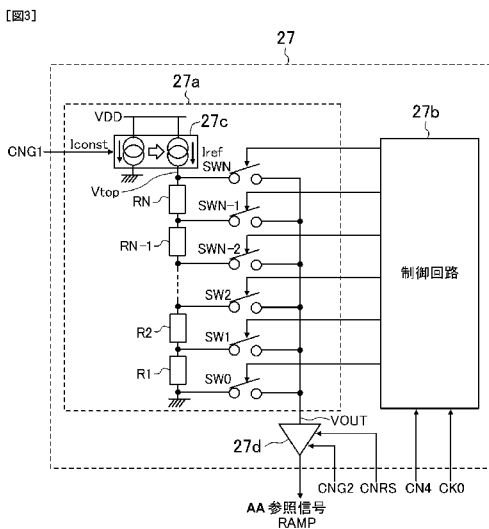
(10) 国際公開番号
WO 2012/144234 A1

- (51) 国際特許分類:
H03M 1/08 (2006.01) H04N 5/374 (2011.01)
H01L 21/822 (2006.01) H04N 5/378 (2011.01)
H01L 27/04 (2006.01) H04N 101/00 (2006.01)
H03M 1/66 (2006.01)
- (21) 国際出願番号: PCT/JP2012/002756
- (22) 国際出願日: 2012年4月20日(20.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-094598 2011年4月21日(21.04.2011) JP
- (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 生熊 誠 (IKUMA, Makoto). 藤中 洋(FUJINAKA, Hiroshi). 樋口 真浩(HIGUCHI, Masahiro). 山岡 優介(YAMAOKA, Yuusuke).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: VOLTAGE GENERATING CIRCUIT, ANALOG-DIGITAL CONVERTER CIRCUIT, SOLID-STATE IMAGE PICKUP DEVICE, AND IMAGE PICKUP APPARATUS

(54) 発明の名称: 電圧発生回路、アナログ・デジタル変換回路、固体撮像装置、及び撮像装置



(57) Abstract: A voltage generating circuit (27) is provided with: a control circuit (27b) that outputs a first digital signal; a DAC (27a) that outputs a first analog signal that is in accordance with the first digital signal; an attenuator (27d) that is connected to the output end of the DAC (27a), and outputs a voltage signal resulting from attenuating the first analog signal inputted from the DAC (27a).

(57) 要約: 電圧発生回路27は、第1のデジタル信号を出力する制御回路27bと、第1のデジタル信号に応じた第1のアナログ信号を出力するDAC27aと、DAC27aの出力端に接続され、DAC27aから入力された第1のアナログ信号を減衰させた電圧信号を出力する減衰器27dとを備えている。

Gain1 = Iref / Iconst
Vconst = Iconst x Rtotとするとき BB
Vtop = Iref x Rtot
= (Iconst x Gain1) x Rtot
= Vconst x Gain1

27b - Control circuit
AA - Reference signal (RAMP)
BB - When Gain1 = Iref/Iconst, and
Vconst = Iconst x Rtot

WO 2012/144234 A1

ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

電圧発生回路、アナログ・デジタル変換回路、固体撮像装置、及び撮像装置

技術分野

[0001] 本明細書に記載された技術は、電圧発生回路、アナログ・デジタル変換回路、固体撮像装置及び撮像装置に関するものである。

背景技術

[0002] 固体撮像装置は、1000万画素以上の高解像度のものが実用化されており、光電変換素子のセルサイズの縮小化が進んでいる。

[0003] このような高解像度の固体撮像装置を実現するために、MOSイメージセンサの信号読み出し方式について、様々なものが提案されている。従来の固体撮像装置では、低ノイズ化と高速化のため、画素信号を、列毎に設けられたAD変換部によってデジタル変換されたりセット成分とデータ成分(=リセット成分+信号成分)のデジタル信号を相関二重サンプリング(CDS: Correlated Double Sampling)することにより検出している。

[0004] 近年、固体撮像装置は解像度の高さだけでなく、高感度で高速撮影が可能なが要求されており、今まで以上に低ノイズ化が望まれるようになってきている。

[0005] 一般に、固体撮像装置から発生するノイズは、その種類により、FPN(Fixed Pattern Noise)とランダムノイズ(Random Noise)とに大別できる。前者のFPNは、ノイズが発生している列や画素がデバイスごとに固定していることから、固体撮像装置の後段に接続されたDSP(Digital Signal Processor)などを用いた補正技術により、デバイスごとに最適化されて大部分を除去できる。

[0006] 一方、後者のランダムノイズには、主に画素の増幅トランジスタで発生して画面全体にランダムに発生するランダムノイズと、主に撮像領域周辺のア

ナログ処理回路で発生するランダム横線ノイズとがある。ランダムノイズのノイズレベルは不規則（ランダム）であることから、デバイスごとに補正することは困難である。

[0007] 一般的に、ランダムノイズは視覚的に認識しにくい、ランダム横線ノイズは視覚的に認識しやすいものである。このため、具体的には、ランダム横線ノイズは増幅トランジスタで発生するランダムノイズよりも1/10倍程度の低ノイズ化が必要である。

[0008] 図10は、特許文献1に記載された従来の電圧発生回路127を示す回路図である。従来の電圧発生回路127は、DAC127aと、制御回路127bとを備えている。DAC127aは、電流可変回路127fに接続されたラダー抵抗R1～RNを有するラダー抵抗回路と、各ラダー抵抗間のタップに接続されたスイッチ素子SW0～SWNとを用いて多段階の電圧参照信号RAMPを出力する。なお、図10に示すVtopはラダー抵抗回路のトップ電圧を示し、信号CNG1に応じて変動する電流値により変化する。また、制御回路127bは信号CN4とクロック信号CK0とを受ける。

先行技術文献

特許文献

[0009] 特許文献1：米国特許第6956413号明細書

発明の概要

発明が解決しようとする課題

[0010] 固体撮像装置の高解像度化に伴って画素は微細化されるため、画素から読み出される信号成分（S：Signal）が低下する。従って、SN比特性を従来と同じレベルで維持するためには、ノイズ成分（N：Noise）も低減する必要がある。

[0011] 図10に示す従来の電圧発生回路127を用いた列並列出力型のAD変換構成を有する固体撮像装置では、参照信号RAMPと画素の信号（アナログ信号）とを比較することでAD変換を行っている。しかしながら、この電圧

発生回路 127 は、ノイズの低減が困難であり、列並列出力型の固体撮像装置特有のランダム横線ノイズの発生源となっている。

[0012] 上述の従来の電圧発生回路 127 は、複数の基準電圧を生成するラダー抵抗 $R_1 \sim R_N$ と、ラダー抵抗の複数のタップに対応する複数のスイッチ素子 $SW_0 \sim SW_N$ とを備えており、複数のスイッチ素子 $SW_0 \sim SW_N$ のうちいずれか 1 つをオン状態にすることにより、複数の基準電圧のうちいずれか 1 つが出力電圧として出力される。このようにして、多段階の出力電圧を発生させる。

[0013] しかし、このような電圧発生回路 127 では、出力電圧の階調数を多くするために、基準電圧の数を増加させる必要がある。このため、ラダー抵抗を構成する抵抗素子の個数、スイッチ素子の個数を多くする必要がある。

[0014] 一般的には、低ノイズ化の観点からは、ラダー抵抗の抵抗値やスイッチ素子の ON 抵抗値を下げるとよい。しかしながら、スイッチ素子の抵抗値を下げると大幅にチップ面積の増加を招いてしまう。

[0015] そこで、本発明は、上述した従来の問題に鑑みてなされたものであって、面積の増加を抑えつつ、ノイズを低減することができる固体撮像装置、撮像装置及びこれを実現する電圧発生回路を提供することにある。

課題を解決するための手段

[0016] 上記課題を解決するために、本発明の一例に係る電圧発生回路は、第 1 のデジタル信号を出力する制御回路と、前記制御回路から入力された前記第 1 のデジタル信号に応じた第 1 のアナログ信号を出力するデジタル・アナログ変換回路と、前記デジタル・アナログ変換回路の出力端に接続され、前記デジタル・アナログ変換回路から入力された前記第 1 のアナログ信号を減衰させた電圧信号を出力する減衰器とを備えている。

[0017] この構成によれば、減衰器によってデジタル・アナログ変換回路の出力信号（第 1 のアナログ信号）に含まれるノイズ成分、特にランダム横線ノイズ成分を低減することができる。電圧発生回路が固体撮像装置に用いられる場合、減衰器は全てのカラムアナログ・デジタル変換回路に対して 1 つのみ設

ければよく、比較的少数の素子で構成できるので、従来技術と比べて回路面積の増加はわずかである。従って、上述の構成によれば、回路面積の大きな増加を伴わずにランダム横線ノイズの低減を実現することができるので、高画質の画像を得つつ、回路面積の小さい固体撮像装置を実現することができる。なお、減衰器によって低減できるノイズには、従来チップ面積の増加させずに低減することが困難であった、スイッチ素子を構成するMOSトランジスタのサーマルノイズも含まれる。

[0018] また、前記制御回路が、所定の期間、クロック信号に同期して前記電圧信号の電圧値がスロープ状に減少または増加するようにデジタル・アナログ変換回路を制御する場合、この電圧信号を参照信号として画素信号などのアナログ・デジタル変換に用いることで、容易にCDS処理を行うことが可能となる。

[0019] また、減衰器は、差動増幅器を有するアクティブ型の減衰器であってもよいし、パッシブ型の減衰器であってもよい。

[0020] 本発明の一例に係るアナログ・デジタル変換回路は、第2のアナログ信号を第2のデジタル信号に変換するアナログ・デジタル変換回路であって、前記第2のアナログ信号の電圧と上述の電圧発生回路から出力された前記電圧信号の電圧とを比較する電圧比較器と、クロック信号に同期してカウントアップまたはカウントダウンを行うとともに、前記電圧比較器の比較結果を受け、前記電圧信号と前記第2のアナログ信号の大小関係が逆転するときのカウント値を前記第2のデジタル信号として出力するカウンタ部とを備えている。

[0021] このように、本発明の一例に係る電圧発生回路とこのアナログ・デジタル変換回路とを組み合わせることで、回路面積を大きく増加させることなく精度の良いアナログ・デジタル変換を行うことができる。

[0022] 本発明の一例に係る固体撮像装置は、行列状に配置された複数の単位画素により構成された画素アレイと、参照信号を出力する電圧発生回路と、前記単位画素の各列ごとまたは複数列ごとに設けられ、前記画素アレイから読み

出されたアナログの画素信号の電圧を前記参照信号の電圧と比較することにより、前記画素信号をデジタル変換するカラムアナログ・デジタル変換回路とを備えている。さらに、前記電圧発生回路は、デジタル信号を出力する制御回路と、前記制御回路から入力された前記デジタル信号に応じたアナログ信号を出力するデジタル・アナログ変換回路と、前記デジタル・アナログ変換回路の出力端に接続され、前記デジタル・アナログ変換回路から入力された前記アナログ信号を減衰させた電圧信号を、前記参照信号として出力する減衰器とを有している。

[0023] この構成によれば、減衰器によりノイズ成分が低減された参照信号がカラムアナログ・デジタル回路に供給されるので、回路面積を大きく増やすことなく、アナログ・デジタル変換の精度を向上させ、高画質で解像度の高い画像を得ることができる。

[0024] このような固体撮像装置は、カメラなどの撮像装置に好ましく用いられる。

発明の効果

[0025] 本発明の一例に係る電圧発生回路、及びこれを有する固体撮像装置によれば、ノイズ特性の低減を面積の増加を抑えつつ、撮影画像の高解像度化を実現できるという効果を奏する。

図面の簡単な説明

[0026] [図1]図1は、本発明の実施形態に係る撮像装置（カメラ機器）を示す回路図である。

[図2]図2は、単位画素の具体的な構成例を示す回路図である。

[図3]図3は、本発明の実施形態に係る電圧発生回路27の具体的な回路構成例を示す回路図である。

[図4]図4は、本発明の実施形態に係る固体撮像装置の駆動方法を説明するためのタイミングチャートである。

[図5]図5は、本発明の実施形態に係る固体撮像装置の駆動方法を説明するためのタイミングチャートである。

[図6]図6 (a) は、本発明の実施形態に係る電流可変回路において、反転型の減衰器を用いた際の参照信号 RAMP を示す図であり、図6 (b) は、非反転型の減衰器を用いた際の参照信号 RAMP を示す図である。

[図7]図7 は、差動増幅器を用いたアクティブ型の減衰器の一例を示す回路図である。

[図8]図8 は、差動増幅器を用いないパッシブ型の減衰器の一例を示す回路図である。

[図9]図9 は、本発明の実施形態の変形例に係る電圧発生回路 27 の具体的な回路構成例を示す回路図である。

[図10]図10 は、従来の電圧発生回路を示す回路図である。

発明を実施するための形態

[0027] (実施形態)

図1 は、本発明の実施形態に係る撮像装置（カメラ機器）を示す回路図である。

[0028] 同図に示すように、本実施形態の撮像装置は、固体撮像装置1と、固体撮像装置1の端子5aにマスタークロックMCLKを供給し、端子5bから各制御信号のデータDATA（水平同期信号、垂直同期信号、レジスタ制御信号など）を入出力し、また、画素信号である映像データD1を受ける外部システム（DSP）45とを備えている。

[0029] 固体撮像装置1は、複数の単位画素3が行及び列に配列された画素アレイ10と、画素アレイ10の外側に設けられ、行走査線15を介して読み出しを行う単位画素3を選択する垂直走査回路（行走査回路）14と、画素アレイ10の外側に設けられ、単位画素3の列ごとに配置されたカラムアナログ・デジタル変換回路（以下、「カラムAD変換回路」と表記）25と、各列の単位画素3に接続された垂直信号線19と、垂直信号線19に接続され、垂直信号線19を介して読み出された信号を対応するカラムAD変換回路25へと送るADC入力線40と、各カラムAD変換回路25に参照信号RAMPを出力する電圧発生回路27と、端子5aを介して外部システム45か

ら供給されたマスタークロックMCLKを受けて種々の内部クロックを生成するタイミング制御部20と、各列のカラムAD変換回路25からAD変換された画素信号が出力される水平信号線18と、列アドレスや列走査を制御する水平走査回路（列走査回路）12と、水平信号線18に接続された出力回路28とを有している。複数のカラムAD変換回路25がカラム処理部26を構成している。

[0030] タイミング制御部20は、制御信号CN1によって垂直走査回路14を制御し、制御信号CN2によって水平走査回路12を制御し、制御信号CN4によって電圧発生回路27を制御する他、制御信号CN5、CN8、CNG1、CNG2、CNRS及びクロック信号CK0などを出力する。

[0031] 図1ではカラムAD変換回路25は単位画素3の行ごとに設けられているが、複数行につき1つのカラムAD変換回路25が設けられていてもよい。

[0032] 各カラムAD変換回路25は、参照信号RAMP及び画素信号がそれぞれ入力される入力端を有する電圧比較器252と、タイミング制御部20から出力される信号CK0及び電圧比較器252の出力信号がそれぞれ入力されるカウンタ部254と、カウンタ部254の出力端に接続されたデータ記憶部256と、カウンタ部254とデータ記憶部256との間に介設されたスイッチ258とを有している。カウンタ部254にはタイミング制御部20から出力された信号CN5が入力されており、スイッチ258の動作はタイミング制御部20から出力される信号CN8によって制御されている。

[0033] 本発明の実施形態に係る電圧発生回路27は、制御回路27b、デジタルアナログ変換回路（DAC: Digital Analog Converter）27a、及び減衰器27dとを備えている。

[0034] 図2は、単位画素3の具体的な構成例を示す回路図である。なお、上述の行走査線15には、リセット信号線、読み出し信号線、及び選択信号線が含まれる。

[0035] 図2に示すように、各単位画素3は、光電変換を行うフォトダイオードPD1と、読み出し信号線を介して印加される信号ΦTRによって制御され、

フォトダイオードPD1に蓄積された信号を読み出す読み出しトランジスタT10と、読み出しトランジスタT10によって読み出された信号を保持するフローティングディフュージョンFDと、一端がフローティングディフュージョンFDに接続され、他端に電源信号線VDDが接続され、リセット信号線を介して印加される信号ΦRSによって制御されるリセットトランジスタT11と、ゲート電極がフローティングディフュージョンFDに接続され、フローティングディフュージョンFDに蓄積された電荷に応じた電圧信号を出力する増幅トランジスタT12と、増幅トランジスタT12のソースに接続されたソースを有し、選択信号線を介して印加される信号ΦSELによって制御される選択トランジスタT13とを有している。増幅トランジスタT12により生じた電圧は画素信号として、選択トランジスタT13を介して垂直信号線19へと読み出される。

[0036] 各单位画素3から1行分ずつ読み出された画素信号は、垂直信号線(H0~Hm)19及びADC入力線(ADIN0~ADINm)40を經由してカラムAD変換回路25に入力される。

[0037] カラムAD変換回路25において、電圧比較器252はアナログの画素信号と電圧発生回路27で生成される参照信号RAMPとを比較し、カウンタ部254は電圧比較器252が比較処理を完了するまでの時間をカウントする。このカウント結果はデータ記憶部256に保持される。カラムAD変換回路25は、nビットのAD変換機能を有している。

[0038] 電圧比較器252の一方の非反転入力端子(以下、「入力端子(+)」と表記)には、他の電圧比較器252の一方の入力端子(+と共通に、電圧発生回路27により生成される参照信号RAMPが入力され、他方の反転入力端子(以下、「入力端子(-)」と表記)には、それぞれ対応するADC入力線40(ADIN0~ADINm)が接続され、画素信号が個々に入力される。電圧比較器252の出力信号はカウンタ部254に供給される。

[0039] また、カラムAD変換回路25では、電圧比較器252に参照信号RAMPを供給すると同時にクロック信号でのカウント(計数)を開始する。この

とき、電圧比較器252は、ADC入力線40 (ADIN0~ADINm) を介して入力されたアナログの画素信号の電圧を参照信号RAMPの電圧 (電位) と比較し、両者の大小関係が反転するタイミングでパルス信号を出力する。カウンタ部254は、このパルス信号を受けた時点でのカウント値を画素信号のデジタル値として出力する。

[0040] また、この際、AD変換とともに、ADC入力線40 (ADIN0~ADINm) を介して入力されたアナログ電圧の画素信号に対して、画素リセット直後のリセット成分 V_{rst} (ノイズを含む) と真の (受光光量に応じた) 信号成分を含むデータ成分 (リセット成分 V_{rst} +信号成分 V_{sig}) との差分をとる処理を行う。これによって、カラムAD変換回路25で誤差となる各列のクロックスキューやカウンタディレイ等のばらつきを排除して、真の信号成分 V_{sig} のみを取り出すことが可能になる。つまり、デジタルCDSが可能となる。

[0041] なお、図1は、例えば、リセット成分 V_{rst} (ノイズを含む) をダウンカウントし、データ成分 (リセット成分 V_{rst} +信号成分 V_{sig}) をアップカウントすることで真の信号成分 V_{sig} のみを取り出す構成を示している。

[0042] カラムAD変換回路25によりデジタル化された画素信号は、水平走査回路12から出力される水平選択信号により駆動される図示しない水平選択スイッチ素子を介して水平信号線18に伝送され、さらに出力回路28に入力される。

[0043] この構成により、本発明の実施形態に係る固体撮像装置において、電荷生成部としての受光素子が行列状に配置された画素アレイ10からは、行ごとに各列の画素信号が順次出力される。そして、受光素子が行列上に配された画素アレイ10に対する1枚分の画像すなわちフレーム画像が、画素アレイ10全体から読み出された画素信号によって構成される。

[0044] 次に、図3は、本発明の実施形態に係る電圧発生回路27の具体的な回路構成例を示す回路図である。上述の通り、電圧発生回路27は、デジタル入

力をアナログ信号に変換するデジタル・アナログ変換回路（DAC）27aと、制御回路27bと、減衰器27dとを備えている。

[0045] まず、DAC27aは、電流制御信号CNG1により、定電流 I_{const} から生成した基準電流 I_{ref} を出力する電流可変回路27cと、基準電流 I_{ref} を受け、複数の抵抗素子 $R_1 \sim R_N$ を有するラダー抵抗回路と、各抵抗素子の間に設けられたタップとDAC27aの出力端との間にそれぞれ設けられたスイッチ素子 $SW_0 \sim SW_N$ とを有している。この構成によれば、ラダー抵抗回路のトップ電圧 V_{top} として複数の電圧を発生させることができる。

[0046] DAC27aでは、複数のスイッチ素子 $SW_0 \sim SW_N$ の中で、いずれか1つをオン状態にすることにより、複数の基準電圧のうちいずれか1つが出力電圧として出力される。このようにして、DAC27aは、階段状にレベルが変化するアナログ信号である出力電圧（参照信号RAMP）を発生させている。

[0047] ここで、参照信号RAMPは全列の電圧比較器252の一端に入力されているので、参照信号RAMPを伝達する配線に付加される寄生抵抗や寄生容量は非常に大きくなっている。このため、階段状にレベルが変化する参照信号RAMPは、電圧比較器252の入力端では平滑化され、その波形はリニアなスロープ状となっている。

[0048] また、スイッチ素子 $SW_0 \sim SW_N$ を制御する制御回路27bは、デジタルクロック信号CKOを受け、デジタルの制御信号を出力する。制御回路27bは、デジタルクロック信号CKOのデジタル値に応じた電圧値を有する出力電圧（ V_{out} ）がDAC27aの出力ノードに発生するように、制御信号によって適切なスイッチ素子を選択する。

[0049] また、ゲイン制御信号CNG1とCNG2は、それぞれDAC27aのゲイン G_{ain1} と減衰器27dのゲイン G_{ain2} を設定するための信号である。

[0050] 本実施形態の固体撮像装置では、電圧発生回路27内に減衰器27dが設

けられており、DAC 27 aが出力するアナログ信号は減衰される。このため、後述のように、従来の固体撮像装置に比べて電圧発生回路から出力される参照信号RAMPに含まれるノイズが大きく低減される。従って、本実施形態の固体撮像装置によれば、画素信号のデジタル変換の高精度化が可能となり、撮像画像の高解像度化を実現できる。

[0051] ータイミングチャートを用いた回路動作の説明ー

図4及び図5は、本発明の実施形態に係る固体撮像装置の駆動方法を説明するためのタイミングチャートである。図4には、本実施形態に係る固体撮像装置における数フレーム分の動作が示されている。カラムAD変換回路25は全ての行の画素信号に対して連続的にデジタルCDSを実行している。ここで、第kフレームにおいて、1行目読み出しからn行目読み出しまで、各行の画素読み出しには、画素のリセット成分を読み出すためのダウンカウント期間と、画素の信号成分を読み出すためのアップカウント期間を必要としている。

[0052] このように、本実施形態に係る固体撮像装置では、図4に示すように各行の単位画素3からの信号読み出し、つまり、AD変換期間はダウンカウント期間とアップカウント期間で構成され、上記AD変換期間を各行で実行することで1フレームの映像データD1を出力している。

[0053] 本実施形態の固体撮像装置では、この1垂直走査期間(1V)のスタート前に、被写体の輝度レベルに応じて、ゲイン制御信号CNG1とCNG2を変更して、電圧発生回路27からの参照信号RAMPの傾きを変えることができる。具体的には、低照度時では、この1垂直走査期間(1V)のスタート前に参照信号RAMPの傾きを下げ、回路ゲインを上げる。一方、高輝度時では、この1垂直走査期間(1V)のスタート前に参照信号RAMPの傾きを上げて、回路ゲインを下げる。

[0054] 従来技術では、低照度時にスイッチ素子SW0～SWNのノイズが大きくなるので、参照信号RAMPの傾きを下げるとノイズが大きくなっていた。一方、本実施形態に係る固体撮像装置では、電流可変回路27cと減衰器2

7dを設けることにより、このノイズ低減を図ることができる。このため、本実施形態の電圧発生回路27を用いれば、低照度時でもノイズの少ない画像を得ることができる。

[0055] 次に、1水平走査期間(1H)のタイミングについて説明する。

[0056] まず、1回目の読み出しのため、タイミング制御部20は、カウンタ部254のカウンタ値を設定された初期値にリセットするとともに、タイミング制御部20からの制御信号CN5(図1参照)により、カウンタ部254をダウンカウントモードに設定する。ここで、カウンタ値の初期値は“0”であっても、任意の値であってもよいものとする。

[0057] 次に、図2及び図5において、選択信号線ΦSELのレベルが時刻t4でHighレベルとなり単位画素3の選択トランジスタT13をオン状態になると、所定の行の画素が選択されることになる。このとき、読み出し信号線ΦTRのレベルはLowレベルとなっており、読出しトランジスタT10がオフ状態となる。また、この時(時刻t4)、リセット信号線ΦRSのレベルはHighレベルとなり、リセットトランジスタT11がオン状態となり、各単位画素3のフローティングディフュージョンFDの電圧はリセットされる。

[0058] 次に、一定時間が過ぎてフローティングディフュージョンFDの電圧がリセットされた状態で、リセット信号線ΦRSのレベルがLowレベルとなり、リセットトランジスタT11がオフ状態となる。そして、各単位画素3のフローティングディフュージョンFDの電圧が増幅トランジスタT12によって増幅され、リセット成分(Vrst)が垂直信号線19を介してカラム処理部26へと読み出される。

[0059] 時刻t10における、垂直信号線19の電位の読み出しはダウンカウントにより行う。このダウンカウント時には、タイミング制御部20は、電圧発生回路27に向けて、参照信号RAMPの生成用の制御信号CN4を供給する。これを受けて、電圧発生回路27は、電圧比較器252の一方の入力端子(+)に、比較電圧として、参照信号RAMPを入力する。電圧比較器2

52は、この参照信号RAMPの電圧と各列のADC入力線40（ADIN_x）の画素のリセット成分（V_{rst}）の電圧とを比較する。

[0060] また、時刻t10において、電圧比較器252の入力端子（+）に参照信号RAMPが入力されるのと同時に、電圧比較器252における比較時間を、列ごとに配置されたカウンタ部254で計測するために、電圧発生回路27から発せられる参照信号RAMPに同期して、カウンタ部254のクロック端子にタイミング制御部20からカウントクロックCK0を入力する。これにより、カウンタ部254は、1回目のカウント動作として、設定された初期値からダウンカウントを開始する。

[0061] また、電圧比較器252は、電圧発生回路27からの参照信号RAMPと、ADC入力線40を介して入力される、選択された行の画素リセット成分の電圧（V_{rst}）とを比較し、双方の電圧が同じになったとき（ここでは時刻t12）に、出力信号のレベルをHレベルからLレベルへ反転させる。つまり、リセット成分V_{rst}に応じた電圧と参照信号RAMPを比較して、リセット成分V_{rst}の大きさに対応した時間軸方向の大きさをカウントクロックCK0でカウント（計数）することで、リセット成分V_{rst}の大きさに対応したカウント値を得る。言い換えれば、カウンタ部254は、参照信号RAMPの変化の開始時点をカウンタ部254のダウンカウント開始時点として、電圧比較器252の出力が反転するまでダウンカウントすることにより、リセット成分V_{rst}の大きさに対応したカウント値を得る。

[0062] 次に、時刻t14に所定のダウンカウント期間が経過すると、タイミング制御部20は、電圧比較器252への制御データの供給と、カウンタ部254へのカウントクロックCK0の供給とを停止する。これにより、電圧比較器252は、参照信号RAMPの生成を停止する。この1回目の読み出しでは、選択されたV_x行の画素信号電圧におけるリセット成分V_{rst}を電圧比較器252で検知してカウント動作を行っているので、単位画素3のリセット成分V_{rst}を読み出していることになる。

[0063] この画素リセット成分のAD変換が終了すると、続いて2回目の画素信号

読み出し動作を開始する。この2回目の読み出し時には、リセット成分 V_{rst} に加えて、単位画素3ごとの入射光量に応じた信号成分 V_{sig} を読み出す動作を行う。1回目の読み出しと異なる点は、2回目の読み出しのために、タイミング制御部20からの制御信号CN2により、カウンタ部254がアップカウントモードに設定される点である。

[0064] 具体的には、時刻 t_{16} で、読み出し信号線 ΦTR のレベルが High レベルとなり読出しトランジスタ T10 がオン状態になると、フォトダイオード PD1 に蓄積された全ての光電荷は、フローティングディフュージョン FD に伝達される。その後、読み出し信号線 ΦTR のレベルが Low レベルになると、読出しトランジスタ T10 がオフ状態となる。

[0065] 時刻 t_{20} では、読出しトランジスタ T10 がオフした状態で、増幅トランジスタ T12 のデータ成分 ($V_{rst} + V_{sig}$) が垂直信号線19を介して読み出される。この垂直信号線19の電位の読み出しはアップカウントにより行う。

[0066] このアップカウント時に、タイミング制御部20は、電圧発生回路27に向けて参照信号 RAMP の生成用の制御信号 CN4 を供給する。これを受けて、電圧発生回路27は、電圧比較器252の一方の入力端子 (+) への比較電圧として、参照信号 RAMP を入力する。電圧比較器252は、この参照信号 RAMP の電圧と各列の ADC 入力線40 ($ADIN_x$) の画素のデータ成分 ($V_{rst} + V_{sig}$) の電圧とを比較する。

[0067] また、時刻 t_{20} では、電圧比較器252の入力端子 (+) への参照信号 RAMP の入力と同時に、カウンタ部254が、2回目のカウント動作として、ダウンカウントが停止したカウント値から、アップカウントを開始する。

[0068] 時刻 t_{20} から t_{24} までのアップカウント期間では、電圧比較器252は、電圧発生回路27からの参照信号 RAMP と、各列の ADC 入力線40を介して入力され、選択された V_x 行の画素信号成分のデータ成分 ($V_{rst} + V_{sig}$) とを比較し、双方の電圧が同じになったときに、コンパレー

タ出力をHレベルからLレベルへ反転させる。図5に示す例では、時刻 t_{22} で電圧比較器252の出力がHighレベルからLowレベルに変化している。

[0069] 次に、時刻 t_{24} で、垂直信号線19に読み出された画素信号の読み取りをカラムAD変換回路25が完了することで、CDS処理も完了する。

[0070] つまり、データ成分 ($V_{rst} + V_{sig}$) に応じた電圧信号と参照信号RAMPを比較して、信号成分 V_{sig} の大きさに対応した時間軸方向の大きさをカウントクロックCK0でカウント（計数）することで、信号成分 V_{sig} の大きさに対応したカウント値を得ることが出来る。言い換えれば、カウンタ部254は、参照信号RAMPの変化の開始時点をカウンタ部254のアップカウント開始時点として、電圧比較器252の出力が反転するまでアップカウントすることにより、データ成分 ($V_{rst} + V_{sig}$) の大きさに対応したカウント値を得る。

[0071] このように、デジタルCDSは、例えば、カウンタ部254の設定を、リセット成分 (V_{rst}) を読み出すときにはダウンカウント、データ成分 ($V_{rst} + V_{sig}$) を読み出すときにはアップカウントとすることにより、カウンタ部254内で自動的に減算が行われ、信号成分 V_{sig} に相当するカウント値を得ることによって行われる。

[0072] そして、時刻 t_{30} で、AD変換されたデータがデータ記憶部256に転送及び保持される。この際には、タイミング制御部20からカウンタ部254へとメモリ転送指示パルス制御信号CN8が供給され、前行の V_{x-1} の画素信号のカウント結果をデータ記憶部256に転送する。

[0073] ー電圧発生回路27で発生するノイズについてー

上記の通り、電圧発生回路27に含まれるDAC27aは、複数の電圧を生成するラダー抵抗 $R_1 \sim R_N$ と、それぞれのラダー抵抗のタップに対応する複数のスイッチ素子 $SW_0 \sim SW_N$ とを備えており、複数のスイッチ素子 $SW_0 \sim SW_N$ のうちいずれか1つをオン状態にすることにより、複数の基準電圧のうちいずれか1つが出力電圧として出力される。このようにして、

多段階の出力電圧（参照信号 RAMP）を発生させている。

[0074] このようなラダー型の電圧発生回路 27 では、出力電圧の階調数を多くするために、基準電圧の数を増加させる必要がある。そのため、ラダー抵抗を構成する抵抗素子の個数、スイッチ素子の個数を多くする必要があり、回路規模が増大してしまう。例えば、11ビットの出力電圧を実現するためには、抵抗素子及びスイッチ素子は、一例として、それぞれ、2048個ずつ必要であり、12ビットの出力電圧を実現するためには、4096個ずつ必要となる。このように、出力電圧の階調数を大きくする程、電圧発生回路の回路規模が大きくなる。一方、電流可変回路 27c や減衰器 27d は、電圧発生回路 27 につき 1 個のみで機能でき、かつそれぞれ少ない素子数で構成することができる。

[0075] 次に、電圧発生回路 27 で発生するノイズに関する詳細を説明する。まず、デバイスノイズは、各トランジスタ素子や抵抗素子などの各デバイスから発生するノイズであり、ホワイトノイズであるサーマルノイズや周波数に依存した $1/f$ ノイズなどが挙げられる。さらに、スイッチ素子を ON/OFF するとき発生するチャージインJECTION やクロックフィードスルーもデバイスノイズに含まれる。

[0076] 電圧発生回路 27 で発生するノイズのうちでは、スイッチ素子を構成する MOS トランジスタのサーマルノイズが支配的である。ラダー抵抗回路から発生するサーマルノイズは、抵抗素子の抵抗値を下げることで低減することができる。抵抗素子の抵抗値を下げることは、チップ面積の増加を伴わずに実現することができるので、ラダー抵抗回路で発生するサーマルノイズは低減されている。しかし、MOS トランジスタのサーマルノイズの低減をチップ面積の増加を伴わずに実現することは困難である。

[0077] 一般的に、抵抗素子で発生する単位周波数当たりのサーマルノイズ V_{n1} は、式 1 で表される。ここで、 k はボルツマン定数、 T は絶対温度、 R は抵抗値である。

[0078] $(V_{n1})^2 = 4kTR \quad \dots$ (式 1)

この式1より、抵抗素子のサーマルノイズは抵抗値を下げることによって低減できることがわかる。ここで、抵抗素子の抵抗 R_{ps} は、式2で表される。ここで、 ρ は抵抗率、 L_{ps} は抵抗素子の長さ、 W_{ps} は抵抗素子の幅、 T は抵抗素子の高さ(厚さ)である。なお、抵抗素子としてはポリシリコン抵抗を使うことが多いため、ここでは p_s の表記を使っている。

$$[0079] \quad R_{ps} = \rho \times L_{ps} / (W_{ps} \times T) \quad \dots \text{(式2)}$$

このとき、抵抗素子の抵抗値 R_{ps} を下げることは、抵抗素子の幅 W_{ps} を大きく、長さ L_{ps} を小さくすることによって実現でき、チップ面積の増加を伴うものではない。

[0080] 一方、スイッチ素子を構成するMOSトランジスタのON抵抗 R_{on} は、式3で表される。ここで、 L はゲート長、 W はゲート幅、 μ は移動度、 C_{ox} はゲート酸化膜容量、である。

$$[0081] \quad R_{on} = 1 / (\mu \times C_{ox} \times (W/L) \times (V_{gs} - V_{th})) \quad \dots \text{(式3)}$$

ここで、最近の回路では電源電圧の低下に伴い、 V_{gs} が小さくなってきている。また、出力電圧に応じて、MOSトランジスタのON抵抗 R_{on} を下げるために、NMOSトランジスタとPMOSトランジスタの両MOSトランジスタを使用する必要がある。さらに、ゲート長 L を小さくすると R_{on} が低減されるが、MOSトランジスタのオフリークの増加やバラツキの増加などの課題が発生してくる。これらのことから、スイッチ素子を構成するMOSトランジスタに関しては、サーマルノイズを低減するためにMOSトランジスタのON抵抗 R_{on} を下げることは容易ではなく、大幅なチップ面積の増加を招いてしまふことがわかる。

[0082] ー電圧発生回路27のノイズがランダム横線ノイズとなるメカニズムー次に、電圧発生回路27の出力信号である参照信号RAMPに重畳するノイズがランダム横線ノイズになるメカニズムについて説明する。

[0083] 上記の説明の通り、本実施形態のAD変換手段では、スロープ状に所定変化率で時間的に変化する参照信号RAMPを発生する電圧発生回路27と、

列ごとに設けられた電圧比較器 252 とを備えている。参照信号 RAMP の電圧値は所定の期間中、スロープ状に単調増加または単調減少する。

[0084] 上記のタイミングチャートを用いた説明の通り、電圧比較器 252 が垂直信号線 19 のアナログ信号と参照信号 RAMP とを比較する。そして、各列ごとに垂直信号線 19 のアナログ信号を時間軸方向に変換し、その時間を計測することにより、垂直信号線 19 のアナログ信号をデジタル信号に変換している。

[0085] ここで、1 回目のリセット成分 (V_{rst}) の読み出しの瞬間に参照信号 RAMP に重畳するノイズ成分を $\Delta N1$ とし、2 回目のデータ成分 (リセット成分 V_{rst} + 信号成分 V_{sig}) の読み出しの瞬間に参照信号 RAMP に重畳するノイズ成分を $\Delta N2$ とする。

このとき、参照信号 RAMP によるノイズ成分は簡易的には下記の通りとなる。

[0086] $\Delta N = \sqrt{\{(\Delta N1)^2 + (\Delta N2)^2\}} \quad \dots$ (式 4)

このため、AD 変換後の信号としては、このノイズが重畳したものとなる。全列を同時に並列処理する方式では、ある時刻の AD 変換後の全列の出力信号には、このノイズ成分が重畳していることになり、ランダム横線ノイズとしての現象が現れることになる。次に、このランダム横線ノイズの定量的な説明を行う。

[0087] -CDS とノイズの関係-

デジタル CDS の主な目的は、ノイズ成分の中で、DC 成分を含む比較的低い周波領域の電圧成分 ($1/f$ ノイズなど) を取り除くものである。ここでは、DAC のノイズがランダム横線ノイズとなる定量的な説明を行う。

[0088] まず、図 5 に示すタイミングチャートを用いて、CDS の説明を行う。カラム AD 変換回路 25 は、先に読み出されたリセット成分 (V_{rst}) と後に読み出されたデータ成分 (リセット成分 V_{rst} + 信号成分 V_{sig}) との電圧差を利用し、単位画素 3 の信号成分 V_{sig} を算出する役目を果たす。

[0089] 定性的には、デジタルCDSの周波数 f_s （リセット成分とデータ成分を読み出す時間差CDS期間 T （=時刻 $t_{22} - t_{12}$ ）の逆数）に比べて低い周波数のノイズについては、リセット成分 V_{rst} と後に読み出されたデータ成分（リセット成分 V_{rst} + 信号成分 V_{sig} ）に含まれるノイズ電圧が等しくなり、ノイズの電圧差がゼロになるためにデジタルCDSによって除去することができる。

[0090] 一方、比較的高い周波数のノイズについては、時刻 t_{22} と時刻 t_{12} とでレベルが異なり、ノイズの電圧差がゼロにならないためにデジタルCDSによって除去することができない。

[0091] 詳細には、CDSの伝達関数 $H(f)$ は（式5）で表すことができる。ここで、 j は虚数単位であり、CDS期間 τ は $1/f_s$ としている。そして、この $H(f)$ の絶対値の2乗 $|H(f)|^2$ は、（式6）で表すことができる。この式によると、定性的には、CDSの周波数 f_s （= $1/\tau$ ）よりも低い周波数 f の信号またはノイズは、 $|H(f)|^2 \approx 0$ となり、減衰されることが理解できる。

[0092] $H(f) = 1 - \exp(-j2\pi f\tau)$ …（式5）

$$|H(f)|^2 = 2 \cdot (1 - \cos(2\pi f\tau)) \quad \dots \text{（式6）}$$

以上の通り、比較的低い周波数領域の $1/f$ ノイズに対する対策としては、デジタルCDSが有効である。しかしながら、周波数の高いノイズ成分はCDSによって除去できずに、逆に、サーマルノイズは $\sqrt{2}$ 倍に悪化してしまい、全列に対してノイズが重畳してしまう。この結果、ランダム横線ノイズとして視覚的に見えやすいものになってしまう。

[0093] 一般的には、ランダムノイズは視覚的に認識しにくいですが、ランダム横線ノイズは視覚的に認識しやすいものである。このため、具体的には、ランダム横線ノイズはランダムノイズよりも $1/10$ 倍程度の低ノイズ化が必要である。

[0094] 一本実施形態に係る電圧発生回路27のランダム横線ノイズへの低減効果—

次に、横線ノイズの課題を解決するために減衰器 27d を備えた電圧発生回路 27 の説明をする。まず、本発明の実施形態に係る電圧発生回路 27 において、SN を求めてみる。ここで、電流可変回路 27c からの電流ノイズはノイズ除去用の低域通過フィルタを設けたり、あるいは、電流源の相互コンダクタンス G_m を下げることによって容易に低減できるため、その寄与は無視することができる。

[0095] 図 6 (a) は、本発明の実施形態に係る電流可変回路において、反転型の減衰器を用いた際の参照信号 RAMP を示す図であり、(b) は、非反転型の減衰器を用いた際の参照信号 RAMP を示す図である。

[0096] まず、図 6 (a) に示すように、電圧発生回路 27 が反転型の減衰器 27d を有する場合、選択されるスイッチ素子 SW_n は、制御回路 27b によって予め設定された順序、例えば、スイッチ素子 SW_0 からスイッチ素子 SW_N まで順番に 1 つずつオンしていく。ここで、符号 51 は $Gain_1 = 1$ 、 $Gain_2 = 1$ における DAC 27a の出力信号 V_{out} を示す。また、符号 52 は $Gain_2 = 1$ における DAC 27a の出力信号 V_{out} を示す。参照信号 RAMP は減衰器 27d の出力信号である。

[0097] 逆に、図 6 (b) に示すように、電圧発生回路 27 が非反転型の減衰器 27d を有する場合、選択されるスイッチ素子 SW_n は、制御回路 27b によって予め設定された順序、例えば、スイッチ素子 SW_N からスイッチ素子 SW_0 まで順番に 1 つずつオンしていく。ここで、符号 53 は $Gain_1 = 1$ 、 $Gain_2 = 1$ における DAC 27a の出力信号 V_{out} を示す。また、符号 54 は $Gain_2 = 1$ における DAC 27a の出力信号 V_{out} を示す。参照信号 RAMP は減衰器 27d の出力信号である。

[0098] このとき、選択されるスイッチ素子 SW_n が基準電位 (GND 側) から M 番目のスイッチ素子であるとすると、参照信号 RAMP の信号成分 S は、式 7 で表すことができる。ここで、 R_{tot} はラダー抵抗回路の全抵抗値、 R_{unit} は 1 つのラダー抵抗の抵抗値である。 $Gain_1$ は、電流可変回路 27c のミラー比を表し、 $Gain_1 = I_{ref} / I_{const}$ で表される

。また、 $V_{const} = I_{const} \times R_{tot}$ とおく。このとき、ラダ一抵抗回路の最大ノードの電圧 V_{top} は $V_{top} = I_{ref} \times R_{tot} = (I_{const} \times Gain1) \times R_{tot} = V_{const} \times Gain1$ と表せる。

[0099] また、減衰器27dは出力電圧を減衰させる回路であるため、 $Gain2$ は1倍以下となっている。

[0100]
$$S = (V_{const} \times Gain1) / R_{tot} \times R_{unit} \times M \times Gain2$$

$$= I_{const} \times Gain1 \times R_{unit} \times M \times Gain2 \quad \dots$$
(式7)

一方、参照信号RAMPのノイズ成分Nは、前記説明の通り、スイッチ素子SW0～SWNの中で選択されたスイッチ素子のノイズ成分である N_{sw} が支配的であるため、式8で表される。

[0101] $N = N_{sw} \times Gain2 \quad \dots$ (式8)

従って、出力SNは、式7と式8より、式9で表すことができる。

[0102]
$$SN = (I_{const} \times Gain1 \times R_{unit} \times M) / N_{sw}$$

$$= (I_{const} \times R_{unit} \times M) / (N_{sw} / Gain1)$$

$$\dots$$
 (式9)

つまり、この結果より、電流可変回路27cと減衰器27dとを設けることによって、スイッチ素子のノイズ N_{sw} は電流可変回路27cのゲイン($1 / Gain1$)倍に低減されることが分かる。

[0103] このように、本実施形態の電圧発生回路27によれば、減衰器27dを設けることによって、スイッチ素子で生じるノイズを低減できるので、固体撮像装置に用いた場合にランダム横線ノイズを効果的に低減することができる。また、減衰器27は電圧発生回路27に1つのみ設けられていればよく、その構成も比較的単純であるため、回路面積を大きく増大させることがない。このため、高画質の撮影画像を得ることが可能となる。

[0104] ー減衰器27dの回路構成例ー

次に、減衰器 27 d の構成例について説明する。種々の形式の減衰器が一般に知られており、アクティブ型のものパッシブ型のもの、また、減衰比の設定方法が抵抗素子を使った抵抗分圧型のものと、容量素子を使った容量分圧型のものがある。

[0105] 一般に、抵抗素子を使った抵抗分圧型の形式ではサーマルノイズが発生するが、容量素子を使った容量分圧型ではノイズが発生しない。このため、抵抗分圧型の減衰器を用いることもできるが、容量分圧型の減衰器の方がより好ましい。従って、本実施形態の電圧発生回路 27 に用いられる減衰器 27 d として、容量を用いたアクティブ型とパッシブ型の構成について説明する。

[0106] 図 7 は、差動増幅器を用いたアクティブ型の減衰器の一例を示す回路図である。同図に示す減衰器 27 d は、複数のスイッチ素子 $SW_0 \sim SW_N$ に接続された入力容量素子 C_{in} と、入力端子 (-) が入力容量素子 C_{in} の他端に接続され、入力端子 (+) が基準電圧 V_{REF1} に保持された差動増幅器 50 と、差動増幅器 50 の出力端子と入力端子 (-) の間に設けられ、互いに並列に配置された複数の帰還容量素子 $C_{fb1} \sim C_{fbN}$ と、帰還容量素子 $C_{fb1} \sim C_{fbN}$ のそれぞれと差動増幅器 50 の入力端子 (-) との間にそれぞれ設けられた複数のスイッチ素子 $SW_{fb1} \sim SW_{fbN}$ と、差動増幅器 50 の入力端子 (-) と出力端子とを帰還容量素子 $C_{fb1} \sim C_{fbN}$ を介さずに接続させるスイッチ素子 SW_{RS} とを備えている。

[0107] スイッチ素子 $SW_{fb1} \sim SW_{fbN}$ は、それぞれに対応するゲイン制御信号 CNG_2 ($CNG_{21} \sim CNG_{2N}$) により制御されており、スイッチ素子 SW_{RS} は制御信号 $CNRS$ により制御されている。

[0108] この構成を有する減衰器 27 d では、入力容量素子 C_{in} と、ゲイン制御信号 CNG_2 により選択された単数または複数の帰還容量素子 C_{fbk} ($1 \leq k \leq N$) との容量比によって減衰比が決定される。また、入力端子と出力端子はスイッチ素子 SW_{RS} を介してリセット時のみ制御信号 $CNRS$ により接続される。ここで、減衰比 $Gain_2$ は式 10 で表すことができる。

[0109] $G a i n 2 = C i n / C f b k \quad \dots$ (式10)

この方式の減衰器27dでは、出力信号である参照信号RAMPは、入力信号VOU Tが反転されたものになる。

[0110] また、図8は、差動増幅器を用いないパッシブ型の減衰器の一例を示す回路図である。同図に示す減衰器27dは、複数のスイッチ素子SW0～SWNに接続された入力容量素子Cinと、入力容量素子Cinの他端に接続されたバッファ回路54と、入力容量素子Cinとバッファ回路54の入力端子との間のノードと接地との間に設けられ、互いに並列に配置された容量素子Cout1～CoutNと、バッファ回路54の入力端子と容量素子Cout1～CoutNの各々との間に設けられた複数のスイッチ素子SWfb1～SWfbNと、入力容量素子Cinとバッファ回路54の入力端子との間のノードに接続されたスイッチ素子SWRSとを有している。

[0111] スイッチ素子SWfb1～SWfbNは、それぞれに対応するゲイン制御信号CNG2 (CNG21～CNG2N) により制御されており、スイッチ素子SWRSは制御信号CNRSにより制御されている。制御信号CNG2、CNRSは共に制御回路27bから出力されるデジタル信号である。

[0112] この構成を有する減衰器27dでは、入力容量素子Cinと、タイミング制御部20から出力されるゲイン制御信号CNG2により選択された単数または複数の出力容量素子Coutk (1 ≤ k ≤ N) との容量比によって減衰比が決定される。すなわち、減衰器27dは、ゲイン制御信号CNG2を受けて複数の減衰比を設定することができる。

[0113] また、バッファ回路54の入力端子には、スイッチ素子SWRSを介してリセット時のみ基準電圧VREF2が印加される。ここで、減衰比Gain2は式11で表すことができる。

[0114] $G a i n 2 = C i n / (C i n + C o u t k) \quad \dots$ (式11)

この方式の減衰器27dでは、出力信号である参照信号RAMPは、入力信号(DAC27aの出力信号)VOU Tが反転されたものとなっておらず、非反転されたものになっている。ここで、参照信号RAMPは、全列の電

圧比較器 252 の入力端子に供給されているので、参照信号 RAMP を供給するための配線に付加される寄生容量は非常に大きくなっている。そのため、式 11 から分かるように、減衰器 27d がバッファ回路を有していなければ、Cout が増えてしまい Gain2 が寄生容量の影響を受けてしまう。このため、これらの寄生容量の影響を受けないように減衰器 27d はバッファ回路 54 を有していることが好ましい。

[0115] また、減衰器 27d の構成が複雑になり、素子数が増加するとノイズの発生源が増えて、ノイズが増大する恐れがある。逆に、この状態でノイズを低減しようとするするとデバイスサイズが大きくなり、チップ面積の増加を招いてしまう。このため、減衰器 27d の構成は好適には素子数が少なく高速動作する構成であることが望ましく、本方式はこのような課題を鑑みた回路構成となっている。

[0116] ー参照信号 RAMP の傾き調整、及び Gain1 と Gain2 の連動性

ー
本方式では、上記のタイミングチャートでの説明の通り、電圧比較器 252 によって、垂直信号線 19 のアナログ信号と参照信号 RAMP を比較し、各列ごとに垂直信号線 19 のアナログ信号を時間軸方向に変換する。そして、この時間を計測することにより、垂直信号線 19 に読み出されたアナログ信号をデジタル信号に変換している。

[0117] このため、参照信号 RAMP の傾きを変えることによって、アナログ信号に対してゲイン調整を加えた結果のデジタルデータを得ることができる。例えば、参照信号 RAMP の傾きを小さくすれば、カウント値は大きくなり、画素信号が増幅されることと等価になる。

[0118] この参照信号 RAMP の傾きは、電流可変回路 27c の Gain1、もしくは、減衰器 27d の Gain2 によって変更することができる。電圧発生回路 27 のノイズという観点では、式 9 に示す通り、できる限り Gain1 を大きくした状態で Gain2 を下げることが好ましい。

[0119] しかしながら、電流可変回路 27c の Gain1 は簡単に電流のミラー比

により微調整することができる一方、上記したように、減衰器 27 d は少ない素子で構成されてノイズが少なく、且つ高速動作することが望ましい。このため、参照信号 RAMP の傾きを変えるには、ゲインの制御ステップ幅の微調整は電流可変回路 27 c によって行い、ゲインの制御ステップ幅の粗調整は減衰器 27 d で行うことが好ましい。

[0120] 以上で説明したように、本発明の実施形態に係る電圧発生回路 27 は、基準電流を受け、複数の電圧を発生させるラダー抵抗回路と、ラダー抵抗回路の複数のタップの各々と減衰器 27 d の入力端との間にそれぞれ設けられた複数のスイッチ素子 SW0 ~ SWN とを有する DAC 27 a と、DAC 27 a の出力端に接続され、参照信号 RAMP を出力する減衰器 27 d とを有している。

[0121] この構成により、チップ面積の増加を抑えつつ、ランダム横線ノイズ特性の改善を図ることができる。また、本実施形態の電圧発生回路を有する固体撮像装置を用いることで、サイズを大きくすることなくランダム横線ノイズが低減され、高画質の画像を撮影できる撮像装置を実現することができる。

[0122] ー本発明の実施形態に係る電圧発生回路の変形例ー

図 9 は、本発明の実施形態の変形例に係る電圧発生回路 27 の具体的な回路構成例を示す回路図である。本変形例に係る電圧発生回路 27 は、図 3 に示す電圧発生回路 27 と同様に、DAC 27 a と、制御回路 27 b と、減衰器 27 d とを備えている。

[0123] まず、DAC 27 a は、電流制御信号 CNG1 により、定電圧 V_{const} から基準電圧を生成する電圧可変回路 27 e と、基準電圧を受け、複数の抵抗素子 R1 ~ RN を有するラダー抵抗回路と、各抵抗素子の間のタップにそれぞれ接続された複数のスイッチ素子 SW0 ~ SWN とを有している。この構成によれば、ラダー抵抗回路のトップ電圧 V_{top} として複数の電圧を発生させることができる。

[0124] DAC 27 a では、複数のスイッチ素子 SW0 ~ SWN の中で、いずれか 1 つをオン状態にすることにより、複数の基準電圧のうちいずれか 1 つが出

力電圧として出力される。このようにして、DAC 27 aは、階段状にレベルが変化する出力電圧（参照信号RAMP）を発生させている。

[0125] また、スイッチ素子SW0～SWNを制御する制御回路27 bは、デジタルクロック信号CK0を受け、デジタルの制御信号を出力する。制御回路27 bは、デジタルクロック信号CK0のデジタル値に応じた電圧値を有する出力電圧（Vout）がDAC 27 aの出力ノードに発生するように、制御信号によって適切なスイッチ素子を選択する。この構成によっても、チップ面積の増加を抑えつつ、高速読み出しとノイズ特性の改善の両立を図ることができる。

[0126] 次に、本変形例に係る固体撮像装置及びその駆動方法について説明する。本変形例に係る撮像装置、固体撮像装置の装置構成は、図1に示す撮像装置及び固体撮像装置と同様である。

[0127] また、本変形例の固体撮像装置におけるタイミングチャートは、図4、図5に示した本実施形態に係るタイミングチャートと同じである。また、図7、図8に示す減衰器27 dも本変形例に係る電圧発生回路27に用いられる。

[0128] 図9に示すように、本変形例に係る電圧発生回路27において、ラダー抵抗回路が所定電流ではなく所定電圧を受けている点が、図3に示す電圧発生回路27と異なる。その他の構成は図3に示す電圧発生回路27と同様である。

[0129] 本変形例に係る電圧発生回路27の出力SNを以下求めてみる。

[0130] まず、図6（a）に示すように、反転型の減衰器27 dを使用する場合、選択されるスイッチ素子SWnは、制御回路27 bによって予め設定された順序、例えば、スイッチ素子SW0からスイッチ素子SWNまで順番に1つずつオンしていく。符号51はGain1=1、Gain2=1におけるDAC 27 aの出力信号Voutを示す。また、符号52はGain2=1におけるDAC 27 aの出力信号Voutを示す。参照信号RAMPは減衰器27 dの出力信号である。

[0131] 逆に、図6(b)に示すように、非反転型の減衰器27dを使用する場合、選択されるスイッチ素子SW_nは、制御回路27bによって予め設定された順序、例えば、スイッチ素子SW_Nからスイッチ素子SW₀まで順番に1つずつオンしていく。ここで、符号53はGain₁=1、Gain₂=1におけるDAC27aの出力信号V_{out}を示す。また、符号54はGain₂=1におけるDAC27aの出力信号V_{out}を示す。参照信号RAMPは減衰器27dの出力信号である。

[0132] このとき、選択されるスイッチ素子SW_nが基準電位(GND側)からM番目のスイッチ素子であるとする、参照信号RAMPの信号成分Sは式12で表すことができる。ここで、R_{tot}はラダー抵抗回路の全抵抗値、R_{unit}は1つのラダー抵抗の抵抗値である。Gain₁は、電圧可変回路27eのゲイン比を表し、Gain₁=V_{top}/V_{const}で表される。また、V_{const}=I_{const}×R_{tot}とする。このとき、ラダー抵抗回路の最大ノードの電圧V_{top}はV_{top}=V_{const}×Gain₁=(I_{const}×R_{tot})×Gain₁で表せる。

[0133] また、減衰器27dは出力電圧を減衰させる回路であるため、Gain₂は1倍以下となっている。

$$\begin{aligned}
 [0134] \quad S &= (V_{const} \times Gain_1) / R_{tot} \times R_{unit} \times M \times \\
 & \quad Gain_2 \\
 &= I_{const} \times Gain_1 \times R_{unit} \times M \times Gain_2 \quad \dots \\
 & \quad (式12)
 \end{aligned}$$

一方、参照信号RAMPのノイズ成分Nは、前記説明の通り、スイッチ素子SW₀～SW_Nの中で選択されたスイッチ素子のノイズ成分であるN_{sw}が支配的であるため、式13で表すことができる。

$$[0135] \quad N = N_{sw} \times Gain_2 \quad \dots (式13)$$

従って、出力SNは、式12と式13より、式14で表すことができる。

$$\begin{aligned}
 [0136] \quad SN &= (I_{const} \times Gain_1 \times R_{unit} \times M) / N_{sw} \\
 &= (I_{const} \times R_{unit} \times M) / (N_{sw} / Gain_1)
 \end{aligned}$$

… (式 14)

つまり、この結果より、電流可変回路 27c と減衰器 27d を設けることによって、スイッチ素子のノイズ N_{sw} は電流可変回路 27c のゲイン ($1/Gain1$) 倍に低減されることがわかる。

[0137] このように、本変形例に係る電圧発生回路 27 によれば、減衰器 27d を設けることによって、スイッチ素子で生じるノイズを低減できるので、固体撮像装置に用いた場合にランダム横線ノイズを効果的に低減することができる。また、減衰器 27 は電圧発生回路 27 に 1 つのみ設けられていればよく、その構成も比較的単純であるため、回路面積を大きく増大させることがない。このため、高画質の撮影画像を得ることが可能となる。

[0138] 以上で説明したように、本発明の実施形態の変形例に係る電圧発生回路 27 では、基準電圧を受け、複数の電圧を発生させるラダー抵抗回路と、ラダー抵抗回路の複数のタップの各々と減衰器 27d の入力端との間にそれぞれ設けられた複数のスイッチ素子 $SW0 \sim SWN$ とを有する DAC 27a と、DAC 27a の出力端に接続され、参照信号 RAMP を出力する減衰器 27d とを有している。

[0139] この構成により、チップ面積の増加を抑えつつ、ランダム横線ノイズ特性の改善を図ることができる。

[0140] なお、本発明は、前記の実施形態及びその変形例に限定されるものではなく、本発明の要旨を逸脱しない範囲内で種々の改良、変形を行ってもよい。

[0141] 例えば、画素アレイ 10 を構成する図 2 の単位画素 3 は、画素、転送トランジスタ、FD、リセットトランジスタ及び増幅トランジスタを有する構造、いわゆる 1 画素 1 セル構造を有しているが、1 つのセル内に複数の画素 (フォトダイオード) を含み、フローティングディフュージョン FD、リセットトランジスタ及び増幅トランジスタのいずれか、あるいは全てを単位セル内で共有する、多画素 1 セル構成であってもよい。

[0142] また、本発明では、AD 変換構成としてカラム処理部 26 にカウンタ部 254 を設ける構成をし、リセット成分 (V_{rst}) とデータ成分 (V_{rst})

+Vsig)をそれぞれダウンカウントとアップカウントで読み出すとしたが、リセット成分とデータ成分をそれぞれ読み出してAD変換する構成であっても同様の効果を得ることができる。

[0143] また、上述の実施形態では、電圧発生回路27の構成として、基準電流または基準電圧を受け、複数の電圧を発生させるラダー抵抗回路としたが、電流可変型の電圧発生回路やスイッチトキャパシタフィルタ(SCF)などの本効果と同様な効果が得られる電圧発生回路の構成を用いてもランダム横線ノイズ特性の改善に効果がある。

[0144] なお、本発明に係る固体撮像装置は、上記実施形態及びその変形例に限定されるものではない。実施形態及びその変形例に対して本発明の趣旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る固体撮像装置を内蔵した各種機器も本発明に含まれる。

産業上の利用可能性

[0145] 本発明は、MOS固体撮像装置、デジタルスチルカメラ、ムービーカメラ、カメラ付き携帯電話機、監視カメラ等に適用できる。

符号の説明

- [0146] 1 固体撮像装置
3 単位画素
5a、5b 端子
10 画素アレイ
12 水平走査回路
14 垂直走査回路
15 行走査線
18 水平信号線
19 垂直信号線
20 タイミング制御部
25 カラムAD変換回路
26 カラム処理部

2 7	電圧発生回路
2 7 a	D A C
2 7 b	制御回路
2 7 c	電流可変回路
2 7 d	減衰器
2 7 e	電圧可変回路
2 8	出力回路
4 0	A D C 入力線
4 5	外部システム
5 0	差動増幅器
5 4	バッファ回路
2 5 2	電圧比較器
2 5 4	カウンタ部
2 5 6	データ記憶部
2 5 8	スイッチ
T 1 0	読出しトランジスタ
T 1 1	リセットトランジスタ
T 1 2	増幅トランジスタ
T 1 3	選択トランジスタ

請求の範囲

- [請求項1] 第1のデジタル信号を出力する制御回路と、
前記制御回路から入力された前記第1のデジタル信号に応じた第1のアナログ信号を出力するデジタル・アナログ変換回路と、
前記デジタル・アナログ変換回路の出力端に接続され、前記デジタル・アナログ変換回路から入力された前記第1のアナログ信号を減衰させた電圧信号を出力する減衰器とを備えている電圧発生回路。
- [請求項2] 請求項1に記載の電圧発生回路において、
前記デジタル・アナログ変換回路は、複数の抵抗素子を有し、基準電流または第1の基準電圧を受け、前記制御回路から入力された前記第1のデジタル信号に応じた電圧を発生させるラダー抵抗回路と、前記複数の抵抗素子間に設けられたタップと前記デジタル・アナログ変換回路の出力端との間にそれぞれ設けられ、前記第1のデジタル信号によって制御される複数の第1のスイッチ素子とを有しており、
動作時には、前記複数の第1のスイッチ素子が前記制御回路により予め設定された順序でオンまたはオフすることで、前記減衰器から前記電圧信号が出力される電圧発生回路。
- [請求項3] 請求項2に記載の電圧発生回路において、
前記デジタル・アナログ変換回路は、定電流から生成した前記基準電流を前記ラダー抵抗回路に供給する電流可変回路をさらに有していることを特徴とする電圧発生回路。
- [請求項4] 請求項2に記載の電圧発生回路において、
前記デジタル・アナログ変換回路は、定電圧から生成した前記第1の基準電圧を前記ラダー抵抗回路に供給する電圧可変回路をさらに有していることを特徴とする電圧発生回路。
- [請求項5] 請求項1～4のうちいずれか1つに記載の電圧発生回路において、
前記減衰器は、制御信号を受けて複数の減衰比を設定することができることを特徴とする電圧発生回路。

- [請求項6] 請求項2に記載の電圧発生回路において、
前記電圧信号は、前記基準電流または前記第1の基準電圧を制御することと、前記減衰器の減衰比を制御することにより調整されることを特徴とする電圧発生回路。
- [請求項7] 請求項6に記載の電圧発生回路において、
前記減衰器の減衰比によって前記電圧信号は調整され、
前記基準電流または前記第1の基準電圧を制御することで、前記電圧信号は前記減衰器の減衰比による調整よりも微細に調整されることを特徴とする電圧発生回路。
- [請求項8] 請求項1～7のうちいずれか1つに記載の電圧発生回路において、
前記制御回路は、所定の期間、クロック信号に同期して前記電圧信号の電圧値がスロープ状に減少または増加するように前記複数の第1のスイッチ素子のオンまたはオフを制御することを特徴とする電圧発生回路。
- [請求項9] 請求項1～8のうちいずれか1つに記載の電圧発生回路において、
前記減衰器は、差動増幅器を有するアクティブ型の減衰器であることを特徴とする電圧発生回路。
- [請求項10] 請求項9に記載の電圧発生回路において、
前記減衰器は、
第1の電極及び第2の電極を有する第1の入力容量素子と、
前記第1の電極に接続された反転入力端子と、第2の基準電圧に保持された非反転入力端子とを有する前記差動増幅器と、
前記反転入力端子と前記第1の電極との間のノードと前記差動増幅器の出力端との間に、互いに並列に配置された複数の帰還容量素子と、
前記複数の帰還容量素子の各々と前記反転入力端子との間、及び前記差動増幅器の出力端と前記反転入力端子との間にそれぞれ設けられた複数の第2のスイッチ素子とを有しており、

前記第2の電極に入力された前記第1のアナログ信号は、減衰されて前記差動増幅器の出力端から前記電圧信号として出力され、

前記第1のアナログ信号の減衰比は、前記第1の入力容量素子と前記各帰還容量素子との容量比によって決定されることを特徴とする電圧発生回路。

[請求項11]

請求項1～8のうちいずれか1つに記載の電圧発生回路において、前記減衰器は、パッシブ型の減衰器であることを特徴とする電圧発生回路。

[請求項12]

請求項11に記載の電圧発生回路において、前記減衰器は、第3の電極及び第4の電極を有する第2の入力容量素子と、

前記第3の電極に接続されたバッファ回路と、

前記バッファ回路の入力端と前記第3の電極との間のノードと接地との間に設けられ、互いに並列に配置された複数の出力容量素子と、

前記複数の出力容量素子の各々と前記バッファ回路の前記入力端との間にそれぞれ設けられた複数の第3のスイッチ素子を有し、

前記第4の電極に入力された前記第1のアナログ信号は、減衰されて前記バッファ回路の出力端から前記電圧信号として出力され、

前記第1のアナログ信号の減衰比は、前記第2の入力容量素子と選択された前記複数の出力容量素子の容量比によって決定されることを特徴とする電圧発生回路。

[請求項13]

請求項1～12のうちいずれか1つに記載の電圧発生回路において、

前記複数の第1のスイッチ素子は、MOSトランジスタにより構成されることを特徴とする電圧発生回路。

[請求項14]

第2のアナログ信号を第2のデジタル信号に変換するアナログ・デジタル変換回路であって、

前記第2のアナログ信号の電圧と請求項1～13のうちいずれか1つに記載の電圧発生回路から出力された前記電圧信号の電圧とを比較する電圧比較器と、

クロック信号に同期してカウントアップまたはカウントダウンを行うとともに、前記電圧比較器の比較結果を受け、前記電圧信号と前記第2のアナログ信号の大小関係が逆転するときのカウント値を前記第2のデジタル信号として出力するカウンタ部とを備えているアナログ・デジタル変換回路。

[請求項15] 行列状に配置された複数の単位画素により構成された画素アレイと

、

参照信号を出力する電圧発生回路と、

前記単位画素の各列ごとまたは複数列ごとに設けられ、前記画素アレイから読み出されたアナログの画素信号の電圧を前記参照信号の電圧と比較することにより、前記画素信号をデジタル変換するカラムアナログ・デジタル変換回路とを備え、

前記電圧発生回路は、

デジタル信号を出力する制御回路と、

前記制御回路から入力された前記デジタル信号に応じたアナログ信号を出力するデジタル・アナログ変換回路と、

前記デジタル・アナログ変換回路の出力端に接続され、前記デジタル・アナログ変換回路から入力された前記アナログ信号を減衰させた電圧信号を、前記参照信号として出力する減衰器とを有している固体撮像装置。

[請求項16] 請求項15に記載の固体撮像装置において、

前記電圧発生回路は、クロック信号に同期して電圧値がスロープ状に減少または増加する前記参照信号を各カラムアナログ・デジタル変換回路に供給することを特徴とする固体撮像装置。

[請求項17] 請求項16に記載の固体撮像装置において、

前記カラムアナログ・デジタル変換回路は、
前記画素信号の電圧を前記参照信号の電圧と比較する電圧比較器と

、
前記クロック信号に同期してカウントアップまたはカウントダウンを行うとともに、前記電圧比較器の比較結果を受け、前記参照信号と前記画素信号の大小関係が逆転するときのカウント値を前記画素信号のデジタル値として出力するカウンタ部とを有し、

前記参照信号の電圧値は、前記カウンタ部がカウントアップまたはカウントダウンを行う期間中スロープ状に減少または増加することを特徴とする固体撮像装置。

[請求項18] 請求項15～17のうちいずれか1つに記載の固体撮像装置において、

前記デジタル・アナログ変換回路は、

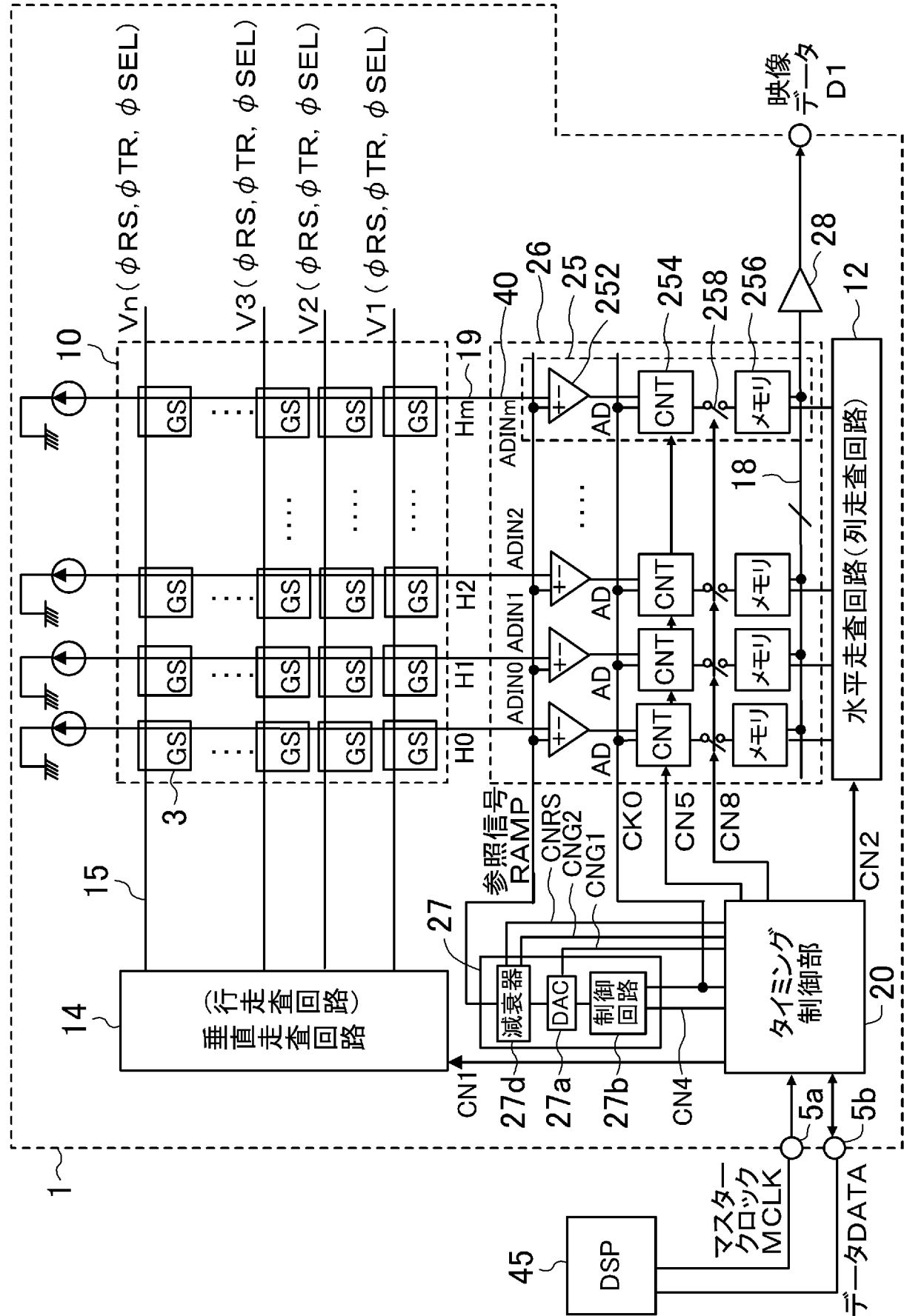
複数の抵抗素子を有し、基準電流または基準電圧を受け、前記制御回路から入力された前記デジタル信号に応じた電圧を発生させるラダー抵抗回路と、

前記複数の抵抗素子間に設けられたタップと前記デジタル・アナログ変換回路の出力端との間にそれぞれ設けられ、前記デジタル信号によって制御される複数のスイッチ素子とを有しており、

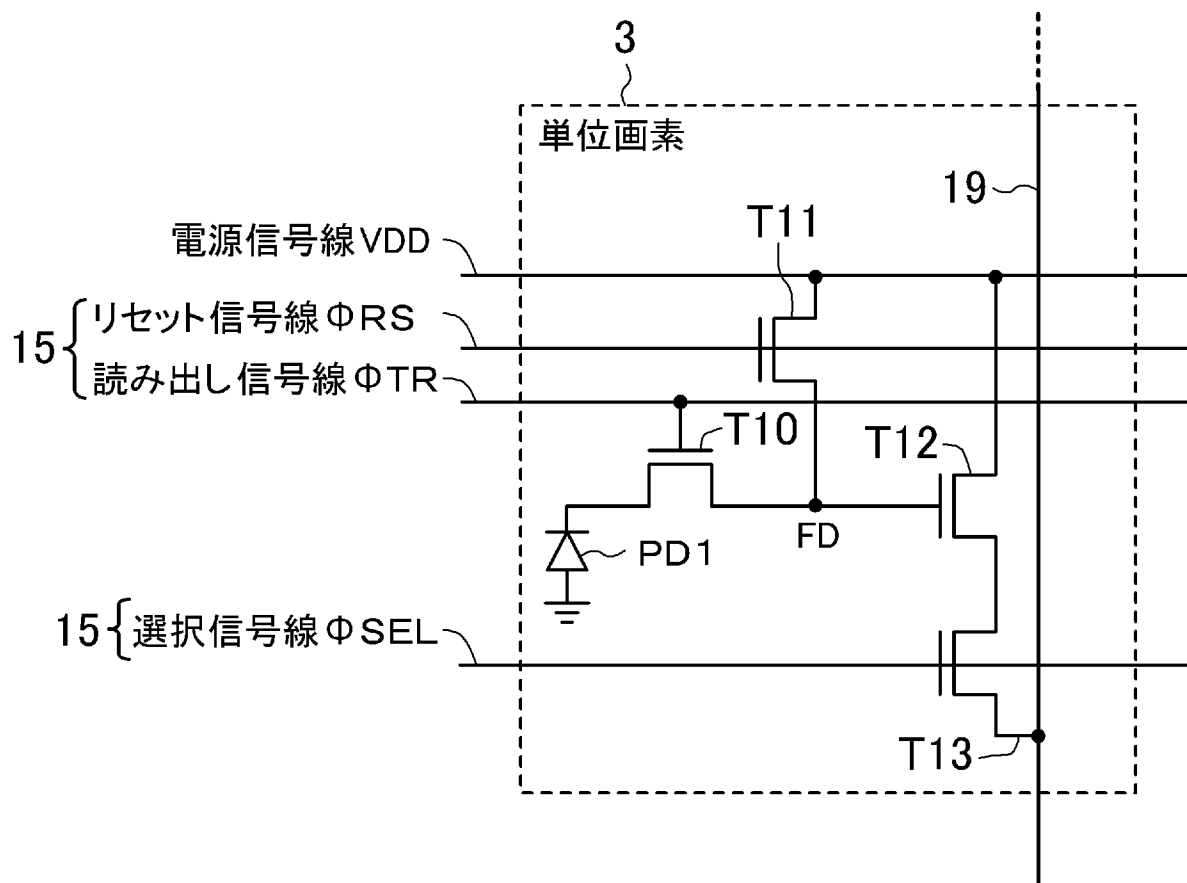
動作時には、前記複数のスイッチ素子が前記制御回路により予め設定された順序でオンまたはオフすることで、前記減衰器から前記参照信号が出力されることを特徴とする固体撮像装置。

[請求項19] 請求項15～18のうちいずれか1つに記載の固体撮像装置を備えている撮像装置。

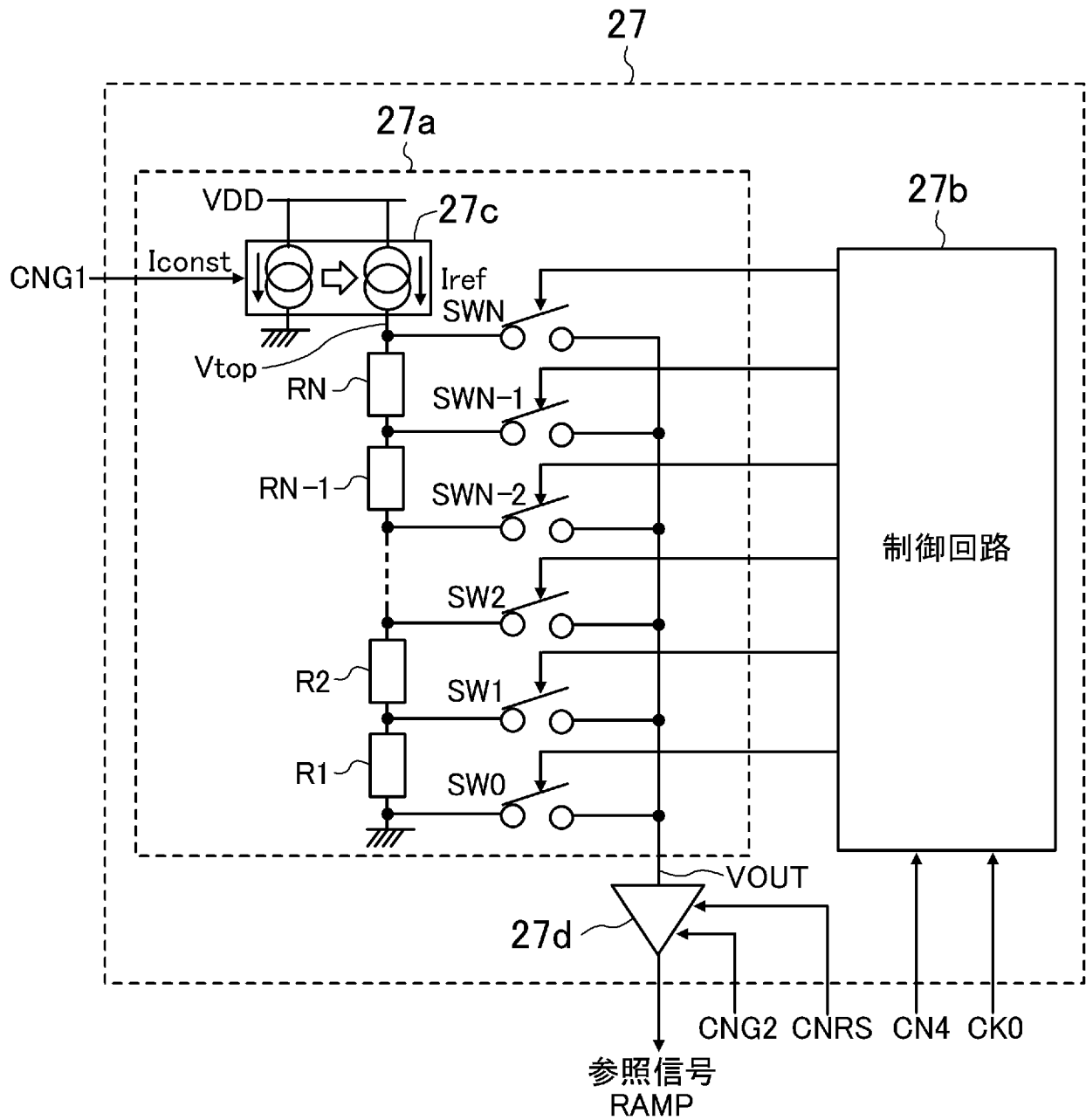
【図1】



[図2]

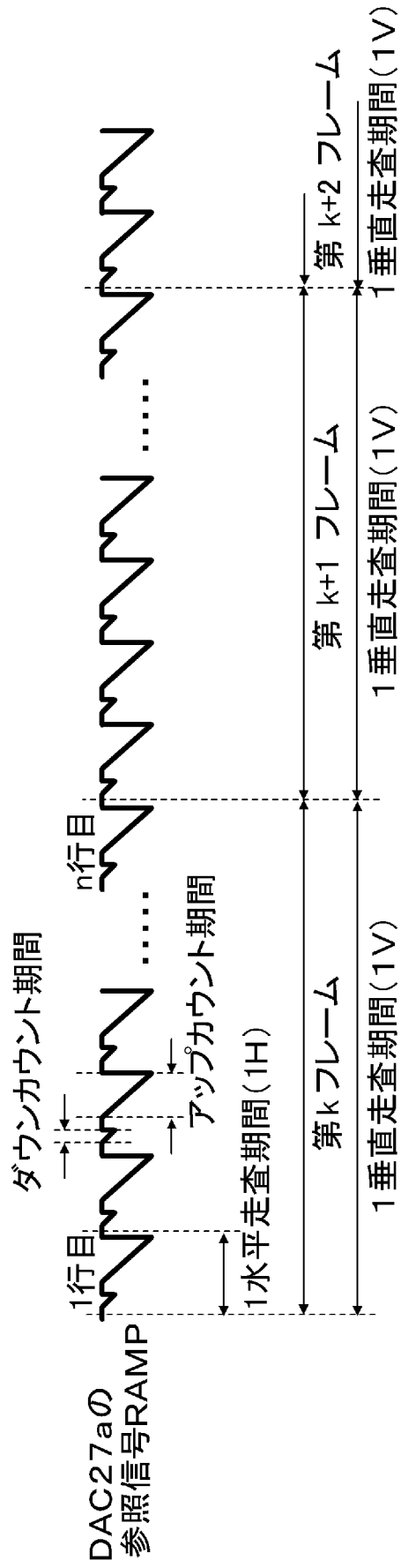


[図3]

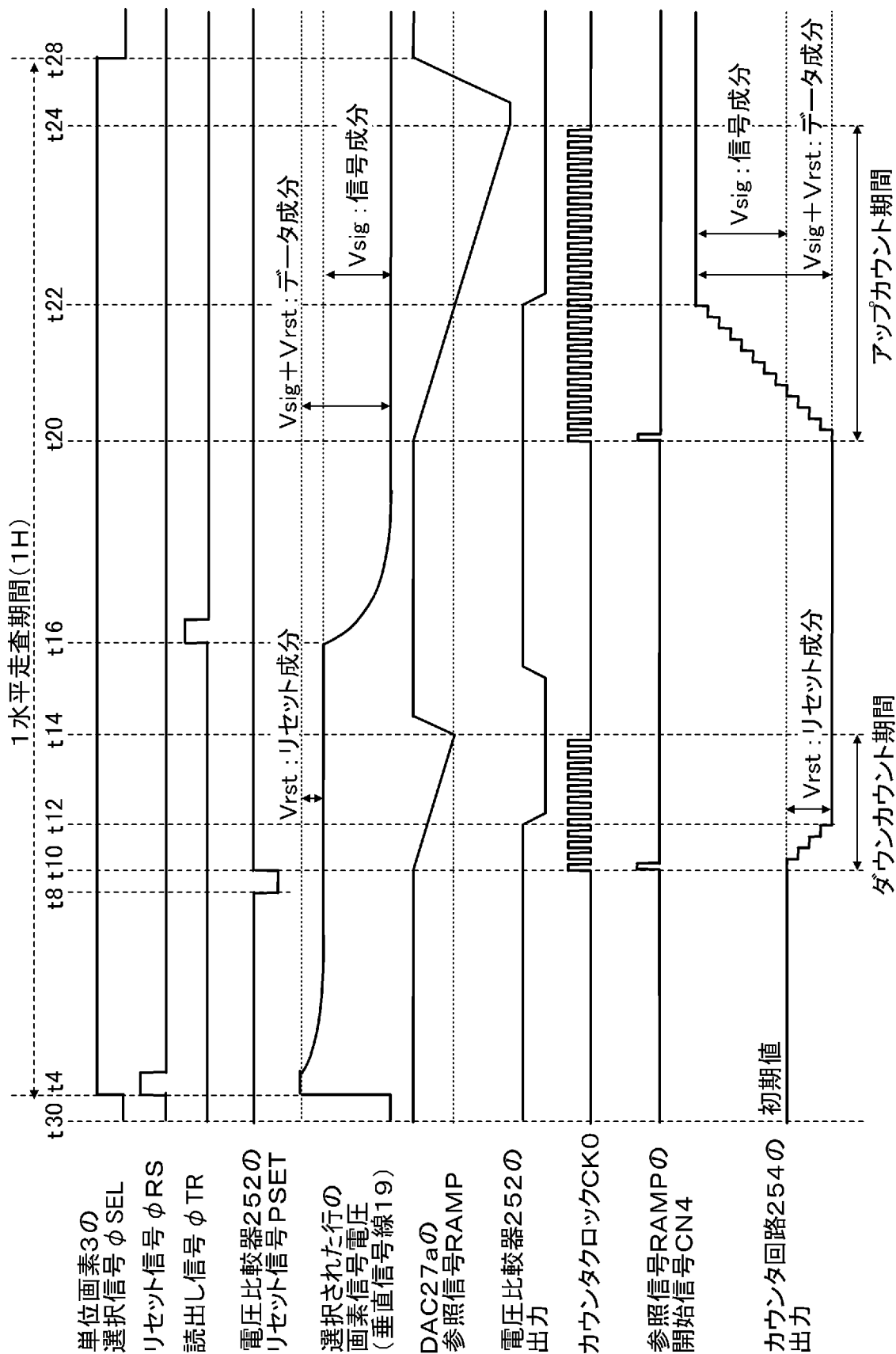


$$\begin{aligned} \text{Gain1} &= I_{\text{ref}} / I_{\text{const}} \\ V_{\text{const}} &= I_{\text{const}} \times R_{\text{tot}} \text{ とするとき} \\ V_{\text{top}} &= I_{\text{ref}} \times R_{\text{tot}} \\ &= (I_{\text{const}} \times \text{Gain1}) \times R_{\text{tot}} \\ &= V_{\text{const}} \times \text{Gain1} \end{aligned}$$

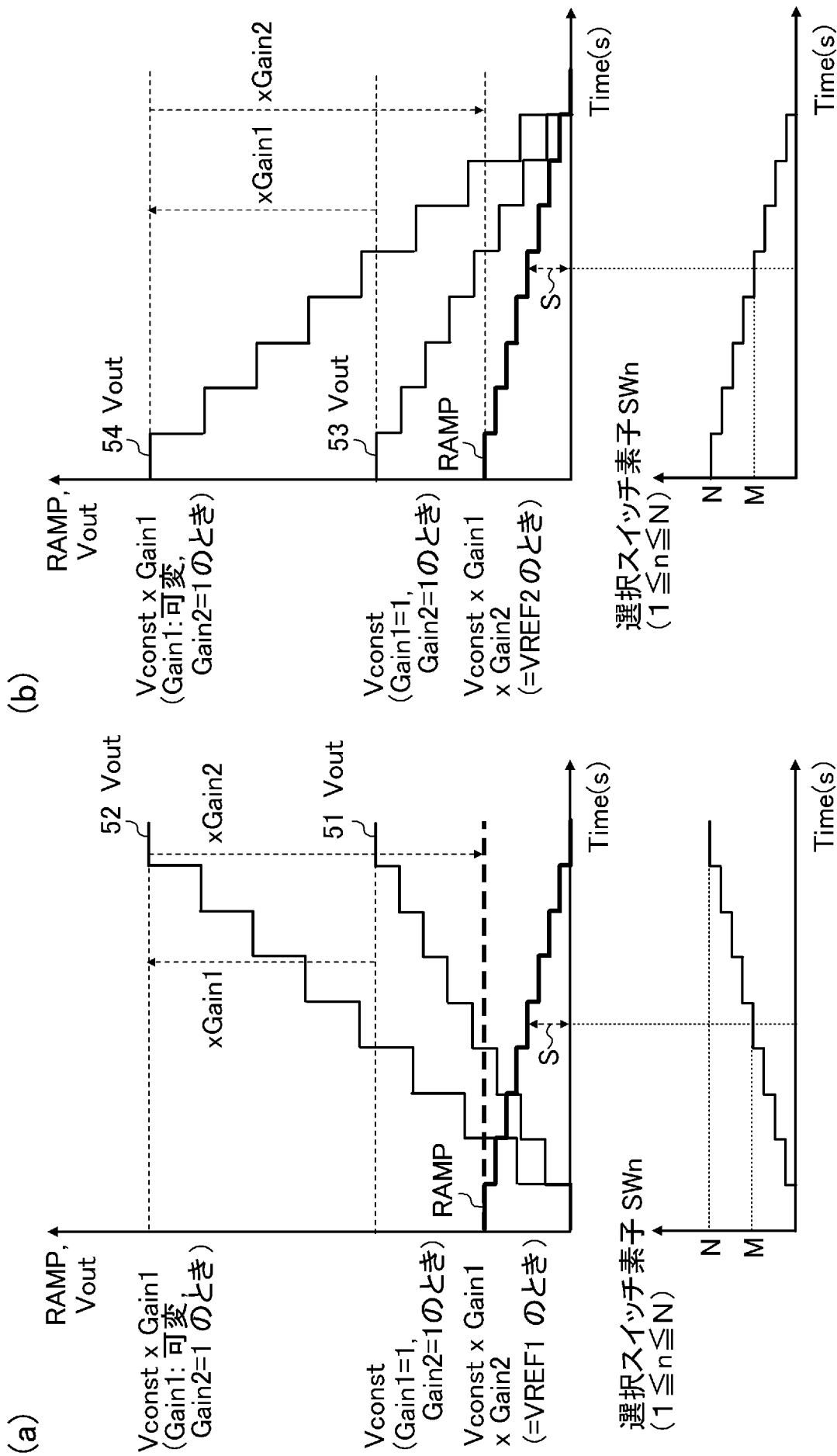
[図4]



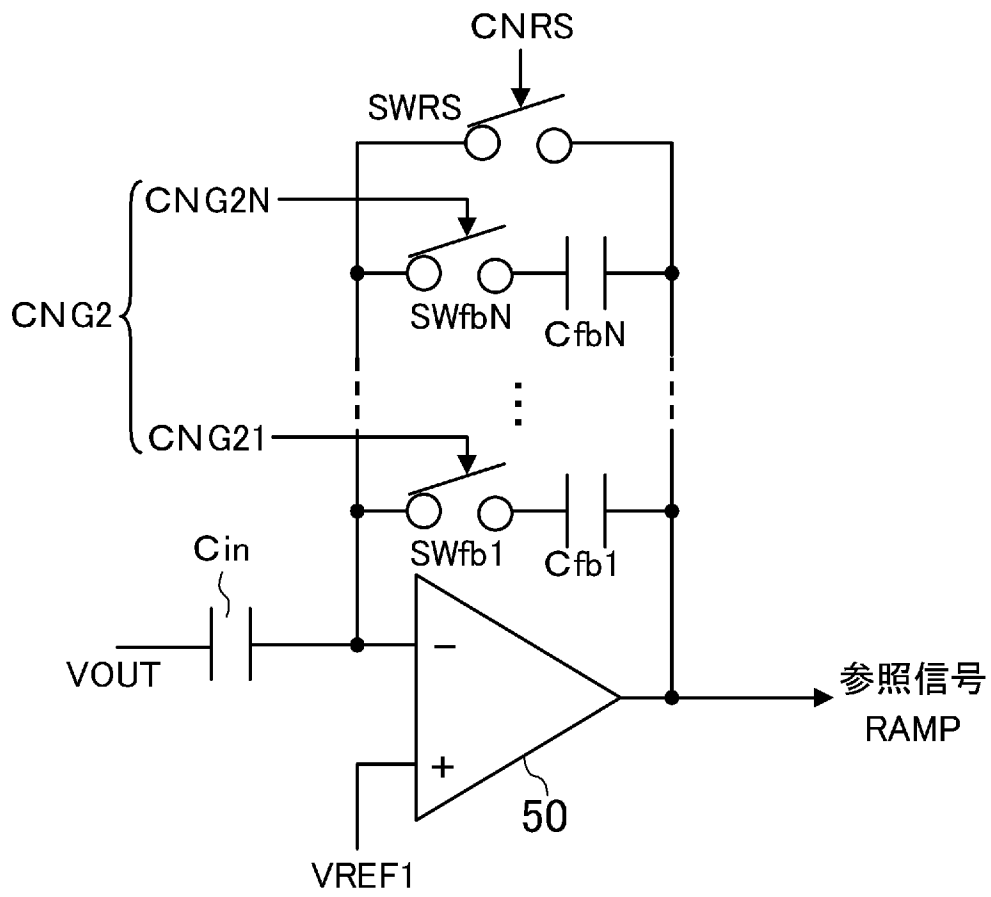
[図5]



[図6]

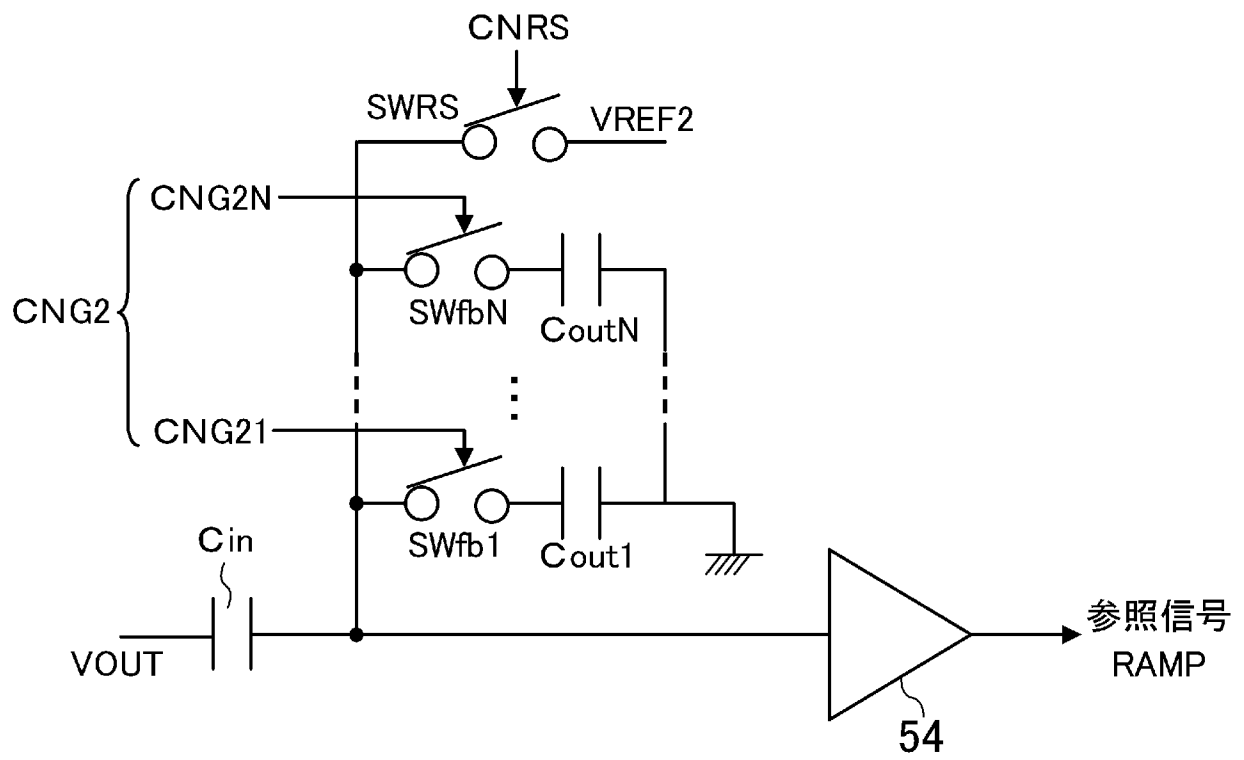


[図7]



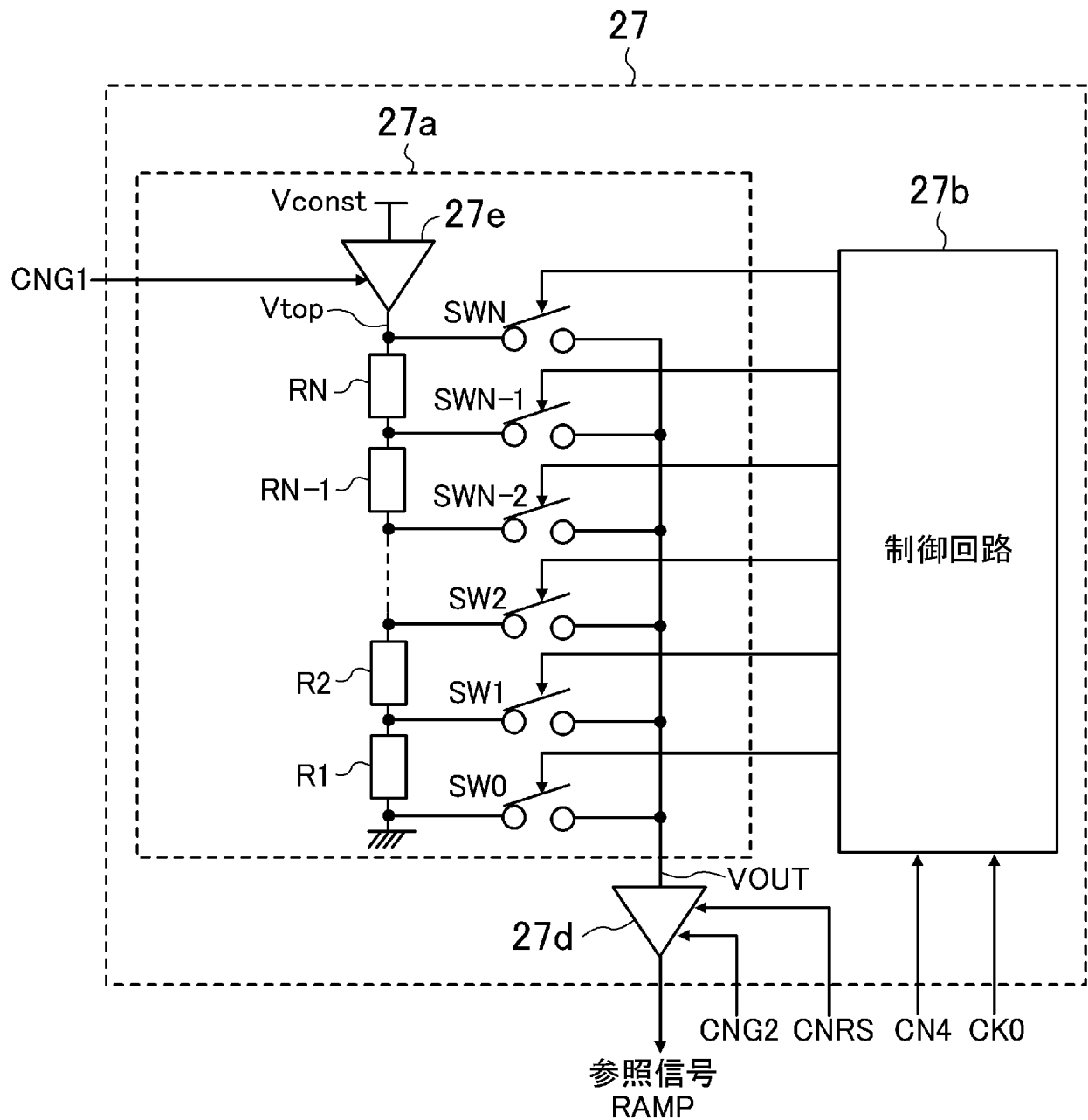
$$\text{Gain2} = C_{in} / C_{fbk}$$

[図8]



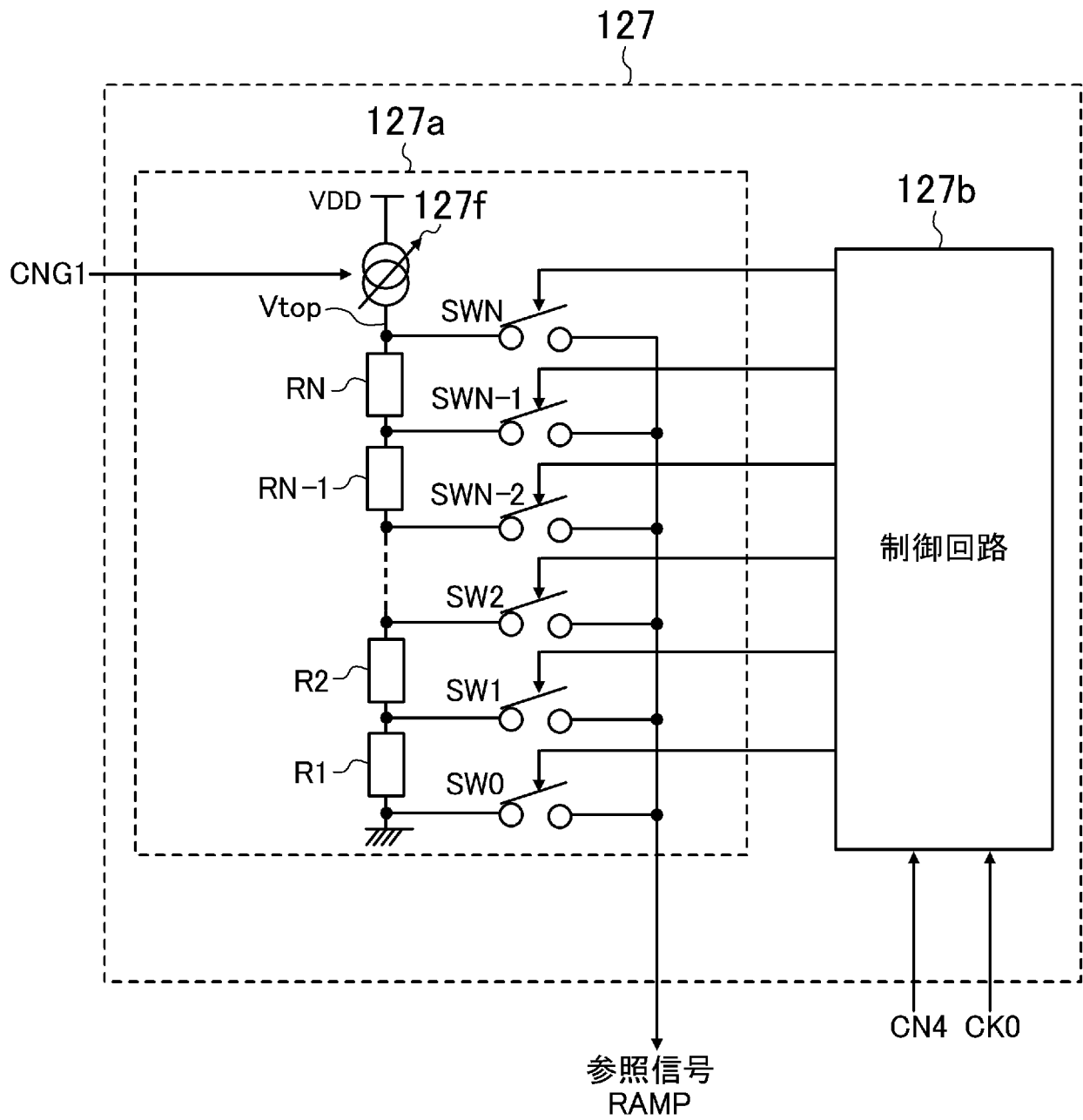
$$\text{Gain2} = C_{in} / (C_{in} + C_{outk})$$

[図9]



$$\begin{aligned} \text{Gain1} &= V_{top} / V_{const}, \\ V_{const} &= I_{const} \times R_{tot} \text{ とするとき} \\ V_{top} &= V_{const} \times \text{Gain1} \\ &= (I_{const} \times R_{tot}) \times \text{Gain1} \end{aligned}$$

[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002756

<p>A. CLASSIFICATION OF SUBJECT MATTER <i>H03M1/08(2006.01) i, H01L21/822(2006.01) i, H01L27/04(2006.01) i, H03M1/66(2006.01) i, H04N5/374(2011.01) i, H04N5/378(2011.01) i, H04N101/00(2006.01) n</i> According to International Patent Classification (IPC) or to both national classification and IPC</p>										
<p>B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>H03M1/00-1/88, H01L21/822, H01L27/04, H03M1/66, H04N5/374, H04N5/378, H04N101/00</i></p>										
<p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</p> <table style="width:100%; border:none;"> <tr> <td style="width:33%;">Jitsuyo Shinan Koho</td> <td style="width:16%;">1922-1996</td> <td style="width:33%;">Jitsuyo Shinan Toroku Koho</td> <td style="width:18%;">1996-2012</td> </tr> <tr> <td>Kokai Jitsuyo Shinan Koho</td> <td>1971-2012</td> <td>Toroku Jitsuyo Shinan Koho</td> <td>1994-2012</td> </tr> </table>			Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012	Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012
Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012							
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012							
<p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>										
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p>										
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
<p>X Y</p>	<p>JP 2005-57484 A (Semiconductor Energy Laboratory Co., Ltd. et al.), 03 March 2005 (03.03.2005), fig. 20; paragraph [0050] & US 2005/0030270 A1 & EP 1505806 A2 & KR 10-2005-0016138 A & CN 1580915 A</p>	<p>1,8-19 2-4</p>								
<p>X Y</p>	<p>JP 11-168383 A (NEC Corp.), 22 June 1999 (22.06.1999), fig. 1; paragraphs [0030], [0032] (Family: none)</p>	<p>1,8-19 2-4</p>								
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>										
<p>* Special categories of cited documents:</p> <table style="width:100%; border:none;"> <tr> <td style="width:50%; vertical-align:top;"> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%; vertical-align:top;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>						
<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>									
<p>Date of the actual completion of the international search 17 May, 2012 (17.05.12)</p>		<p>Date of mailing of the international search report 29 May, 2012 (29.05.12)</p>								
<p>Name and mailing address of the ISA/ Japanese Patent Office</p>		<p>Authorized officer</p>								
<p>Facsimile No.</p>		<p>Telephone No.</p>								

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002756

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 7146/1990 (Laid-open No. 98523/1991) (Kenwood Corp.), 14 October 1991 (14.10.1991), fig. 1; page 5, lines 11 to 15 (Family: none)	1, 8-19 2-7
Y	US 2003/0071666 A1 (Toby Bailey), 17 April 2003 (17.04.2003), front page & EP 1298800 A1	2-7
A	JP 2008-124726 A (Toshiba Corp.), 29 May 2008 (29.05.2008), front page; paragraph [0046] & US 2008/0111591 A1 & CN 101179272 A	1-19

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H03M1/08(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03M1/66(2006.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i, H04N101/00(2006.01)n

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H03M1/00-1/88, H01L21/822, H01L27/04, H03M1/66, H04N5/374, H04N5/378, H04N101/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2005-57484 A（株式会社半導体エネルギー研究所（他1名）） 2005.03.03, 図20, 段落50 & US 2005/0030270 A1 & EP 1505806 A2 & KR 10-2005-0016138 A & CN 1580915 A	1, 8-19 2-4
X Y	JP 11-168383 A（日本電気株式会社）1999.06.22, 図1, 段落30, 32 （ファミリーなし）	1, 8-19 2-4

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 17.05.2012	国際調査報告の発送日 29.05.2012
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 柳下 勝幸 電話番号 03-3581-1101 内線 3596	5 X	9 5 6 1
--	---	-----	---------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	日本国実用新案登録出願 2-7146 号(日本国実用新案登録出願公開 3-98523 号)の願書に添付した明細書及び図面の内容を撮影したマイ クロフィルム (株式会社ケンウツド) 1991.10.14, 図 1, 第 5 頁第 11-15 行 (ファミリーなし)	1, 8-19 2-7
Y	US 2003/0071666 A1 (Toby Bailey) 2003.04.17, フロントページ & EP 1298800 A1	2-7
A	JP 2008-124726 A (株式会社東芝) 2008.05.29, フロントページ, 段落 46 & US 2008/0111591 A1 & CN 101179272 A	1-19