

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 20 日(20.09.2012)

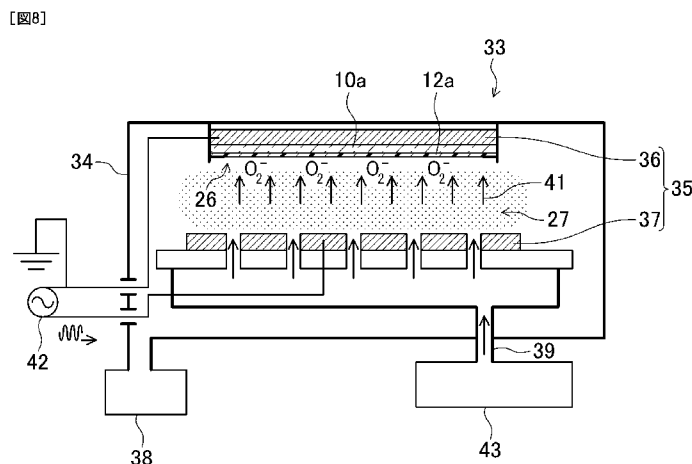


(10) 国際公開番号
WO 2012/124281 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2012/001468
- (22) 国際出願日: 2012 年 3 月 2 日(02.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-054624 2011 年 3 月 11 日(11.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 織田 明博
(ODA, Akihiro). 松木 蘭 広志(MATSUKIZONO,
Hiroshi).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA &
PARTNERS); 〒5410053 大阪府大阪市中央区本町
2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD FOR MANUFACTURING THIN-FILM TRANSISTOR SUBSTRATE, THIN-FILM TRANSISTOR SUBSTRATE MANUFACTURED BY SAME, AND DISPLAY DEVICE

(54) 発明の名称: 薄膜トランジスタ基板の製造方法およびその方法により製造された薄膜トランジスタ基板、表示装置



(57) Abstract: A method for manufacturing a thin-film transistor substrate, comprising: a step of forming a gate electrode (11a) on an insulating substrate (10a); a step of forming a first gate insulating layer (12a) comprising a silicon nitride film so as to cover the gate electrode (11a), and subsequently supplying an oxygen radical to a front surface of the first gate insulating layer (12a) to conduct a surface treatment; a step of forming a second gate insulating layer (12b) comprising a silicon oxide film on the first gate insulating layer (12a); and a step of forming an oxide semiconductor layer (12a) on the second gate insulating layer (12b).

(57) 要約: 薄膜トランジスタ基板の製造方法あって、絶縁基板 (10a) 上にゲート電極 (11a) を形成する工程と、ゲート電極 (11a) を覆うように窒化シリコン膜からなる第1ゲート絶縁層 (12a) を形成した後、第1ゲート絶縁層 (12a) の表面に対して酸素ラジカルを供給して表面処理を行い、第1ゲート絶縁層 (12a) 上に酸化シリコン膜からなる第2ゲート絶縁層 (12b) を形成する工程と、第2ゲート絶縁層 (12b) 上に酸化半導体層 (12a) を形成する工程とを備える。

明 細 書

発明の名称：

薄膜トランジスタ基板の製造方法およびその方法により製造された薄膜トランジスタ基板、表示装置

技術分野

[0001] 本発明は、薄膜トランジスタに関し、特に、酸化物半導体の半導体層を用いた薄膜トランジスタ基板の製造方法およびその方法により製造された薄膜トランジスタ基板、表示装置に関する。

背景技術

[0002] アクティブマトリクス基板では、画像の最小単位である各画素毎に、スイッチング素子として、例えば、薄膜トランジスタ（Thin Film Transistor、以下、「T F T」とも称する）が設けられている。

[0003] 一般的なボトムゲート型のT F Tは、例えば、絶縁基板上に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁層と、ゲート絶縁層上にゲート電極に重なるように島状に設けられた半導体層と、半導体層上に互いに対峙するように設けられたソース電極及びドレイン電極とを備えている。

[0004] また、近年、アクティブマトリクス基板では、画像の最小単位である各画素のスイッチング素子として、アモルファスシリコンの半導体層を用いた従来の薄膜トランジスタに代わって、移動度に優れた酸化物半導体の半導体層（以下、「酸化物半導体層」とも称する。）を用いたT F Tが提案されている。

[0005] この酸化物半導体層を用いたT F Tでは、一般に、ゲート絶縁層として、C V D法で成膜される窒化シリコン膜が使用されている。しかし、ゲート絶縁層に窒化シリコン膜を使用すると、ゲート絶縁層上に設けられた酸化物半導体層と窒化シリコン膜との界面に、不純物準位や固定電荷が形成されやすいため、T F Tの閾値電圧に変動が生じ、結果として、T F T特性が低下す

るという問題があった。

[0006] そこで、酸化物半導体層とゲート絶縁層との界面特性を向上させるための薄膜トランジスタ基板が提案されている。より具体的には、酸化物半導体層とゲート絶縁層との間に、 $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物からなる界面安定化層を設けた薄膜トランジスタ基板が開示されている。そして、このような界面安定化層を設けることにより、酸化物半導体層の界面特性を向上することができると記載されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0007] 特許文献1：特開2010-16348号公報

発明の概要

発明が解決しようとする課題

[0008] しかし、上記特許文献1に記載の薄膜トランジスタ基板では、界面安定化層を形成するための成膜装置が別個に必要となるため、コストアップになるという問題があった。

[0009] また、酸化物半導体層を使用する場合、窒化シリコン膜の代わりに、酸化物半導体層との界面において、窒化シリコン膜に比し不純物準位や固定電荷といった電荷トラップが形成され難いと考えられる酸化シリコン膜を使用することも考えられる。

[0010] しかし、アモルファスシリコンを用いた従来の薄膜トランジスタ基板の製造工程においては、酸化シリコン膜を成膜するための成膜装置が設けられていないため、酸化物半導体層を用いた薄膜トランジスタ基板を製造する際に、酸化シリコン膜を形成するための別個の成膜装置を設ける必要があり、コストアップになるという問題があった。

[0011] そこで、本発明は上述の問題に鑑みてなされたものであり、酸化物半導体層を用いた薄膜トランジスタ基板において、閾値電圧の変動を抑制して、T

F T特性の低下を効果的に抑制することができるとともに、コストアップを抑制することができる薄膜トランジスタ基板の製造方法およびその方法により製造された薄膜トランジスタ基板、表示装置を提供することを目的とする。

課題を解決するための手段

- [0012] 上記目的を達成するために、本発明の薄膜トランジスタ基板の製造方法は、絶縁基板と、絶縁基板に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁層と、ゲート絶縁層上に設けられ、ゲート電極に重なるように設けられたチャネル領域を有する酸化物半導体層とを備えた薄膜トランジスタ基板の製造方法あって、絶縁基板上にゲート電極を形成するゲート電極形成工程と、ゲート電極を覆うように窒化シリコン膜からなる第1ゲート絶縁層を形成した後、第1ゲート絶縁層の表面に対して酸素ラジカルを供給して表面処理を行い、第1ゲート絶縁層上に酸化シリコン膜からなる第2ゲート絶縁層を形成することにより、第1ゲート絶縁層と第2ゲート絶縁層とにより構成されたゲート絶縁層を形成するゲート絶縁層形成工程と、第2ゲート絶縁層上に酸化物半導体層を形成する半導体層形成工程とを少なくとも備えることを特徴とする。
- [0013] 同構成によれば、酸化物半導体層と酸化シリコン膜からなる第2ゲート絶縁層との界面における不純物準位や固定電荷の形成を防止することが可能になる。その結果、薄膜トランジスタの閾値電圧の変動を抑制して、薄膜トランジスタの特性の低下を効果的に抑制することが可能になる。
- [0014] また、例えば、プラズマ装置により、第1ゲート絶縁層を形成する場合、第1ゲート絶縁層を形成する際に使用するプラズマ装置に供給する原料ガスを変更することにより、第2ゲート絶縁層を形成することができるため、酸化シリコン膜からなる第2ゲート絶縁層を形成するために、別個の成膜装置を設ける必要がなく、コストアップを抑制することが可能になる。
- [0015] 本発明の薄膜トランジスタ基板の製造方法においては、表面処理は、プラズマ処理により発生した酸素ラジカルを供給する処理であってもよい。

- [0016] 同構成によれば、プラズマ処理により酸素ラジカルを発生させるため、簡単な方法で酸素ラジカルを発生させることができる。
- [0017] 本発明の薄膜トランジスタ基板の製造方法においては、酸素ラジカルは、一酸化二窒素ガスのプラズマによる分解により発生させたものであってもよい。
- [0018] 同構成によれば、簡単な方法で、酸素ラジカルを発生させることが可能になる。
- [0019] 本発明の薄膜トランジスタ基板の製造方法においては、酸素ラジカルは、酸素ガスのプラズマによる分解により発生させたものであってもよい。
- [0020] 同構成によれば、簡単な方法で、酸素ラジカルを発生させることが可能になる。
- [0021] 本発明の薄膜トランジスタ基板の製造方法においては、半導体層形成工程後、酸化物半導体層のチャネル領域にチャネル領域を保護するチャネル保護層を形成するチャネル保護層形成工程を更に備えてもよい。
- [0022] 同構成によれば、酸化物半導体層上にソース電極及びドレイン電極を形成する工程において、エッチングによりパターンニングして、ソース電極、ドレイン電極を形成する際に、酸化物半導体層のチャネル領域をエッチングしないように保護することが可能になる。
- [0023] 本発明の薄膜トランジスタ基板の製造方法においては、酸化物半導体層が、インジウム(In)、ガリウム(Ga)、アルミニウム(Al)、銅(Cu)、亜鉛(Zn)、マグネシウム(Mg)、及びカドミウム(Cd)からなる群より選ばれる少なくとも1種を含む金属酸化物からなってもよい。
- [0024] 同構成によれば、これらの材料からなる酸化物半導体層は、アモルファスであっても移動度が高いため、スイッチング素子のオン抵抗を小さくすることができる。
- [0025] 本発明の薄膜トランジスタ基板の製造方法においては、酸化物半導体層が、酸化インジウムガリウム亜鉛(IGZO)からなる酸化物半導体膜により形成されていてもよい。

- [0026] 同構成によれば、薄膜トランジスタにおいて、高移動度、低オフ電流という良好な特性を得ることができる。
- [0027] 本発明の薄膜トランジスタ基板は、本発明の薄膜トランジスタ基板の製造方法により製造されたものである。
- [0028] 同構成によれば、本発明の薄膜トランジスタ基板の製造方法と同じ効果を有する薄膜トランジスタ基板を得ることが可能になる。
- [0029] また、本発明の薄膜トランジスタ基板は、薄膜トランジスタの閾値電圧の変動を抑制して、薄膜トランジスタの特性の低下を効果的に抑制することができ、コストアップを抑制することができるという優れた特性を備えている。従って、本発明の薄膜トランジスタ基板は、薄膜トランジスタ基板と、薄膜トランジスタ基板に対向して配置された対向基板と、薄膜トランジスタ基板及び対向基板の間に設けられた表示媒体層とを備える表示装置に好適に使用できる。また、本発明の表示装置は、表示媒体層が液晶層である表示装置に好適に使用できる。

発明の効果

- [0030] 本発明によれば、酸化物半導体層を用いた薄膜トランジスタ基板において、閾値電圧の変動を抑制して、T F T特性の低下を効果的に抑制することができるとともに、コストアップを抑制することができる。

図面の簡単な説明

- [0031] [図1]本発明の実施形態に係る薄膜トランジスタ基板を有する液晶表示装置の断面図である。
- [図2]本発明の実施形態に係る薄膜トランジスタ基板の平面図である。
- [図3]本発明の実施形態に係る薄膜トランジスタ基板の画素部及び端子部を拡大した平面図である。
- [図4]図3中のA－A線に沿った薄膜トランジスタ基板の断面図である。
- [図5]T F T及び薄膜トランジスタ基板の製造工程を断面で示す説明図である。
- [図6]T F T及び薄膜トランジスタ基板の製造工程を断面で示す説明図である。

。

[図7]対向基板の製造工程を断面で示す説明図である。

[図8]本発明の実施形態に係るプラズマ装置の全体構成を示す断面図である。

[図9]一酸化二窒素を原料ガスとして使用し、第1ゲート絶縁層の表面に対してプラズマにより発生した酸素ラジカルを供給して表面処理を行い、第1ゲート絶縁層上に酸化シリコン膜からなる第2ゲート絶縁層を形成した場合の処理時間と酸化シリコン膜の膜厚との関係を示す図である。

[図10]本発明の実施形態に係る薄膜トランジスタにおけるドレイン・ソース電流 (I_{ds}) とゲート電圧 (V_g) との関係を示す $I_{ds}-V_g$ 特性図である。

[図11]本発明の実施形態に係る薄膜トランジスタのストレスによる閾値変化を示す図である。

[図12]本発明の実施形態に係る薄膜トランジスタ基板の変形例を示す断面図である

発明を実施するための形態

[0032] (第1の実施形態)

以下、本発明の実施形態について、図面を参照しながら詳細に説明する。
尚、本発明は以下の実施形態に限定されるものではない。

[0033] 図1は、本発明の実施形態に係る薄膜トランジスタ基板を有する液晶表示装置の断面図であり、図2は、本発明の実施形態に係る薄膜トランジスタ基板の平面図である。また、図3は、本発明の実施形態に係る薄膜トランジスタ基板の画素部及び端子部を拡大した平面図であり、図4は、図3中のA-A線に沿った薄膜トランジスタ基板の断面図である。

[0034] 液晶表示装置50は、図1に示すように、互いに対向するように設けられた表示装置用基板である薄膜トランジスタ基板20a及び他の表示装置用基板である対向基板30と、薄膜トランジスタ基板20a及び対向基板30の間に設けられた表示媒体層である液晶層40とを備えている。また、液晶表示装置50は、薄膜トランジスタ基板20a及び対向基板30を互いに接着

するとともに、薄膜トランジスタ基板 20a 及び対向基板 30 の間に液晶層 40 を封入するために枠状に設けられたシール材 32 とを備えている。

[0035] また、液晶表示装置 50 では、図 1 に示すように、シール材 32 の内側の部分に画像表示を行う表示領域 D が規定され、薄膜トランジスタ基板 20a の対向基板 30 から突出する部分に端子領域 T が規定されている。

[0036] 薄膜トランジスタ基板 20a は、図 2、図 3 及び図 4 に示すように、絶縁基板 10a と、表示領域 D において、絶縁基板 10a 上に互いに平行に延びるように設けられた複数の走査配線 11a と、各走査配線 11a の間にそれぞれ設けられ、互いに平行に延びる複数の補助容量配線 11b とを備えている。また、薄膜トランジスタ基板 20a は、各走査配線 11a と直交する方向に互いに平行に延びるように設けられた複数の信号配線 16a と、各走査配線 11a 及び各信号配線 16a の交差部分毎、すなわち、各画素毎にそれぞれ設けられた複数の TFT5a と、各 TFT5a を覆うように設けられた層間絶縁膜 17 とを備えている。また、薄膜トランジスタ基板 20a は、層間絶縁膜 17 上にマトリクス状に設けられ、各 TFT5a にそれぞれ接続された複数の画素電極 19a と、各画素電極 19a を覆うように設けられた配向膜（不図示）とを備えている。

[0037] 走査配線 11a は、図 2 及び図 3 に示すように、端子領域 T（図 1 参照）のゲート端子領域 Tg に引き出され、そのゲート端子領域 Tg において、ゲート端子 19b に接続されている。

[0038] 補助容量配線 11b は、図 3 に示すように、補助容量幹線 16c 及び中継配線 11d を介して補助容量端子 19d に接続されている。ここで、補助容量幹線 16c は、ゲート絶縁層 12 に形成されたコンタクトホール Cc を介して補助容量配線 11b に接続されているとともに、ゲート絶縁層 12 に形成されたコンタクトホール Cd を介して中継配線 11d に接続されている。

[0039] 信号配線 16a は、図 2 及び図 3 に示すように、端子領域 T（図 1 参照）のソース端子領域 Ts に中継配線 11c として引き出され、そのソース端子領域 Ts において、ソース端子 19c に接続されている。

- [0040] ここで、信号配線 16 a は、図 3 に示すように、ゲート絶縁層 12 に形成されたコンタクトホール C b を介して中継配線 11 c に接続されている。
- [0041] T F T 5 a は、ボトムゲート構造を有しており、図 3 及び図 4 に示すように、絶縁基板 10 a 上に設けられたゲート電極 11 a a と、ゲート電極 11 a a を覆うように設けられたゲート絶縁層 12 と、ゲート絶縁層 12 上でゲート電極 11 a a に重なるように島状に設けられたチャネル領域 C を有する酸化物半導体層 13 a とを備えている。また、T F T 5 a は、酸化物半導体層 13 a 上にゲート電極 11 a a に重なりとともにチャネル領域 C を挟んで互いに対峙するように設けられたソース電極 16 a a 及びドレイン電極 16 b とを備えている。
- [0042] ここで、酸化物半導体層 13 a のチャネル領域 C 上には、ソース電極 16 a a 及びドレイン電極 16 b（即ち、T F T 5 a）を覆う層間絶縁膜 17 が設けられている。
- [0043] また、ゲート電極 11 a a は、図 3 に示すように、走査配線 11 a の側方への突出した部分である。また、ソース電極 16 a a は、図 3 に示すように、信号配線 16 a の側方への突出した部分であり、図 4 に示すように、第 1 導電層 14 a 及び第 2 導電層 15 a の積層膜により構成されている。
- [0044] さらに、ドレイン電極 16 b は、図 3 及び図 4 に示すように、第 1 導電層 14 b 及び第 2 導電層 15 b の積層膜により構成され、層間絶縁膜 17 に形成されたコンタクトホール C a を介して画素電極 19 a に接続されている。また、ドレイン電極 16 b は、ゲート絶縁層 12 を介して補助容量配線 11 b と重なることにより補助容量を構成している。
- [0045] また、酸化物半導体層 13 a は、例えば、酸化インジウムガリウム亜鉛（I G Z O）等からなる酸化物半導体膜により形成されている。
- [0046] また、本実施形態においては、図 4 に示すように、酸化物半導体層 13 a のチャネル領域 C に、当該チャネル領域 C を保護するためのチャネル保護層（エッチングストッパ層）25 が設けられている。このチャネル保護層 25 を設けることにより、後述するソースドレイン形成工程において、エッチン

グによりパターンニングして、ソース電極 16 a a、ドレイン電極 16 b を形成する際に、酸化物半導体層 13 a のチャネル領域 C をエッチングしないように保護することが可能になる。

[0047] 対向基板 30 は、後述する図 7 (c) に示すように、絶縁基板 10 b と、絶縁基板 10 b 上に格子状に設けられたブラックマトリクス 21 並びにブラックマトリクス 21 の各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの着色層 22 を有するカラーフィルター層とを備えている。また、対向基板 30 は、そのカラーフィルター層を覆うように設けられた共通電極 23 と、共通電極 23 上に設けられたフォトスペーサ 24 と、共通電極 23 を覆うように設けられた配向膜（不図示）とを備えている。

[0048] 液晶層 40 は、例えば、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0049] 上記構成の液晶表示装置 50 では、各画素において、ゲートドライバ（不図示）からゲート信号が走査配線 11 a を介してゲート電極 11 a a に送られて、TFT 5 a がオン状態になったときに、ソースドライバ（不図示）からソース信号が信号配線 16 a を介してソース電極 16 a a に送られて、半導体層 13 a 及びドレイン電極 16 b を介して、画素電極 19 a に所定の電荷が書き込まれる。

[0050] この際、薄膜トランジスタ基板 20 a の各画素電極 19 a と対向基板 30 の共通電極 23 との間において電位差が生じ、液晶層 40、すなわち、各画素の液晶容量、及びその液晶容量に並列に接続された補助容量に所定の電圧が印加される。

[0051] そして、液晶表示装置 50 では、各画素において、液晶層 40 に印加する電圧の大きさによって液晶層 40 の配向状態を変えることにより、液晶層 40 の光透過率を調整して画像が表示される。

[0052] また、本実施形態においては、図 4 に示すように、ゲート絶縁層 12 は、絶縁基板 10 a 上にゲート電極 11 a a を覆うように設けられた第 1 ゲート絶縁層 12 a と、第 1 ゲート絶縁層 12 a 上に設けられ、酸化物半導体層 1

3 a と接する第2ゲート絶縁層 1 2 b とにより構成されている。

[0053] 第1ゲート絶縁層 1 2 a は、窒化シリコン膜 (S i N x) により形成されており、第2ゲート絶縁層 1 2 b は、酸化シリコン膜 (S i O x) により形成されている。そして、本実施形態においては、第2ゲート絶縁層 1 2 b は、窒化シリコンからなる第1ゲート絶縁層 1 2 a の表面に対してプラズマ処理を施すことにより形成される構成となっている。

[0054] 次に、本実施形態の液晶表示装置 5 0 の製造方法の一例について、図 5 ～ 図 7 を用いて説明する。図 5、図 6 は、T F T 及び薄膜トランジスタ基板の製造工程を断面で示す説明図であり、図 7 は、対向基板の製造工程を断面で示す説明図である。なお、本実施形態の製造方法は、薄膜トランジスタ基板作製工程、対向基板作製工程及び液晶注入工程を備える。

[0055] まず、T F T 及び薄膜トランジスタ基板作製工程について説明する。

[0056] <ゲート電極形成工程>

まず、ガラス基板、シリコン基板、耐熱性を有するプラスチック基板などの絶縁基板 1 0 a の基板全体に、スパッタリング法により、例えば、モリブテン膜 (厚さ 1 5 0 n m 程度) などを成膜した後に、そのモリブテン膜に対して、フォトリソグラフィ、ウエットエッチング及びレジストの剥離洗浄を行うことにより、図 3、図 5 (a) に示すように、走査配線 1 1 a、ゲート電極 1 1 a a、補助容量配線 1 1 b、並びに中継配線 1 1 c、1 1 d を形成する。

[0057] なお、本実施形態では、ゲート電極 1 1 a a を構成する金属膜として、単層構造のモリブテン膜を例示したが、例えば、アルミニウム膜、タングステン膜、タンタル膜、クロム膜、チタン膜、銅膜等の金属膜、または、これらの合金膜や金属窒化物による膜によりゲート電極 1 1 a a を、5 0 n m ～ 5 0 0 n m の厚さで形成する構成としても良い。

[0058] また、上記プラスチック基板を形成する材料としては、例えば、ポリエチレンテレフタレート樹脂、ポリエチレンナフタレート樹脂、ポリエーテルサルフォン樹脂、アクリル樹脂、及びポリイミド樹脂を使用することができる。

。

[0059] <ゲート絶縁層形成工程>

まず、走査配線 11a、ゲート電極 11aa、補助容量配線 11b、並びに中継配線 11c、11d が形成された基板全体に、プラズマ CVD 法により、例えば、窒化シリコン膜（厚さ 200nm～500nm 程度）を成膜して、図 5（b）に示すように、ゲート電極 11aa、及び補助容量配線 11b を覆うように第 1 ゲート絶縁層 12a を形成する。

[0060] 次に、窒化シリコンからなる第 1 ゲート絶縁層 12a の表面に対してプラズマ処理により発生した酸素ラジカル（ O_2^- ）を供給して表面処理を行うことにより、図 5（c）に示すように、第 1 ゲート絶縁層 12a 上に酸化シリコン膜からなる第 2 ゲート絶縁層 12b を形成する。

[0061] 図 8 は、本発明の実施形態に係るプラズマ装置の全体構成を示す断面図である。

[0062] プラズマ装置 33 は、図 8 に示すように、プラズマ発生室（真空容器）34 と、プラズマ発生室 34 の内部に設けられたプラズマ放電発生部 35 とを備えている。そして、プラズマ装置 33 は、図 5（b）に示す被処理基板 26 の第 1 ゲート絶縁層 12a の表面に酸素ラジカルを供給することにより、第 1 ゲート絶縁層 12a の一部を酸化シリコンに変えて、第 1 ゲート絶縁層 12a 上に酸化シリコン膜からなる第 2 ゲート絶縁層 12b を形成するように構成されている。

[0063] プラズマ放電発生部 35 は、図 8 に示すように、プラズマ発生室 34 内で上下方向に互いに対向するように配置されたカソード電極（電源電極）37 とアノード電極（接地電極）36 とからなる一对の電極を有している。なお、アノード電極 36 とカソード電極 37 は、プラズマ発生室 34 において、電氣的に絶縁され、互いに平行となるように設置されている。

[0064] また、プラズマ発生室 34 の外部には、図 8 に示すように、プラズマ放電発生部 35 に電力を供給する高周波電源 42 と、原料ガス 41 をプラズマ発生室 34 内に供給するガス供給部 43 と、プラズマ発生室 34 内のガスを排

出するガス排出部 38 とが設けられている。また、プラズマ発生室 34 には、アノード電極 36 とカソード電極 37 との間に、原料ガス 41 を導入するためのガス供給管 39 が形成されている。

[0065] そして、アノード電極 36 とカソード電極 37 との間にプラズマ 27 を発生させ、発生したプラズマ 27 により、アノード電極 36 とカソード電極 37 との間において、原料ガス（本実施形態においては、一酸化二窒素ガス）41 の解離が促進されることにより、ラジカル（酸素ラジカル）が生成される。

[0066] 即ち、本実施形態においては、原料ガス 41 のプラズマによる分解により酸素ラジカルを発生させる構成としている。

[0067] そして、このように生成された酸素ラジカルを被処理基板 26 に形成された第 1 ゲート絶縁層 12 a の表面にまで拡散させて、第 1 ゲート絶縁層 12 a の一部を酸化シリコンに変えて、第 1 ゲート絶縁層 12 a 上に酸化シリコン膜からなる第 2 ゲート絶縁層 12 b を形成するように構成されている。

[0068] より具体的には、アノード電極 36 上に被処理基板 26 を装着して真空ポンプ等でプラズマ発生室 34 の内部を減圧にした状態で、ガス供給部 43 から原料ガス 41 をプラズマ発生室 34 に導入し、原料ガス 41 の導入とともに高周波電源 42 を駆動させてアノード電極 36 とカソード電極 37 との間に高周波電圧を印加することにより、発生した電界による気体の絶縁破壊によってグロー放電現象として原料ガス 41 のプラズマ状態を生じさせる。これにより、カソード電極 37 の近傍において比較的強い電界が形成されるカソードシース部や、その付近において、原料ガス 41 の解離が促進されて酸素ラジカルが生成される。そして、このように生成された酸素ラジカルが、被処理基板 26 にまで拡散し、被処理基板 26 に形成された第 1 ゲート絶縁層 12 a の表面に供給されることにより、第 1 ゲート絶縁層 12 a の一部を酸化シリコンに変えて、第 1 ゲート絶縁層 12 a 上に酸化シリコン膜からなる第 2 ゲート絶縁層 12 b を形成するように構成されている。

[0069] なお、本実施形態においては、このプラズマ装置 33 は、上述のプラズマ

CVD法により窒化シリコン膜を成膜して、第1ゲート絶縁層12aを形成する際にも使用されるものである。従って、プラズマ装置33に供給する原料ガスを変更することにより、第2ゲート絶縁層12bを形成することができるため、第2ゲート絶縁層12bを形成するために、別個の装置を設ける必要がなく、コストアップを抑制することが可能になる。

[0070] 図9は、一酸化二窒素を原料ガスとして使用し、第1ゲート絶縁層12aの表面に対して常圧プラズマにより発生した酸素ラジカルを供給して表面処理を行い、第1ゲート絶縁層12a上に酸化シリコン膜からなる第2ゲート絶縁層12bを形成した場合の処理時間と酸化シリコン膜の膜厚との関係を示す図である。

[0071] 図9に示すように、処理時間が長くなるにつれて、形成される酸化シリコン膜の膜厚も大きくなるが、3～5nmの厚みを有する酸化シリコン膜を形成するためには、比較的短時間（40～180秒）の処理を行えば良いことが判る。なお、このように処理時間が短い場合、単位時間当たりに処理できる基板の数を増加させることができるため、生産性が向上するとともに、製造コストを抑制することができる。

[0072] また、本実施形態においては、酸化シリコン膜（第2ゲート絶縁層12b）の厚みが3～5nmであることが好ましい。これは、厚みが3nm未満の場合は、酸化シリコン膜の膜厚にバラツキが生じ、TFT特性の低下を効果的に抑制することが困難になるという不都合が生じる場合があるためである。また、厚みが5nmよりも大きい場合は、処理時間が長くなるという不都合が生じる場合があるためである。

[0073] 即ち、上記従来技術の薄膜トランジスタ基板においては、スパッタリング法により、50～5000Åの厚みを有する界面安定化層を成膜する構成であるが、界面安定化層の厚みが50～100Åと薄い場合は、界面安定化層の膜厚が不均一になり、TFT特性の低下を良好に抑制することが困難になるという問題があった。

[0074] 一方、本実施形態においては、酸化シリコン膜の厚みを3～5nmに設定

することにより、酸化シリコン膜の膜厚のバラツキに起因するTFT特性の低下という不都合を生じることなく、生産性を向上させることが可能になる。

[0075] <半導体層形成工程>

その後、スパッタリング法により、例えば、酸化インジウムガリウム亜鉛からなる酸化物半導体膜（厚さ30nm～100nm程度）を成膜し、その後、その酸化物半導体膜に対して、フォトリソグラフィ、ウエットエッチング及びレジストの剥離洗浄を行うことにより、図5（d）に示すように、第2ゲート絶縁層12b上に酸化物半導体層13aを形成する。

[0076] この際、本実施形態においては、第2ゲート絶縁層12bが、酸化シリコン膜により形成されているため、窒化シリコン膜からなるゲート絶縁層上に酸化物半導体層を設ける場合と異なり、酸化物半導体層と酸化シリコン膜との界面における不純物準位や固定電荷の形成を防止することが可能になる。従って、TFT5aの閾値電圧の変動を抑制して、TFT5aの特性の低下を効果的に抑制することが可能になる。

[0077] <チャネル保護層形成工程>

次いで、酸化物半導体層13aが形成された基板全体に、プラズマCVD法により、例えば、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜などを成膜する。その後、レジストをマスクとしてフォトリソグラフィ、エッチング及びレジストの剥離洗浄を行うことにより、図5（e）に示すように、酸化物半導体層13aのチャネル領域Cに当該チャネル領域Cを保護するためのチャネル保護層（エッチングストッパ層）25を厚さ50～100nm程度に形成する。

[0078] <ソースドレイン形成工程>

さらに、酸化物半導体層13aが形成された基板全体に、スパッタリング法により、例えば、チタン膜（厚さ30nm～150nm）及び銅膜（厚さ50nm～400nm程度）などを順に成膜する。その後、その銅膜に対してフォトリソグラフィ及びウエットエッチングを行うとともに、そのチタン

膜に対してドライエッチング、並びにレジストの剥離洗浄を行うことにより、図5（f）に示すように、信号配線16a（図3参照）、ソース電極16aa、ドレイン電極16b及び補助容量幹線16c（図3参照）を形成するとともに、半導体層13aのチャネル領域Cを露出させる。

[0079] 即ち、本工程では、半導体層形成工程で形成された酸化物半導体層13a上に、ドライエッチングによりソース電極16aa及びドレイン電極16bを形成し、酸化物半導体層13aのチャネル領域Cを露出させる。

[0080] なお、本実施形態では、ソース電極16aa及びドレイン電極16bを構成する金属膜として、積層構造のチタン膜及び銅膜を例示したが、例えば、アルミニウム膜、タングステン膜、タンタル膜、クロム膜等の金属膜、または、これらの合金膜や金属窒化物による膜によりソース電極16aa及びドレイン電極16bを形成する構成としても良い。

[0081] また、エッチング加工としては、上述のドライエッチングまたはウェットエッチングのどちらを使用しても良いが、大面積基板を処理する場合は、ドライエッチングを使用する方が好ましい。エッチングガスとしては、 CF_4 、 NF_3 、 SF_6 、 CHF_3 等のフッ素系ガス、 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 等の塩素系ガス、酸素系ガス等を使用することができ、ヘリウムやアルゴン等の不活性ガスを添加する構成としても良い。

[0082] <層間絶縁膜形成工程>

次いで、ソース電極16aa及びドレイン電極16bが形成された（即ち、TFT5aが形成された）基板の全体に、プラズマCVD法により、例えば、酸化シリコン膜を成膜し、図6（a）に示すように、TFT5aを覆う（即ち、酸化物半導体層13a、ソース電極16aa及びドレイン電極16bを覆う）層間絶縁膜17を厚さ400nm程度に形成する。

[0083] <開口部形成工程>

次いで、層間絶縁膜17に対して、露光及び現像を行うことにより、図6（b）に示すように、層間絶縁膜17に、ドレイン電極16bに達するコンタクトホールCaを形成する。

[0084] <画素電極形成工程>

最後に、層間絶縁膜 17 が形成された基板全体に、スパッタリング法により、例えば、インジウム錫酸化物からなる ITO 膜（厚さ 50 nm ~ 200 nm 程度）などの透明導電膜を成膜した後に、その透明導電膜に対して、フォトリソグラフィ、ウエットエッチング及びレジストの剥離洗浄を行うことにより、図 4 に示すように、画素電極 19 a、ゲート端子 19 b、ソース端子 19 c 及び補助容量端子 19 d（図 3 参照）を形成する。

[0085] この際、図 4 に示すように、画素電極 19 a は、コンタクトホール C a の表面を覆うように、層間絶縁膜 17 の表面上に形成される。

[0086] なお、画素電極 19 a は、透過型の液晶表示装置 50 を形成する場合は、酸化タングステンを含むインジウム酸化物やインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物やインジウム錫酸化物等を使用することができる。また、上述のインジウム錫酸化物（ITO）以外に、インジウム亜鉛酸化物（IZO）、酸化ケイ素を含有するインジウム錫酸化物（ITSO）等を使用することもできる。

[0087] また、反射型の液晶表示装置 50 を形成する場合は、反射性を有する金属薄膜として、チタン、タングステン、ニッケル、金、白金、銀、アルミニウム、マグネシウム、カルシウム、リチウム、及びこれらの合金からなる導電膜を使用し、この金属薄膜を画素電極 19 a として使用する構成とすることができる。

[0088] 以上のようにして、図 4 に示す薄膜トランジスタ基板 20 a を作製することができる。

[0089] <対向基板作製工程>

まず、ガラス基板などの絶縁基板 10 b の基板全体に、スピンコート法又はスリットコート法により、例えば、黒色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図 7（a）に示すように、ブラックマトリクス 21 を厚さ 1.0 μ m 程度に形成する。

[0090] 次いで、ブラックマトリクス 21 が形成された基板全体に、スピンコート

法又はスリットコート法により、例えば、赤色、緑色又は青色に着色された感光性樹脂を塗布する。その後、その塗布膜を露光及び現像することにより、図7(a)に示すように、選択した色の着色層22(例えば、赤色層)を厚さ2.0 μ m程度に形成する。そして、他の2色についても同様な工程を繰り返して、他の2色の着色層22(例えば、緑色層及び青色層)を厚さ2.0 μ m程度に形成する。

[0091] さらに、各色の着色層22が形成された基板上に、スパッタリング法により、例えば、ITO膜などの透明導電膜を堆積することにより、図7(b)に示すように、共通電極23を厚さ50nm~200nm程度に形成する。

[0092] 最後に、共通電極23が形成された基板全体に、スピンコート法又はスリットコート法により、感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図7(c)に示すように、フォトスペーサ24を厚さ4 μ m程度に形成する。

[0093] 以上のようにして、対向基板30を作製することができる。

[0094] <液晶注入工程>

まず、上記薄膜トランジスタ基板作製工程で作製された薄膜トランジスタ基板20a、及び上記対向基板作製工程で作製された対向基板30の各表面に、印刷法によりポリイミドの樹脂膜を塗布した後に、その塗布膜に対して、焼成及びラビング処理を行うことにより、配向膜を形成する。

[0095] 次に、例えば、上記配向膜が形成された対向基板30の表面に、UV(ultraviolet)硬化及び熱硬化併用型樹脂などからなるシール材を枠状に印刷した後に、シール材の内側に液晶材料を滴下する。

[0096] さらに、上記液晶材料が滴下された対向基板30と、上記配向膜が形成された薄膜トランジスタ基板20aとを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、その貼合体の表面及び裏面を加圧する。

[0097] そして、上記貼合体において挟持されたシール材にUV光を照射した後に、その貼合体を加熱することによりシールを硬化させる。

[0098] 最後に、上記シール材を硬化させた貼合体を、例えば、ダイシングにより分断することにより、その不要な部分を除去する。

[0099] 以上のようにして、本実施形態の液晶表示装置 50 を製造することができる。

[0100] 図 10 は、本発明の実施形態に係る薄膜トランジスタにおけるドレイン・ソース電流 (I_{ds}) とゲート電圧 (V_g) との関係を示す $I_{ds}-V_g$ 特性図である。また、図 11 は、本発明の実施形態に係る薄膜トランジスタのストレス評価試験結果を示す図である。

[0101] なお、図 10 においては、ゲート電圧 (V_g) を $-20 \sim 30$ V の範囲で変化させ、ドレインとソースとの間の電位差 (V_{ds}) を 10 V に設定して測定を行った。また、図 11 においては、基板温度を 60°C 、ソース電圧及びドレイン電圧を 0 V に設定した状態で、ゲート電圧 (V_g) を $+30$ V、または -30 V に変化させて測定を行った。

[0102] 図 10 に示すように、窒化シリコン膜により形成された第 1 ゲート絶縁層 12a と酸化シリコン膜により形成された第 2 ゲート絶縁層 12b とにより構成されたゲート絶縁層 12 を使用した場合、酸化シリコン膜により形成されたゲート絶縁層を使用した場合と同様に、窒化シリコン膜により形成されたゲート絶縁層を使用する場合に比し、閾値電圧が低く、オン電流（例えば、 $V_g = 20$ V でのドレイン電流）が高く、S 値 ($V_g < V_{th}$ 領域において、ドレイン電流が 1 桁増加する V_g の値であって、 $\Delta V_g / \Delta \log(I_{ds})$ [単位: V/decade] により計算される値) が小さく、また、ヒステリシスも小さいことが判る。従って、本発明のゲート絶縁層 12 を使用することにより、TFT 5a の特性が良好になることが判る。

[0103] また、図 11 に示すように、窒化シリコン膜により形成された第 1 ゲート絶縁層 12a と酸化シリコン膜により形成された第 2 ゲート絶縁層 12b とにより構成されたゲート絶縁層 12 を使用した場合、酸化シリコン膜により形成されたゲート絶縁層を使用した場合と同様に、窒化シリコン膜により形成されたゲート絶縁層を使用する場合に比し、閾値電圧の変化量 (ΔV_{th})

が小さく、T F T 5 a の信頼性が良好になることが判る。

[0104] 以上に説明した本実施形態によれば、以下の効果を得ることができる。

[0105] (1) 本実施形態においては、ゲート電極 1 1 a a を覆うように窒化シリコン膜からなる第 1 ゲート絶縁層 1 2 a を形成した後、第 1 ゲート絶縁層 1 2 a の表面に対して酸素ラジカルを供給して表面処理を行い、第 1 ゲート絶縁層 1 2 a 上に酸化シリコン膜からなる第 2 ゲート絶縁層 1 2 b を形成することにより、第 1 ゲート絶縁層 1 2 a と第 2 ゲート絶縁層 1 2 b とにより構成されたゲート絶縁層 1 2 を形成する構成としている。また、第 2 ゲート絶縁層 1 2 b 上に酸化物半導体層 1 3 a を形成する構成としている。従って、酸化物半導体層 1 3 a と酸化シリコン膜からなる第 2 ゲート絶縁層 1 2 b との界面における不純物準位や固定電荷の形成を防止することが可能になるため、T F T 5 a の閾値電圧の変動を抑制して、T F T 5 a の特性の低下を効果的に抑制することが可能になる。

[0106] (2) また、酸化シリコン膜からなる第 2 ゲート絶縁層 1 2 b を形成するために、別個の成膜装置を設ける必要がないため、コストアップを抑制することが可能になる。

[0107] (3) 本実施形態においては、第 1 ゲート絶縁層 1 2 a の表面処理を行う際に、プラズマ処理により発生した酸素ラジカルを供給する構成としている。従って、プラズマ処理により酸素ラジカルを発生させるため、簡単な方法で酸素ラジカルを発生させることができる。

[0108] (4) 本実施形態においては、一酸化二窒素ガスのプラズマによる分解により酸素ラジカルを発生させる構成としている。従って、簡単な方法で、酸素ラジカルを発生させることが可能になる。

[0109] (5) 本実施形態においては、酸化物半導体層 1 3 a を形成した後、酸化物半導体層 1 3 a のチャネル領域 C にチャネル領域 C を保護するチャネル保護層 2 5 を形成する構成としている。従って、ソース電極 1 6 a a 及びドレイン電極 1 6 b を形成する工程において、エッチングによりパターンニングして、ソース電極 1 6 a a、ドレイン電極 1 6 b を形成する際に、酸化物半

導体層 1 3 a のチャネル領域 C をエッチングしないように保護することが可能になる。

[0110] (6) 本実施形態においては、酸化物半導体層が、酸化インジウムガリウム亜鉛 (I G Z O) からなる酸化物半導体膜により形成される構成としている。従って、 T F T 5 a において、高移動度、低オフ電流という良好な特性を得ることができる。

[0111] なお、上記実施形態は以下のように変更しても良い。

[0112] 上記実施形態においては、プラズマの原料ガスとして一酸化二窒素を使用する構成としたが、一酸化二窒素の代わりに、酸素ガスを使用する構成としてもよい。この場合も、上述の実施形態の場合と同様に、原料ガスである酸素ガスのプラズマ状態が生じ、これにより、酸素ガスの解離が促進されて高密度のラジカル (酸素ラジカル) が原料ガス中に生成される。そして、酸素ラジカルを含む原料ガスを被処理基板 2 6 に形成された第 1 ゲート絶縁層 1 2 a の表面に供給することにより、第 1 ゲート絶縁層 1 2 a の一部を酸化シリコンに変えて、第 1 ゲート絶縁層 1 2 a 上に酸化シリコン膜からなる第 2 ゲート絶縁層 1 2 b を形成することができる。

[0113] また、上述の一酸化二窒素を使用する場合と同様に、簡単な方法で、酸素ラジカルを発生させることが可能になる。

[0114] また、上記実施形態においては、チャネル保護層 2 5 を設ける構成としたが、図 1 2 に示すように、薄膜トランジスタ基板 2 0 a において、当該チャネル保護層 2 5 を設けないチャネルエッチ構造を採用する構成としてもよい。

[0115] また、上記実施形態においては、酸化物半導体層 1 3 a として、酸化インジウムガリウム亜鉛 (I G Z O) 等からなる酸化物半導体膜を使用したか、酸化物半導体層 1 3 a はこれに限定されず、インジウム (I n) 、ガリウム (G a) 、アルミニウム (A l) 、銅 (C u) 、亜鉛 (Z n) 、マグネシウム (M g) 、カドミウム (C d) のうち少なくとも 1 種を含む金属酸化物からなる材料を用いても良い。これらの材料からなる酸化物半導体層 1 3 a は、アモル

ファスであっても移動度が高いため、スイッチング素子のオン抵抗を小さくすることができる。従って、データ読み出し時の出力電圧の差が大きくなり、 S/N 比を向上させることができる。例えば、 $IGZO$ ($In-Ga-Zn-O$) の他に、 $InGaO_3(ZnO)_5$ 、 $Mg_xZn_{1-x}O$ 、 $Cd_xZn_{1-x}O$ 、 CdO 等の酸化物半導体膜を挙げることができる。

[0116] また、1族元素、13族元素、14族元素、15族元素、または17族元素のうち1種、または複数種の不純物元素が添加された ZnO の非晶質状態、多結晶状態、または非晶質状態と多結晶状態が混在する微結晶状態のもの、あるいは上記不純物が添加されていないものを使用することもできる。

[0117] また、上記実施形態においては、表示装置として液晶表示装置に係るものについて示したが、表示装置は、有機EL (organic electro luminescence)、電気泳動 (electrophoretic)、PD (plasma display; プラズマディスプレイ)、PALC (plasma addressed liquid crystal display; プラズマアドレス液晶ディスプレイ)、無機EL (inorganic electro luminescence)、FED (field emission display; 電界放出ディスプレイ)、又はSED (surface-conduction electron-emitter display; 表面電界ディスプレイ)等に係る表示装置であってもよい。

産業上の利用可能性

[0118] 本発明の活用例としては、酸化物半導体の半導体層を用いた薄膜トランジスタ基板の製造方法およびその方法により製造された薄膜トランジスタ基板、表示装置が挙げられる。

符号の説明

- [0119] 5 a 薄膜トランジスタ
10 a 絶縁基板
11 a a ゲート電極
12 ゲート絶縁層
12 a 第1ゲート絶縁層
12 b 第2ゲート絶縁層

- 1 3 a 酸化物半導体層
- 1 6 a a ソース電極
- 1 6 b ドレイン電極
- 1 7 層間絶縁膜
- 1 8 平坦化膜
- 1 9 a 画素電極
- 2 0 a 薄膜トランジスタ基板
- 2 5 チャネル保護層
- 2 6 被処理基板
- 3 0 対向基板
- 3 1 プラズマ装置
- 3 3 プラズマ発生ユニット（プラズマ発生手段）
- 4 0 液晶層（表示媒体層）
- 4 1 原料ガス（酸素ガス）
- 5 0 液晶表示装置
- C チャネル領域
- C a 開口部

請求の範囲

- [請求項1] 絶縁基板と、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁層と、該ゲート絶縁層上に設けられ、前記ゲート電極に重なるように設けられたチャネル領域を有する酸化物半導体層とを備えた薄膜トランジスタ基板の製造方法あって、
前記絶縁基板上に前記ゲート電極を形成するゲート電極形成工程と、
、
前記ゲート電極を覆うように窒化シリコン膜からなる第1ゲート絶縁層を形成した後、該第1ゲート絶縁層の表面に対して酸素ラジカルを供給して表面処理を行い、前記第1ゲート絶縁層上に酸化シリコン膜からなる第2ゲート絶縁層を形成することにより、前記第1ゲート絶縁層と前記第2ゲート絶縁層とにより構成された前記ゲート絶縁層を形成するゲート絶縁層形成工程と、
該第2ゲート絶縁層上に前記酸化物半導体層を形成する半導体層形成工程と、
を少なくとも備えることを特徴とする薄膜トランジスタ基板の製造方法。
- [請求項2] 前記表面処理は、プラズマ処理により発生した前記酸素ラジカルを供給する処理であることを特徴とする請求項1に記載の薄膜トランジスタ基板の製造方法。
- [請求項3] 前記酸素ラジカルは、一酸化二窒素ガスのプラズマによる分解により発生させたものであることを特徴とする請求項2に記載の薄膜トランジスタ基板の製造方法。
- [請求項4] 前記酸素ラジカルは、酸素ガスのプラズマによる分解により発生させたものであることを特徴とする請求項2に記載の薄膜トランジスタ基板の製造方法。
- [請求項5] 前記半導体層形成工程後、前記酸化物半導体層のチャネル領域に該チャネル領域を保護するチャネル保護層を形成するチャネル保護層形

成工程を更に備えることを特徴とする請求項1～請求項4のいずれか1項に記載の薄膜トランジスタ基板の製造方法。

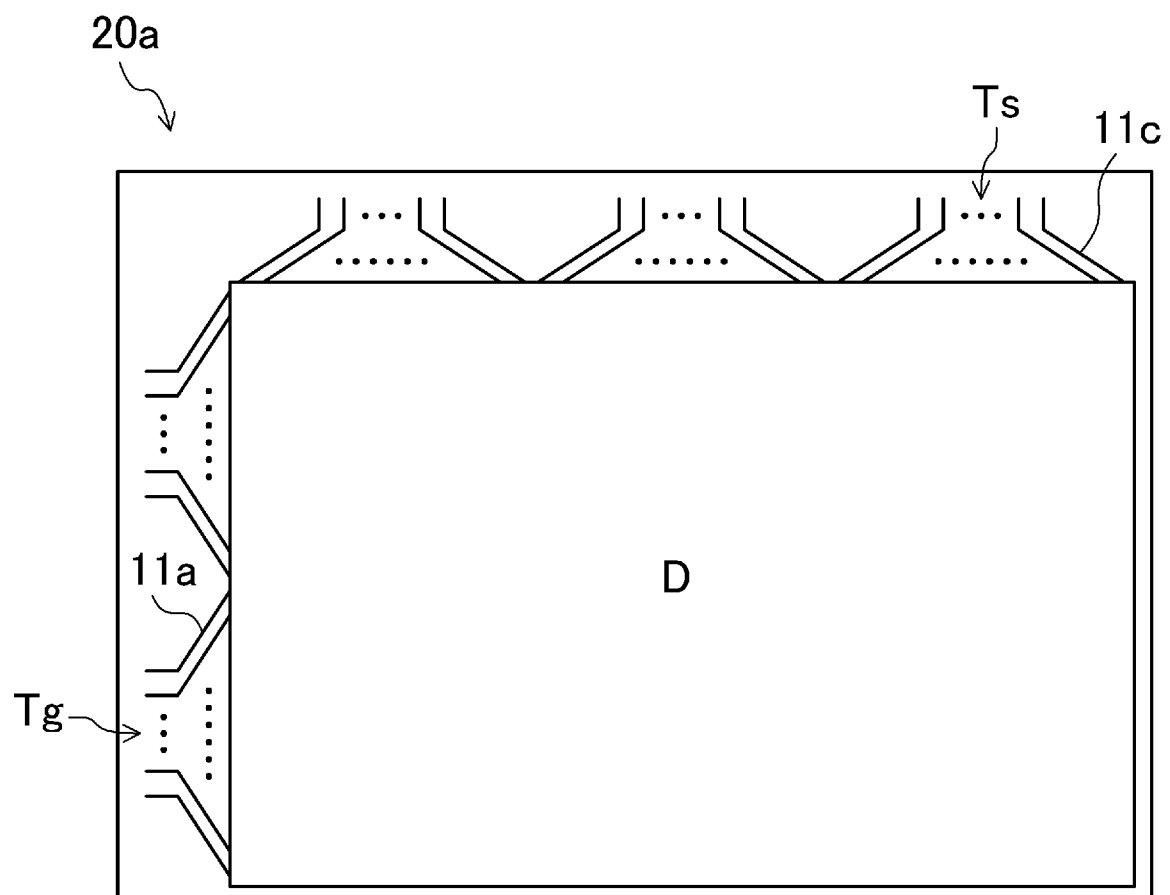
[請求項6] 前記酸化物半導体層が、インジウム(In)、ガリウム(Ga)、アルミニウム(Al)、銅(Cu)、亜鉛(Zn)、マグネシウム(Mg)、及びカドミウム(Cd)からなる群より選ばれる少なくとも1種を含む金属酸化物からなることを特徴とする請求項1～請求項5のいずれか1項に記載の薄膜トランジスタ基板の製造方法。

[請求項7] 前記酸化物半導体層が、酸化インジウムガリウム亜鉛(IGZO)からなる酸化物半導体膜により形成されていることを特徴とする請求項6に記載の薄膜トランジスタ基板の製造方法。

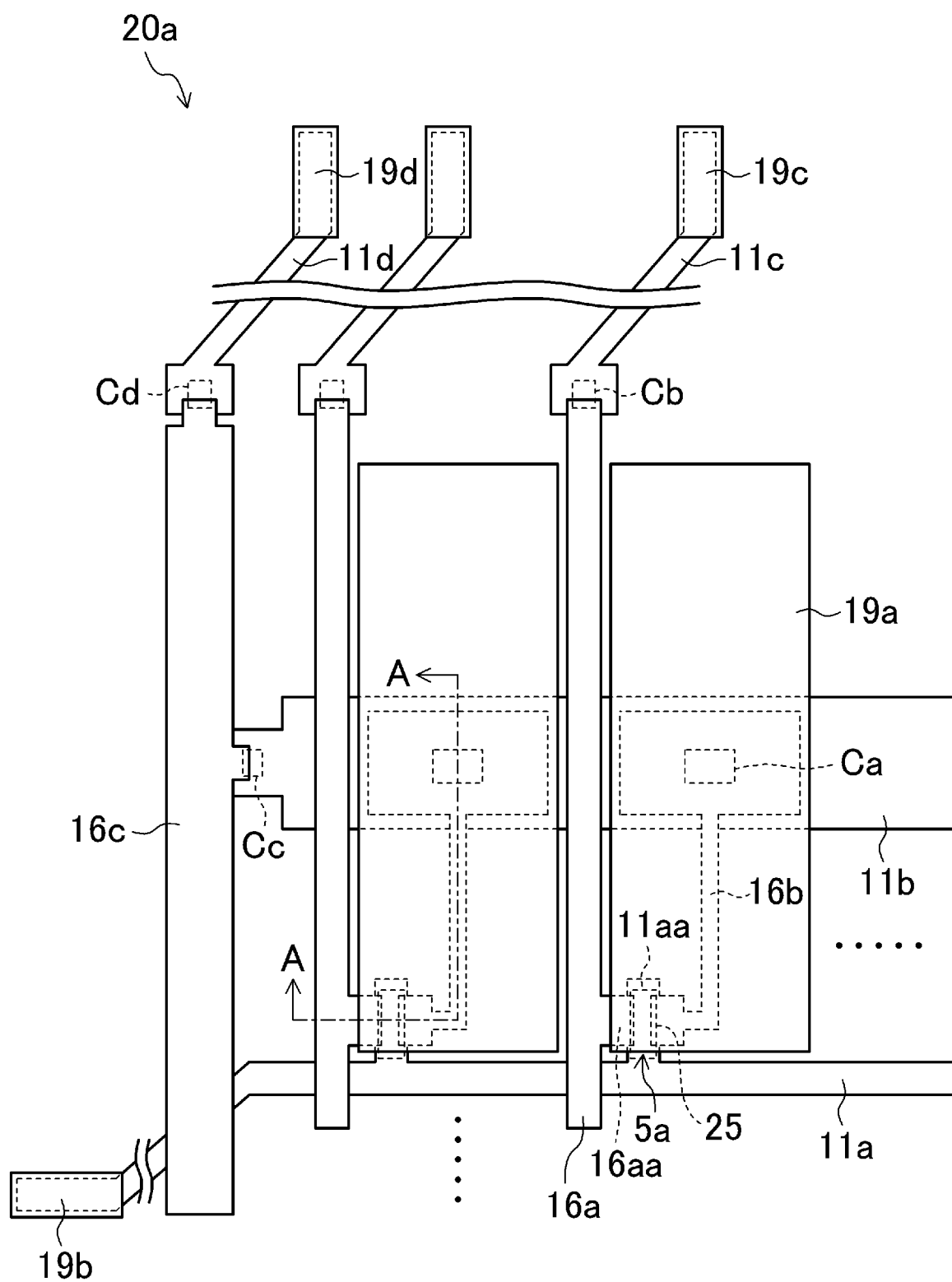
[請求項8] 請求項1～請求項7のいずれか1項に記載の製造方法により製造された薄膜トランジスタ基板。

[請求項9] 請求項8に記載の前記薄膜トランジスタ基板と、
前記薄膜トランジスタ基板に対向して配置された対向基板と、
前記薄膜トランジスタ基板及び前記対向基板の間に設けられた表示媒体層と
を備えることを特徴とする表示装置。

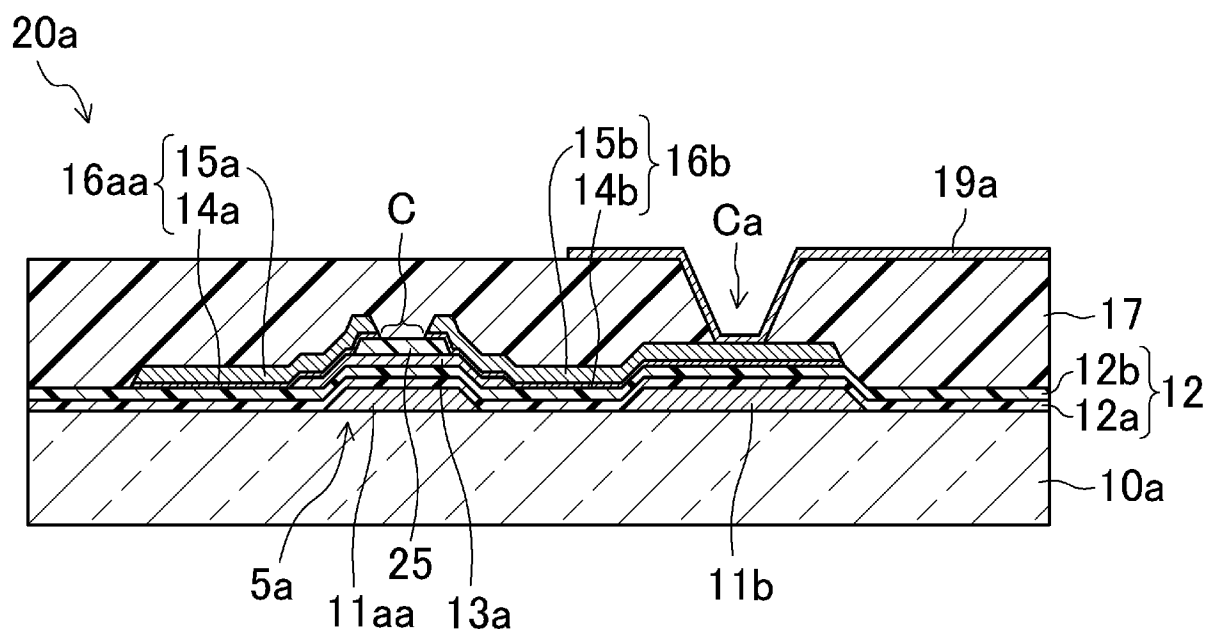
[請求項10] 前記表示媒体層が液晶層であることを特徴とする請求項9に記載の表示装置。



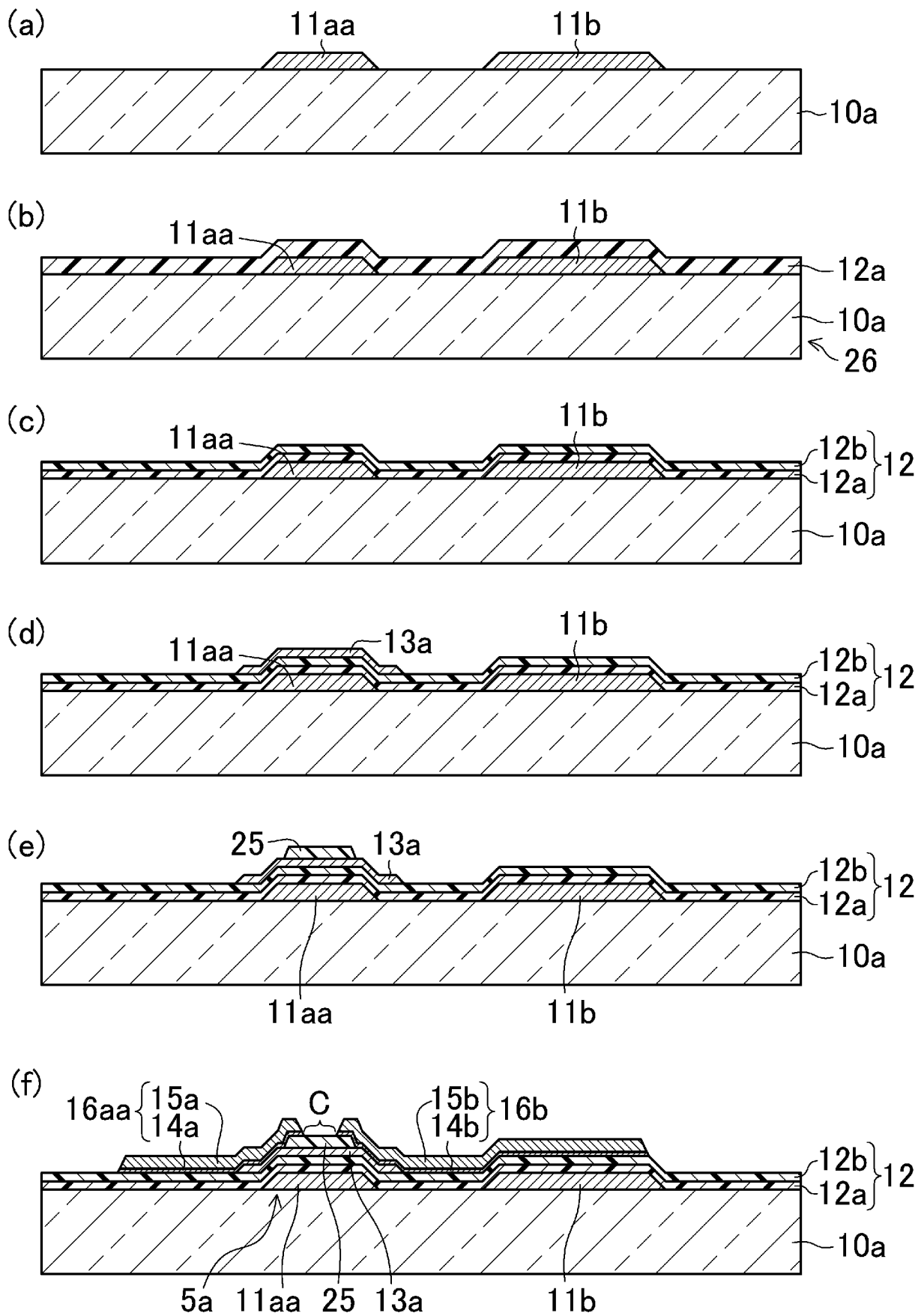
[図3]



[図4]

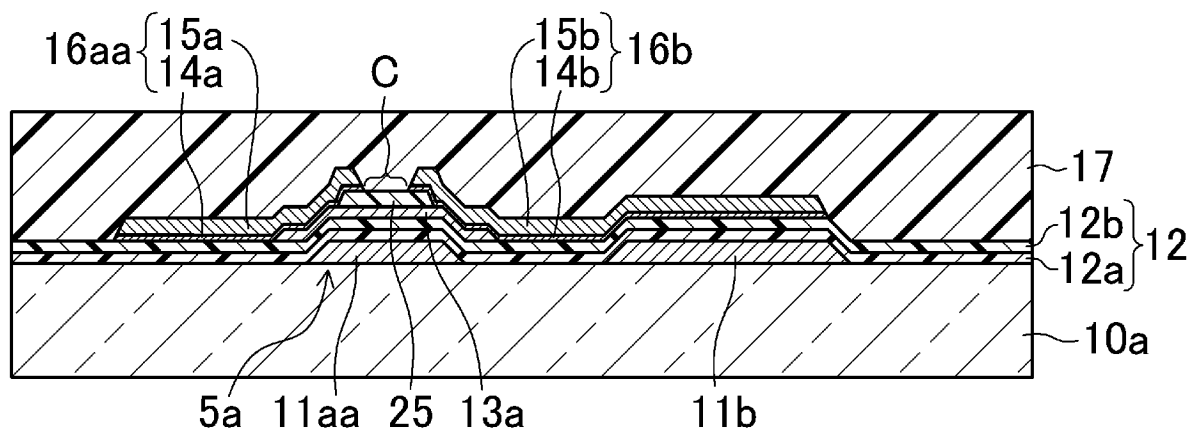


[図5]

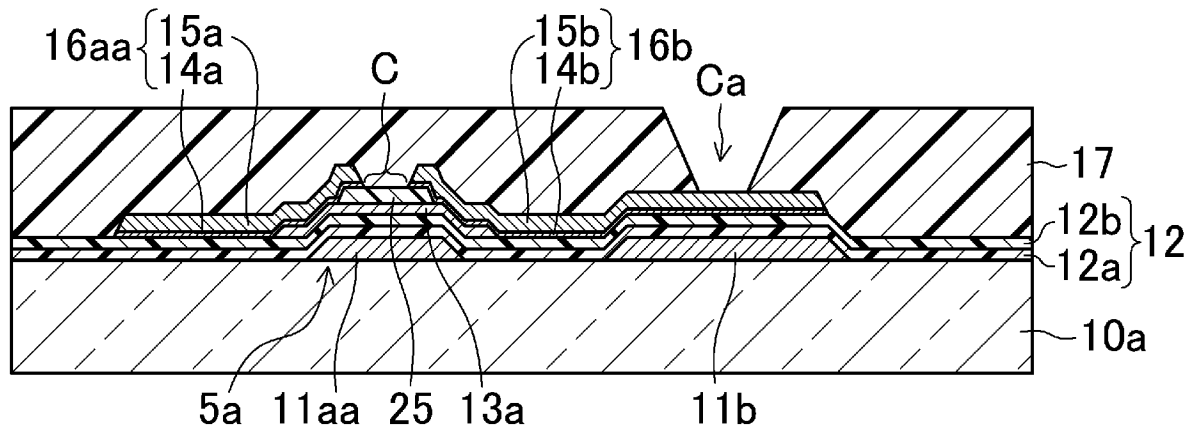


[図6]

(a)

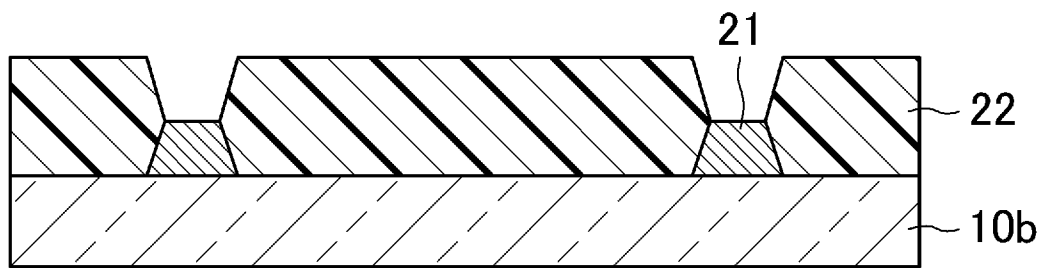


(b)

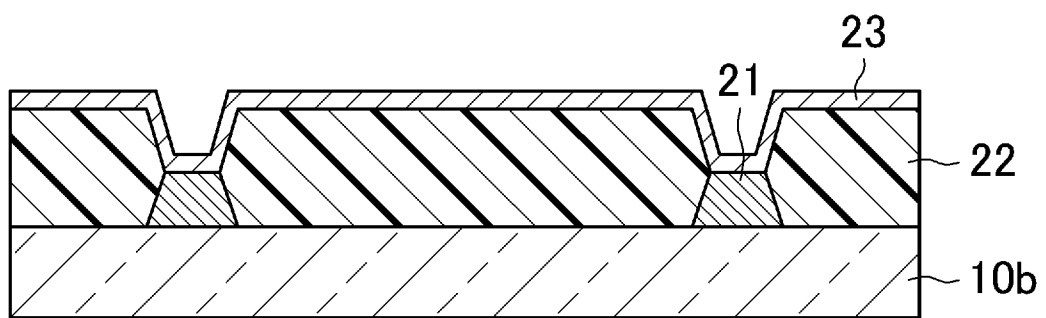


[図7]

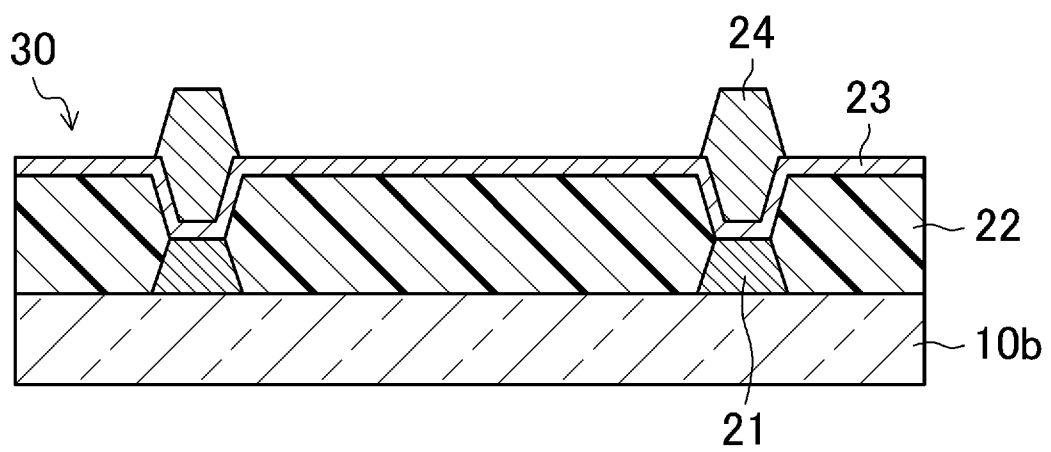
(a)



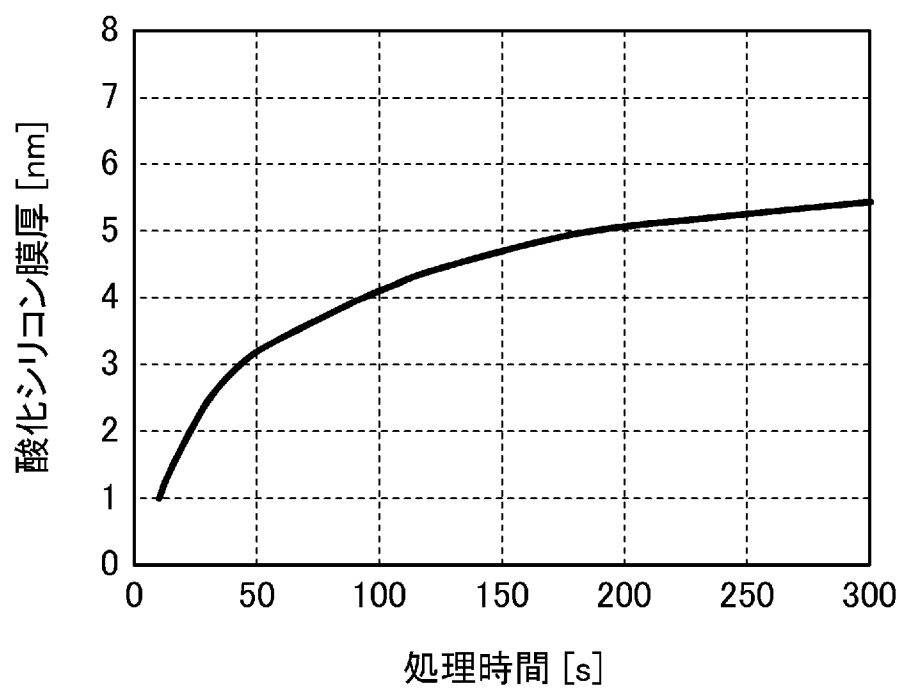
(b)



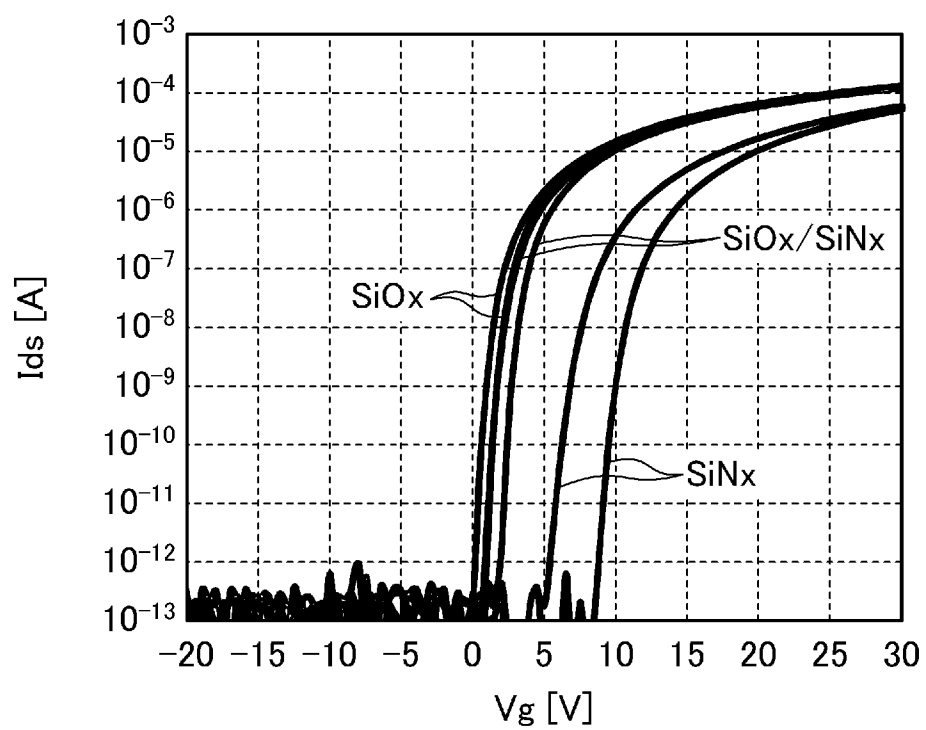
(c)



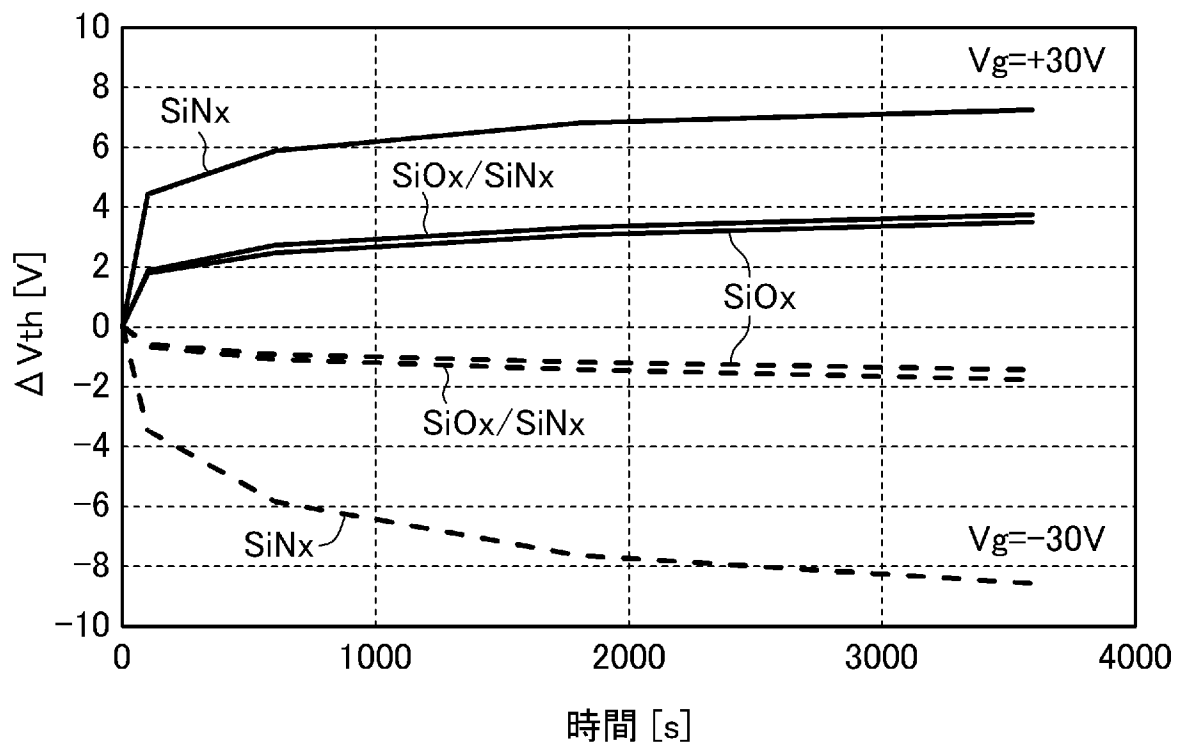
[図9]



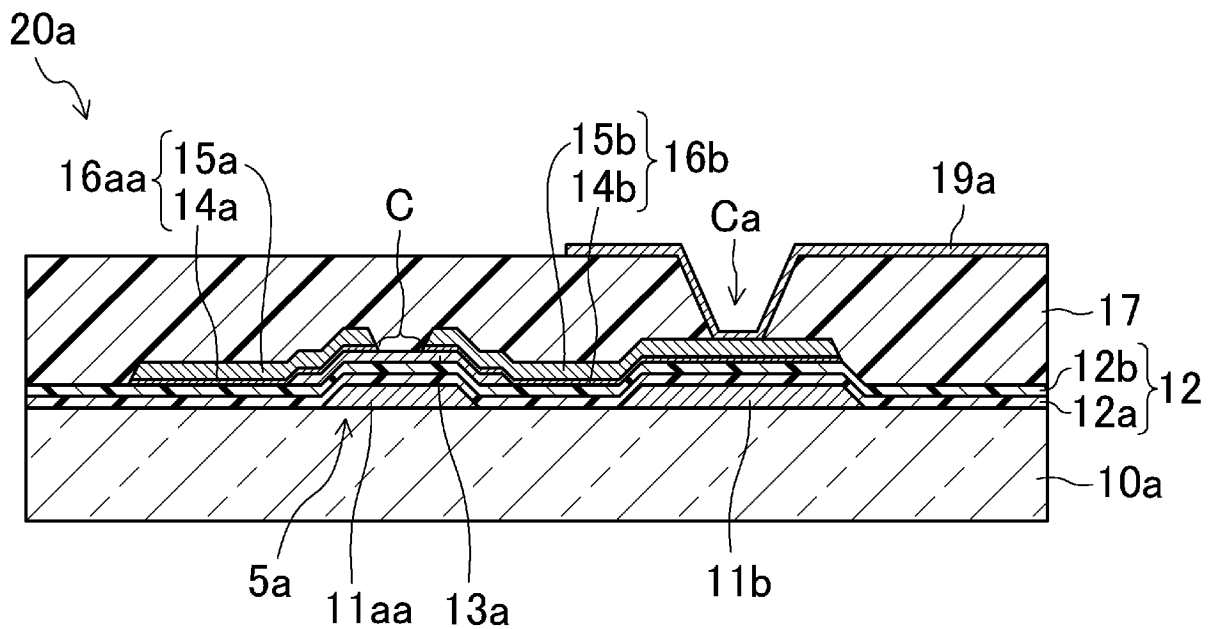
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001468

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-182818 A (Sony Corp.), 19 August 2010 (19.08.2010), paragraphs [0042] to [0053] & US 2010/0193784 A1 & CN 101794821 A	1-10
A	JP 2003-086808 A (Sharp Corp.), 20 March 2003 (20.03.2003), paragraphs [0031] to [0050] & US 2003/0047785 A1 & KR 10-2003-0022692 A & CN 1405898 A	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
18 May, 2012 (18.05.12)

Date of mailing of the international search report
29 May, 2012 (29.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, G02F1/1368, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-182818 A (ソニー株式会社) 2010.08.19, 0042 段落ないし 0053 段落 & US 2010/0193784 A1 & CN 101794821 A	1-10
A	JP 2003-086808 A (シャープ株式会社) 2003.03.20, 0031 段落 ないし 0050 段落 & US 2003/0047785 A1 & KR 10-2003-0022692 A & CN 1405898 A	1-10

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 9 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

棚田 一也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

9 3 6 1