



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월24일
(11) 등록번호 10-1389219
(24) 등록일자 2014년04월18일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2006-0137517
(22) 출원일자 2006년12월29일
심사청구일자 2011년12월09일
(65) 공개번호 10-2008-0062123
(43) 공개일자 2008년07월03일

(56) 선행기술조사문현
KR1020020041426 A*
KR1020020069168 A*
KR1020040050624 A*
KR1020060079040 A*
*는 심사관에 의하여 인용된 문현

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박대림
경상북도 칠곡군 석적읍 북중리3길 70, 3공단 부
영아파트 113동 808호

정보영
경기도 안성시 죽산면 하구산길 23, 401호 (덕진
빌라)
황인호
서울특별시 종로구 숭인동1가길 15-2,
한서파レス3차 B동 102호 (숭인동)

(74) 대리인
특허법인로얄

전체 청구항 수 : 총 20 항

심사관 : 윤성주

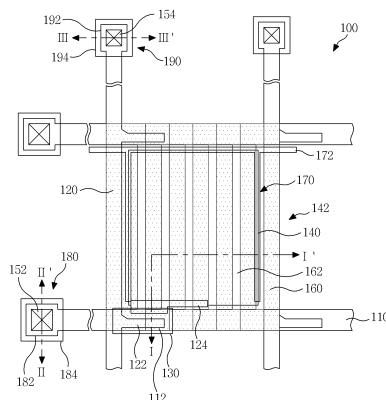
(54) 발명의 명칭 **프린지 필드형 액정표시패널 및 그 제조 방법**

(57) 요 약

본 발명은 보호막 상에 형성되는 공통전극을 데이터 라인과 중첩되게 형성하여 화소영역의 개구율을 증가시키는 프린지 필드형 액정표시패널 및 그 제조방법에 관한 것이다.

본 발명에 따른 프린지 필드형 액정표시패널은, 기판상에 형성되는 게이트 라인; 게이트 절연막을 사이에 두고 게이트 라인과 교차 형성되는 데이터 라인; 게이트 라인 및 데이터 라인의 교차 영역에 형성되는 박막 트랜지스터; 게이트 절연막 상에 형성되며 박막 트랜지스터와 직접 접속되는 화소전극; 게이트 절연막 상에 형성되며 화소전극 및 박막 트랜지스터를 덮는 보호막; 및 보호막 상에 화소전극 및 드레인 전극과 중첩되게 형성되며, 화소전극과 함께 액정 배향을 위한 프린지 필드를 형성하는 공통전극을 포함하여 구성된 것을 특징으로 한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

기판상에 형성되는 게이트 라인;

게이트 절연막을 사이에 두고 상기 게이트 라인과 교차 형성되는 데이터 라인;

상기 게이트 라인 및 데이터 라인의 교차 영역에 형성되는 박막 트랜지스터;

상기 게이트 절연막 상에, 투명 도전성 물질로 형성되며 박막 트랜지스터와 직접 접속되는 화소전극;

상기 게이트 절연막 상에 형성되며 화소전극 및 박막 트랜지스터를 덮는 보호막;

상기 보호막 상에 화소전극 및 상기 박막 트랜지스터의 드레인 전극과 중첩되게 형성되며, 상기 화소전극과 함께 액정 배향을 위한 프린지 필드를 형성하는 공통전극; 및

상기 게이트 라인과 동일층에서 상기 게이트 라인과 나란하게 형성된 제 1 부분과, 상기 제 1 부분으로부터 상기 데이터 라인과 나란하게 각각 연장되는 제 2 부분 및 제 3 부분을 구비하는 스토리지 전극을 포함하며,

상기 스토리지 전극의 제 1 내지 제 3 부분은 상기 게이트 절연막을 사이에 두고 상기 화소전극의 가장자리부와 중첩되어 스토리지 캐패시터를 형성하고,

상기 박막 트랜지스터의 드레인 전극의 일부는 상기 게이트 절연막의 일부와 상기 화소전극의 일부를 커버하도록 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 게이트 라인에 접속되는 게이트 패드 하부전극 및 상기 보호막에 형성된 제 1 콘택홀을 통해 상기 게이트 패드 하부전극과 접속되는 게이트 패드 상부전극으로 구성된 게이트 패드; 및

상기 데이터 라인에 접속되는 데이터 패드 하부전극 및 상기 보호막에 형성된 제 2 콘택홀을 통해 상기 데이터 패드 하부전극과 접속되는 데이터 패드 상부전극으로 구성된 데이터 패드를 더 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 박막 트랜지스터는,

상기 게이트 라인에 접속되는 게이트 전극;

상기 데이터 라인에 접속되는 소스전극 및 채널을 사이에 두고 상기 소스전극과 대향되는 동시에 상기 화소전극과 직접 접속되는 드레인 전극; 및

상기 게이트 절연막을 개재하여 게이트 전극과 중첩되게 형성되며, 상기 소스전극 및 드레인 전극 사이에 채널을 형성하는 활성층 및 오믹 접촉층으로 구성된 반도체 패턴을 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 7

제 6 항에 있어서,

상기 소스전극은 데이터 라인으로부터 돌출된 형태로 구성되며, 상기 드레인 전극은 채널을 사이에 두고 소스전극과 대향하는 "ㄱ"자 형상인 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 8

제 6 항에 있어서,

상기 소스전극은 상기 데이터 라인으로부터 돌출된 형태로 구성되며, 상기 드레인 전극은 채널을 사이에 두고 상기 소스전극과 대향하는 "—"자 형상을 갖되, 상기 소스전극 및 드레인 전극 사이에는 일자형 채널이 형성되는 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 9

제 6 항에 있어서,

상기 소스전극은 데이터 라인으로부터 돌출되는 "U"자 형상으로 구성되며, 상기 드레인 전극은 채널을 사이에 두고 소스전극과 대향되게 형성되되, 상기 소스전극 및 드레인 전극 사이에는 "U"자형 채널이 형성되는 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 10

제 6항에 있어서,

상기 소스전극은 데이터 라인과 일체적으로 형성되며, 상기 드레인 전극은 채널을 사이에 두고 소스전극과 대향하는 "ㄱ"자 형상을 갖도록 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

제 1 항에 있어서,

상기 공통전극은 상기 박막 트랜지스터가 형성된 영역을 덮도록 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 15

제 1 항에 있어서,

상기 공통전극은 상기 화소전극과 함께 프린지 필드가 형성되는 슬릿홈을 갖도록 패터닝 된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 16

제 1 항에 있어서,

상기 공통전극은 ITO 또는 IZO 등의 투명 도전성 물질로 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 17

기판상에 게이트 라인과, 상기 게이트 라인과 분리된 스토리지 전극을 형성하는 단계;
 게이트 절연막을 사이에 두고 상기 게이트 라인과 교차되어 화소영역을 정의하는 데이터 라인을 형성하는 단계;
 상기 게이트 라인 및 데이터 라인의 교차 영역에 박막 트랜지스터를 형성하는 단계;
 상기 게이트 절연막 상에 박막 트랜지스터와 직접 접속되며, 투명 도전성 물질로 된 화소전극을 형성하는 단계;
 상기 게이트 절연막 상에 상기 화소전극 및 박막 트랜지스터를 덮는 보호막을 형성하는 단계; 및
 상기 보호막 상에 화소전극 및 상기 박막 트랜지스터의 드레인 전극과 중첩되게 형성되며, 상기 화소전극과 함께 액정 배향을 위한 프린지 필드를 형성하는 공통전극을 형성하는 단계를 포함하며,
 상기 스토리지 전극은 상기 게이트 라인과 나란하게 형성된 제 1 부분과, 상기 제 1 부분으로부터 상기 데이터 라인과 나란하게 각각 연장되는 제 2 부분 및 제 3 부분을 구비하고,
 상기 스토리지 전극의 제 1 내지 제 3 부분은 상기 게이트 절연막을 사이에 두고 상기 화소전극의 가장자리부와 중첩되어 스토리지 캐페시터를 형성하며,
 상기 박막 트랜지스터의 드레인 전극의 일부는 상기 게이트 절연막의 일부와 상기 화소전극의 일부를 커버하도록 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 18

삭제

청구항 19

제 17 항에 있어서,

상기 게이트 라인에 접속되는 게이트 패드 하부전극 및 상기 보호막에 형성된 제 1 콘택홀을 통해 상기 게이트 패드 하부전극과 접속되는 게이트 패드 상부전극으로 구성된 게이트 패드를 형성하는 단계; 및
 상기 데이터 라인에 접속되는 데이터 패드 하부전극 및 상기 보호막에 형성된 제 2 콘택홀을 통해 상기 데이터 패드 하부전극과 접속되는 데이터 패드 상부전극을 포함하여 구성된 데이터 패드를 형성하는 단계를 더 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 20

제 19 항에 있어서,

상기 게이트 패드 하부전극은 상기 게이트 라인과 동일물질로 동시에 형성되며, 상기 게이트 패드 상부전극은 상기 공통전극과 동일물질로 동시에 형성되는 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 21

제 19 항에 있어서,

상기 데이터 패드 하부전극은 상기 데이터 라인과 동일물질로 동시에 형성되며, 상기 데이터 패드 상부전극은 상기 공통전극과 동일물질로 동시에 형성되는 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 22

제 17 항에 있어서,

상기 박막 트랜지스터는,

상기 게이트 라인에 접속되는 게이트 전극;

상기 데이터 라인에 접속되는 소스전극 및 채널을 사이에 두고 상기 소스전극과 대향되는 동시에 상기 화소전극과 직접 접속되는 드레인 전극; 및

상기 게이트 절연막을 개재하여 게이트 전극과 중첩되게 형성되며, 상기 소스전극 및 드레인 전극 사이에 채널

을 형성하는 활성층 및 오믹 접촉층으로 구성된 반도체 패턴을 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

제 17 항에 있어서,

상기 공통전극은 상기 화소전극과 함께 프린지 필드가 형성되는 슬릿홈을 갖도록 패터닝 된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 32

삭제

청구항 33

기판상에 형성된 게이트 라인, 상기 게이트 라인에 접속되는 게이트 전극 및 게이트 패드 하부전극과, 상기 게이트 라인으로부터 분리된 스토리지 전극으로 구성된 제 1 도전성 패턴을 형성하는 단계;

상기 제 1 도전성 패턴이 형성된 기판을 덮는 게이트 절연막을 형성한 후, 상기 게이트 절연막 상에, 프린지 필드를 형성하고 투명 도전성 물질로 된 화소전극을 형성하는 단계;

상기 화소전극이 형성된 게이트 절연막 상에 채널을 형성하는 활성층 및 오믹 접촉층을 형성하기 위한 반도체층을 형성하는 단계;

상기 게이트 절연막 상에 게이트 라인과 교차되어 화소 영역을 정의하는 데이터 라인, 상기 데이터 라인에 접속되는 소스전극, 상기 채널을 사이에 두고 상기 소스전극과 대향되게 형성되는 드레인 전극 및 데이터 패드 하부전극으로 구성된 제 2 도전성 패턴과, 상기 채널을 형성하는 활성층 및 오믹 접촉층으로 구성된 반도체 패턴을 형성하는 단계;

상기 반도체 패턴 및 제 2 도전성 패턴이 형성된 상기 게이트 절연막을 덮는 보호막을 형성하는 단계; 및

상기 보호막 상에 상기 화소전극 및 상기 데이터 라인과 중첩되게 형성되며 프린지 필드를 형성하는 공통전극을 형성하는 단계를 포함하며,

상기 스토리지 전극은 상기 게이트 라인과 나란하게 형성된 제 1 부분과, 상기 제 1 부분으로부터 상기 데이터 라인과 나란하게 각각 연장되는 제 2 부분 및 제 3 부분을 구비하고,

상기 스토리지 전극의 제 1 내지 제 3 부분은 상기 게이트 절연막을 사이에 두고 상기 화소전극의 가장자리부와 중첩되어 스토리지 캐패시터를 형성하며,

상기 드레인 전극의 일부는 상기 게이트 절연막의 일부와 상기 화소전극의 일부를 커버하도록 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 34

삭제

청구항 35

제 33 항에 있어서,

상기 제 1 도전성 패턴을 형성하는 단계는,

기판상에 게이트 금속층을 전면 형성하는 단계;

상기 게이트 금속층 상에 포토레지스트를 전면 형성한 후, 상기 제 1 도전성 패턴이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴에 의해 노출된 게이트 금속층을 에칭하여 상기 제 1 도전성 패턴을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 36

제 33 항에 있어서,

상기 제 2 도전성 패턴을 형성하는 단계는,

상기 반도체층이 형성된 게이트 절연막 상에 데이터 금속층을 전면 형성하는 단계;

상기 데이터 금속층 상에 포토레지스트를 전면 형성한 후, 소정의 마스크 공정을 통해 상기 채널 영역에 단차를 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴에 의해 노출된 데이터 금속층과, 활성층 및 오믹 접촉층으로 구성된 반도체층을 순차적으로 에칭하는 단계;

상기 포토레지스트 패턴을 애칭하여 상기 채널 영역에 형성된 상기 데이터 금속층을 노출시킨 후, 상기 노출된 데이터 금속층을 애칭하여 상기 데이터 라인에 접속되는 동시에 상기 채널 영역을 사이에 두고 상호 대향하는 소스전극 및 드레인 전극을 형성하는 단계; 및

상기 소스전극 및 드레인 전극이 분리됨에 따라 상기 채널 영역에 노출된 오믹 접촉층을 애칭하여 채널을 형성하는 활성층을 노출시키는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

제 33 항에 있어서,

상기 보호막을 형성하는 단계는,

상기 게이트 절연막 상에 상기 제 2 도전성 패턴을 덮는 보호막을 형성하는 단계;

상기 보호막 상에 포토레지스트를 전면 형성한 후, 소정의 마스크 공정을 통해 콘택홀이 형성될 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴에 의해 노출된 영역을 에칭하여 상기 게이트 패드 하부전극을 노출시키는 제 1 콘택홀과, 상기 데이터 패드 하부전극을 노출시키는 제 2 콘택홀을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

[0022]

본 발명은 프린지 필드형 평판표시패널 및 그 제조방법에 관한 것으로서, 특히 공통전극을 데이터 라인과 중첩되게 형성함으로써 화소영역의 개구율을 증가시킬 수 있는 프린지 필드형 액정표시패널 및 그 제조방법에 관한 것이다.

[0023]

액정 표시 패널은 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 패널은 액정을 구동시키는 전계의 방향에 따라 수직 전계 인가형과 수평 전계 인가형으로 대별된다.

[0024]

수직 전계 인가형 액정 표시 패널은 상하부 기판에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계 인가형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0025]

수평 전계 인가형 액정 표시 패널은 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 이러한 수평 전계 인가형 액정 표시 패널은 시야각이 160도 정도로 넓은 장점을 갖으나, 개구율 및 투과율이 낮은 단점을 가진다.

[0026]

이러한 수평 전계 인가형 액정 표시 패널의 단점을 개선하기 위하여, 프린지 필드(Fringe Field)에 의해 동작되는 프린지 필드 스위칭(Fringe Field Switching; 이하, FFS) 타입의 액정 표시 패널이 제안되고 있다.

[0027]

여기서, FFS 타입의 액정표시패널은 각 화소 영역에 절연막을 사이에 둔 공통 전극판과 화소 전극을 구비하고,

그 공통 전극판과 화소 전극의 간격을 상하부 기판의 간격보다 좁게 형성하여 상하부 기판 사이에 채워진 액정 분자를 구동시키기 위한 프린지 필드가 형성되게 한다.

[0028] 상술한 바와 같이 구성된 FFS 타입의 액정표시패널의 경우, 데이터 라인과 인접한 화소영역에도 프린지 필드를 형성하여 액정을 구동시킴에 따라, 데이터 라인과 이에 인접한 화소전극 사이로 빛이 누설되는 문제(수직 크로스 토크)가 발생하였다.

[0029] 종래, 이와 같은 문제점을 해소하기 위해 데이터 라인과 화소전극 사이에 누설되는 빛을 차단하기 위한 블랙매트릭스 또는 쉘딩금속이 형성되고, 이에 의해 화소영역의 개구율이 낮아짐에 따라 광 투과율이 저하된다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

[0030] 따라서, 본 발명의 목적은 공통전극을 데이터 라인과 중첩되게 형성함으로써, 화소영역의 개구율을 증가시킬 수 있는 프린지 필드형 액정표시패널 및 그 제조방법을 제공하는 데 있다.

[0031] 또한, 본 발명은 화소전극과 공통전극 사이에 형성되는 보호막을 소정 높이를 갖는 무기 및 유기 절연막으로 형성함으로써, 데이터 라인 및 이에 중첩되는 공통전극 사이의 기생용량의 발생을 방지할 수 있는 프린지 필드형 액정표시패널 및 그 제조방법을 제공하는 데 있다.

[0032] 또한, 본 발명은 공통전극을 박막 트랜지스터의 채널 영역을 덮도록 형성함으로서, 채널 영역에 발생되는 누설 전류 및 오프-커런트를 방지할 수 있는 프린지 필드형 액정표시패널 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

[0033] 상기 목적을 달성하기 위하여, 본 발명에 따른 프린지 필드형 액정표시패널은, 기판상에 형성되는 게이트 라인; 게이트 절연막을 사이에 두고 게이트 라인과 교차 형성되는 데이터 라인; 게이트 라인 및 데이터 라인의 교차 영역에 형성되는 박막 트랜지스터; 게이트 절연막 상에 형성되며 박막 트랜지스터와 직접 접속되는 화소전극; 게이트 절연막 상에 형성되며 화소전극 및 박막 트랜지스터를 덮는 보호막; 및 보호막 상에 화소전극 및 드레인 전극과 중첩되게 형성되며, 화소전극과 함께 액정 배향을 위한 프린지 필드를 형성하는 공통전극을 포함하여 구성된 것을 특징으로 한다.

[0034] 여기서, 본 발명에 따른 프린지 필드형 액정표시패널은, 게이트 라인과 동일 물질로 동시에 형성되는 스토리지 전극; 및 게이트 절연막을 사이에 두고 스토리지 전극과 중첩되게 형성되는 화소전극으로 구성된 스토리지 캐페시터를 더 포함하여 구성된 것을 특징으로 한다.

[0035] 본 발명에 따른 프린지 필드형 액정표시패널은, 게이트 라인에 접속되는 게이트 패드 하부전극 및 보호막에 형성된 제 1 콘택홀을 통해 게이트 패드 하부전극과 접속되는 게이트 패드 상부전극으로 구성된 게이트 패드; 및 데이터 라인에 접속되는 데이터 패드 하부전극 및 상기 보호막에 형성된 제 2 콘택홀을 통해 데이터 패드 하부전극과 접속되는 데이터 패드 상부전극으로 구성된 데이터 패드를 더 포함하여 구성된 것을 특징으로 한다.

[0036] 여기서, 본 발명에 따른 게이트 패드 하부전극은 게이트 라인과 동일물질로 동시에 형성되며, 게이트 패드 상부전극은 공통전극과 동일물질로 동시에 형성되는 것을 특징으로 한다.

[0037] 또한, 본 발명에 따른 데이터 패드 하부전극은 데이터 라인과 동일물질로 동시에 형성되며, 데이터 패드 상부전극은 공통전극과 동일물질로 동시에 형성되는 것을 특징으로 한다.

[0038] 본 발명에 따른 박막 트랜지스터는, 게이트 라인에 접속되는 게이트 전극; 데이터 라인에 접속되는 소스전극 및 채널을 사이에 두고 소스전극과 대향되는 동시에 화소전극과 직접 접속되는 드레인 전극; 및 게이트 절연막을 개재하여 게이트 전극과 중첩되게 형성되며, 소스전극 및 드레인 전극 사이에 채널을 형성하는 활성층 및 오믹 접촉층으로 구성된 반도체 패턴을 포함하여 구성된 것을 특징으로 한다.

[0039] 여기서, 본 발명에 따른 박막 트랜지스터를 구성하는 드레인 전극은, 소스전극과 일자형 채널을 형성하는 "ㄱ"자 형상으로 형성된 것을 특징으로 한다.

[0040] 본 발명에 따른 보호막은, 공통전극과 드레인 전극 사이에 기생용량이 발생되는 것을 방지하기 위해, 6000A^0 이

상의 무기 절연물질로 구성된 것을 특징으로 한다.

[0041] 본 발명에 따른 보호막은, 공통전극과 드레인 전극 사이에 기생용량이 발생되는 것을 방지하기 위해, $1.5\mu\text{m}$ 이 상의 유기 절연물질로 구성된 것을 특징으로 한다.

[0042] 본 발명에 따른 공통전극은, 채널에 발생되는 누설전류 및 오프 커런트의 발생을 방지하기 위해, 박막 트랜지스터가 형성된 영역을 덮도록 구성된 것을 특징으로 한다.

[0043] 본 발명에 따른 공통전극은 화소전극과 함께 프린지 필드가 형성되는 슬릿홈을 갖도록 패터닝 된 것을 특징으로 한다.

[0044] 상기 목적을 달성하기 위하여, 본 발명에 따른 프린지 필드형 액정표시패널의 제조방법은, 기판상에 게이트 라인을 형성하는 단계; 게이트 절연막을 사이에 두고 게이트 라인과 교차되어 화소영역을 정의하는 데이터 라인을 형성하는 단계; 게이트 라인 및 데이터 라인의 교차 영역에 박막 트랜지스터를 형성하는 단계; 게이트 절연막 상에 박막 트랜지스터와 직접 접속되는 화소전극을 형성하는 단계; 게이트 절연막 상에 화소전극 및 박막 트랜지스터를 덮는 보호막을 형성하는 단계; 및 보호막 상에 화소전극 및 드레인 전극과 중첩되게 형성되며, 화소전극과 함께 액정 배향을 위한 프린지 필드를 형성하는 공통전극을 형성하는 단계를 포함하여 구성된 것을 특징으로 한다.

[0045] 상기 목적을 달성하기 위하여, 본 발명에 따른 프린지 필드형 액정표시패널의 제조방법은, 기판상에 형성된 게이트 라인, 게이트 라인에 접속되는 게이트 전극 및 게이트 패드 하부전극과 스토리지 전극으로 구성된 제 1 도전성 패턴을 형성하는 단계; 제 1 도전성 패턴이 형성된 기판을 덮는 게이트 절연막을 형성한 후, 게이트 절연막 상에 프린지 필드를 형성하는 화소전극을 형성하는 단계; 화소전극이 형성된 게이트 절연막 상에 채널을 형성하는 활성층 및 오믹 접촉층을 형성하기 위한 반도체층을 형성하는 단계; 게이트 절연막 상에 게이트 라인과 교차되어 화소 영역을 정의하는 데이터 라인, 데이터 라인에 접속되며 채널을 사이에 두고 상호 대행하는 소스 전극, 드레인 전극 및 데이터 패드 하부전극으로 구성된 제 2 도전성 패턴과, 채널을 형성하는 활성층 및 오믹 접촉층으로 구성된 반도체 패턴을 형성하는 단계; 상기 반도체 패턴 및 제 2 도전성 패턴이 형성된 상기 게이트 절연막을 덮는 보호막을 형성하는 단계; 및 보호막 상에 화소전극 및 데이터 라인과 중첩되게 형성되며 프린지 필드를 형성하는 공통전극을 형성하는 단계를 포함하여 구성된 것을 특징으로 한다.

[0046] 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0047] 이하, 첨부도면을 참조하여 본 발명에 따른 프린지 필드형 액정표시패널 및 그 제조 방법에 대해 상세히 설명한다.

[0048] 먼저, 본 발명에 따른 프린지 필드형 액정표시패널의 구성 및 동작에 대해 설명한다.

[0049] 본 발명에 따른 프린지 필드형 액정표시패널(100)은, 도 1 및 도 2에 도시된 바와 같이, 기판(102)상에 형성된 게이트 라인(110), 게이트 절연막(115)을 사이에 두고 게이트 라인(110)과 교차 형성되어 화소영역(142)을 정의하는 데이터 라인(120), 게이트 라인(110)과 데이터 라인(120)의 교차 영역에 형성된 박막 트랜지스터(T), 게이트 절연막(115) 상에 형성되며 박막 트랜지스터(T)와 직접 접속되는 화소전극(140), 박막 트랜지스터(T)를 덮는 보호막(150) 및 보호막(150) 상에 화소전극(140)과 중첩되게 형성되어 프린지 필드를 형성하는 공통전극(160)을 포함한다.

[0050] 여기서, 본 발명에 따른 프린지 필드형 액정표시패널(100)은, 게이트 라인(110)과 동일 물질로 동시에 형성되는 스토리지 전극(172) 및 게이트 절연막(115)을 사이에 두고 스토리지 전극(172)과 중첩되게 형성되는 화소전극(140)으로 구성된 스토리지 캐패시터(170)를 더 포함한다.

[0051] 또한, 본 발명에 따른 프린지 필드형 액정표시패널(100)은, 게이트 라인(110)에 접속되는 게이트 패드(180)와, 데이터 라인(120)에 접속되는 데이터 패드(190)를 포함한다.

[0052] 게이트 라인(110)은 게이트 패드(180)에 접속되는 게이트 드라이버(미도시)로부터 공급되는 게이트 신호를 박막 트랜지스터(T)를 구성하는 게이트 전극(112)으로 전달한다. 여기서, 게이트 라인(110) 및 게이트 전극(112)은 알루미늄(Al)계 금속, 구리(Cu), 크롬(Cr), 몰리브덴 등으로 구성된 게이트 금속으로 구성되어 있다.

[0053] 데이터 라인(120)은 데이터 패드(190)에 접속되는 데이터 드라이버(미도시)로부터 공급되는 데이터 신호를 게이트 전극(112)의 온/오프에 연동하여 박막 트랜지스터(T)의 소스전극(132) 및 드레인 전극(134)으로 전달하는 역

할을 수행한다.

- [0054] 이때, 데이터 라인(120)은 게이트 절연막(115)을 사이에 두고 게이트 라인(110)과 교차되어 화소전극(140)이 위치하는 화소영역(142)을 정의한다.
- [0055] 박막 트랜지스터(T)는 게이트 라인(110)의 게이트 신호에 응답하여 데이터 라인(120)의 화소신호를 화소전극(140)에 충전시키는 역할을 수행하는 것으로서, 게이트 라인(110)에 접속된 게이트 전극(112), 게이트 절연막(115)을 사이에 두고 게이트 라인(110)과 교차 형성되는 데이터 라인(120)에 접속되는 소스전극(122) 및 채널을 사이에 두고 소스전극(122)과 대향되게 형성되는 동시에 화소전극(140)과 중첩된 형태로 접속되는 드레인 전극(124)을 포함하여 구성된다.
- [0056] 또한, 박막 트랜지스터(T)는 게이트 절연막(115)을 사이에 두고 게이트 전극(112)과 대응되게 형성되어 채널을 형성하는 활성층(132) 및 활성층(132) 상에 형성되며 소스전극(122) 및 드레인 전극(124)과 오믹 접촉을 수행하는 오믹 접촉층(134)으로 구성된 반도체 패턴(130)을 더 포함하여 구성된다.
- [0057] 여기서, 박막 트랜지스터는 데이터 라인으로부터 돌출된 소스전극과, 채널을 사이에 두고 소스전극과 대향되는 동시에 화소전극과 직접 접속되는 "ㄱ"자 형상을 갖는 드레인 전극으로 형성된다.
- [0058] 즉, 박막 트랜지스터(T)의 드레인 전극(124)이 "ㄱ"자 형태로 화소전극(140)과 일부 중첩되도록 형태됨에 따라, 종래 화소영역(142)으로 돌출된 구조를 갖는 박막 트랜지스터와 비교하여 화소영역(142)의 개구율이 현저히 증가된다.
- [0059] 이때, 박막 트랜지스터(T)는, 도 3a에 도시된 바와 같이, 데이터 라인(120)으로부터 돌출되는 소스전극(122)과, 채널을 사이에 두고 소스전극(122)과 대향하는 동시에 화소전극(140)과 직접 접속되는 "—"자 형상을 갖는 드레인 전극(124)으로 구성될 수 있다. 이때, 소스전극(122)과 드레인 전극(124) 사이에는 일자 형상의 채널이 형성된다.
- [0060] 박막 트랜지스터(T)는, 도 3b에 도시된 바와 같이, 데이터 라인(120)으로부터 돌출되는 "U"자 형상의 소스전극(122)과, 채널을 사이에 두고 소스전극(122)과 대향되는 동시에 화소전극(140)과 직접 접속되는 드레인 전극(124)으로 구성될 수 있다. 이때, 소스전극(122)과 드레인 전극(124) 사이에는 "U"자 채널이 형성된다.
- [0061] 박막 트랜지스터(T)는, 도 3c에 도시된 바와 같이, 데이터 라인(120)과 일체적으로 형성되는 소스전극(122)과, 채널을 사이에 두고 소스전극(122)과 대향하는 동시에 화소전극(1240)과 직접 접속되는 "ㄱ"자 형상을 갖는 드레인 전극(124)으로 구성될 수 있다.
- [0062] 화소전극(140)은 박막 트랜지스터(T)를 통해 화소 신호가 공급되는 경우 공통 전극(160)에 형성된 슬릿홀(162)에 액정 배향을 위한 프린지 필드를 형성한다. 이때, 화소전극(140)은 박막 트랜지스터(T)를 구성하는 드레인 전극(124)과 직접 접속되도록 구성된다.
- [0063] 여기서, 화소전극(140)은 ITO 등의 투명 도전성 물질로 구성되며 데이터 라인(120)과 0~3.0 μ m 정도의 간격(gap)을 두고 화소영역에 형성된다.
- [0064] 따라서, 화소전극(140)과 드레인 전극(124)을 접속시키는 콘택홀을 형성하기 위한 공간(margin)을 화소영역(142)에 형성할 필요가 없고, 이에 의해 화소영역(142)의 개구율이 증가한다.
- [0065] 보호막(150)은 박막 트랜지스터(T) 및 화소전극(140)이 형성된 게이트 절연막(115) 상에 소정의 두께를 갖도록 형성되며, 채널을 형성하는 활성층(132)을 습기나 스크래치(scratch) 등으로부터 보호하는 역할을 수행한다.
- [0066] 이때, 보호막(150)은 질화 실리콘(유전율 6.5) 등의 무기절연물질, 포토 아크릴(photo-acryl) 등의 유기화합물질, BCB(benzocyclobutene) 또는 PFCB (perfluorocyclobutane) 등의 유기절연물질로 구성된다.
- [0067] 여기서, 보호막(150)이 질화 실리콘(유전율 6.5) 등의 무기절연물질로 구성되는 경우, 데이터 라인(120) 및 상기 보호막(150)을 사이에 두고 데이터 라인(120)과 중첩되는 공통전극(160) 사이에 발생되는 커플링(coupling)을 방지하기 위해 6000A⁰ 이상의 두께를 갖도록 형성되는 것이 바람직하다.
- [0068] 그리고, 보호막(150)이 포토 아크릴(유전율 3.3) 등의 유기화합물질로 구성되는 경우, 데이터 라인(120)과 이에 중첩되는 공통전극(160) 사이에 발생되는 커플링을 방지하기 위해 1.5 μ m 이상의 두께를 갖도록 형성되는 것이 바람직하다.
- [0069] 이때, 보호막(150)에는 마스크 공정을 통해 형성된 제 1 및 제 2 콘택홀(152, 154)을 구비하고, 여기서 제 1 오

픈홀(152)은 보호막(150) 및 게이트 절연막(115)을 관통하여 게이트 패드 하부전극(182)을 오픈시키고, 제 2 오픈홀(154)은 보호막(170)을 관통하여 데이터 패드 하부전극(192)을 노출시킨다.

[0070] 공통전극(160)은 보호막(150)을 사이에 두고 화소전극(140)과 중첩된 형태로 화소영역에 형성되며, 화소전극(140)과 함께 화소영역(142)에 배향된 액정을 소정 방향으로 구동시키기 위한 프렌지 필드를 형성한다. 이때, 공통전극은 투명 도전성 물질인 ITO 또는 IZO 등으로 구성된다.

[0071] 즉, 공통라인(미도시)을 통해 기준 전압이 인가되는 경우, 공통전극(160)에 형성된 슬릿홈(162)과 화소전극(140) 사이에 액정을 배향시키기 위한 프렌지 필드가 형성된다.

[0072] 공통전극(160)은, 상술한 바와 같이 보호막(150)이 커플링의 발생을 방지할 수 있는 높이로 형성됨에 따라, 데이터 라인(120)과 정합된 형태로 형성되는 것이 가능하고 이에 의해 화소영역(142)의 개구율을 증가시켜 투과율을 상승시킬 수 있다.

[0073] 여기서, 공통전극(160)은 박막 트랜지스터(T)의 채널영역 상에 형성되고, 이에 의해 채널 영역에 흐르는 누설전류 및 오프-커런트의 발생을 방지하는 역할을 또한 수행한다.

[0074] 스토리지 캐패시터(170)는 게이트 라인(110)과 동일 물질로 동시에 형성되는 스토리지 전극(172)과, 게이트 절연막(115)을 사이에 두고 스토리지 전극(172)과 일부 중첩되도록 형성되는 화소전극(140)을 포함하여 구성된다.

[0075] 게이트 패드(180)는 게이트 드라이버(도시하지 않음)와 접속되어 게이트 라인(110)에 게이트 신호를 공급하는 것으로서, 게이트 라인(110)으로부터 연장되는 게이트 패드 하부전극(182), 보호막(150) 및 게이트 절연막(115)을 관통하는 제 1 콘택홀(152)을 통해 게이트 패드 하부전극(182)과 접속하는 게이트 패드 상부전극(184)을 포함하여 구성된다.

[0076] 이때, 게이트 패드(180)를 구성하는 게이트 패드 하부전극(182)은 게이트 라인(110)과 동일물질로 구성되며, 게이트 패드 상부전극(184)은 공통전극(160)과 동일 물질로 형성된다.

[0077] 데이터 패드(190)는 데이터 드라이버(도시하지 않음)와 접속되어 데이터 라인(120)에 데이터 신호를 공급하는 것으로서, 데이터 라인(120)으로부터 연장되는 데이터 패드 하부 전극(192)과, 보호막(150)을 관통하는 제 2 콘택홀(154)을 통해 데이터 패드 하부전극(192)과 접속되는 데이터 패드 상부전극(194)을 포함하여 구성된다.

[0078] 이때, 데이터 패드(190)를 구성하는 데이터 패드 하부전극(192)은 데이터 라인과 동일물질로 구성되며, 데이터 패드 상부전극(194)은 공통전극(160)과 동일물질로 동시에 형성된다.

[0079] 이하, 본 발명에 따른 프린지 필드형 액정표시패널의 제조방법에 대해 설명한다..

[0080] 먼저, 본 발명에 따른 제 1 마스크 공정을 수행함으로써, 도 4a 및 도 4b에 도시된 바와 같이, 기판(102)상에 게이트 라인(110), 게이트 전극(112), 스토리지 전극(172) 및 게이트 패드 하부전극(182)으로 구성된 제 1 도전성 패턴을 형성한다.

[0081] 이를 보다 구체적으로 설명하면, 기판(102)상에 스퍼터링 등의 증착 공정을 통해 게이트 금속층을 전면 증착시킨다. 여기서, 게이트 금속층은 알루미늄(Al)계 금속, 구리(Cu), 크롬(Cr), 몰리브덴 등으로 구성된다.

[0082] 이후, 기판(102)상에 포토레지스트를 전면 도포한 후 제 1 마스크를 이용한 포토레소그래피 공정을 수행함으로써, 게이트 금속층을 노출시키는 포토레지스트 패턴(PR)을 형성한다.

[0083] 이때, 포토레지스트 패턴(PR)에 의해 노출된 게이트 금속층을 습식 에칭(wet etching)을 통해 제거한 후 잔류하는 포토레지스트 패턴을 애싱함으로써, 기판(102)상에 게이트 라인(110), 상기 게이트 라인(110)에 일체적으로 형성된 게이트 전극(112), 스토리지 전극(172) 및 게이트 패드 하부전극(182)으로 구성된 제 1 도전성 패턴을 형성한다.

[0084] 상술한 바와 같이 기판상에 제 1 도전성 패턴을 형성한 후, 도 5a 및 도 5b에 도시된 바와 같이, 본 발명에 따른 제 2 마스크 공정을 통해 게이트 절연막 상에 액정 배향을 위한 프린지 필드를 형성하는 화소전극(140)을 형성한다.

[0085] 이를 보다 구체적으로 설명하면, 제 1 도전성 패턴이 형성된 기판(102)상에 게이트 절연막(115)을 형성한 후, 상기 게이트 절연막(115) 상에 PECVD 등의 증착 공정을 통해 투명 도전층을 전면 증착시킨다.

[0086] 이후, 투명 도전층에 포토레지스트를 전면 형성한 후 제 2 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 투명 도전층 중에서 화소전극(140)이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴

(PR)을 형성한다.

[0087] 이때, 포토레지스트 패턴(PR)에 의해 노출된 투명 도전층을 예칭한 후 잔류하는 포토레지스트 패턴을 제거함으로써, 본 발명에 따른 게이트 절연막(115)의 화소영역(142)에 공통전극(160)과 함께 액정배향을 위한 프린지 필드를 형성하는 화소전극(140)을 형성한다.

[0088] 여기서, 화소전극(140)은 게이트 절연막(115)을 사이에 두고 스토리지 전극(172)과 일부 중첩되도록 형성되어 스토리지 캐패시터(170)를 형성한다.

[0089] 또한, 화소전극(140)은 드레인 전극과 일부 중첩된 형태로 접속됨에 따라, 드레인 전극(124)을 노출시키기 위한 콘택홀을 형성할 필요가 없어 화소영역(142)의 개구율이 증가된다.

[0090] 상술한 바와 같이 게이트 절연막 상에 화소전극을 형성한 후, 도 6a 및 도 6b에 도시된 바와 같이, 본 발명에 따른 제 3 마스크 공정을 통해 채널 및 오믹 접촉을 위한 반도체층을 형성한다.

[0091] 이를 보다 구체적으로 설명하면, 화소전극(140)이 형성된 게이트 절연막(115) 상에 a-Si층 및 n+실리콘층으로 구성된 반도체층을 순차적으로 형성한다.

[0092] 이후, 반도체층 상에 포토레지스트를 전면 도포한 후 제 3 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 반도체층 중에서 채널영역에 대응되는 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴(PR)을 형성한다.

[0093] 이때, 포토레지스트 패턴(PR)에 의해 노출된 반도체층을 예칭한 후 잔류하는 포토레지스트 패턴(PR)을 제거함으로써, 본 발명에 따른 채널을 형성하는 활성층(132) 및 오믹 접촉을 위한 오믹 접촉층(134)으로 구성된 반도체 패턴(130)을 형성한다.

[0094] 상술한 바와 같이 채널영역에 반도체 패턴을 형성한 후, 도 7a 및 도 7b에 도시된 바와 같이, 본 발명에 따른 제 4 마스크 공정을 통해 데이트 라인(120), 소스전극(122), 드레인 전극(124) 및 데이터 패드 하부전극(192)을 포함하는 제 2 도전성 패턴을 형성한다.

[0095] 이를 보다 구체적으로 설명하면, 도 8a에 도시된 바와 같이, 반도체 패턴(130)이 형성된 게이트 절연막(115) 상에 데이터 금속층(120a)을 순차적으로 증착시킨다.

[0096] 데이터 금속층(120a) 상에 포토레지스트를 전면 도포한 후 제 4 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 도 8b에 도시된 바와 같이, 데이터 금속층(120a)을 노출시키는 포토레지스트 패턴(PR)을 형성한다.

[0097] 여기서, 포토레지스트 패턴은 데이터 금속층(120a) 중에서 제 2 도전성 패턴이 형성될 영역에는 차단부가 형성되어 있고, 채널 영역 및 그 이외의 영역에는 개구부가 형성된 구조를 갖는다.

[0098] 상술한 바와 같이 구성된 포토레지스트 패턴에 의해 노출된 데이터 금속층(120a)을 예칭하여 제거함으로써, 도 8c에 도시된 바와 같이, 박막 트랜지스터의 채널 영역에 형성된 데이터 금속층(120a)을 분리한다.

[0099] 이후, 데이터 금속층(120a)이 분리됨에 따라 채널영역에 노출되는 n+ 실리콘층(134a)을 건식 예칭을 통해 제거함으로써, 도 8d에 도시된 바와 같이, 박막 트랜지스터(T)의 채널을 형성하는 활성층(132) 및 오믹 접촉층(134)으로 구성된 반도체 패턴(130)을 형성한다.

[0100] 상술한 바와 같이 반도체 패턴(130)을 형성한 후 데이터 금속층(120a) 상에 잔류하는 포토레지스트 패턴(PR)을 제거함으로써, 도 8e에 도시된 바와 같이, 게이트 절연막(115)을 사이에 두고 게이트 라인(110)과 교차되는 데이터 라인(120), 상기 데이터 라인(120)에 접속된 소스전극(122), 채널을 개재하여 소스전극(122)과 대향하는 드레인 전극(124) 및 데이터 패드 하부전극(192)을 포함하는 제 2 도전성 패턴을 형성한다.

[0101] 여기서, 박막 트랜지스터(T)는 도 3a 내지 도 3c에 도시된 바와 같이 다양한 구조를 갖도록 형성되되, 드레인 전극은 화소전극과 일부 중첩된 구조로 형성된다.

[0102] 즉, 박막 트랜지스터의 드레인 전극이 화소전극(140)과 중첩된 형태로 접속됨에 따라, 종래 화소영역(142)으로 돌출된 구조를 갖는 박막 트랜지스터와 비교하여 화소영역(142)의 개구율이 현저히 증가된다.

[0103] 상술한 바와 같이 게이트 절연막 상에 제 2 도전성 패턴을 형성한 후, 도 9a 및 도 9b에 도시된 바와 같이, 본 발명에 따른 제 5 마스크 공정을 통해 콘택홀을 갖는 보호막을 형성한다.

[0104] 이를 보다 구체적으로 설명하면, 제 2 도전성 패턴이 형성된 게이트 절연막 (115)상에 보호막(150)을 전면 도포

한다.

[0105] 이후, 보호막(150) 상에 포토레지스트를 전면 도포한 후 제 5 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 보호막(150)을 노출시키는 포토레지스트 패턴(PR)을 형성한다.

[0106] 이때, 포토레지스트 패턴(PR)에 의해 노출된 보호막(150)을 애칭함으로써, 보호막(150) 및 게이트 절연막(115)을 관통하여 게이트 패드 하부전극(182)을 노출시키는 제 1 콘택홀(152) 및 보호막(150)을 관통하여 데이터 패드 하부전극(192)을 노출시키는 제 2 콘택홀(154)을 최종적으로 형성한다.

[0107] 여기서, 보호막(150)은 질화실리콘 등의 무기절연물질, 포토 아크릴(photo-acryl) 등의 유기화합물질, BCB(benzocyclobutene) 또는 PFCB (perfluorocyclobutane) 등의 유기절연물질로 구성된다.

[0108] 이때, 보호막(150)이 질화 실리콘(유전율 6.5) 등의 무기절연물질로 구성되는 경우, 상호 중첩되는 데이터 라인(120) 및 공통전극(160) 사이에 발생되는 커플링(coupling)을 방지하기 위해 6000A^0 이상의 두께를 갖도록 형성된다.

[0109] 그리고, 보호막(150)이 포토 아크릴(유전율 3.3) 등의 유기화합물질로 구성되는 경우, 데이터 라인(120)과 이에 중첩되는 공통전극(160) 사이에 발생되는 커플링을 방지하기 위해 $1.5\mu\text{m}$ 이상의 두께를 갖도록 형성되는 것이 바람직하다.

[0110] 상술한 바와 같이 콘택홀을 갖는 보호막을 형성한 후, 도 10a 및 도 10b에 도시된 바와 같이, 본 발명에 따른 제 6 마스크 공정을 통해 보호막 상에 프린지 필드를 형성하는 공통전극, 게이트 패드 상부전극 및 데이터 패드 상부전극을 포함하여 구성된 제 3 도전성 패턴을 형성한다.

[0111] 이를 보다 구체적으로 설명하면, 콘택홀(152,154)이 형성된 보호막(150) 상에 PECVD 등의 증착공정을 통해 투명 도전층을 전면 증착시킨다

[0112] 이후, 투명 도전층 상에 포토레지스트를 전면 도포한 후 제 6 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 투명 도전층을 노출시키는 포토레지스트 패턴(PR)을 형성한다.

[0113] 이때, 포토레지스트 패턴에 의해 노출된 투명 도전층을 애칭한 후 잔류하는 포토레지스트 패턴(PR)을 제거함으로써, 화소전극(140)과 함께 프린지 필드를 형성하는 슬릿(162)을 갖는 공통전극(160), 제 1 콘택홀(152)을 통해 게이트 패드 하부전극(182)과 접속되는 게이트 패드 상부전극(184) 및 제 2 콘택홀(154)을 통해 데이터 패드 하부전극(192)과 접속되는 게이트 패드 상부전극(194)을 포함하는 제 3 도전성 패턴을 형성한다.

[0114] 여기서, 공통전극(160)은 보호막(150)을 사이에 두고 화소전극(140) 및 데이터 라인(120)과 중첩되게 형성되며, 화소전극(140)과 함께 화소영역(142)에 배향된 액정을 소정 방향으로 배향시키는 프린지 필드가 형성되는 슬릿 패턴(162)이 형성되어 있다.

[0115] 게이트 패드(180)를 구성하는 게이트 패드 상부전극(184)은 공통전극(160)과 동일 물질로 동시에 형성되고, 데이터 패드(190)를 구성하는 데이터 패드 상부전극(194)은 공통전극(160)과 동일물질로 동시에 형성된다.

발명의 효과

[0116] 상술한 바와 같이, 본 발명에 따른 프린지 필드형 액정표시패널 및 그 제조방법은, 데이터 라인과 공통전극을 중첩되게 형성함으로써, 화소영역의 개구율을 증가시킬 수 있다는 효과를 갖는다.

[0117] 본 발명은 화소전극과 공통전극 사이에 형성되는 보호막을 소정 높이를 갖는 무기 및 유기 절연막으로 형성함으로써, 데이터 라인 및 이에 중첩되는 공통전극 사이의 기생용량의 발생을 방지할 수 있다는 효과를 갖는다.

[0118] 본 발명은 공통전극을 박막 트랜지스터의 채널 영역을 덮도록 형성함으로써, 채널 영역에 발생되는 누설전류 및 오프-커런트를 방지할 수 있다는 효과를 갖는다.

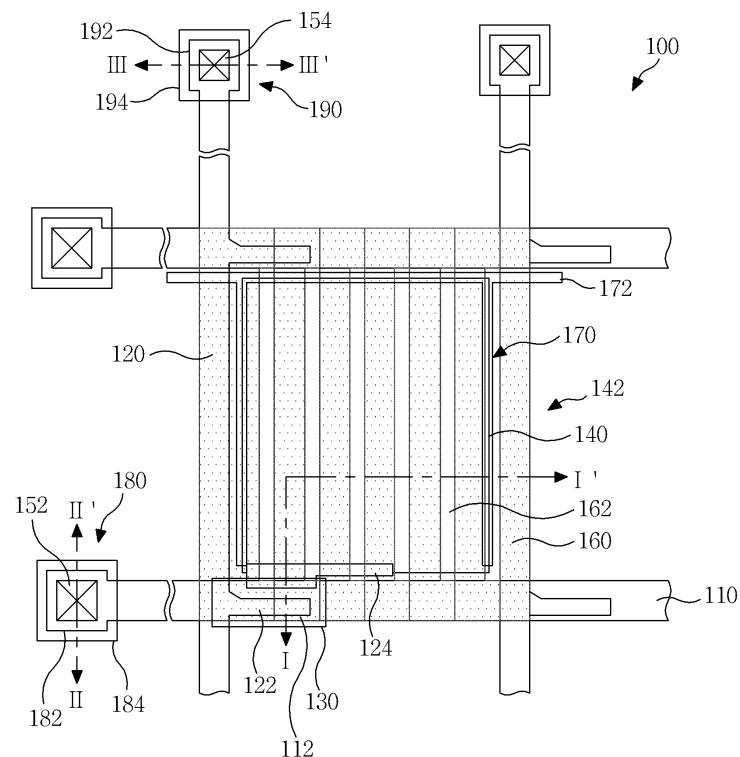
[0119] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

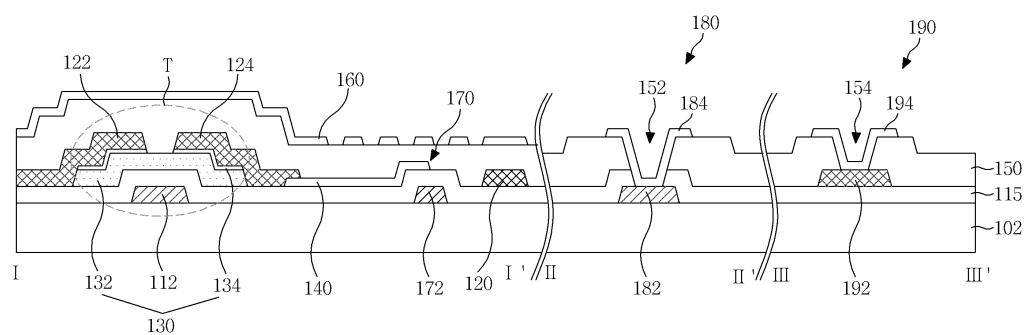
- [0001] 도 1은 본 발명에 따른 프린지 필드형(FFS : Fringe Field Switching) 평판표시패널의 평면도.
- [0002] 도 2는 본 발명에 따른 프린지 필드형(FFS : Fringe Field Switching) 평판표시패널의 구성 단면도.
- [0003] 도 3a 내지 도 3c는 본 발명에 따른 프린지 필드형 액정표시패널에 형성된 박막 트랜지스터의 구성 평면도.
- [0004] 도 4a 및 도 4b는 본 발명에 따른 제 1 도전성 패턴이 형성된 평판표시패널의 평면도 및 단면도.
- [0005] 도 5a 및 도 5b는 본 발명에 따른 화소전극이 형성된 평판표시패널의 평면도 및 단면도.
- [0006] 도 6a 및 도 6b는 본 발명에 따른 반도체층이 형성된 평판표시패널의 평면도 및 단면도.
- [0007] 도 7a 및 도 7b는 본 발명에 따른 제 2 도전성 패턴이 형성된 평판표시패널의 평면도 및 단면도.
- [0008] 도 8a 내지 도 8e는 본 발명에 따른 제 2 도전성 패턴을 형성하는 과정을 도시한 공정도.
- [0009] 도 9a 및 도 9b는 본 발명에 따른 콘택홀을 갖는 보호막이 형성된 평판표시패널의 평면도 및 단면도.
- [0010] 도 10a 및 도 10b는 본 발명에 따른 제 3 도전성 패턴이 형성된 평판표시패널의 평면도 및 단면도.
- [0011] <도면의 주요 부분에 대한 부호의 설명>
- [0012] 100 : 액정 표시패널 102 : 기판
- [0013] 110 : 게이트 라인 112 : 게이트 전극
- [0014] 115 : 게이트 절연막 120 : 데이터 라인
- [0015] 122 : 소스전극 124 : 드레인 전극
- [0016] T : 박막 트랜지스터 130 : 반도체 패턴
- [0017] 132 : 활성층 134 : 오믹 접촉층
- [0018] 140 : 화소전극 142 : 화소영역
- [0019] 150 : 보호막 152 : 제 1 콘택홀
- [0020] 154 : 제 2 콘택홀 160 : 공통전극
- [0021] 162 : 슬릿홀

도면

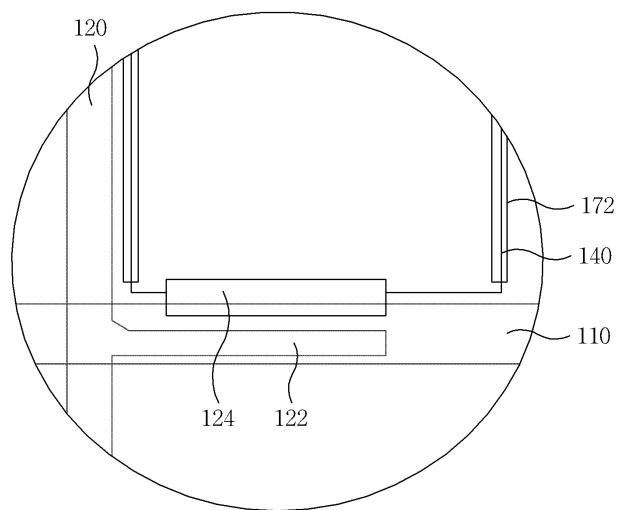
도면1



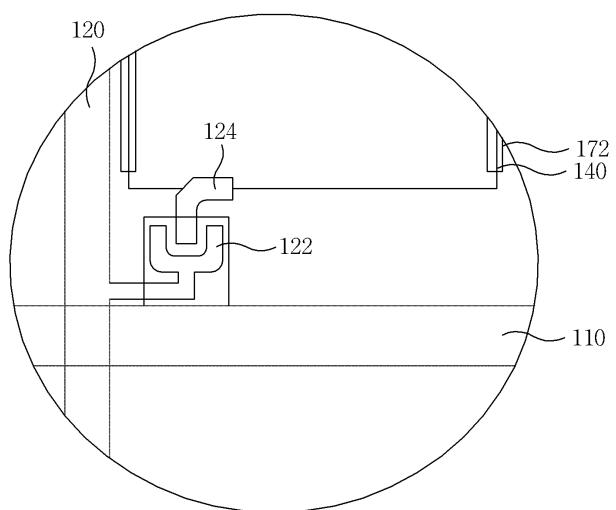
도면2



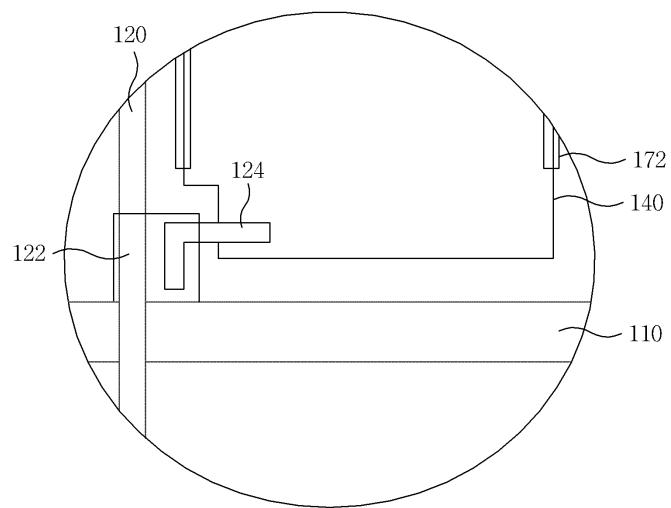
도면3a



도면3b

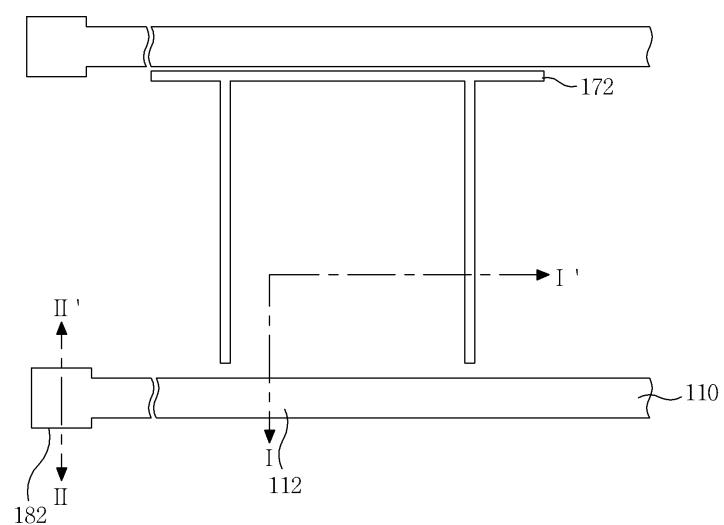


도면3c

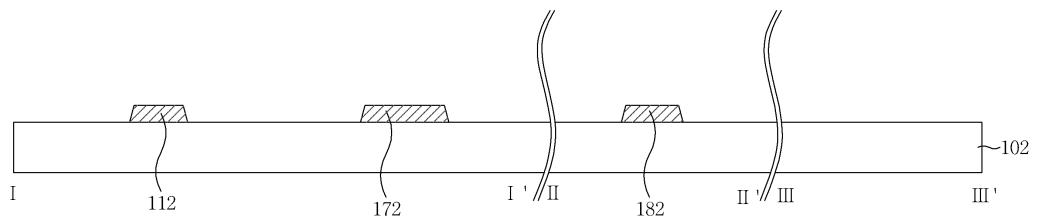


도면4a

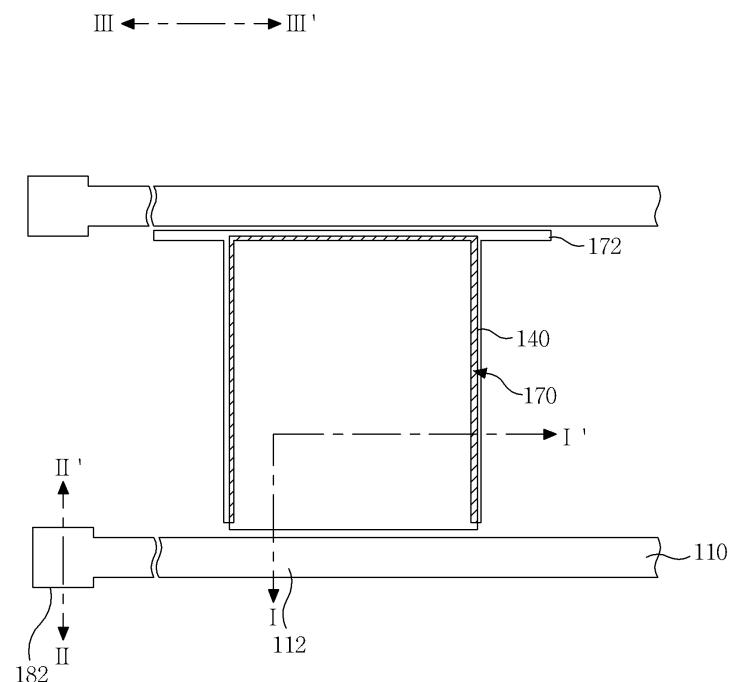
III ← - - - → III'



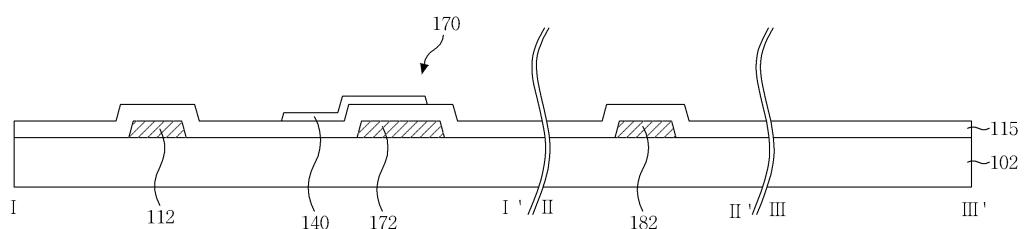
도면4b



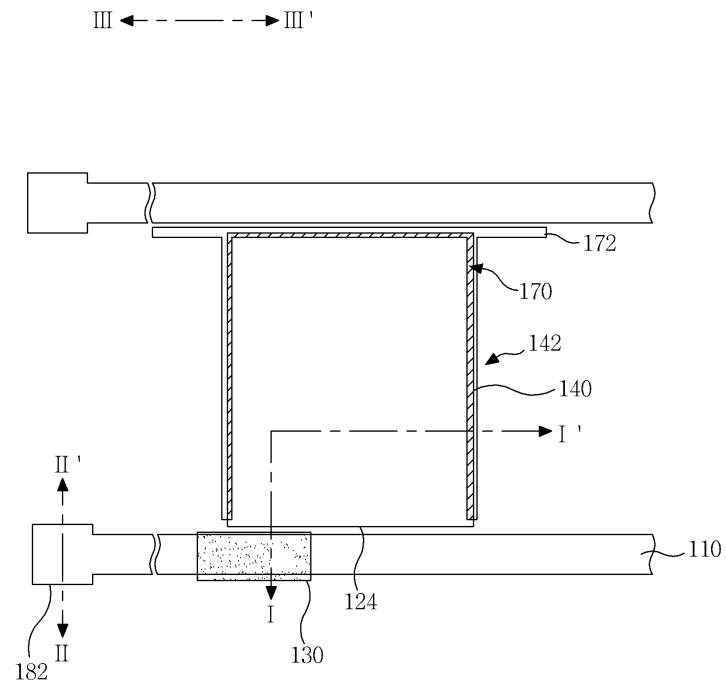
도면5a



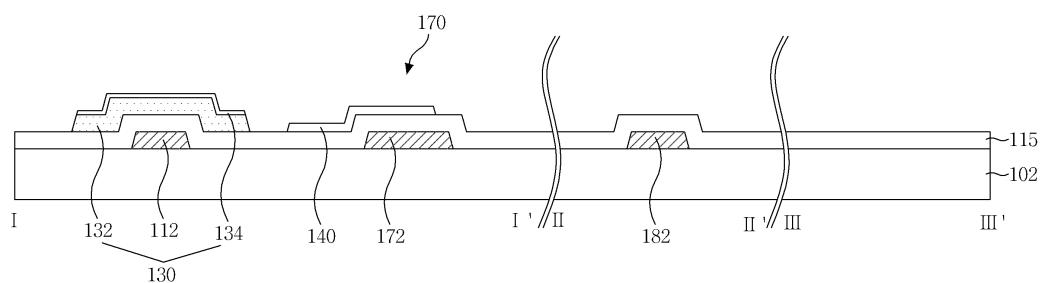
도면5b



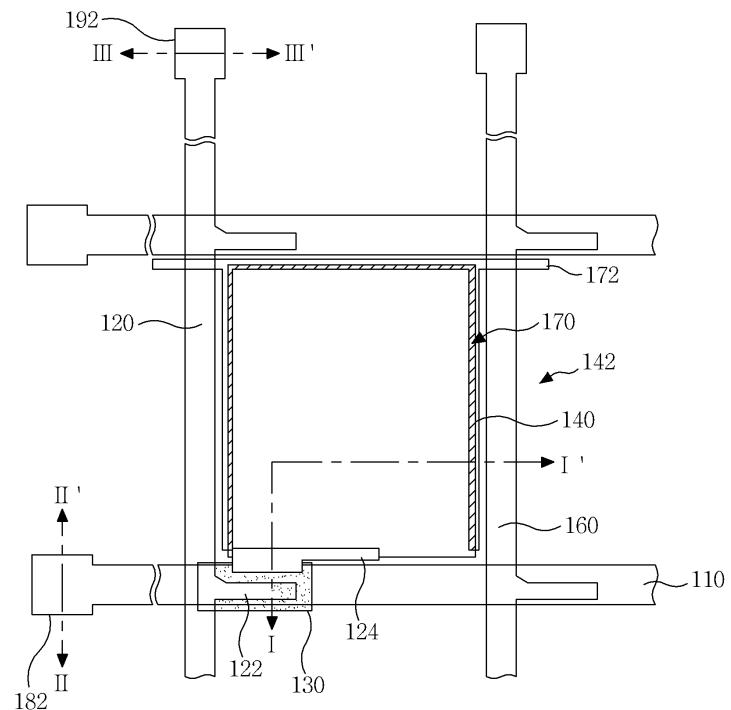
도면6a



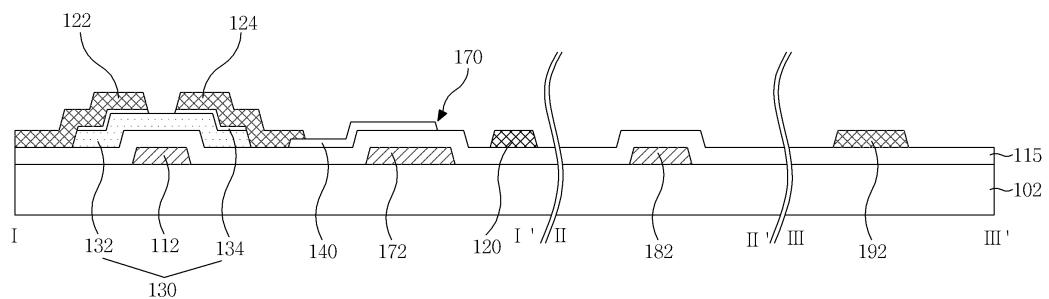
도면6b



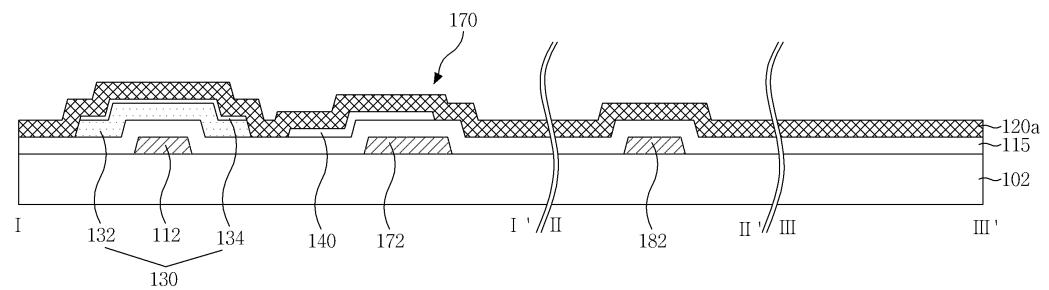
도면7a



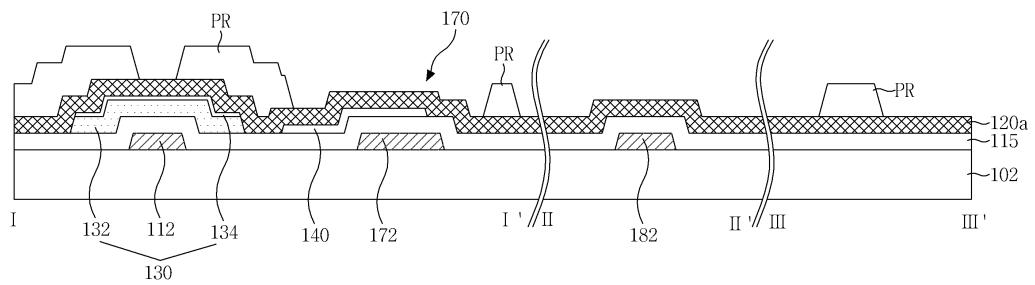
도면7b



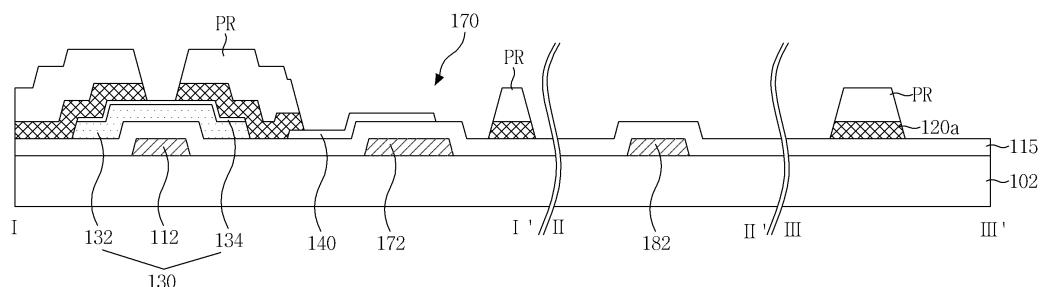
도면8a



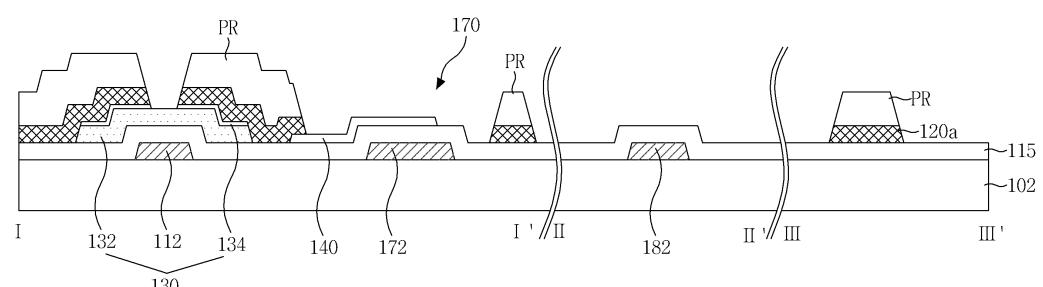
도면8b



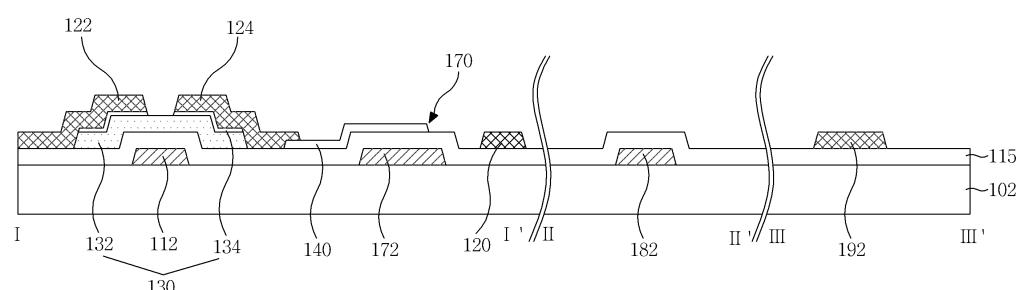
도면8c



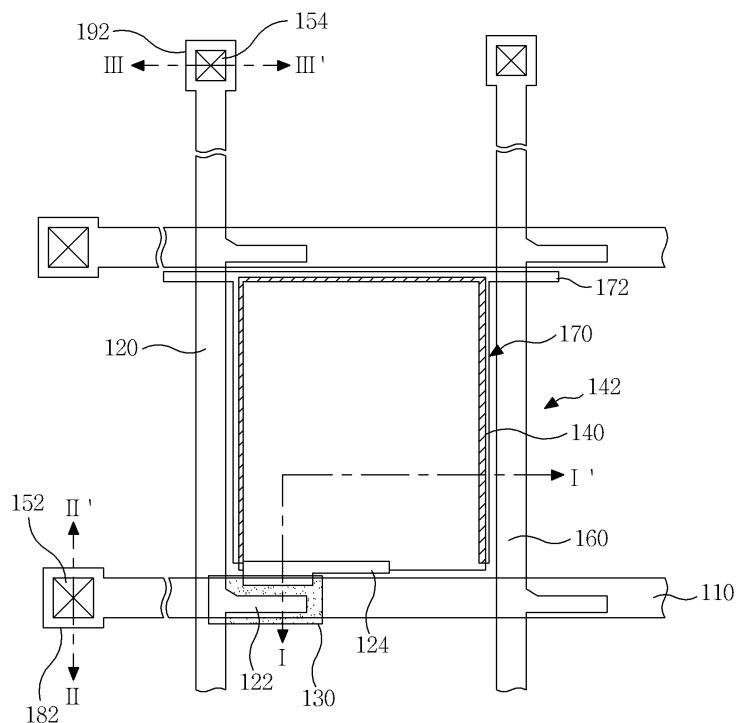
도면8d



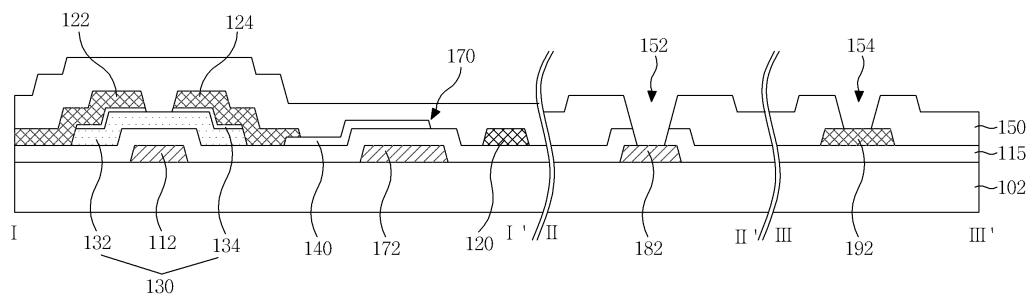
도면8e



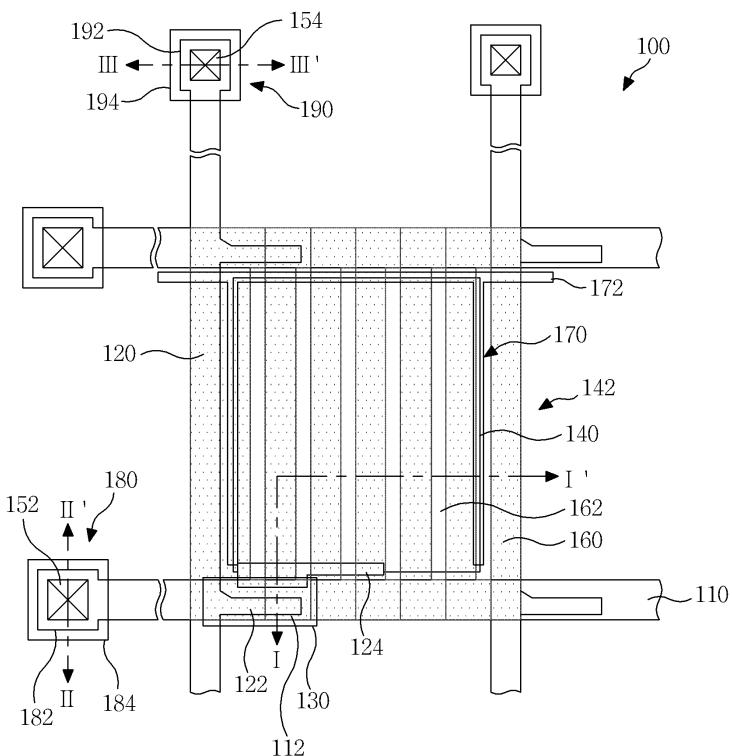
도면9a



도면9b



도면10a



도면 10b

