



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2010년02월04일  
 (11) 등록번호 10-0939931  
 (24) 등록일자 2010년01월26일

(51) Int. Cl.

*H01L 29/786* (2006.01)

(21) 출원번호 10-2002-0061193  
 (22) 출원일자 2002년10월08일  
 심사청구일자 2007년10월02일  
 (65) 공개번호 10-2003-0030900  
 (43) 공개일자 2003년04월18일

(30) 우선권주장

JP-P-2001-00311756 2001년10월09일 일본(JP)

(56) 선행기술조사문헌

JP10106951 A\*

JP13230424 A\*

JP06077131 A

JP07130668 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

사포 가부시키가이샤

일본 오사카후 오사카시 아베노구 나가이케조 22  
방 22고

(72) 별명자

미야이리히데카즈

일본가나가와Ken아쓰기시하세398가부시키가이샤한  
도오따이에네루기켄큐쇼내

시가아이코

일본가나가와Ken아쓰기시하세398가부시키가이샤한  
도오따이에네루기켄큐쇼내

(뒷면에 계속)

(74) 대리인

이병호, 장훈

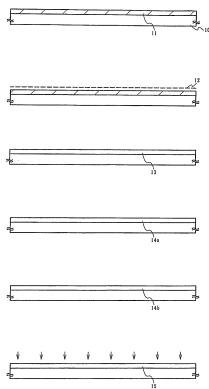
전체 청구항 수 : 총 16 항

심사관 : 정두한

(54) 반도체 막, 반도체 장치, 및 그 제조 방법

**(57) 요 약**

JP 8-78329 A에 개시된 기술에 신규한 개선을 추가함으로써, 결정 구조를 가지는 반도체 막의 막 특성이 개선된 제조 방법이 제공된다. 추가로, 활성층으로서 반도체 막을 사용하는, 전계 효과 이동도 같은 우수한 TFT 특성을 가지는 TFT와, 이 TFT를 제조하는 방법이 제공된다. 실리콘의 결정화를 촉진하는 금속 원소가 비정질 구조와  $5 \times 10^{18} / \text{cm}^3$ 의 막내 산소 농도를 가지는 반도체 막에 추가된다. 비정질 구조를 가지는 반도체 막은 그 후 열처리되어 결정 구조를 가지는 반도체 막을 형성한다. 이어서, 표면상의 산화막이 제거된다. 산소가 결정 구조를 가지는 반도체 막에 도입되고, 막 내의 산소 농도가  $5 \times 10^{18} / \text{cm}^3$ 내지  $1 \times 10^{21} / \text{cm}^3$ 이 되도록 처리가 수행된다. 반도체 막의 표면상의 산화막을 제거한 후에, 반도체 막 표면이 불활성 기체 분위기 또는 진공하에서 레이저 광을 조사함으로써 평탄화된다.

**대 표 도**

(72) 발명자

**노무라카츠미**

일본오사까후오사까시아베노쿠나가이 케쵸22-22샤프  
가부시키가이샤내

**마키타나오키**

일본오사까후오사까시아베노쿠나가이 케쵸22-22샤프  
가부시키가이샤내

---

**마쓰오타쿠야**

일본오사까후오사까시아베노쿠나가이 케쵸22-22샤프  
가부시키가이샤내

## 특허청구의 범위

### 청구항 1

반도체 막으로서,

상기 반도체 막의 표면은 불규칙한 망상 패턴을 가지고;

리지 형상으로 외향 연장하는 볼록부들을 가지는 리지들은 분기하고;

상기 리지들에 의해 막히지 않는 적어도 하나의 경로가, 상기 리지들에 의해 불규칙적으로 끼인 평탄부들과 오목부들을 포함하는 영역에서의 임의의 2점들 사이에 제공되고;

도메인 경계들에 의해 끼인 영역에서의 임의의 2점들 사이에는, 결정 배향들에서의 인접하는 점들 사이의 변위가  $15^\circ$  미만인 경로가 제공되는 반도체 막.

### 청구항 2

제 1 항에 있어서, 금속 원소가  $1 \times 10^{16}/\text{cm}^3$  내지  $5 \times 10^{18}/\text{cm}^3$ 의 농도로 상기 반도체 막내에 포함되는 반도체 막.

### 청구항 3

제 2 항에 있어서, 상기 금속 원소는 실리콘의 결정화를 촉진하는 금속 원소이고, Fe, Ni, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, 및 Au로 이루어진 그룹으로부터 선택된 하나의 원소, 또는 복수의 원소들인 반도체 막.

### 청구항 4

제 1 항에 있어서, 상기 반도체 막의 표면의 평균 표면 거칠기(Ra 값)는  $2\text{nm}$  이하인 반도체 막.

### 청구항 5

채널 형성 영역, 드레인 영역, 및 소스 영역을 가지는 반도체 층;

게이트 절연막; 및

게이트 전극을 가지는 TFT를 포함하는 반도체 장치로서,

상기 반도체 층의 표면은 불규칙한 망상 패턴을 가지고;

리지 형상으로 외향 연장하는 볼록부들을 가지는 리지들은 분기하고;

상기 리지들에 의해 막히지 않는 적어도 하나의 경로가, 상기 리지들에 의해 불규칙적으로 끼인 평탄부들과 오목부들을 포함하는 영역에서의 임의의 2점들 사이에 제공되고;

도메인 경계들에 의해 끼인 영역에서의 임의의 2점들 사이에는, 결정 배향들에서의 인접하는 점들 사이의 변위가  $15^\circ$  미만인 도메인 경로가 제공되는 반도체 장치.

### 청구항 6

제 5 항에 있어서, 금속 원소가  $1 \times 10^{16}/\text{cm}^3$  내지  $5 \times 10^{18}/\text{cm}^3$ 의 농도로 상기 반도체 막내에 포함되는 반도체 장치.

### 청구항 7

제 6 항에 있어서, 상기 금속 원소는 실리콘의 결정화를 촉진하는 금속 원소이고, Fe, Ni, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, 및 Au로 이루어진 그룹으로부터 선택된 하나의 원소, 또는 복수의 원소들인 반도체 장치.

### 청구항 8

제 5 항에 있어서, 상기 반도체 층의 표면의 평균 표면 거칠기(Ra 값)는  $2\text{nm}$  이하인 반도체 장치.

### 청구항 9

반도체 장치 제조 방법에 있어서,

절연 표면 상에 비정질 구조를 가지는 반도체 막을 형성하는 제 1 단계;

비정질 구조를 가지는 상기 반도체 막에 금속 원소를 첨가하는 제 2 단계;

비정질 구조를 가지는 상기 반도체 막을 열처리하여 결정 구조를 가지는 반도체 막을 형성한 후, 결정성 반도체 막 표면으로부터 산화막을 제거하는 제 3 단계;

결정 구조를 가지는 상기 반도체 막 내로 산소를 도입하여, 상기 막 내의 산소 농도를  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$  로 하는 제 4 단계;

결정 구조를 가지는 상기 반도체 막의 표면 상의 산화막을 제거하는 제 5 단계; 및

불활성 기체 분위기 또는 진공에서 레이저 광을 조사하여, 결정 구조를 가지는 상기 반도체 막의 표면을 평탄화 하는 제 6 단계를 포함하는 반도체 장치 제조 방법.

## 청구항 10

반도체 장치 제조 방법에 있어서,

절연 표면 상에 비정질 구조를 가지는 반도체 막을 형성하는 제 1 단계;

비정질 구조를 가지는 상기 반도체 막에 금속 원소를 첨가하는 제 2 단계;

비정질 구조를 가지는 상기 반도체 막을 열처리하여 결정 구조를 가지는 반도체 막을 형성하는 제 3 단계;

결정 구조를 가지는 상기 반도체 막 내로 산소를 도입하여, 상기 막 내의 산소 농도를  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$  로 하는 제 4 단계;

결정 구조를 가지는 상기 반도체 막의 표면 상의 산화막을 제거하는 제 5 단계; 및

불활성 기체 분위기 또는 진공에서 레이저 광을 조사하여, 결정 구조를 가지는 상기 반도체 막의 표면을 평탄화 하는 제 6 단계를 포함하는 반도체 장치 제조 방법.

## 청구항 11

반도체 장치 제조 방법에 있어서,

절연 표면 상에 비정질 구조를 가지는 반도체 막을 형성하는 제 1 단계;

비정질 구조를 가지는 상기 반도체 막에 금속 원소를 첨가하는 제 2 단계;

비정질 구조를 가지는 상기 반도체 막을 열처리하여 결정 구조를 가지는 반도체 막을 형성한 후, 결정성 반도체 막 표면으로부터 산화막을 제거하는 제 3 단계;

결정 구조를 가지는 상기 반도체 막 내로 산소를 도입하여, 상기 막 내의 산소 농도를  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$  로 하는 제 4 단계;

결정 구조를 가지는 상기 반도체 막의 표면 상의 산화막을 제거하는 제 5 단계;

불활성 기체 분위기 또는 진공에서 레이저 광을 조사하여, 결정 구조를 가지는 상기 반도체 막의 표면을 평탄화 하는 제 6 단계;

상기 금속 원소를 게터링하여, 결정 구조를 가지는 상기 반도체 막으로부터 상기 금속 원소를 제거하거나, 또는 결정 구조를 가지는 상기 반도체 막 내의 상기 금속 원소의 농도를 감소시키는 제 7 단계를 포함하는 반도체 장치 제조 방법.

## 청구항 12

제 9 항 내지 제 11 항 중 어느 한 항에 있어서, 상기 제 1 단계에서 형성된 비정질 구조를 가지는 상기 반도체 막 내의 산소 농도는  $5 \times 10^{18} / \text{cm}^3$  미만인 반도체 장치 제조 방법.

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

제 9 항 내지 제 11 항 중 어느 한 항에 있어서, 상기 제 4 단계는 오존수를 사용하여 결정 구조를 가지는 상기 반도체 막의 표면을 산화시킨 후, 불활성 기체 분위기 또는 진공에서 레이저 광을 조사하는 단계이고, 상기 레이저 광은 상기 제 6 단계에서 사용된 상기 레이저 광의 에너지 밀도보다 30 내지 60mJ/cm<sup>2</sup> 만큼 낮은 에너지 밀도를 가지는 반도체 장치 제조 방법.

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

제 9 항 내지 제 11 항 중 어느 한 항에 있어서, 상기 제 4 단계는 산소 또는 물분자들을 포함하는 분위기 하에서 레이저 광을 조사하는 단계이고, 상기 레이저 광은 상기 제 6 단계에서 사용된 상기 레이저 광의 에너지 밀도보다 30 내지 60mJ/cm<sup>2</sup> 만큼 낮은 에너지 밀도를 가지는 반도체 장치 제조 방법.

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

제 9 항 내지 제 11 항 중 어느 한 항에 있어서, 상기 제 4 단계는 결정 구조를 가지는 상기 반도체 막 내의 상기 산소 농도가  $5 \times 10^{18}/\text{cm}^3$  내지  $1 \times 10^{21}/\text{cm}^3$  되도록 이온 도핑 또는 이온 주입에 의해 산소를 첨가한 후, 불활성 기체 분위기 또는 진공에서 레이저 광을 조사하는 단계이고, 상기 레이저 광은 상기 제 6 단계에서 사용된 상기 레이저 광의 에너지 밀도보다 30 내지 60mJ/cm<sup>2</sup> 만큼 낮은 에너지 밀도를 가지는 반도체 장치 제조 방법.

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

제 9 항 내지 제 11 항 중 어느 한 항에 있어서, 상기 구조에서의 상기 금속 원소는 실리콘의 결정화를 촉진하는 금속 원소이고, Fe, Ni, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, 및 Au로 이루어진 그룹으로부터 선택된 하나의 원소, 또는 복수의 원소들인 반도체 장치 제조 방법.

**청구항 25**

삭제

청구항 26

삭제

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- [0015] 본 발명은 박막 트랜지스터(이하, TFT)로 구성된 회로를 가지는 반도체 장치, 및 반도체 장치를 제조하는 방법에 관한 것이다. 예를 들어, 본 발명은 액정 디스플레이 패널로 대표되는 전자 광학 장치와, 이 전자 광학 장치를 부품으로서 장착하고 있는 전자 기기에 관한 것이다.
- [0016] 본 명세서의 반도체 장치라는 용어는 일반적으로, 반도체 특성들을 사용하여 기능할 수 있는 장치를 나타내며, 전자 광학 장치, 반도체 회로 및 전자 기기는 모두 상기 반도체 장치의 범주에 포함된다.
- [0017] 최근, 절연 표면을 가지는 기판상에 형성된 반도체 박막(약 수 내지 수백 nm의 두께를 가짐)을 사용하여 박막 트랜지스터(TFT)를 구성하는 기술이 주목을 받고 있다. 상기 박막 트랜지스터는 IC 또는 전자 광학 장치 같은 전자 장치에 널리 응용되고 있으며, 특히 화상 표시 장치의 스위칭 소자로서 주로 개발될 필요가 있다.
- [0018] 활성 매트릭스 액정 모듈은 박막 트랜지스터의 전형적인 예로서 공지되어 있다. 특히, 활성층으로서 결정구조를 가지는 실리콘 막(통상적으로, 폴리실리콘 막)을 가지는 TFT(이하, 폴리실리콘 TFT)는 비정질 구조를 가지는 실리콘 막(통상적으로 비정질 실리콘 막)을 구비한 TFT에 비해 높은 전계 효과 이동도를 가지며, 따라서, 이런 TFT는 최근 다용도로 사용되고 있다.
- [0019] 비록, 결정 구조를 가지는 실리콘 막을 획득하는 다양한 기술들이 존재하고 있지만, 특히, 일본 특개평 8-78329호 공보에 제공된 기술에서는 비정질 실리콘막에 결정화를 촉진하는 금속 원소(통상적으로 니켈)가 선택적으로 첨가되고, 시점으로서 추가 영역을 확산시키는 결정 실리콘 막을 형성하도록 열처리를 수행한다. 얻어진 결정 입자의 크기가 다른 기술들에 비해 매우 크고 전계 효과 이동도가 높기 때문에, 다양한 기능들을 가지는 다양한 회로들이 이에 의해 형성될 수 있다. 예를 들어, 상술한 공보의 기술을 액정 디스플레이 장치에 탑재되는 액정 모듈에 사용하는 경우에, 모든 기능 블록들을 위해 이미지 디스플레이를 수행하는 화소부, CMOS 회로에 기초한 시프트 레지스터 회로, 레벨 시프터 회로, 버퍼 회로 및 샘플링 회로 등 같은 화소부 제어용 구동 회로들이 기판상에 형성될 수 있다.
- [0020] 또한, 상술한 공보의 기술은 금속 원소들을 사용하지 않는 방법에 비해, 금속 원소의 작용에 의해 비정질 실리콘 막의 결정화 온도를 대략 50-100°C 정도로 낮출 수 있고, 이에 의해, 유리 기판이 공정에 문제점들을 유발하지 않고 사용될 수 있다. 또한, 상술한 공보 기술의 결정화 소요 시간은 금속 원소들을 사용하지 않는 방법에 비해 1/5 -1/10으로 감소될 수 있으며, 그에 의해, 상술한 공보의 기술은 또한 양호한 생산성을 가진다.

##### 발명이 이루고자 하는 기술적 과제

- [0021] 새로운 추가적인 진보가 상술한 공보의 기술에 추가되게 되며, 결정 구조를 가지는 반도체 막의 특성을 개선하는 제조 방법, 및 활성층으로서 사용되는 상기 반도체 막, 전계 효과 이동도와 같은 TFT의 특성이 우수한 TFT가 제공된다.
- [0022] 상술한 다양한 문제점들을 해결하기 위해 다양한 분야들로부터 수행된 다수의 연구들의 결과를 고려하여 본 발명이 안출된다. 결정화를 위해 열처리가 수행될 때, 결정화를 촉진하기 위해 금속 원소가 첨가되는 비정질 구조를 가지는 반도체 막 내에서 결정화를 저해하는 산소의 농도를 가능한 작은 값, 특히,  $5 \times 10^{18} / \text{cm}^3$  미만으로 감소시키는 것이 바람직하다. 열처리를 수행한 후에 상기 막 내로 산소의 도입을 수행하는 것에 의하여, 상술한 문제점이 해결, 특히 전계 효과 이동도가 향상될 수 있다는 것이 발견되었다.
- [0023] 상기 막 내의 산소 농도는, 결정 구조를 가지는 상기 반도체 막 내로 산소를 도입하는 처리로서 오존수를 사용하여 결정화 구조를 가진 반도체의 표면을 산화시킨 후에, 불활성 기체 분위기 또는 진공 하에서 레이저 광을

조사하는 것에 의해  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ 으로 설정될 수 있다.

[0024] 대안적으로, 상기 막 내의 산소 농도는, 결정 구조를 가지는 상기 반도체 막 내로 산소를 도입하는 다른 처리로서 산소 또는 물 분자를 함유하는 분위기 하에서 레이저 광을 조사하는 것에 의해  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ 으로 설정될 수 있다.

[0025] 부가하여, 상기 막 내의 산소 농도는, 전기로 등을 사용하여 산소 또는 물분자를 함유하는 분위기 하에서 산화를 수행한 후에, 불활성 기체 분위기 또는 진공 하에서 레이저 광을 조사하는 것에 의해  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ 로 설정될 수 있다. 또한, 상기 반도체 막 내의 산소 농도가  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ 이 되도록, 상기 막 내의 산소 농도는 이온 도핑 또는 이온 주입에 의해 산소를 첨가한 후에 불활성 기체 분위기 또는 진공 하에서 레이저 광을 조사하는 것에 의해  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ 로 설정될 수 있다.

[0026] 또한, 상기 반도체 막에 레이저 광이 조사되는 경우에, 상기 반도체 막이 표면으로부터 순간적으로 용융되고, 그 후, 기판으로의 열전도 때문에, 상기 용융된 반도체 막이 기판측으로부터 냉각되어 응고된다. 응고 처리 동안 재결정화가 발생하고, 상기 반도체 막은 큰 입자 크기를 가지는 것이 되지만, 체적 팽창이 일시적인 용융으로 인하여 생기고, 리지(ridge)로서 지칭되는 불균일성이 상기 반도체 표면에서 형성된다. 특히, 리지가 형성되는 표면은 상부 게이트 TFT를 위한 게이트 절연막과의 경계면이 되고, 그러므로, 소자 특성이 크게 변한다. 상술한 공정에 더하여, 상기 반도체 막 표면상의 산화막은 본 발명에 따라서 레이저 광 조사 후에 제거되고, 부가하여, 추가로, 레이저 광은 결정 구조를 가지는 상기 반도체 막의 표면을 평탄화하도록 불활성 기체 분위기 또는 진공 하에서 조사된다.

[0027] 제 1 레이저 광에 의해 비정질 구조를 가지는 상기 막의 결정화를 수행하고 제 2 레이저 광을 사용하여 평탄화하는 기술(JP 2001-60551 A)과는 달리, 본 발명은 결정 구조를 가지는 상기 반도체 막에 제 1 레이저 광을 조사하는 것에 관한 것에 유념하여야 한다. 또한, 본 발명은 결정화를 촉진하기 위한 금속 원소가 첨가되고, 결정 구조를 가지는 반도체 막이 형성되며, 평탄도가 금속 원소의 추가에 의해 부가적으로 증가되는 것이다.

[0028] 본 명세서에 개시된 본 발명의 제 1 양태는 반도체 장치를 제조하는 방법에 관한 것으로, 상기 방법은,

[0029] 절연 표면상에 비정질 구조를 가지는 반도체 막을 형성하는 제 1 단계;

[0030] 비정질 구조를 가지는 상기 반도체 막에 금속 원소를 첨가하는 제 2 단계;

[0031] 결정 구조를 가지는 반도체 막을 형성하도록 비정질 구조를 가지는 상기 반도체 막을 열처리하고, 그 후, 상기 결정성 반도체 막 표면으로부터 산화막을 제거하는 제 3 단계;

결정 구조를 가지는 상기 반도체 막 내로 산소를 도입하여, 상기 반도체 막 내의 산소 농도가  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ 로 만드는 제 4 단계;

[0032] 결정 구조를 가지는 상기 반도체 막의 표면상의 산화막을 제거하는 제 5 단계; 및

[0033] 불활성 기체 분위기 또는 진공하에서 레이저 광을 조사하여, 결정 구조를 가지는 상기 반도체 막의 표면을 평탄화하는 제 6 단계를 포함한다.

[0034] 또한, 비록 결정 구조를 가지는 반도체 막을 열처리할 때, 산화막이 표면상에 형성될지라도, 산소 도입 공정은 산화막을 제거하지 않고 수행될 수도 있다.

[0035] 본 발명의 제 2 양태는 반도체 장치를 제조하는 다른 방법에 관한 것으로, 상기 방법은,

[0036] 절연 표면상에 비정질 구조를 가지는 반도체 막을 형성하는 제 1 단계;

[0037] 비정질 구조를 가지는 상기 반도체 막에 금속 원소를 첨가하는 제 2 단계;

[0038] 결정 구조를 가지는 반도체 막을 형성하도록 비정질 구조를 가지는 상기 반도체 막을 열처리하는 제 3 단계;

[0039] 결정 구조를 가지는 상기 반도체 막 내로 산소를 도입하여, 상기 막 내의 산소 농도를  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ 로 만드는 제 4 단계;

[0040] 결정 구조를 가지는 상기 반도체 막의 표면상의 산화막을 제거하는 제 5 단계; 및

- [0041] 불활성 기체 분위기 또는 진공하에서 레이저 광을 조사하여, 결정 구조를 가지는 반도체 막의 표면을 평탄화하는 제 6 단계를 포함한다.
- [0042] 또한, 본 발명에서, 비록, 결정화를 촉진하기 위한 금속 원소(통상적으로, Ni)가 비정질 구조를 가지는 상기 반도체 막 상에 첨가될지라도, 결정화 후에, 게터링(gettering) 기술 등에 의해 결정화를 촉진하기 위한 금속 원소가 제거되는 것이 바람직하다.
- [0043] 본 발명의 제 3 양태는 반도체 장치를 제조하는 다른 방법에 관한 것으로, 상기 방법은,
- [0044] 절연 표면상에 비정질 구조를 가지는 반도체 막을 형성하는 제 1 단계;
- [0045] 비정질 구조를 가지는 상기 반도체 막에 금속 원소를 첨가하는 제 2 단계;
- [0046] 결정 구조를 가지는 반도체 막을 형성하도록 비정질 구조를 가지는 상기 반도체 막을 열처리하고, 그 후, 상기 결정성 반도체 막으로부터 산화막을 제거하는 제 3 단계;
- [0047] 결정 구조를 가지는 상기 반도체 막 내로 산소를 도입하여, 상기 막 내의 산소 농도를  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$  로 만드는 제 4 단계;
- [0048] 결정 구조를 가지는 상기 반도체 막의 표면상의 산화막을 제거하는 제 5 단계;
- [0049] 불활성 기체 분위기 또는 진공하에서 레이저 광을 조사하여, 결정 구조를 가지는 상기 반도체 막의 표면을 평탄화하는 제 6 단계; 및
- [0050] 결정 구조를 가지는 상기 반도체 막으로부터 금속 원소를 제거하거나, 또는 결정 구조를 가지는 상기 반도체 막 내의 금속 원소의 농도를 감소시키도록 금속 원소를 게터링하는 제 7 단계를 포함한다.
- [0051] 또한, 본 발명의 상술한 양태들 각각에서, 제 6 단계를 수행하기 위해 사용되는 레이저 광의 에너지 밀도는 430 내지 560mJ/cm<sup>2</sup>이며, 제 4 단계에서 수행되는 상기 레이저 광의 조사는 제 6 단계에 사용된 상기 레이저 광의 에너지 밀도(400 내지 500mJ/cm<sup>2</sup>) 보다 30~60mJ/cm<sup>2</sup> 만큼 낮은 에너지 밀도를 가지는 레이저 광을 사용한다.
- [0052] 또한, 상술한 제조 방법에 의해 획득된 결정 구조를 가지는 반도체 막은 본 발명에 포함된다. 본 발명의 결정 구조를 가지는 반도체 막을 포함하는 반도체 장치의 양태는,
- [0053] 채널 형성 영역, 드레인 영역, 및 소스 영역을 가지는 반도체 층; 게이트 절연막; 및 게이트 전극을 가지는 TFT 를 포함하는 반도체 장치로서,
- [0054] 금속 원소가  $1 \times 10^{16} / \text{cm}^3$  내지  $5 \times 10^{18} / \text{cm}^3$  의 농도로 상기 반도체 층 내에 포함되고;
- [0055] 상기 반도체 층의 표면의 평균 표면 거칠기( $\text{Ra}_{\text{값}}$ )는 AFM(원자력 현미경)에 의해 얻어질 때 2nm 이하이다.
- [0056] 상술한 양태의 금속 원소는 실리콘의 결정화를 촉진하는 금속 원소이며, Fe, Ni, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu 및 Au로 이루어지는 그룹으로부터 선택된 하나 또는 복수의 원소이다.
- [0057] 또한, 상기 막 표면의 상태의 극히 양호한 데이터는 AFM(원자력 현미경)을 사용하여 본 발명의 결정 구조를 가지는 반도체 막에 대하여 얻어지고, 동시에 우수한 평탄도에 관한 데이터가 얻어진다. 결정화를 촉진하는 금속 원소가 사용되지 않는 경우에, 리지들(극미한 볼록부들이 연속적으로 연장하는 부분)에 둘러싸인 거북등 패턴이 형성된다. 그러나, 결정화를 촉진하는 금속 원소를 사용하여 결정화가 수행되는 본 발명의 결정 구조를 가지는 반도체 막의 표면 상태로서, 도 3에 도시된 바와 같은 다수의 방향으로 연장하는 리지들에 의해 분할되는, 다수의 영역들이 존재하는 불규칙한 망상 패턴이 관찰될 수 있다. 리지들(평탄부 및 오목부)에 의해 끼이는 영역들은 동일 결정 배향을 가지는 결정 입자들의 집합(도메인이라고도 지칭함)에 양호하게 대응한다.
- [0058] 본 발명의 반도체 막은 도 3에 도시된 바와 같이 반도체 막 표면에 불규칙한 망상 패턴을 가진다. 리지 형상으로 외향 연장하는 볼록부를 가지는 리지들은 다수의 방향으로 분기하며, 리지들에 의해 막히지 않는 하나 이상의 경로가, 리지들에 의해 불규칙적으로 끼인 평탄부들과 오목부들을 포함하는 영역에서 2개의 임의의 점들 사이에 존재한다. 리지들은 레이저 광 조사를 복수회 수행하는 것에 의해 형성되는 것을 유념해야 한다.
- [0059] 또한, 불규칙한 망상 패턴을 형성하는 것과 함께 리지 형상으로 외향 연장하는 볼록부를 가지는 리지들은 개별 도메인 경계들에 거의 대응하는 위치에 형성된다. 거의 대응하는 개별 도메인 경계들과 리지들은 유니크 그레이인 맵핑(unique grain mapping)이라 지칭되는 방법에 의해 검증될 수 있다(전자 빔이 샘플 위에 스캐닝되고, 각 점

에서 발견된 결정 배향으로부터 영역들이 분류되며, 여기서, 결정 배향들은 각 측정 점들에서의 2개의 이웃한 점들 사이에  $15^\circ$  미만의 각도 변위를 가진다). 여기서, SEM 관찰 사진과 반사 전자 회절 패턴(EBSP)은 동일 영역에서의 분석에 사용된다. 즉, 리지들에 의해 불규칙적으로 끼인 평탄부들과 오목부들을 포함하는 영역에서의 2개의 임의의 점들 사이에 리지들에 의해 막히지 않는 하나 이상의 경로가 존재한다는 사실에 더하여, 도메인 경계들에 의해 끼인 영역에서의 임의의 2점들 사이에는, 결정 배향에서의 인접하는 점들 사이의 변위가  $15^\circ$  미만인 경로가 존재한다. 이러한 것은 우수한 전기적 특성들, 특히, 우수한 전계 효과 이동도를 가지는 반도체 막을 획득하는 원인이 되는 것으로 예상될 수 있다.

[0060] 또한, 상기의 표면 상태 및 결정 배향 특징은 본 발명의 특징이며, 다른 방법에 의해 얻어지지 않는다. 상기 특징은 결정화를 촉진하기 위한 금속 원소(전형적으로 니켈)를 첨가한 후에, 열처리를 수행하는 것에 의해 결정화하고, 부가하여, 제 1 레이저 광의 조사를 수행한 후에 상기 반도체 막 표면상의 산화막을 제거하고, 불활성 기체 또는 진공 분위기 하에서 레이저 광을 조사하는 것에 의해 결정 구조를 가지는 상기 반도체 막의 표면을 평탄화하여 초기에 볼 수 있다.

또한, 상술된 반도체 막에서, 금속 원소는  $1 \times 10^{16}/\text{cm}^2$  내지  $5 \times 10^{18}/\text{cm}^2$ 의 농도로 상기 막 내에 포함된다. 또한, 상기 반도체 막은  $2\text{nm}$  이하의 평균 표면 거칠기( $\text{Ra } \text{\AA}$ )를 가지는 평탄면이다.

[0061] 또한, 상기 반도체 막은 상기 반도체 장치의 일부로서, 예를 들어 TFT의 활성층으로서 상기 반도체 막을 사용하여 얻어질 수 있다.

본 발명의 반도체 장치의 일 양태는 채널 형성 영역, 드레인 영역 및 소스 영역을 가지는 반도체 층; 게이트 절연막; 및 게이트 전극을 가지는 TFT를포함하는 반도체 장치로서,

[0062] 상기 반도체 층의 표면은 불규칙한 망상 패턴을 가지고;

[0063] 리지 형상으로 외향으로 연장하는 볼록부들을 가지는 리지들은 다수의 방향으로 분기하고,

[0064] 상기 리지들에 의해 막히지 않는 하나 이상의 경로가 상기 리지들에 의해 불규칙적으로 끼인 평탄부들을 포함하는 영역에서의 2개의 임의의 점들 사이에 제공된다. 금속 원소는  $1 \times 10^{16}/\text{cm}^2$  내지  $5 \times 10^{18}/\text{cm}^2$ 의 농도로 상기 반도체 층 내에 포함된다. 또한, 반도체 층은  $2\text{nm}$  이하의 평균 표면 거칠기( $\text{Ra } \text{\AA}$ )를 가지는 평탄면이다.

[0065] 결정화가 종래의 고상 성장법에 의해 수행되는 경우의 결정 구조는 쌍정 구조로 되며, 반도체 막은 결정 입자들 내에 많은 수의 쌍정 결합들을 포함한다. 대조적으로, 복수의 기동 형상 결정 입자 집합들(도메인들)이 본 발명에 의해 얻어진 반도체 막내에 형성되며, 특정 결정 입자 집합(도메인) 내의 모든 결정 입자들은 동일 결정 배향을 가지는 것으로 고려된다. 결정 입자 집합(도메인)은 대략  $1\mu\text{m}$  이상이며, 큰 것은 수십 마이크로미터의 크기를 가진다.

[0066] 또한, 하나의 도메인내의 입자 경계들에 포함된 결합들(실리콘의 미결합 화학손들)의 수는 종래의 고상 성장법 등에 의해 얻어진 결정 경계들에 비해 극히 적고 전기적 배리어도 작다. 즉, 하나의 도메인의 내부는 거의 단결정에 근접하고, 도메인 크기가 보다 커질수록 막 특성들이 보다 우수해지는 것으로 생각된다.

[0067] 인접하는 결정 집합(도메인)이라는 용어는 집합들 사이의 경계(미소 볼록부들이 연속적으로 연장하는 부분)에서 상이한 배향을 가지는 집합들을 지칭한다. 유사하게, 표면 상태는 SEM 관찰을 사용하여 얻어질 수도 있다.

[0068] 도 3은 열처리를 사용하는 것에 의해 결정화를 수행한 후에, 막 내로 산소를 도입하는 공정으로서 산소를 함유하는 분위기 하에서 레이저 광을 조사하고, 표면상의 산화막을 제거하고, 질소 분위기 하에서 레이저 광을 조사하는 것에 의해 평탄화를 수행한 후의 AFM 관찰을 도시하는 도면이다. 한편, 도 2는 열처리를 사용하여 결정화를 수행한 후, 막 내로 산소를 도입하기 위한 공정으로서 산소를 함유하는 분위기 하에서 레이저 광을 조사한 후의 AFM 관찰을 도시하는 도면이지만, 도메인 경계를 구분하기가 어렵다. 상술한 바와 같이, 개별 도메인 경계들은 표면상의 산화막을 제거하고, 그 후, 불활성 기체 또는 진공 분위기 하에서 레이저 광을 조사하는 것에 의해 AFM 및 SEM에 의해 확인될 수 있다. 막 표면을 평탄하게 만들고 개별 도메인이 명료하게 가시화되도록 하는 것을 제외하면, 불활성 기체 또는 진공 분위기 하에서의 레이저 광 조사는 상기 반도체 막 또는 결정 상태에 거의 어떠한 변화도 유발하지 않는다. 즉, 본 발명에 의해 얻어진 도메인의 크기는 불활성 기체 또는 진공 분위기 하에서의 레이저 광의 조사 이전에 수행되는 공정들(비정질 구조를 가지는 반도체 막을 형성하고, 결정화를 위해 열처리를 수행하며, 산소 도입을 위한 공정을 수행하는 등의 공정)에 의해 결정된다.

## 발명의 구성 및 작용

- [0069] [실시 형태]
- [0070] 본 발명의 실시 형태가 설명된다.
- [0071] 본 발명의 결정 구조를 가지는 반도체 막을 제조하는 예가 도 1a 내지 도 1f에 도시되어 있다.
- [0072] 비정질 구조를 가지는 반도체 막(11)이 먼저 기판(10)상에 형성된다(도 1a 참조). 유리 기판, 석영 기판 및 실리콘 기판이 기판(10)으로서 사용될 수 있으며, 그 표면상에 형성된 절연막을 가지는 금속 기판 또는 스테인레스강 기판으로서 사용될 수 있다. 또한, 공정 온도를 견딜 수 있는 내열성을 가지는 플라스틱 기판도 사용될 수 있다.
- [0073] 베이스 절연막은 기판(10)으로부터의 불순물의 확산을 방지하기 위해 필요하면 형성될 수 있으며, 비정질 구조를 가지는 반도체 막이 베이스 절연막을 형성하도록 베이스 절연막 상에 형성될 수 있다. 상기 베이스 막은 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막과 같은 절연막으로 형성될 수 있다. 유리 기판이 사용되는 경우에, 베이스 절연막을 형성하는 것이 바람직하다.
- [0074] 또한, 비정질 구조를 가지는 상기 반도체 막(11)은 주요 성분으로서 실리콘을 가지는 반도체 재료를 사용한다. 비정질 실리콘 막, 비정질 실리콘 게르마늄막 등이 통상적으로 응용되고, 플라스마 CVD를 사용하여 10 내지 100 nm의 두께로 형성된다. 막 형성 후에 비정질 구조를 가지는 상기 반도체 막(11) 내에 포함된 산소 농도가  $1 \times 10^{18} / \text{cm}^3$  내지  $4 \times 10^{18} / \text{cm}^3$ , 대략  $3 \times 10^{18} / \text{cm}^3$ (SIMS 측정에 의해)인 것이 매우 중요하다.
- [0075] 다음에, 결정화는 비정질 구조를 가지는 상기 반도체 막을 결정화하기 위한 방법으로서 JP 8-78329 A에 개시된 기술을 사용하여 수행된다. JP 8-78329에 개시된 기술은 결정화를 촉진하는 금속 원소가 비정질 실리콘 막에 선택적으로 첨가되고, 결정 구조를 가지는 반도체 막이 형성되며, 금속 원소가 첨가된 영역이 결정화 원점으로서 작용하여 결정 구조가 확산하는 것이다. 먼저, 결정화를 촉진하는 촉매 작용을 가지는 금속 원소(여기서는 니켈)를 1 내지 100ppm 중량으로 함유하는 니켈 아세테이트 용액이 스핀너(spinner)에 의해 적용되어, 니켈 함유층(12)을 형성한다. 스핀팅, 증착법 또는 플라스마 처리에 의해 극히 얇은 막을 형성하는 수단은 도포법에 의해 니켈 함유층(12)을 형성하는 대신의 다른 수단으로서 사용될 수 있다. 또한, 비록 상기 용액이 여기에 도시된 예에서 전체 표면에 도포되지만, 니켈 함유층(12)은 마스크를 사용하여 선택적으로 형성될 수도 있다(도 1b 참조).
- [0076] 다음에 열처리가 수행되고, 따라서, 결정화가 수행된다(도 1c 참조). 이 경우에, 실리사이드가 상기 반도체의 결정화를 촉진하는 금속 원소를 접촉하는 상기 반도체 막의 부분에 형성되고, 결정화는 실리사이드를 핵으로 하여 진행한다. 따라서, 결정 구조를 가지는 반도체 막(13)이 형성된다. 반도체 막(13) 내에 포함된 산소의 농도는 열처리에 의한 결정화 전후에 거의 변화하지 않으며, 이 농도는  $5 \times 10^{18} / \text{cm}^3$  미만인 것이 바람직하다. 탈수를 위한 열처리(1시간 동안 450°C에서)를 수행한 후에, 결정화를 위한 열처리가 수행된다(4 내지 24시간 동안 550°C에서). 또한, 강한 광에 대한 노광에 의해 결정화를 수행하는 경우에, 적외선광, 가시광, 자외선광 또는 이들의 조합을 사용하는 것이 가능하다. 통상적으로, 할로겐 램프, 금속 할라이드 램프, 제논 아크 램프, 카본 아크 램프, 고압 소듐 램프, 또는 고압 수은 램프로부터 방출된 광이 사용된다. 열처리는 램프 광원을 1 내지 60초, 바람직하게는 30 내지 60초 동안 점등하고, 이를 1 내지 10회 반복하는 것에 의해 수행되어서, 상기 반도체 막은 600 내지 1000°C 정도의 온도로 순간적으로 가열된다. 필요시, 비정질 구조를 가지는 상기 반도체 막 내에 포함된 수소를 배출하기 위한 열처리가 강한 광에 대한 노광 이전에 수행될 수 있다. 또한, 결정화는 강한 광에 대한 노광과 열처리를 동시에 사용하여 수행될 수도 있다. 생산성을 고려할 때, 강한 광에 대한 노광을 수행하는 것에 의해 얇은 시간에 결정화를 수행하는 것이 바람직하다.
- [0077] 금속 원소(여기서는 니켈)는 이렇게 얻어진 결정 구조를 가지는 반도체 막(13)에 잔류한다. 금속 원소가 상기 막 내에 균일하게 분포되지 않는 경우에서도, 금속 원소는  $1 \times 10^{19} / \text{cm}^3$ 를 초과하는 평균 농도로 잔류한다. 물론 이러한 상태에서 TFT와 같은 모든 유형의 반도체 소자들을 형성하는 것이 가능하지만, 금속 원소는 공지된 게터링 방법을 사용하여 또한 제거될 수 있다.
- [0078] 비록 도면에 도시되지는 않았지만, 얇은 산화막(자연 산화막 포함)이 상술한 열처리로 인해 상기 반도체 막(13) 상에 형성된다.
- [0079] 상기 막 내로 산소를 도입하는 공정은 불화수소산 등을 사용하여 상기 반도체 막 상의 산화막을 제거한 후에 수

행된다(도 1d 참조)

- [0080] 상기 막 내로 산소를 도입하는 방법으로서, 산화막(도면에는 미도시)은 상기 표면상에 형성되고, 그 후, 레이저 광이 불활성 기체 또는 진공 분위기 하에서 조사될 수 있으며, 그러므로 결정 구조를 가지는 반도체 막(14a)의 산소 농도를  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ , 바람직하게는  $2 \times 10^{19} / \text{cm}^3$ 로 설정할 수 있다. 산화막은 일반적으로 오존수를 사용하여 표면상에 형성될 수 있다. 또한, 산화막을 형성하는 다른 방법으로서, 오존은 산소 분위기 하에서 자외선광을 조사하는 것에 의해 형성되고, 그러므로 상기 반도체 막의 표면을 산화시킬 수 있다. 부가하여, 1 내지 10nm 정도의 산화막은 플라스마 CVD, 스퍼터링, 증착법 등의 다른 산화막을 형성하는 방법에 의해 증착될 수 있다.
- [0081] 대안적으로, 상기 막 내의 산소 농도는 반도체 막 내로 산소를 도입하는 다른 공정으로서 산소 또는 물 분자를 함유하는 분위기 하에서 레이저 광을 조사하는 것에 의해  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ 로 설정될 수 있다.
- [0082] 대안적으로, 상기 반도체 막 내로 산소를 도입하기 위한 다른 공정으로서, 산소는 온 도핑 또는 이온 주입에 의해 첨가될 수 있어서, 상기 반도체 막 내의 산소의 농도는  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ 로 되고, 그 후, 레이저 광 조사가 불활성 기체 또는 진공 분위기 하에서 수행되고, 그러므로 상기 막 내의 산소 농도가  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ 로 설정된다. 이온 도핑 또는 이온 주입이 사용되면, 상기 막 내의 산소 농도는 자유롭게 설정될 수 있으며, 도입 동안 상기 막에 부과되는 손상은 레이저 광에 의해 나중에 복구될 수 있다.
- [0083] 비정질 구조를 가지는 상기 반도체 막을 결정화할 때, 막내에 가능한 작은 산소가 포함되지 않는 것이 필요하지만, 레이저 조사 동안 다량의 산소가 존재할 때 양호한 결정이 용이하게 형성되고, TFT의 활성층으로서 결정화된 막을 사용할 때, 전계 효과 이동도와 같은 TFT 전기적 특성의 높은 값이 나타난다.
- [0084] 산소 함유 분위기 하에서의 레이저 광 조사( $452.5 \text{mJ/cm}^2$ ) 후에 AFM에 의해 관찰된 도면이 도 2에 도시되어 있다. AFM에서, Ra가 10.49nm이고, Rms가 12.97nm이며, P-V 값이 91.32nm인  $4\mu\text{m} \times 4\mu\text{m}$  영역이 도시되어 있다. 레이저 광 조사 전에 반도체 막의 두께는 약 50nm인 것을 고려하면, 극히 큰 거칠기가 레이저 광 조사에 의해 형성된다.
- [0085] 또한, 상기 표면상의 산화막은 산소 도입 공정 전에 제거되지만, 레이저 광 조사 또는 산소 도입 공정은 산화막을 제거하지 않고 수행될 수도 있다.
- [0086] 얇은 산화막(도면에는 미도시)은 산소를 도입하는 공정 동안 레이저 광을 조사할 때 질소 분위기 또는 진공에서의 소량의 산소로 인해 형성된다. 또한, 레이저 광이 조사되지 않는 경우에도, 대기와 접촉하면 자연 산화막(도면에는 미도시)이 형성된다.
- [0087] 상기 반도체 막 표면상의 산화막(자연 산화막 포함)은 다음에 희석된 불화수소산 등에 의해 제거되며, 결정 구조를 가지는 반도체 막(14b)이 얻어진다(도 1e 참조).
- [0088] 레이저 광( $430$  내지  $560 \text{mJ/cm}^2$ )은 그 후 질소 또는 진공 분위기 하에서 결정 구조를 가지는 반도체 막(14b) 상에 조사된다(도 1f 참조). 레이저 광이 산소를 도입하는 공정인 이전의 공정에서 조사되는 경우에, 산소 도입 공정에 사용된 에너지 밀도가 도 1f에 사용된 레이저 광의 에너지 밀도 보다 30 내지  $60 \text{mJ/cm}^2$ ( $400$  내지  $500 \text{mJ/cm}^2$  사이) 만큼 작게 설정되면, 리지들은 감소되고, 즉, 리지들은 평탄화된다. 따라서, 평탄화된 반도체 막 표면에서의 Ra의 값은 2nm 이하가 되고, Rms의 값은 2nm 이하가 되며, 불균일성의 P-V의 값은 50nm 이하가 될 수 있다.
- [0089] 질소 함유 분위기 하에서의 레이저 광 조사( $501 \text{mJ/cm}^2$ ) 후에 AFM에 의한 관찰이 수행된 도면이 도 3에 도시되어 있다. 도 3에 도시된 AFM에서, Ra가 2.137nm이고, Rms가 2.613nm이며, P-V-값이 20.23nm인  $4\mu\text{m} \times 4\mu\text{m}$  영역상의 데이터가 도시되어 있다.
- [0090] 또한, 각각 제 1 레이저 광 조사 후와 제 2 레이저 광 조사 후에 AFM에 의해 측정된 반도체 막의 표면 거칠기(P-V 값, Ra 및 Rms)에 대한 실험 결과들이 표 1에 도시되어 있다.

## 표 1

	P-V값(nm)		Ra값(nm)		Rms값(nm)		
	AFM 측정 영역( $\mu\text{m}$ )	4x4	50x50	4x4	50x50	4x4	50x50
제 1 레이저 조사 후		91.32	102.38	10.49	8.32	12.97	10.21
제 2 레이저 조사 후		20.23	36.45	2.14	1.29	2.61	1.73

[0092] 표 1에서, Ra가 1.29nm, Rms가 1.73nm 및 P-V 값이 36.45nm인  $50\mu\text{m} \times 50\mu\text{m}$  영역 상의 데이터가 도시되어 있음을 유념하여야 한다.

[0093] 복수의 기둥 형상 결정 입자 집합들(도메인들)은 이렇게 얻어진 결정 구조를 가지는 반도체 막(15)에 형성된다. 특정의 결정 입자 집합(도메인)에 있는 모든 결정 입자는 동일 결정 배향을 가지는 것으로 고려되며, 결정 입자의 집합(도메인)의 크기는 약  $1\mu\text{m}$  이상이고, 큰 집합들은 수십 마이크로미터의 크기를 가진다. 전계 효과 이동도와 같은 우수한 TFT 특성을 가지는 TFT는 활성층으로서 이 결정 구조를 가지는 상기 반도체 막(15)을 사용할 때 얻어질 수 있다.

[0094] 본 명세서에서 사용되는 "활성층"이라는 용어는 최소 채널 형성 영역, 소스 영역, 및 드레인 영역을 가지는 TFT에서의 반도체 층을 지시한다.

[0095] 또한, 비교를 위해, 각각 금속 원소의 첨가 없이 열처리를 수행하는 것에 의한 결정화 후에, 제 1 레이저 광 조사 후와 제 2 레이저 광 조사 후에 유사하게 AFM에 의해 측정된 반도체 막의 표면 거칠기(P-V 값, Ra, Rms)에 대한 실험 결과들이 표 2에 도시되어 있다.

## 표 2

AFM 측정 영역( $\mu\text{m}$ )	P-V값(nm)		Ra값(nm)		Rms값(nm)	
	4x4	50x50	4x4	50x50	4x4	50x50
제 1 레이저 조사 후	79.59	81.12	11.09	8.64	13.36	10.38
제 2 레이저 조사 후	30.78	110.65	2.92	1.74	3.57	2.28

[0097] 표 1 및 표 2로부터, 금속 원소의 첨가 후 결정화가 수행될 때, 레이저 광 조사 후에 우수한 평탄도가 얻어질 수 있다는 것을 알 수 있다. 특히, 20.23nm의 P-V값, 1.29nm의 Ra 및 1.73nm의 Rms를 가지는 극히 양호한 평탄도가 제 2 레이저 광 조사 후에 얻어진다.  $4\mu\text{m} \times 4\mu\text{m}$  및  $50\mu\text{m} \times 50\mu\text{m}$ 의 측정 영역들을 사용하여 측정이 수행되었다는 것을 인지하여야 한다. 그러나, 표 2의  $50\mu\text{m} \times 50\mu\text{m}$  영역에서의 제 2 레이저 광 조사 후에 P-V값은 비정상적이며, 신뢰성이 있는 값으로 볼 수 없다.

[0098] 또한, 비록, 반도체 막이 제 1 레이저 광을 사용하여 결정화를 수행한 후에 제 2 레이저 광을 조사하는 것에 의해 평탄화되는 것이 JP-2001-60551 A에 기술되었을지도, 상술한 금속 원소를 첨가하는 것에 의해 평탄도를 증가시키는 것에 대해서는 어떠한 언급도 없다. 본 발명은 완전히 신규한 발명이다.

[0099] 상술한 구조를 가지는 본 발명은 실시예를 사용하여 아래에 보다 상세히 설명된다.

[0100] [실시예]

제 1 실시예

[0102] 본 발명의 실시예가 도 4a 내지 도 4d, 도 5a 내지 도 5c 및 도 6을 참조로 설명된다. 여기에서, 동일 기판상에 화소부의 주변에 제공된 구동 회로의 TFT(n-채널 TFT 및 p-채널 TFT)와 화소부를 동시에 제조하는 방법이 상세히 설명된다.

[0103] 먼저, 베이스 절연막(101)이 기판(100)상에 형성되고, 결정 구조를 가지는 제 1 반도체 막이 상술한 실시 형태에 따라 얻어진다. 그 후, 상기 반도체 막은 섬 형상으로 서로 분리된 반도체 층(102 내지 106)들을 형성하기 위해 필요한 형상을 가지고도록 예치된다.

[0104] 유리 기판(#1737)이 기판(100)으로서 사용된다. 베이스 절연막(101)을 위하여, 원료 가스로서  $\text{SiH}_4$ ,  $\text{NH}_3$ , 및  $\text{N}_2\text{O}$ 로 형성된 산화 질화 실리콘 막(101a, 조성비 : Si=32%, O=27%, N=24%, H=17%)이 50nm(양호하게는 10 내지 200nm)의 두께로, 플라스마 CVD를 사용하여  $400^\circ\text{C}$ 의 막 증착온도에서 형성된다. 그 후, 오전수로 표면이 세정된 후에, 상기 표면상의 산화막이 희석 불화수소산(1/100 희석)으로 제거된다. 다음에, 원료 가스로서,  $\text{SiH}_4$  및  $\text{N}_2\text{O}$ 로 형성된 하이드리드 산화 질화 실리콘 막(101b, 조성비 : Si = 32%, O=59%, N=7%, H=2%) 100nm(바람직하게는 50 내지 200nm)의 두께로, 플라스마 CVD를 사용하여  $400^\circ\text{C}$ 의 막 증착 온도에서 그 위에 형성되어 적층체를 형성한다. 또한, 대기에 노출시키지 않고, 비정질 구조(이 경우에는 비정질 실리콘 막)를 가지는 반도체 막이 막증착 가스로서  $\text{SiF}_4$ 로 54nm의 두께로, 플라스마 CVD를 사용하여  $300^\circ\text{C}$ 의 막 증착 온도에서 형성된다.

- [0105] 비정질 구조를 가지는 반도체 막의 산소 농도가  $1 \times 10^{18}$  내지  $4 \times 10^{18} / \text{cm}^3$ 의 범위에 있는 것이 바람직하다.
- [0106] 본 실시예에서, 상기 베이스막(101)은 2층 구조의 형태로 예시되어 있지만, 절연막의 단일 층 또는 절연막의 둘 이상의 층들이 적층되는 구조도 채택될 수 있다. 또한, 상기 반도체 막의 재료에는 제한이 없다. 그러나, 상기 반도체 막은 바람직하게 공지된 수단(스퍼터링, LPCVD, 플라스마 CVD 등)을 사용하여 실리콘 또는 실리콘 게르마늄( $\text{Si}_x\text{Ge}_{1-x}$ ( $X=0.0001$  내지 0.02)) 합금으로 형성될 수 있다. 또한, 플라스마 CVD 장치는 단일 웨이퍼형의 것 또는 배치(batch)형의 것일 수 있다. 부가적으로, 상기 베이스 절연막과 상기 반도체 막은 대기에 노출되지 않고 동일 성막실에서 연속적으로 형성될 수 있다.
- [0107] 이어서, 비정질 구조를 가지는 상기 반도체 막의 표면이 세정된 후에, 약 2nm의 두께를 가지는 극히 얇은 산화막이 오존수로부터 표면상에 형성된다.
- [0108] TFT의 임계값을 제어하기 위하여, 미량의 불순물 원소(붕소 또는 인)의 도핑(또한, 소위 채널 도핑)이 수행될 수 있다. 도핑을 수행하는 경우에, 예를 들어, 디보란( $\text{B}_2\text{H}_6$ )이 대량 분리 없이 플라스마 여기되는 이온 도핑법이 사용될 수 있고, 붕소는 15kV의 가속 전압; 수소로 1%로 희석된 디보란의 30sccm의 가스 유량;  $2 \times 10^{12} / \text{cm}^3$ 의 투여량의 도핑 조건 하에서, 비정질 실리콘 막에 첨가된다.
- [0109] 그 후, 중량이 10ppm의 니켈 함유 니켈 아세테이트염 용액이 스피너를 사용하여 도포된다. 도포 대신에, 스퍼터링에 의해 전체 표면에 니켈 원소를 확산하는 방법도 사용될 수 있다.
- [0110] 그 후, 결정화를 수행하기 위해 열처리가 수행되어, 결정 구조를 가지는 반도체 막이 형성된다. 강한 광의 조사나 전기로를 사용하는 열처리가 이 열처리를 위해 수행될 수 있다. 전기로를 사용하는 열처리의 경우에, 이는 500 내지 650°C에서 4 내지 24 시간 동안 수행될 수 있다. 여기서, 탈수를 위한 열처리(1시간 동안 500°C에서)가 수행된 후에, 결정화를 위한 가열 공정(4시간 동안 550°C에서)이 수행되고, 이에 의해, 결정 구조를 가지는 실리콘 막이 얻어진다. 비록, 결정화가 노를 사용한 열처리를 사용하여 수행될지라도, 결정화는 램프 어닐링 장치에 의해 수행될 수 있다.
- [0111] 다음에, 결정 구조를 가지는 상기 실리콘 막의 표면상의 산화막이 희석 불화 수소산 등에 의해 제거된 후에, 상기 막 내로 산소를 도입하는 공정이 수행된다. 제 1 실시예에서, 오존수로 얇은 산화막(1-10nm의 두께)을 형성한 후에, 레이저 광( $452.5 \text{mJ/cm}^2$ 의 에너지 밀도 및 30Hz의 반복 주파수를 가지는 엑시머 레이저)가 질소 분위기에서 조사된다. 산소 도입 공정에 따라서, 결정 구조를 가지는 상기 반도체 막에서의 산소 농도가  $5 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{21} / \text{cm}^3$ , 양호하게는,  $2 \times 10^{19} / \text{cm}^3$  이상의 범위에서 할당된다.
- [0112] 또한, 400nm 이하의 파장을 가지는 엑시머 레이저 광 또는 YAG 레이저의 제 2 고조파 또는 제 3 고조파가 레이저 광을 위해 사용될 수 있다. 이 경우에, 약 10 내지 1000Hz의 반복 주파수를 가지는 펄스 레이저 광이 사용되며, 이 펄스 레이저 광은 10 내지 500mJ/cm<sup>2</sup>으로 광학 시스템에 의해 집광되고, 조사는 90 내지 95%의 오버랩 비(overlap ratio)로 수행되며, 이에 의해, 상기 실리콘 막 표면이 스캐닝될 수 있다. 엑시머 레이저 광은 펄스 발진형인 것으로 한정되지 않으며, 연속 발진형인 것 또한 사용될 수 있다.
- [0113] 다음에, 상기 레이저 광 조사에 의해 형성된 상기 산화막이 희석 불화 수소산에 의해 제거된 후에, 레이저 광 조사가 다시 질소 분위기 또는 진공에서 수행되어, 상기 반도체 막 표면을 평탄화한다. 제 1 실시예에서, 레이저 광(30Hz의 반복 주파수와, 501mJ/cm<sup>2</sup>의 에너지 밀도를 가지는 엑시머 레이저 광)은 질소 분위기에서 조사된다. 평탄화된 반도체 막 표면을 AFM을 통해 측정하는 것에 의해, Ra는 2nm이하가 되고, Rms는 2nm 이하가 되며, 불평탄도의 P-V 값은 50nm 이하가 된다.
- [0114] 다음에, 표면이 오존수로 120초 동안 처리되고, 이에 의해, 전체 1 내지 5nm의 두께를 가지는 산화막으로 구성된 배리어 층을 형성한다.
- [0115] 그 후, 게터링 위치가 되는 아르곤 원소를 함유하는 비정질 실리콘 막이 스퍼터링에 의해 150nm의 두께를 갖도록 상기 배리어 층 상에 형성된다. 본 실시예에서 스퍼터링을 사용한 막 증착 조건은 0.3Pa의 막 증착 압력, 50sccm의 가스 (Ar) 유량, 3kW의 막 증착 전력 및 150°C의 기판 온도이다. 상술한 조건들 하에서, 상기 비정질 실리콘 막에 함유된 아르곤 원자의 원자 농도는  $3 \times 10^{20} / \text{cm}^3$  내지  $6 \times 10^{20} / \text{cm}^3$ 이며, 산소의 원자 농도는  $1 \times 10^{19} / \text{cm}^3$  내지  $3 \times 10^{19} / \text{cm}^3$ 이다. 그 후, 650°C에서 3분 동안의 열처리는 게터링을 수행하도록 램프 어닐링 장치를 사용하여 수행

된다.

[0116] 이어서, 게터링 위치인 아르곤 원소를 함유하는 비정질 실리콘 막이 상기 배리어 층을 에칭 스토퍼로 하여 선택적으로 제거되고, 그 후, 배리어 층은 회석 불화수소산으로 선택적으로 제거된다. 니켈이 게터링시에 높은 산소 농도를 가지는 영역을 이동하기 쉬운 경향을 가지며, 따라서, 산화막으로 구성된 배리어 층이 게터링 후에 제거되는 것이 바람직하다는 것을 인지하여야 한다.

[0117] 또한, 비록 아르곤을 함유하는 반도체 막이 게터링 위치로서 만들어지고 이에 의해 게터링이 수행되는 예가 예시되었지만, 인 또는 붕소를 함유하는 반도체 막이 사용될 수도 있다. 또한, 대안적으로 게터링 위치가 인 또는 붕소를 도핑하는 것에 의해 형성되고, 이에 의해, 열처리를 수행하는 것으로 게터링이 수행되고, 게터링은 할로겐 가스 분위기에서 열처리를 수행함으로써 수행될 수 있는, 다른 게터링 방법들이 사용될 수 있다.

[0118] 그 후, 얇은 산화막이 획득된 결정 구조를 가지는 실리콘 막(또한, 폴리실리콘 막이라고도 지칭)의 표면에서 오존수로 형성된 후에, 레지스트로 만들어진 마스크가 형성되고, 필요한 형상을 얻도록 에칭 공정이 수행되며, 이에 의해, 서로 분리된 섬 형상 반도체 층(102)이 형성된다. 상기 반도체 층의 형성 후에, 레지스트로 만들어진 마스크가 제거된다.

[0119] 그 후, 산화막이 불화수소산을 포함하는 에칭제로 제거되고, 동시에, 산화 실리콘 막의 표면이 세정된다. 그 후, 게이트 절연막(107)이 되는 그 주 성분으로서 실리콘을 함유하는 절연막이 형성된다. 본 실시예에서, 산화 질화 실리콘 막(조성비 : Si=32%, O=59%, H=7%, H<sub>2</sub>=2%)이 플라스마 CVD에 의해 115nm의 두께로 형성된다.

[0120] 다음에, 도 4a에 도시된 바와 같이, 게이트 절연막(107) 상에, 20 내지 100nm의 두께를 가지는 제 1 도전막(108a)과 100 내지 400nm의 두께를 가지는 제 2 도전막(108b)이 적층체로 형성된다. 본 실시예에서, 50nm의 두께의 질화 탄탈륨 막과 370nm 두께의 텅스텐 막이 게이트 절연막(107) 상에 연속적으로 적층된다.

[0121] 제 1 도전막과 제 2 도전막을 형성하기 위한 도전성 재료로서, Ta, W, Ti, Mo, Al 및 Cu 또는 상기 원소를 주성분으로 함유하는 합금 재료나 화합물로 이루어진 그룹으로부터 선택된 원소가 사용된다. 또한, 인 같은 불순물 원소로 도핑된 다결정 실리콘 막에 의해 대표되는 반도체 막이나, AgPdCu 합금이 제 1 도전막 및 제 2 도전막으로서 사용될 수 있다. 또한, 본 발명은 2층 구조에 한정되지 않는다. 예를 들어, 50nm 두께의 텅스텐 막과 500nm 두께의 알루미늄 및 실리콘(AI-Si) 합금막 및 30nm 두께의 질화 티타늄 막이 순차 적층되는 3층 구조가 사용될 수 있다. 또한, 3층 구조의 경우에, 질화 텅스텐이 제 1 도전막의 텅스텐 대신 사용되고, 알루미늄 티타늄(AI-Ti) 합금막이 제 2 도전막의 알루미늄 실리콘(AI-Si) 합금막 대신 사용될 수 있으며, 티타늄 막이 제 3 도전막의 질화 티타늄 막 대신 사용될 수 있다. 부가적으로, 단층 구조도 사용될 수 있다.

[0122] 다음에, 도 4b에 도시된 바와 같이, 마스크(110 내지 115)가 노광 단계에 의해 형성되고, 게이트 전극 및 배선을 형성하기 위한 제 1 에칭 공정이 수행된다. 제 1 에칭 공정은 제 1 및 제 2 에칭 조건들로 수행된다. ICP(유도 결합 플라스마) 에칭법이 에칭 공정에 사용되는 것이 적합하다. ICP 에칭법이 사용되고, 에칭 조건(코일형 전극에 적용된 전기 에너지, 기판측의 전극에 인가된 전력량, 기판측의 전극의 온도 등)이 적절히 조절되어, 막이 필요한 테이퍼 형상을 갖도록 에칭된다. Cl<sub>2</sub>, BCl<sub>2</sub>, SiCl<sub>4</sub> 및 CCl<sub>4</sub>로 대표되는 염소 기반 가스, CF<sub>4</sub>, SF<sub>6</sub> 및 NF<sub>3</sub>로 대표되는 불소 기반 가스, 및 O<sub>2</sub>가 에칭 가스로서 적절히 사용될 수 있다는 것을 인지하여야 한다.

[0123] 본 실시예에서, 150W의 RF(13.56MHz) 전력이 또한 기판(샘플 스테이지)에 인가되어, 실질적으로 음의 자기 바이어스 전압을 인가한다. 제 1 에칭 조건에서, W 막은 제 1 도전층의 단부 부분들을 테이퍼 형상으로 형성하도록 에칭된다. 제 1 에칭 조건하에서, W에 대한 에칭 속도는 200.39nm/min, TaN에 대한 에칭 속도는 80.32nm/min이며, W에 대한 TaN의 선택비는 약 2.5이다. 또한, 제 1 에칭 조건에서 W의 테이퍼각은 약 26°이다. 그 후, 제 1 에칭 조건들은 레지스트로 만들어진 마스크(110 내지 115)들을 제거하지 않고 제 2 에칭 조건들로 변경된다. CF<sub>4</sub>와 Cl<sub>2</sub>가 에칭 가스로서 사용되며, 가스 유량은 30/30sccm으로 설정되고, 500W RF(13.56MHz) 전력은 1Pa의 압력으로 코일형 전극에 인가되어 플라스마를 발생시키며, 그에 의해, 약 30초 동안 에칭을 수행한다. 또한, 20W RF(13.56MHz) 전력이 기판측(샘플 스테이지)에 인가되어, 음의 자기 바이어스 전압을 인가한다. CF<sub>4</sub>와 Cl<sub>2</sub>가 혼합되어 있는 제 2 에칭 조건하에서, W 막과 TaN 막은 양자 모두가 동일한 정도로 에칭된다. 제 2 에칭 조건들에서, W를 위한 에칭 속도는 58.97nm/min이고, TaN을 위한 에칭 속도는 66.43nm/min이다. 게이트 절연막상에 소정의 잔류물이 없이 에칭을 수행하기 위해 에칭 시간은 약 10 내지 20% 증가될 수 있다는 것을 인지하여야 한다.

[0124]

삭제

[0125]

상술한 바와 같은 제 1 에칭 공정에서, 레지스트로 만들어진 마스크의 형상을 적절히 제조하는 것에 의해, 제 1 도전층의 단부 부분 및 제 2 도전층의 단부 부분은 각각 기판측에 인가된 바이어스 전압의 효과로 인해 테이퍼 형상을 가진다. 테이퍼 부분들의 각도는  $15^\circ$  내지  $45^\circ$ 로 충분히 설정된다.

[0126]

그러므로, 제 1 도전층들과 제 2 도전층들(제 1 도전층(117a 내지 122a)과 제 2 도전층(117b 내지 122b))로 구성된 제 1 형상 도전층(117 내지 121)들이 제 1 에칭 공정에 의해 형성된다. 게이트 절연막이 되는 절연막(107)은 약 10 내지 20nm 만큼 에칭되고, 제 1 형상 도전층(117 내지 121)으로 덮여 있지 않은 영역들은 얇아지는 게이트 절연막(116)이 된다.

[0127]

그 후, 레지스트로 이루어진 상기 마스크를 제거하지 않고 제 2 도핑 공정이 수행된다. 여기서, SF<sub>6</sub>, Cl<sub>2</sub> 및 O<sub>2</sub>가 에칭 가스로서 사용되고, 가스 유량은 24/12/24sccm으로 설정되고, 700W RF(13.56MHz) 전력을 1.3Pa의 압력으로 코일형 전극에 인가하여 플라스마를 발생시키고, 그에 의해, 약 25초 동안 에칭이 수행된다. 또한, 10W RF(13.56MHz) 전력이 기판측(샘플 스테이지)에도 인가되어 음의 자기 바이어스 전압을 인가한다. 제 2 에칭 공정에서, W에 대한 에칭 속도는 227.3nm/min, TaN에 대한 에칭 속도는 32.1nm/min이며, W에 대한 TaN의 선택비는 약 7.1이다. SF<sub>6</sub>가 에칭 가스로서 사용되는 경우에, 절연막(116)에 대한 선택비가 상술한 바와 같이 높다. 따라서, 막두께의 감소가 억제될 수 있다. 본 실시예에서, 절연막(116)의 막 두께는 단지 약 8nm만큼 감소된다.

[0128]

제 2 에칭 공정에 의해, W의 테이퍼 각도는  $70^\circ$ 이다. 제 2 에칭 공정에 의해, 제 2 도전층(124b 내지 129b)이 형성된다. 한편, 제 1 도전층들은 거의 에칭되지 않아서, 제 1 도전층(124a 내지 129a)을 형성한다. 제 1 도전층(124a 내지 129a)은 제 1 도전층(117a 내지 121a)과 실질적으로 동일한 크기를 가진다. 실제로, 제 1 도전층의 폭은 약 0.3μm만큼, 즉, 제 2 에칭 공정 이전에 비해 총 라인 폭이 0.6μm만큼 감소될 수 있다. 그러나, 제 1 도전층의 크기는 거의 변화가 없다.

[0129]

또한, 2층 구조 대신, 50nm 두께의 텅스텐막과, 알루미늄과 실리콘(Al-Si)의 500nm 두께의 합금막 및 30nm 두께의 티타늄 질화물 막이 제 1 에칭 공정의 제 1 에칭 조건하에서 순차 적층되는 3층 구조가 적용되는 경우에, 여기서, 제 1 에칭 공정의 제 1 에칭 조건으로서, BC<sub>13</sub>, Cl<sub>2</sub> 및 O<sub>2</sub>가 원료 가스로서 사용되고, 가스의 유량은 65/10/5(sccm)로 설정되며, 450W의 RF(13.56MHz) 전력이 1.2 Pa의 압력으로 코일형 전극에 인가되어 플라스마를 발생시키고, 에칭이 117초 동안 수행된다. 제 1 에칭 공정의 제 2 에칭 조건과 마찬가지로, CF<sub>4</sub>, Cl<sub>2</sub>, 및 O<sub>2</sub>가 사용되고, 가스의 유량은 25/25/10sccm이며, 20W의 RF(13.56MHz) 전력이 기판측(샘플 스테이지)에 인가되며, 500W의 RF(13.56MHz) 전력이 1Pa의 압력으로 코일형 전극에 인가되어 플라스마를 발생시킨다. 상술한 조건들에서, 에칭은 약 30초 동안 수행되는 것으로 충분하다. 제 2 에칭 공정에서, BC<sub>13</sub>와 Cl<sub>2</sub>가 사용되고, 가스의 유량은 20/60sccm으로 설정되며, 100W의 RF(13.56MHz) 전력이 기판측(샘플 스테이지)에 인가되고, 600W의 RF(13.56MHz) 전력이 1.2Pa의 압력으로 코일형 전극에 인가되어 플라스마를 발생시키며, 그에 의해, 에칭을 수행한다.

[0130]

다음에, 레지스트로 이루어진 상기 마스크를 제거하고, 그 후, 제 1 도핑 공정이 도 4d의 상태를 획득하기 위해 수행된다. 상기 도핑 공정은 이온 도핑 또는 이온 주입에 의해 수행될 수 있다. 이온 도핑은  $1.5 \times 10^{14}$  atoms/cm<sup>2</sup>의 투입량과, 60 내지 100keV의 가속 전압의 조건으로 수행된다. n형 도전성을 부여하는 불순물 원소로서, 인(P) 또는 비소(As)가 통상 사용된다. 이 경우에, 제 1 도전층 및 제 2 도전층(124 내지 128)은 n-형 도전성을 부여하는 불순물 원소에 대한 마스크가 되고, 제 1 불순물 영역(130 내지 134)은 자기 정렬 방식으로 형성된다. n-형 도전성을 부여하는 불순물 원소는  $1 \times 10^{16}$  내지  $1 \times 10^{17}$ /cm<sup>2</sup>의 범위의 농도로 제 1 불순물 영역(130 내지 134)에 추가된다. 여기서, 제 1 불순물 영역과 동일 농도 범위를 가지는 영역은 또한 n<sup>-</sup> 영역이라 지칭된다.

[0131]

비록, 제 1 도핑 공정이 본 실시예에서 레지스트로 만들어진 상기 마스크의 제거 후에 수행되었지만, 제 1 도핑 공정은 레지스트로 만들어진 상기 마스크를 제거하지 않고 수행될 수 있다는 것을 인지하여야 한다.

[0132]

이어서, 도 5a에 도시된 바와 같이, 레지스트로 만들어진 마스크(135 내지 137)가 형성되고, 제 2 도핑 공정이 수행된다. 마스크(135)는 구동 회로의 p-채널 TFT를 형성하는 반도체 층의 채널 형성 영역과 그 주변을 위한 마스크이며, 마스크(136)는 구동 회로의 n-채널 TFT들 중 하나를 형성하는 반도체 층의 채널 형성 영역과 그 주변

을 위한 마스크이며, 마스크(137)는 화소부의 TFT를 형성하는 반도체 층의 채널 형성 영역과 그 주변 및 저장 커패시터를 위한 마스크이다.

[0133] 제 2 도핑 공정의 이온 도핑 조건들에서,  $1.5 \times 10^{15}$  atoms/cm<sup>2</sup>의 투입량과, 60 내지 100keV의 가속 전압으로 인(P)이 도핑된다. 여기서, 불순물 영역들이 제 2 도전층(124b)을 마스크로하여 자기 정렬 방식으로 각 반도체 층 내에 형성된다. 물론, 인은 마스크(135 내지 137)로 덮여진 영역에는 추가되지 않는다. 그러므로, 제 2 불순물 영역(138 내지 140)과 제 3 불순물 영역(142)이 형성된다. n-형 도전성을 부여하는 불순물 원소가 제 2 불순물 영역(138 내지 140)에  $1 \times 10^{20}$  내지  $1 \times 10^{21}$ /cm<sup>2</sup>의 농도 범위로 첨가된다. 여기서, 제 2 불순물 영역과 동일 농도 범위를 가지는 영역도 n<sup>+</sup> 영역이라 지칭된다.

[0134] 또한, 제 3 불순물 영역이 제 1 도전층에 의해 제 2 불순물 영역 보다 낮은 농도로 형성되며, n-형 도전성을 부여하는 불순물 원소가  $1 \times 10^{18}$  내지  $1 \times 10^{19}$ /cm<sup>2</sup>의 농도 범위로 첨가된다. 도핑이 테이퍼 형상을 가지는 제 1 도전층의 부분을 통과하여 수행되기 때문에, 제 3 불순물 영역은 불순물 농도가 테이퍼부의 단부 부분을 향해 증가하는 농도 구배를 가진다. 여기서, 제 3 불순물 영역과 동일 농도 범위를 가지는 영역은 n<sup>-</sup> 영역이라 지칭된다. 또한, 마스크(136 및 137)에 의해 덮여진 영역에는 제 2 도핑 공정에서 불순물 원소가 첨가되지 않으며, 제 1 불순물 영역(144 및 145)이 된다.

[0135] 다음에, 레지스트로 만들어진 상기 마스크(135 내지 137)가 제거된 후에, 레지스트로 만들어진 마스크(146 내지 148)가 새롭게 형성되고, 제 3 도핑 공정이 도 5b에 도시된 바와 같이 수행된다.

[0136] 구동 회로에서, 상술한 바와 같은 제 3 도핑 공정에 의해 제 4 불순물 영역(149, 150) 및 제 5 불순물 영역(151, 152)이 형성되고, p-형 도전성을 부여하는 불순물 원소가 p-채널 TFT를 형성하는 반도체 층과, 저장 커패시터를 형성하는 반도체 층에 첨가된다.

[0137] 또한, p-형 도전성을 부여하는 불순물 원소가  $1 \times 10^{20}$  내지  $1 \times 10^{21}$ /cm<sup>2</sup>의 농도 범위로 상기 제 4 불순물 영역(149, 150)에 첨가된다. 상기 제 4 불순물 영역(149, 150)에서, 인(P)이 이전 단계에서 첨가되지만(n<sup>-</sup> 영역), p-형 도전성을 부여하는 불순물 원소가 인의 농도 보다 1.5 내지 3배 높은 농도로 첨가된다. 따라서, 상기 제 4 불순물 영역(149, 150)은 p-형 도전성을 가진다. 여기서, 상기 제 4 불순물 영역과 동일 농도 범위를 가지는 영역도 p<sup>+</sup> 영역이라 지칭된다.

[0138] 또한, 상기 제 5 불순물 영역(151, 152)이 제 2 도전층(125a)의 테이퍼부와 중첩하는 영역에 형성되고, p-형 도전성을 부여하는 불순물 원소가  $1 \times 10^{18}$  내지  $1 \times 10^{20}$ /cm<sup>2</sup>의 농도 범위로 첨가된다. 여기서, 상기 제 5 불순물 영역과 동일 농도 범위를 가지는 영역은 또한 p<sup>-</sup> 영역이라 지칭된다.

[0139] 상술한 단계들을 통해, n-형 또는 p-형 도전성을 가지는 불순물 영역들이 각 반도체 층들에 형성된다. 상기 도전층(124 내지 127)은 TFT의 게이트 전극들이 된다. 도전층(128)은 화소부의 저장 커패시터를 형성하는 전극들 중 하나가 된다. 또한, 반도체 층(129)은 화소부에 있는 소스 배선을 형성한다.

[0140] 다음에, 실질적인 전체 표면을 덮는 절연막(미도시)이 형성된다. 본 실시예에서, 50nm 두께의 산화 실리콘 막이 플라스마 CVD에 의해 형성된다. 물론 절연막은 산화 실리콘 막에 한정되지 않으며, 실리콘을 함유하는 다른 절연막들이 단층 또는 적층체 구조로 사용될 수 있다.

[0141] 그 후, 각 반도체 층에 첨가된 불순물 원소를 활성화시키는 단계가 수행된다. 이 활성화 단계에서, 램프 광원을 사용하는 급속 열간 어닐링(RTA)법, 후면으로부터 엑시머 레이저 또는 YAG 레이저로부터 방출된 광을 조사하는 방법, 노를 사용한 열처리 또는 그 조합이 사용된다.

[0142] 또한, 비록, 활성화 이전에 절연막이 형성되는 예가 본 실시예에 예시되어 있지만, 절연막을 형성하는 단계는 활성화가 수행된 후에 수행될 수 있다.

[0143] 다음에, 제 1 층간 절연막(153)이 절화 실리콘 막으로 형성되고, 열처리(300 내지 550°C, 1 내지 12시간)가 수행되며, 이에 의해, 반도체 층을 수화시키는 단계가 수행된다(도 5c). 이 단계는 상기 제 1 층간 절연막(153)에 포함된 수소에 의해 반도체 층의 미결합 화학손을 단절시키는 단계이다. 반도체 층들은 산화 실리콘 막으로 형성된 절연막(미도시)의 존재에 관계없이 수화될 수 있다. 또한, 본 실시예에서, 그 주성분으로서 알루미늄을 함유하는 재료가 제 2 도전층을 위해 사용되고, 따라서, 제 2 도전층이 수화 단계를 견딜 수 있는 열처리 조건을

적용하는 것이 중요하다. 수화의 다른 방법으로서, 플라스마 수화(플라스마에 의해 여기된 수소를 사용)가 수행될 수 있다.

[0144] 다음에, 제 2 층간 절연막(154)이 상기 제 1 층간 절연막(153) 상에 유기 절연 재료로 형성된다. 본 실시예에서,  $1.6\mu\text{m}$  두께의 아크릴 수지막이 형성된다. 그 후, 소스 배선(129)에 도달하는 접촉 구멍, 도전층들(127 및 128)에 각각 도달하는 접촉 구멍들 및 각 불순물 영역들에 도달하는 접촉 구멍들이 형성된다. 본 실시예에서, 복수의 에칭 공정들이 순차 수행된다. 본 실시예에서, 제 2 층간 절연막은 제 1 층간 절연막을 에칭 스토퍼로 하여 에칭되고, 제 1 층간 절연막은 절연막(미도시)을 에칭 스토퍼로하여 에칭되며, 그 후, 절연막(미도시)이 에칭된다.

[0145] 그 후, Al, T<sub>x</sub>Mo, W 등을 사용하여 배선 및 화소 전극이 형성된다. 전극 및 화소 전극의 재료로서, 그 주 성분으로서 Al 또는 Ag를 함유하는 막이나, 그 적층체막 같은 반사 특성이 양호한 재료를 사용하는 것이 적합하다. 따라서, 소스 전극 또는 드레인 전극(155 내지 160), 게이트 배선(162), 접속 배선(161) 및 화소 전극(163)이 형성된다.

[0146] 상술한 바와 같이, n-채널 TFT(201), p-채널 TFT(202) 및 n-채널 TFT(203)를 구비하는 구동 회로(206)와, n-채널 TFT와 저장 커패시터(205)로 이루어진 화소 TFT(204)를 가지는 화소부(207)가 동일 기판상에 형성될 수 있다(도 6). 본 명세서에서, 상기 기판은 편의상 활성 매트릭스 기판이라 지칭된다. 화소부(207)에서, 화소 TFT(204; n-채널 TFT)는 채널 형성 영역(167)과, 게이트 전극을 형성하는 도전층(127) 외측에 형성된 제 1 불순물 영역( $n^-$  영역; 145)과, 소스 영역으로서 기능하는 제 2 불순물 영역( $n^+$  영역; 140)을 가진다. 또한, 저장 커패시터(205)의 전극들 중 하나로서 기능하는 반도체 층에서, 제 4 불순물층(150)과 제 5 불순물층(152)이 형성된다. Ra를 2nm 이하, Rms를 2nm 이하, 불평탄도의 P-V값을 50nm 이하로 설정함으로써, 저장 커패시터(205)의 전극들 중 하나로서 기능하는 반도체 층 표면이 완전히 평탄화되고, 누설 전류가 감소되며, 신뢰성이 향상될 수 있다. 저장 커패시터(205)는 절연막(게이트 절연막과 동일막)을 유전체로하여 반도체 층들(150, 152, 168)과 제 2 전극(128)으로 구성된다.

[0147] 또한, 구동 회로(206)에서, n-채널 TFT(201; 제 1 n-채널 TFT)는 채널 형성 영역(164)과, 절연막을 통해 게이트 전극을 형성하는 도전층(124)의 일부와 중첩하는 제 3 불순물 영역( $n^-$  영역; 142) 및 소스 영역 또는 드레인 영역으로서 기능하는 제 2 불순물 영역( $n^+$  영역; 138)을 구비한다.

[0148] 또한, 구동 회로(206)에서, p-채널 TFT(202)는 채널 형성 영역(165)과, 절연막을 통해 게이트 전극을 형성하는 도전층(125)의 일부와 중첩하는 제 5 불순물 영역( $p^-$  영역; 151) 및 소스 영역 또는 드레인 영역으로서 기능하는 제 4 불순물 영역( $p^+$  영역; 149)을 구비한다.

[0149] 또한, 구동 회로(206)에서, n-채널 TFT(203; 제 2 n-채널 TFT)는 채널 형성 영역(166)과, 게이트 전극을 형성하는 도전층(126) 외측의 제 1 불순물 영역( $n^-$  영역; 144) 및 소스 영역 또는 드레인 영역으로서 기능하는 제 2 불순물 영역( $n^+$  영역; 139)을 구비한다.

[0150] 상술한 TFT들(201 내지 203)은 레지스터 회로, 버퍼 회로, 레벨 시프터 회로, 래치 회로 등을 형성하도록 적절히 조합되어, 구동 회로(206)를 형성한다. 예를 들어, CMOS 회로가 형성되는 경우에, n-채널 TFT(201)와 p-채널 TFT(202)가 서로 상보적으로 접속될 수 있다.

[0151] 특히, n-채널 TFT(203)의 구조는 핫 캐리어 효과로 인한 열화를 방지하는 목적을 가지는 높은 구동 전압을 가지는 버퍼 회로에 적합한 것이다.

[0152] 또한, GOLD 구조인 n-채널 TFT(201)의 구조는 신뢰성을 최우선 과제로 갖는 회로에 적합한 것이다. 또한, 반사형 디스플레이 장치를 형성하기 위한 활성 매트릭스 기판을 제조하는 예가 본 실시예에 도시되었다. 그러나, 화소 전극이 투명 도전막으로 형성되는 경우에, 포토마스크의 수가 하나 증가하기는 하지만, 투과형 디스플레이 장치가 형성될 수 있다.

[0153] 본 명세서에서, "전극"은 "배선"의 일부이며, 다른 배선과의 전기적 접속이 이루어지는 점 또는 배선이 반도체 층과 상호교차하는 점을 나타낸다. 따라서, 설명의 편의를 위해, "배선"과 "전극"은 구분되어 사용된다. 그러나, "배선"은 항상 "전극"에 포함된다.

제 2 실시예

[0155] 본 실시예는 제 1 실시예에서 제조된 활성 매트릭스 기판으로 활성 매트릭스 액정 디스플레이 장치를 제조하는 공정을 설명한다. 설명은 도 7을 참조로 이루어진다.

[0156] 도 6에 예시된 바와 같은 활성 매트릭스 기판이 제 1 실시예에 따라 제조된 후에, 도 6의 활성 매트릭스 기판상에 배향층이 형성되고, 러빙(rubbing) 처리가 수행된다. 본 실시예에서, 배향층이 형성되기 이전에 아크릴 수지막 같은 유기 수지막이 패터닝되어 기판들의 이격을 유지하기 위해 적절한 위치에 기동 형상 스페이서를 형성한다. 기동 형상 스페이서는 기판의 전체 표면상에 펼쳐진 구형 스페이서로 대체될 수 있다.

[0157] 다음에, 대향 기판이 준비된다. 대향 기판은 착색층 및 차광층이 화소에 대해 배열되어 있는 컬러 필터를 가진다. 차광층은 또한 구동 회로부에도 배치된다. 평탄화 막은 차광층과 컬러 필터를 덮도록 형성된다. 평탄화막 상에, 대향 전극이 화소부의 투명 도전막으로 형성된다. 배향층은 대향 기판의 전체 표면에 걸쳐 형성되고, 러빙 처리를 받게된다.

[0158] 그 후, 대향 기판이 화소부와 구동 회로들이 형성되어 있는 활성 매트릭스 기판에 밀봉 부재를 사용하여 접합된다. 밀봉 부재는 충전제가 혼합되어 있으며, 충전재는 두 기판들이 접합되어 있는 상태에서 기동 형상 스페이서와 함께 두 기판들 사이의 거리를 유지한다. 그 후, 액정 재료가 기판들 사이에 주입되고, 봉합재(미도시)가 사용되어 기판들을 완전히 밀봉한다. 공지된 액정 재료가 사용될 수 있다. 따라서, 액정 디스플레이 장치가 완성된다. 필요시에, 활성 매트릭스 기판 또는 대향 기판은 필요한 형상의 단편으로 절단될 수 있다. 디스플레이 장치는 공지된 기술을 사용하여 편광판을 구비할 수 있다. 그 후, FPC들이 공기된 기술을 사용하여 기판에 부착된다.

[0159] 이렇게 얻어진 액정 모듈의 구조가 도 7의 상면도를 참조로 설명된다.

[0160] 화소부(304)는 활성 매트릭스 기판(301)의 중앙에 배치된다. 소스 신호 라인을 구동하기 위한 소스 신호라인 구동 회로(302)가 화소부(304) 위에 위치된다. 게이트 신호 라인을 구동하기 위한 게이트 신호라인 구동 회로(303)가 화소부(304)의 좌측 및 우측에 배치된다. 비록, 게이트 신호 라인 구동 회로(303)가 본 실시예에서 화소부에 대해 대칭이지만, 액정 모듈은 화소부의 일 측면상에 하나의 게이트 라인 구동 회로만을 가질 수 있다. 위의 두 선택 사항중 설계자는 액정 모듈의 기판 크기 등을 고려하여 보다 양호한 배치를 선택할 수 있다. 그러나, 도 7에 도시된 게이트 신호 라인 구동 회로의 대칭 배열은 회로 동작 신뢰성, 구동 효율등의 관점에서 양호하다.

[0161] 신호들은 가요성 인쇄 회로(FPC; 305)로부터 구동 회로에 입력된다. FPC(305)는 충간 절연막과 수지막 내의 접촉 구멍들을 개방하고 기판(301)의 주어진 위치에 배열된 배선 라인들에 도달하도록 접속 전극(309)을 형성한 후에, 이방성 도전막등을 통해 가압 결합된다. 접속 전극은 본 실시예에서 ITO로 형성된다.

[0162] 밀봉재(307)가 화소부와 구동 회로를 둘러싸는 그 주변을 따라 기판에 적용된다. 대향 기판(306)이 밀봉제(307)에 의해 기판(301)에 접합되고, 활성 매트릭스 기판상에 미리 형성된 스페이서(310)가 2개의 기판 사이에 일정한 거리를 유지한다(기판(301)과 대향 기판(306) 사이의 거리). 액정 원소가 밀봉제(307)로 피복된 기판의 영역을 통해 주입된다. 기판들은 그 후 봉합재(308)로 밀봉된다. 액정 모듈은 상술한 단계들을 통해 완성된다.

[0163] 비록 모든 구동 회로들이 기판상에 형성되는 것이 예시되었지만, 다수의 IC들이 구동 회로들 중 일부를 위해 사용될 수 있다.

제 3 실시예

[0165] 제 1 실시예는 반사성 금속 재료로 화소전극이 형성되는 반사형 디스플레이 장치의 예를 도시한다. 본 실시예에서는 투광 도전막으로 화소 전극이 형성되는 투과형 디스플레이 장치의 예가 예시된다.

[0166] 충간 절연막을 형성하는 단계까지의 제조 단계들은 제 1 실시예의 공정과 동일하며, 그 설명은 생략한다. 충간 절연막이 제 1 실시예에 따라 형성된 후에, 화소부(601)가 투광 도전막으로 형성된다. 투광 도전막의 예는 ITO(인듐 주석 산화물 합금)막, 인듐 산화물-아연 산화물 합금( $In_2O_3-ZnO$ )막, 아연 산화물(ZnO)막 등을 포함한다.

그 후, 충간 절연막(600)에 접촉 구멍들이 형성된다. 다음에, 화소 전극과 중첩하는 접속 전극(602)이 형성된다. 접속 전극(602)은 접촉 구멍을 통해 드레인 영역에 접속된다. 동시에, 접속 전극이 형성되고, 다른 TFT들의 소스 전극 또는 드레인 전극이 형성된다.

[0167] 비록 모든 구동 회로들이 여기에 예시된 예에서 기판상에 형성되지만, 다수의 IC들이 구동 회로들 중 일부를 위

해 사용될 수 있다.

[0168] 활성 매트릭스 기판은 상술한 바와 같이 완성된다. 액정 모듈은 제 2 실시예에 따라 이 활성 매트릭스 기판으로 제조된다. 액정 모듈은 배후광(604)과 광 안내판(605)을 구비하며, 도 8에 부분 단면도가 도시되어 있는 활성 매트릭스 액정 디스플레이 장치를 완성하도록 덮개(606)로 덮혀진다. 덮개는 유기 수지 또는 접착제를 사용하여 액정 모듈에 접합된다. 기판을 대향 기판에 접합할 때, 기판들은 프레임과 기판 사이의 공간이 접합을 위한 유기 수지로 충전되도록 프레임 형성될 수 있다. 이 디스플레이 장치가 투과형이기 때문에, 활성 매트릭스 기판과 대향 기판 각각은 편광판(603)이 접합될 필요가 있다.

#### 제 4 실시예

[0170] 다양한 모듈들(활성 매트릭스형 액정 모듈 및 활성 매트릭스형 EC 모듈)이 본 발명을 구현함으로써 형성된 구동 회로 및 화소부에 의해 완성될 수 있다. 즉, 그 모듈들이 통합되어 있는 모든 전자 기기들이 완성될 수 있다.

[0171] 이런 전자 기기들로서는 비디오 카메라, 디지털 카메라, 헤드 장착 디스플레이(안경형 디스플레이), 차량 항법 시스템, 투사기, 카 스테레오, 퍼스널 컴퓨터, 휴대용 정보 단말기(모바일 컴퓨터, 셀룰러 전화 또는 전자 도서) 등을 들 수 있다. 이 예들이 도 9 내지 11에 도시되어 있다.

[0172] 도 9a는 주 본체(2001)와, 이미지 입력부(2002)와, 표시부(2003) 및 키보드(2004)를 포함하는 퍼스널 컴퓨터를 도시한다.

[0173] 도 9b는 주 본체(2101)와, 표시부(2102)와, 음성 입력부(2103)와, 조작 스위치(2104)와, 배터리(2105) 및 이미지 수신부(2106)를 포함하는 비디오 카메라를 도시한다.

[0174] 도 9c는 주 본체(2201)와, 카메라부(2202)와, 이미지 수신부(2203)와, 조작 스위치(2204)와 표시부(2205)를 포함하는 모바일 컴퓨터를 도시한다.

[0175] 도 9d는 주 본체(2301)와, 표시부(2302)와, 아암부(2303)를 포함하는 안경형 디스플레이를 도시한다.

[0176] 도 9e는 주 본체(2401)와, 표시부(2402)와, 스피커부(2403)와, 기록 매체(2404)와, 조작 스위치(2405)를 포함하는 프로그램이 기록된 기록 매체(이하, 기록 매체)를 사용하는 플레이어를 도시한다. 이 플레이어는 DVD(디지털 다용도 디스크) 또는 CD를 기록 매체로서 사용하며, 음악을 즐기거나, 영화를 즐기거나, 게임이나 인터넷을 실행할 수 있다.

[0177] 도 9f는 주 본체(2501)와, 표시부(2502)와, 접안부(2503)와, 조작 스위치(2504) 및 이미지 수신부(미도시)를 포함하는 디지털 카메라를 도시한다.

[0178] 도 10a는 투사 장치(2601)와, 스크린(2602)를 포함하는 전방형 투사기를 도시한다. 제 3 실시예는 투사 장치(2601)의 일부를 형성하는 액정 모듈(2808)에 적용될 수 있으며, 그 후 전체 장치가 완성될 수 있다.

[0179] 도 10b는 주 본체(2701)와, 투사 장치(2702)와 거울(2703) 및 스크린(2704)을 포함하는 후방형 투사기를 도시한다. 제 3 실시예는 투사 장치(2702)의 일부를 형성하는 액정 모듈(2808)에 적용될 수 있으며, 그 후 전체 장치가 완성될 수 있다.

[0180] 도 10c는 도 10a 및 도 10b의 투사 장치(2601, 2702)의 구조의 예를 도시한다. 투사 장치(2601 또는 2702)는 광원 광학 시스템(2801), 거울(2802 및 2804 내지 2806), 2색성 거울(2803), 프리즘(2807), 액정 디스플레이 장치(2808), 위상차판(2809) 및 투사 광학 시스템(2810)으로 구성된다. 투사 광학 시스템(2810)은 투사 렌즈를 포함하는 광학 시스템에 의해 구성된다. 비록 본 실시예가 3판형의 예를 도시하지만, 본 실시예는 그에 제한되지 않으며, 예로서, 단판형으로 이루어질 수 있다. 또한, 본 실시예의 실시자는 광학 렌즈, 편광 기능을 가진 막, 위상차를 조절하기 위한 막 또는 IR막을 도 10c에 화살표로 표시된 광학 경로내에 적절히 제공할 수 있다.

[0181] 또한, 도 10d는 도 10c의 광원 광학 시스템(2801)의 구조의 예를 도시하는 도면이다. 본 실시예에 따라서, 광원 광학 시스템(2801)은 반사체(2811), 광원(2812), 렌즈 어레이(2813 및 2814), 편광 변환 소자(2815) 및 접광 렌즈(2816)로 구성된다. 또한, 도 10d에 도시된 광원 광학 시스템은 단지 예일 뿐이며, 본 실시예는 이에 특별히 제한되지 않는다. 예로서, 본 실시예의 실시자는 광학 렌즈, 편광 기능을 가진 막, 위상차를 조절하기 위한 막 또는 IR 막 같은 광학 시스템을 광원 광학 시스템 내에 적절히 배치할 수 있다. 그러나, 도 10에 도시된 투사기에 따르면, 투과형 전자 광학 장치를 사용하는 경우가 예시되어 있으며, 반사형 전자 광학 장치를 적용한 예는 예시되어 있지 않다.

- [0182] 도 11a는 주 본체(2901)와, 음향 출력부(2902)와, 음향 입력부(2903)와, 표시부(2904)와, 조작 스위치(2905)와, 안테나(2906) 및 이미지 입력부(CCD, 이미지 센서 등; 2907)를 포함하는 셀룰러 전화를 도시한다.

[0183] 도 11b는 주 본체(3001)와, 표시부(3002 및 3003)와, 기록 매체(3004)와, 조작 스위치(3005) 및 안테나(3006)를 포함하는 휴대용 서적(전자 서적)을 도시한다.

[0184] 도 11c는 주 본체(3103)와, 지지 베이스(3102)와, 표시부(3103)를 포함하는 디스플레이를 도시한다.

[0185] 부가적으로, 도 11c에 도시된 디스플레이는 소형 및 중형 또는 대형의 예로서, 5 내지 20 인치 크기의 디스플레이의 스크린이다. 또한, 이런 크기의 표시부를 형성하기 위해 1x1m으로 크기설정된 기판을 사용하는 다중 패턴을 실시함으로써 대량 생산하는 것이 적합하다.

발명의 효과

- [0186] 상술한 바와 같이, 본 발명의 적용 범위는 극히 넓으며, 모든 분야의 전자 기기에 적용될 수 있다. 본 발명의 전자 기기는 제 1 내지 제 3 실시예의 구조와 자유롭게 조합될 수 있다.

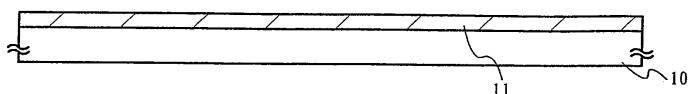
[0187] 본 발명에 따라서, 다수의 로드형 결정 입자 집합(도메인)이 결정 구조를 가지는 반도체 막(15)내에 형성된다. 특정 결정 입자 집합(도메인)내의 모든 결정 입자들은 동일 결정 배향을 가지는 것으로 간주되며, 결정 입자의 집합(도메인)의 크기는 대략  $1\mu\text{m}$ 이상이고, 수십 마이크로미터의 크기를 가지는 대형 집합을 가진다. 이 결정 구조를 가지는 반도체 막(15)을 활성층으로서 사용할 때, 전계 효과 이동도 같은 우수한 TFT 특성을 가지는 TFT가 얻어질 수 있다.

## 도면의 간단한 설명

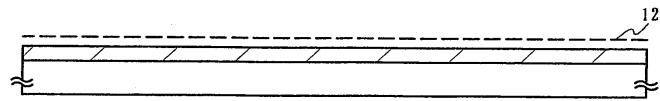


도면

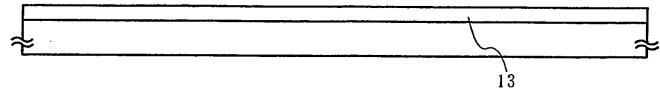
도면1a



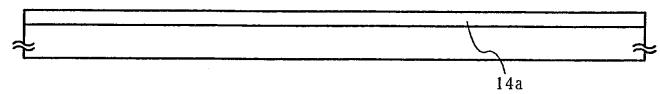
도면1b



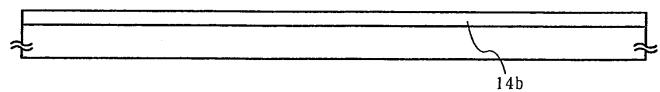
도면1c



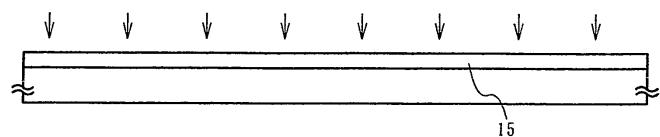
도면1d



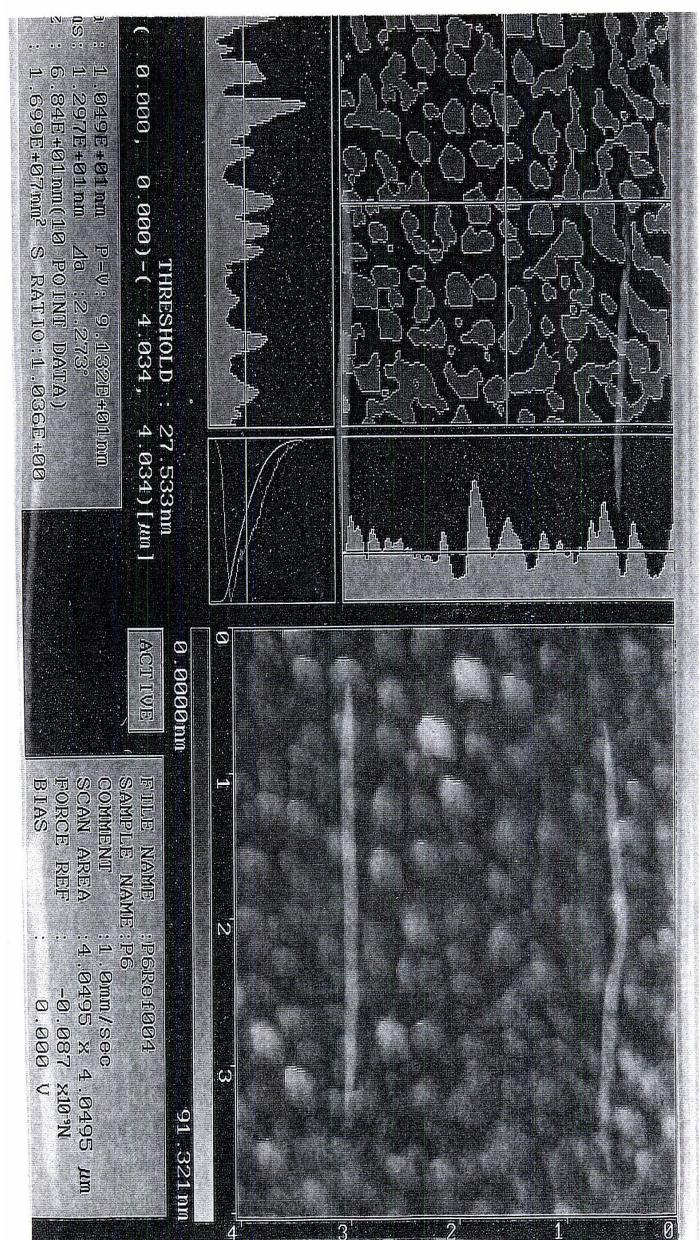
도면1e



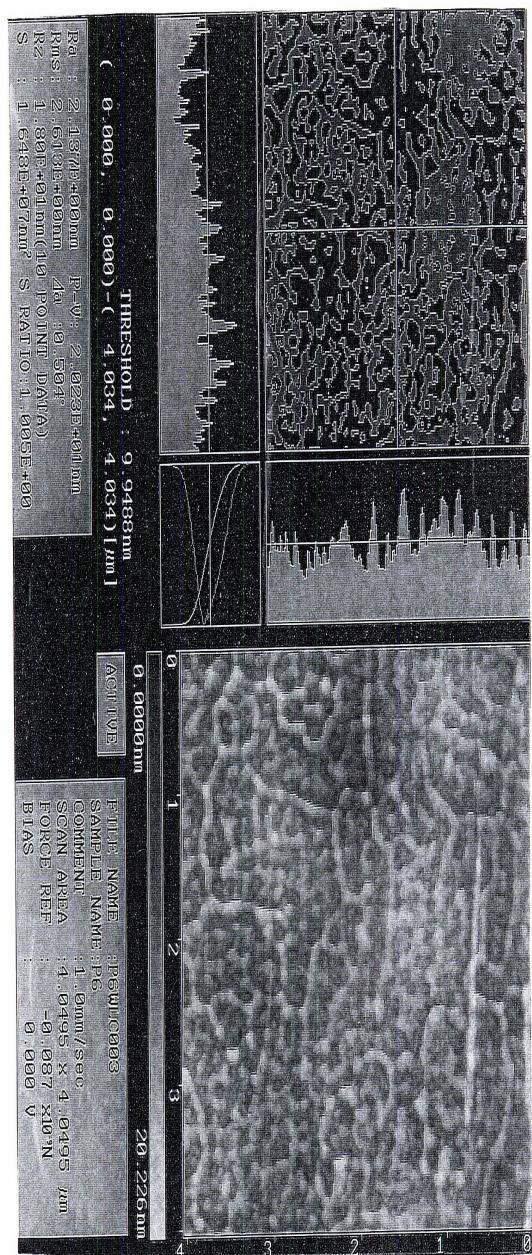
도면1f



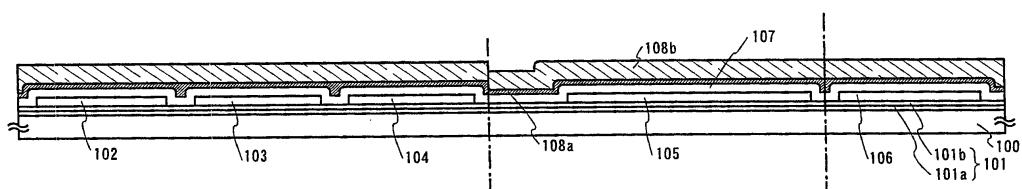
દોર્ય 2



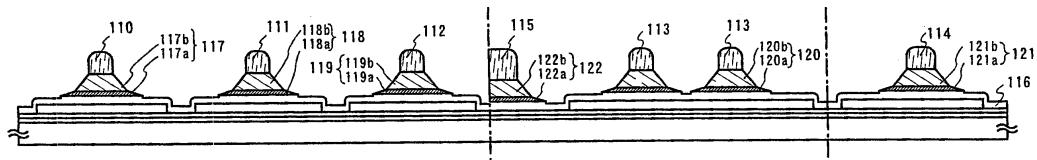
도면3



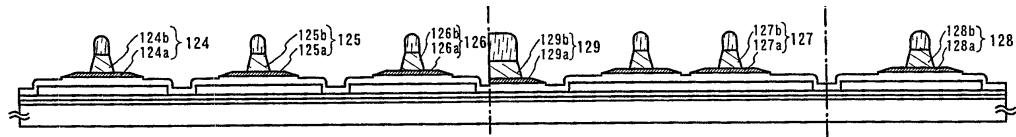
도면4a



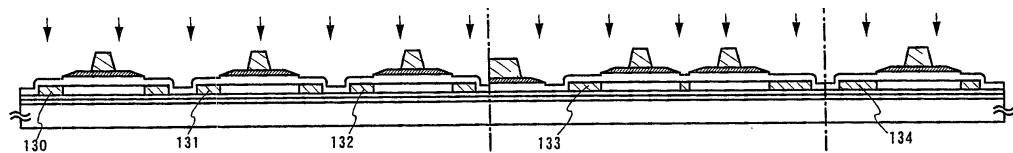
도면4b



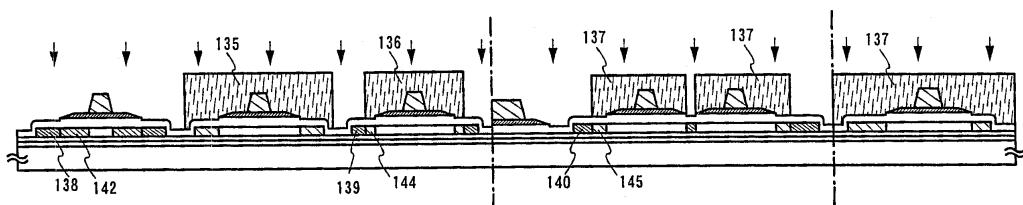
도면4c



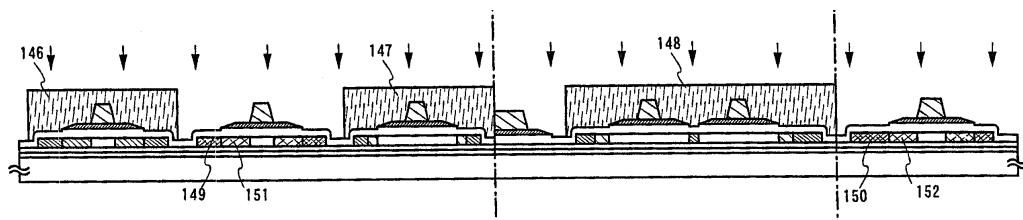
도면4d



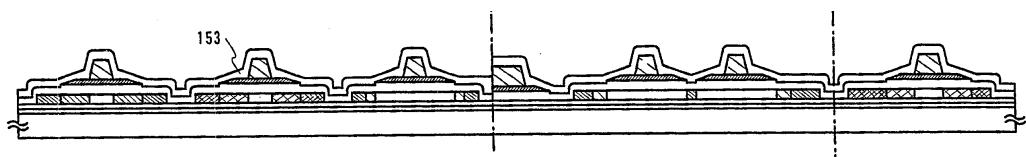
도면5a



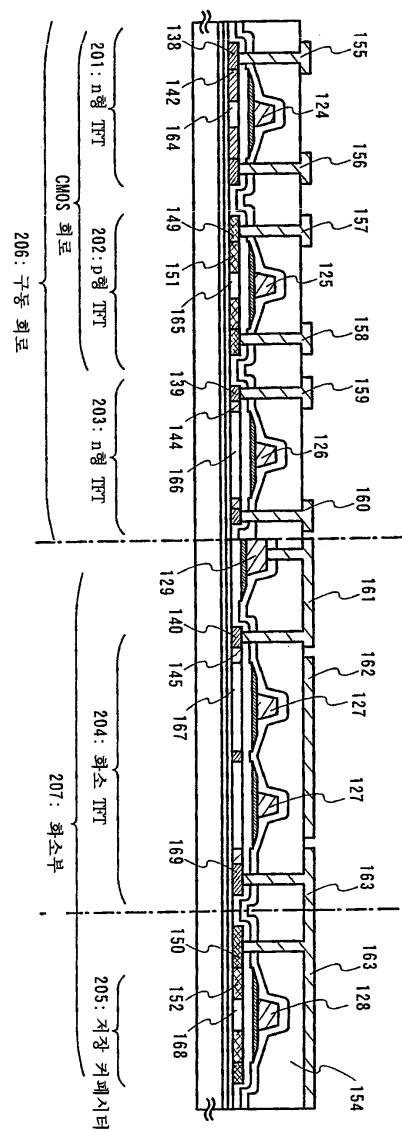
도면5b



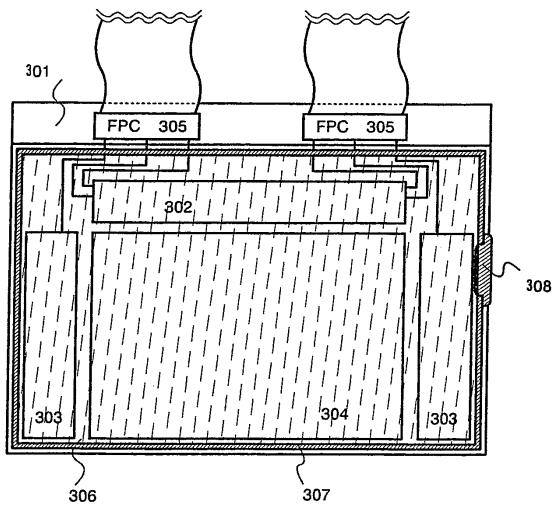
도면5c



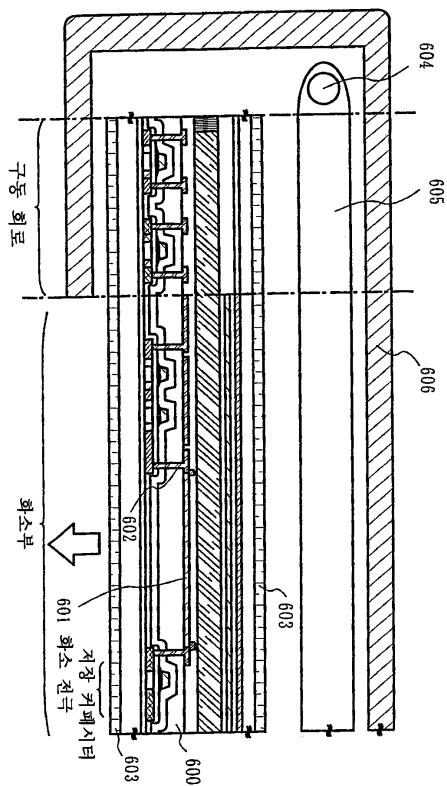
도면6



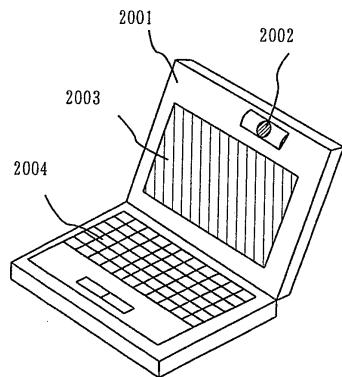
도면7



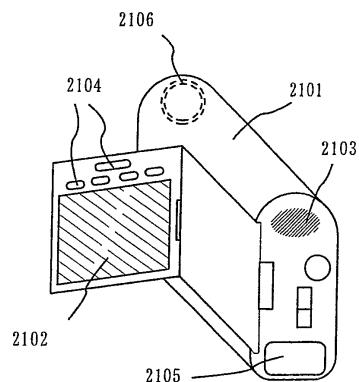
도면8



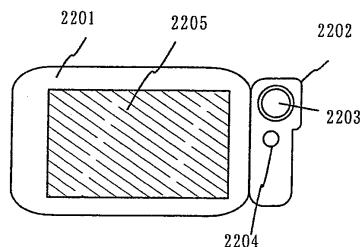
도면9a



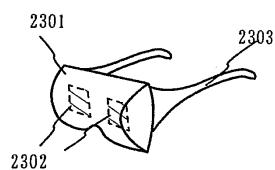
도면9b



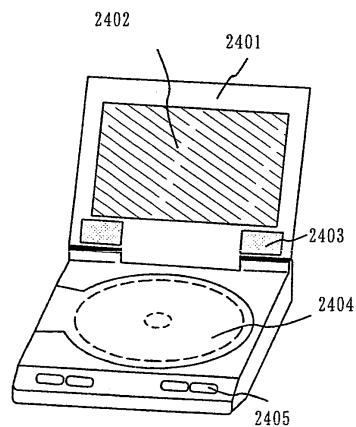
도면9c



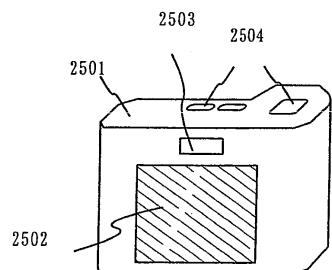
도면9d



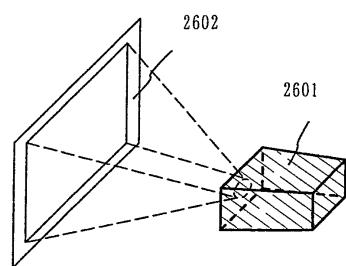
도면9e



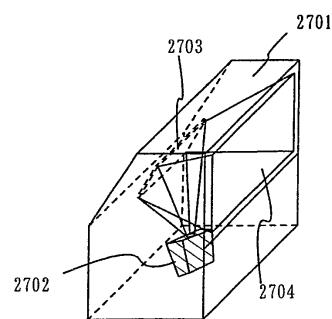
도면9f



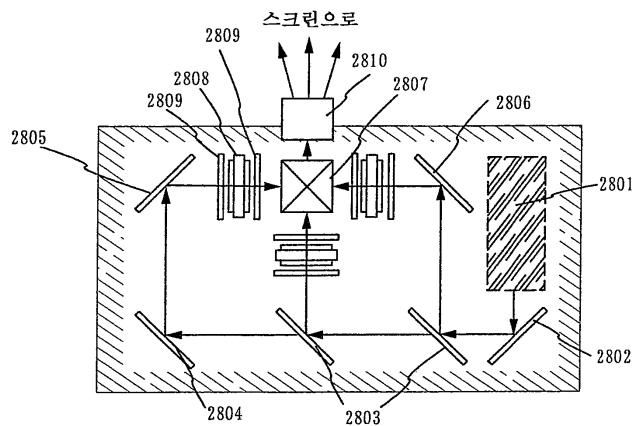
도면10a



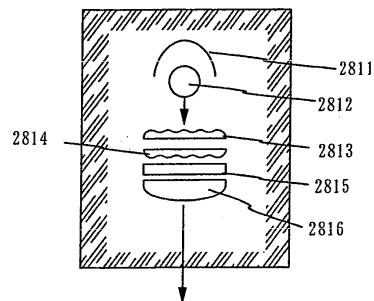
도면10b



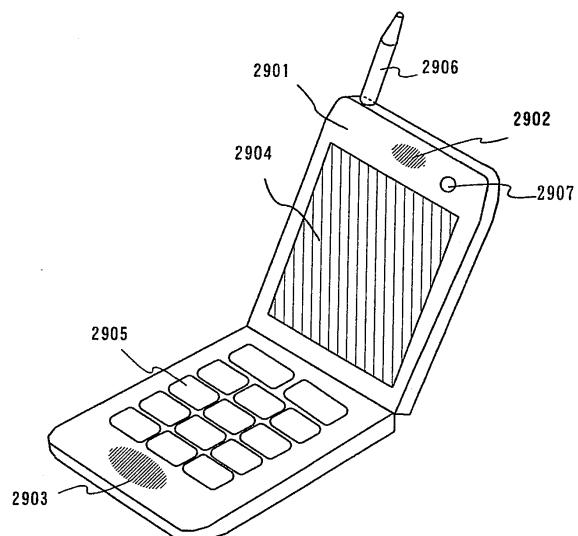
도면10c



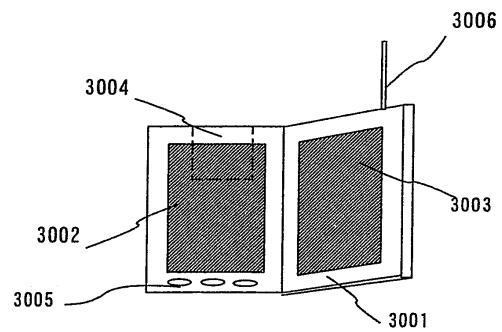
도면10d



도면11a



도면11b



도면11c

