

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2024년 2월 8일 (08.02.2024)



(10) 국제공개번호

WO 2024/029765 A1

(51) 국제특허분류:

H01L 27/12 (2006.01)

H01L 33/50 (2010.01)

H01L 33/36 (2010.01)

G09G 3/32 (2006.01)

(21) 국제출원번호:

PCT/KR2023/009777

(22) 국제출원일:

2023년 7월 10일 (10.07.2023)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2022-0095639 2022년 8월 1일 (01.08.2022) KR

(71) 출원인: 삼성디스플레이 주식회사 (SAMSUNG DISPLAY CO., LTD.) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

(72) 발명자: 신동희 (SHIN, Dong Hee); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 손선권 (SON, Sun Kwun); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 박노경 (PARK, No Kyung); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

(74) 대리인: 오종한 등 (OH, Jong Han et al.); 03155 서울특별시 종로구 종로3길 17 디타워 D2 23층, Seoul (KR).

(81)

지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84)

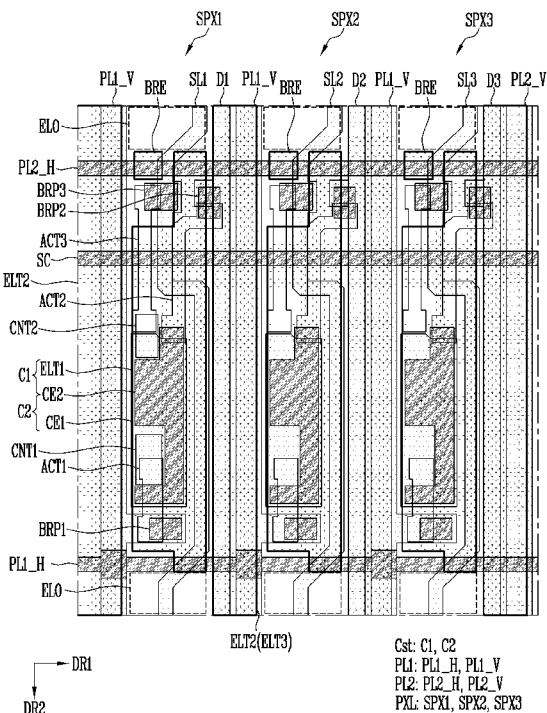
지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: DISPLAY DEVICE

(54) 발명의 명칭: 표시 장치



(57) Abstract: A display device comprises a semiconductor pattern. A first capacitor electrode is disposed below the semiconductor pattern. A second capacitor electrode is disposed on the semiconductor pattern and a portion thereof constitutes a gate electrode. A first electrode and a second electrode are disposed in the same layer on the second capacitor electrode. At least one light-emitting element is disposed between the first electrode and the second electrode. A first pixel electrode is disposed on the first electrode and connected to a first end of the at least one light-emitting element. A second pixel electrode is disposed on the second electrode and connected to a second end of the at least one light-emitting element. The first electrode is electrically connected to the first capacitor electrode and the semiconductor pattern. The semiconductor pattern and the gate electrode constitute a transistor. A first capacitor is formed by the first capacitor electrode and the second capacitor electrode.

(57) 요약서: 표시 장치는 반도체 패턴을 포함한다. 제1 커패시터 전극은 반도체 패턴 하부에 배치된다. 제2 커패시터 전극은 반도체 패턴 상에 배치되며 일부가 게이트 전극을 구성한다. 제1 전극 및 제2 전극은 제2 커패시터 전극 상의 동일한 층에 배치된다. 적어도 하나의 발광 소자는 제1 전극 및 제2 전극 사이에 배치된다. 제1 화소 전극은 제1 전극 상에 배치되며 적어도 하나의 발광 소자의 제1 단부와 연결된다. 제2 화소 전극은 제2 전극 상에 배치되며 적어도 하나의 발광 소자의 제2 단부와 연결된다. 제1 전극은 제1 커패시터 전극 및 반도체 패턴과 전기적으로 연결된다. 반도체 패턴 및 게이트 전극은 트랜지스터를 구성한다. 제1 커패시터 전극 및 제2 커패시터 전극에 의해 제1 커패시터가 형성된다.

WO 2024/029765 A1

명세서

발명의 명칭: 표시 장치

기술분야

- [1] 본 발명의 실시예들은 표시 장치에 관한 것이다.

배경기술

- [2] 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보 매체를 이용하려는 요구가 높아지면서, 표시 장치에 대한 요구 및 상업화가 중점적으로 이루어지고 있다.

발명의 상세한 설명

기술적 과제

- [3] 본 발명은 표시 품질을 향상시킬 수 있는 표시 장치를 제공하는 것을 목적으로 한다.

과제 해결 수단

- [4] 본 발명의 실시예들에 따른 표시 장치는, 반도체 패턴; 상기 반도체 패턴 하부에 배치되는 제1 커패시터 전극; 상기 반도체 패턴 상에 배치되며 일부가 게이트 전극을 구성하는 제2 커패시터 전극; 상기 제2 커패시터 전극 상의 동일한 층에 배치되는 제1 전극 및 제2 전극; 상기 제1 전극 및 제2 전극 사이에 배치되는 적어도 하나의 발광 소자; 상기 제1 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 제1 단부와 연결되는 제1 화소 전극; 및 상기 제2 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 제2 단부와 연결되는 제2 화소 전극을 포함한다. 상기 제1 전극은 상기 제1 커패시터 전극 및 상기 반도체 패턴과 전기적으로 연결되고, 상기 반도체 패턴 및 상기 게이트 전극은 트랜지스터를 구성하며, 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극에 의해 제1 커패시터가 형성되고, 상기 제2 커패시터 전극과 상기 제1 전극에 의해 제2 커패시터가 형성된다.
- [5] 상기 제2 커패시터 전극 및 상기 제1 전극 사이의 층에는 신호선 및 전원선이 배치되지 않을 수 있다.
- [6] 상기 트랜지스터의 소스 전극 및 드레인 전극 중 적어도 하나는 상기 제2 커패시터 전극과 동일한 층에 배치될 수 있다.
- [7] 상기 트랜지스터와 연결되는 데이터선은 상기 제1 커패시터 전극과 동일한 층에 배치될 수 있다.
- [8] 상기 트랜지스터와 연결되는 전원선은 상기 제1 커패시터 전극 또는 상기 제2 커패시터 전극 중 적어도 하나와 동일한 층에 배치될 수 있다.
- [9] 상기 제1 화소 전극은 상기 제1 전극을 통해 상기 트랜지스터에 전기적으로 연결될 수 있다.

- [10] 상기 표시 장치는, 상기 제1 전극 및 상기 제2 전극과 동일한 층에 배치되되 상기 제1 전극 및 상기 제2 전극으로부터 이격된 브릿지 전극을 더 포함하고, 상기 제2 화소 전극은 상기 브릿지 전극을 통해 전원선에 연결될 수 있다.
- [11] 평면도 상에서, 상기 제2 전극은 복수의 서브 화소들에 걸쳐 연장하며, 상기 제1 전극 및 상기 브릿지 전극은 상기 서브 화소들 각각에 아일랜드 형태로 배치될 수 있다.
- [12] 상기 제1 전극 및 상기 제2 전극 상에는 제1 절연층이 배치되며, 복수의 서브 화소들 중 인접한 2개의 서브 화소들 사이의 경계 영역에는 상기 제1 절연층이 배치되지 않을 수 있다.
- [13] 평면도 상에서, 상기 제1 전극은 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극을 커버할 수 있다.
- [14] 상기 제1 전극은 상기 제2 커패시터 전극의 개구를 통해 상기 제1 커패시터 전극 및 상기 반도체 패턴과 연결될 수 있다.
- [15] 상기 표시 장치는, 상기 적어도 하나의 발광 소자 상에 배치되며 상기 적어도 하나의 발광 소자로부터 입사되는 광의 파장대를 변환시켜 발광하는 파장 변환 패턴; 및 상기 파장 변환 패턴 상에 배치되는 컬러 필터를 더 포함할 수 있다.
- [16] 상기 적어도 하나의 발광 소자는 상호 병렬 연결된 무기 발광 다이오드들을 포함할 수 있다.
- [17] 본 발명의 실시예들에 따른 표시 장치는, 반도체 패턴; 상기 반도체 패턴 하부에 배치되는 제1 커패시터 전극; 상기 반도체 패턴 상에 배치되는 게이트 전극; 상기 게이트 전극 상의 동일한 층에 배치되는 제1 전극 및 제2 전극; 상기 제1 전극 및 제2 전극 사이에 배치되는 적어도 하나의 발광 소자; 상기 제1 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 제1 단부와 연결되는 제1 화소 전극; 및 상기 제2 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 제2 단부와 연결되는 제2 화소 전극을 포함한다. 상기 제1 전극은 상기 제1 커패시터 전극 및 상기 반도체 패턴과 전기적으로 연결되고, 상기 반도체 패턴 및 상기 게이트 전극은 트랜지스터를 구성하며, 불순물이 도핑된 상기 반도체 패턴의 일부는 제2 커패시터 전극을 구성하며, 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극에 의해 제1 커패시터가 형성되고, 상기 제2 커패시터 전극과 상기 제2 커패시터 전극과 중첩하는 제1 전극에 의해 제2 커패시터가 형성된다.
- [18] 상기 게이트 전극은 상기 제2 커패시터 전극과 전기적으로 연결될 수 있다.
- [19] 상기 제2 커패시터 전극 및 상기 게이트 전극 사이의 층에는 신호선 및 전원선이 배치되지 않을 수 있다.
- [20] 상기 트랜지스터와 연결되는 데이터선 및 전원선 각각은 상기 제1 커패시터 전극 또는 상기 제2 커패시터 전극 중 적어도 하나와 동일한 층에 배치될 수 있다.
- [21] 상기 표시 장치는, 상기 제1 전극 및 상기 제2 전극과 동일한 층에 배치되되 상기 제1 전극 및 상기 제2 전극으로부터 이격된 브릿지 전극을 더 포함하고, 상기 제2 화소 전극은 상기 브릿지 전극을 통해 전원선에 연결될 수 있다.

[22] 상기 제1 전극 및 상기 제2 전극 상에는 제1 절연층이 배치되며, 복수의 서브 화소들 중 인접한 2개의 서브 화소들 사이의 경계 영역에는 상기 제1 절연층이 배치되지 않을 수 있다.

[23] 평면도 상에서 상기 제1 전극은 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극을 커버할 수 있다.

발명의 효과

[24] 본 발명의 실시예들에 따른 표시 장치에서, 게이트 전극 또는 도핑된 반도체 패턴인 제2 커패시터 전극과 제1 정렬 전극이 제2 커패시터를 형성하며, 제2 커패시터는 제1 커패시터와 병렬 연결되어 스토리지 커패시터를 구성할 수 있다. 따라서, 스토리지 커패시터의 커패시턴스(또는, 용량)이 보다 충분히 확보될 수 있다.

[25] 또한, 제1 정렬 전극은 제2 커패시터 전극(또는, 구동 트랜지스터의 게이트 전극)을 커버하거나 차폐할 수 있다. 따라서, 제2 커패시터 전극에 대한 인접 신호선 및/또는 전원선의 영향성이 배제되며, 스토리지 커패시터에 보다 정확한 데이터 신호가 충전되거나 유지되고, 서브 화소는 목표 휘도로 정확하게 발광하며, 표시 장치에서 표시되는 영상의 표시 품질이 향상될 수 있다.

[26] 실시예들에 따른 효과, 특징, 및 실시예는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[27] 도 1은 실시예들에 따른 표시 장치를 나타내는 평면도이다.

[28] 도 2a, 도 2b, 도 2c, 및 도 2d는 도 1의 표시 장치에 포함된 서브 화소의 실시예들을 나타내는 회로도들이다.

[29] 도 3 및 도 4는 도 1의 표시 장치에 포함된 화소의 일 실시예를 나타내는 레이아웃도들이다.

[30] 도 5는 도 1의 표시 장치에 포함된 화소의 실시예들을 나타내는 평면도이다.

[31] 도 6은 도 3 내지 도 5의 I-I'선과 II-II'선에 따른 제1 서브 화소의 실시예들을 나타내는 단면도이다.

[32] 도 7a 및 도 7b는 도 1의 표시 장치에 포함된 화소의 실시예들을 나타내는 단면도들이다.

[33] 도 8은 도 1의 표시 장치의 제조 과정을 설명하기 위한 레이아웃도이다.

[34] 도 9는 도 1의 표시 장치에 포함된 화소의 실시예들을 나타내는 레이아웃도이다.

[35] 도 10은 도 9의 III-III'선과 II-II'선에 따른 제1 서브 화소의 실시예들을 나타내는 단면도이다.

[36] 도 11은 실시예들에 따른 발광 소자를 나타내는 도면이다.

발명의 실시를 위한 형태

- [37] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [38] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [39] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, 본 명세서에 있어서, 어느 층, 막, 영역, 판 등의 부분이 다른 부분 상(on)에 형성되었다고 할 경우, 형성된 방향은 상부 방향만 한정되지 않으며 측면이나 하부 방향으로 형성된 것을 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [40] 본 발명의 이점, 효과, 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 본 발명의 실시예들에 있어서 두 구성들 간의 "연결"이라 함은 전기적 연결 및 물리적 연결을 모두 포괄하여 사용하는 것임을 의미할 수 있다.
- [41] 이하에서는, 본 발명의 실시예들과 관련된 도면들을 참고하여, 본 발명의 실시예들에 따른 표시 장치에 대해 설명하도록 한다.
- [42] 도 1은 실시예들에 따른 표시 장치를 나타내는 평면도이다. 도 1에는 표시 장치에 구비되는 표시 패널(PNL)을 도시하였다.
- [43] 도 1에서는 표시 영역(DA)을 중심으로 표시 패널(PNL)의 구조를 도시하기로 한다. 다만, 실시예들에 따라서는 적어도 하나의 구동 회로부(일 예로, 주사 구동부 또는 데이터 구동부 중에서 적어도 하나), 배선들 및/또는 패드들이 표시 패널(PNL)에 더 배치될 수 있다.

- [44] 도 1을 참조하면, 표시 패널(PNL)은 기판(SUB) 및 기판(SUB) 상에 배치된 화소(PXL)를 포함할 수 있다.
- [45] 기판(SUB)(또는, 베이스 층)은 표시 패널(PNL)의 베이스 부재를 구성하는 것으로서, 경성 또는 연성의 기판이나 필름일 수 있다. 일 예로, 기판(SUB)은 유리 또는 강화 유리로 이루어진 경성 기판, 플라스틱 또는 금속 재질의 연성 기판(또는, 박막 필름), 또는 적어도 한 층의 절연층일 수 있다. 기판(SUB)의 재료 및/또는 물성이 특별히 한정되지는 않는다.
- [46] 실시예들에서, 기판(SUB)은 실질적으로 투명할 수 있다. 여기서, 실질적으로 투명이라 함은 소정의 투과도 이상으로 광을 투과시킬 수 있음을 의미할 수 있다. 실시예들에서, 기판(SUB)은 반투명 또는 불투명할 수 있다. 또한, 기판(SUB)은 실시예에 따라서 반사성의 물질을 포함할 수도 있다.
- [47] 표시 패널(PNL) 및 이를 형성하기 위한 기판(SUB)은 영상을 표시하기 위한 표시 영역(DA) 및 표시 영역(DA)을 제외한 비표시 영역(NDA)을 포함할 수 있다. 비표시 영역(NDA)은 표시 영역(DA)의 가장자리 또는 주변을 따라 표시 영역(DA)을 주위에 있을 수 있다.
- [48] 표시 영역(DA)에는 화소(PXL)가 배치될 수 있다. 비표시 영역(NDA)에는 표시 영역(DA)의 화소(PXL)에 연결되는 각종 배선들, 패드들 및/또는 내장 회로부가 배치될 수 있다.
- [49] 예를 들어, 화소(PXL)는 서브 화소들(SPX1~SPX3)을 포함하며, 예를 들어, 화소(PXL)는 제1 서브 화소(SPX1), 제2 서브 화소(SPX2) 및 제3 서브 화소(SPX3)를 포함할 수 있다.
- [50] 서브 화소들(SPX1~SPX3)은 각각 소정 색의 광을 방출할 수 있다. 실시예들에 따라, 서브 화소들(SPX1~SPX3)은 서로 다른 색의 광을 방출할 수 있다. 일 예로, 제1 서브 화소(SPX1)는 제1 색의 광을 방출하고, 제2 서브 화소(SPX2)는 제2 색의 광을 방출하며, 제3 서브 화소(SPX3)는 제3 색의 광을 방출할 수 있다. 예를 들어, 제1 서브 화소(SPX1)는 적색의 광을 방출하는 적색 화소일 수 있고, 제2 서브 화소(SPX2)는 녹색의 광을 방출하는 녹색 화소일 수 있으며, 제3 서브 화소(SPX3)는 청색의 광을 방출하는 청색 화소일 수 있으나, 이에 한정되지는 않는다.
- [51] 실시예들에서, 제1 서브 화소(SPX1), 제2 서브 화소(SPX2) 및 제3 서브 화소(SPX3)는 각각 제1 색의 발광 소자, 제2 색의 발광 소자 및 제3 색의 발광 소자를 광원으로 구비함으로써, 각각 제1 색, 제2 색 및 제3 색의 광을 방출할 수 있다. 실시예들에서, 제1 서브 화소(SPX1), 제2 서브 화소(SPX2) 및 제3 서브 화소(SPX3)는 서로 동일한 색의 광을 방출하는 발광 소자들을 구비하되, 각각의 발광 소자 상에 배치된 서로 다른 색상의 색상 변환층(또는, 파장 변환층) 및/또는 컬러 필터를 포함함으로써, 각각 제1 색, 제2 색 및 제3 색의 광을 방출할 수도 있다. 다만, 각각의 화소(PXL)를 구성하는 서브 화소들(SPX1~SPX3)의 색상, 종류 및/또는 개

수 등이 특별히 한정되지는 않는다. 즉, 각각의 화소(PXL)가 방출하는 광의 색은 다양하게 변경될 수 있다.

- [52] 서브 화소들(SPX1~SPX3)은 스트라이프(stripe) 또는 펜타일(PENTILE[®]) 배열 구조 등에 따라 규칙적으로 배열될 수 있다. 펜타일(PENTILE[®]) 배열 구조는 RGBG 매트릭스 구조(예를 들어, 펜타일(PENTILE[®]) 배열 구조 또는 매트릭스 구조(예를 들어, 펜타일(PENTILE[®]) 구조))로 지칭될 수 있다. PENTILE[®]은 대한민국 Samsung Display Co., Ltd.의 등록 상표이다. 다만, 서브 화소들(SPX1~SPX3)의 배열 구조는 이에 한정되지 않으며, 다양한 구조 및/또는 방법에 의해 서브 화소들(SPX1~SPX3)이 표시 영역(DA)에 배열될 수 있다. 예를 들어, 제1, 제2, 및 제3 서브 화소들(SPX1, SPX2, SPX3)은 제1 방향(DR1)을 따라 순차 반복적으로 배치되며, 또한, 제2 방향(DR2)을 따라 반복적으로 배치될 수 있다. 서로 인접하도록 배치된 적어도 하나의 제1, 제2, 및 제3 서브 화소들(SPX1, SPX2, SPX3)은 다양한 색의 광을 방출할 수 있는 하나의 화소(PXL)를 구성할 수 있다. 다만, 서브 화소들(SPX1~SPX3)의 배열 구조가 이에 한정되지는 않으며, 서브 화소들(SPX1~SPX3)은 다양한 구조 및/또는 방식으로 표시 영역(DA)에 배열될 수 있다.
- [53] 실시예들에서, 서브 화소들(SPX1~SPX3) 각각은 능동형 화소로 구성될 수 있다. 예를 들어, 서브 화소들(SPX1~SPX3) 각각은 소정의 제어 신호(일 예로, 주사 신호 및 데이터 신호) 및/또는 소정의 전원(일 예로, 제1 전원 및 제2 전원)에 의해 구동되는 적어도 하나의 광원(예를 들어, 발광 소자)을 포함할 수 있다. 다만, 표시 장치에 적용될 수 있는 서브 화소들(SPX1~SPX3)의 종류, 구조 및/또는 구동 방식이 특별히 한정되지는 않는다.
- [54] 도 2a, 도 2b, 도 2c, 및 도 2d는 도 1의 표시 장치에 포함된 서브 화소의 실시예들을 나타내는 회로도들이다.
- [55] 실시예들에 따라, 도 2a 내지 도 2d에 도시된 서브 화소(SPX)는 도 1의 표시 패널(PNL)에 구비된 제1 서브 화소(SPX1), 제2 서브 화소(SPX2) 및 제3 서브 화소(SPX3) 중에서 어느 하나일 수 있다. 제1 서브 화소(SPX1), 제2 서브 화소(SPX2) 및 제3 서브 화소(SPX3)는 실질적으로 서로 동일 또는 유사한 구조를 가질 수 있다.
- [56] 도 2a 내지 도 2d를 참조하면, 서브 화소(SPX)는 데이터 신호에 대응하는 휘도의 광을 생성하기 위한 광원 유닛(LSU), 및 광원 유닛(LSU)을 구동하기 위한 화소 회로(PXC)를 포함할 수 있다.
- [57] 광원 유닛(LSU)은 제1 전원(VDD)과 제2 전원(VSS)의 사이에 전기적으로 연결된 적어도 하나의 발광 소자(LD)를 포함할 수 있다. 제1 전원(VDD)과 제2 전원(VSS)은 발광 소자(LD)가 발광할 수 있도록 서로 다른 전위를 가질 수 있다. 일 예로, 제1 전원(VDD)은 고전위 전원으로 설정되고, 제2 전원(VSS)은 저전위 전원으로 설정될 수 있다. 이때, 제1 전원(VDD)과 제2 전원(VSS)의 전위 차는 적어

도 서브 화소(SPX)의 발광 기간 동안 발광 소자(LD)의 문턱 전압 이상으로 설정될 수 있다.

- [58] 발광 소자(LD)는 화소 회로(PXC)를 통해 공급되는 구동 전류에 대응하는 휘도로 발광할 수 있다. 발광 소자(LD)는 마이크로 발광 다이오드, 양자점(quantum dot) 발광 다이오드와 같은 무기(inorganic) 발광 다이오드로 구성될 수 있다. 실시예들에서, 발광 소자(LD)는 무기 결정 구조의 재료를 이용한 초소형의 일 예로, 나노 스케일 내지 마이크로 스케일 정도로 작은 크기의, 발광 다이오드일 수 있다. 다만, 이에 한정되는 것은 아니며, 발광 소자(LD)는 유기(organic) 발광 다이오드일 수도 있다.
- [59] 실시예들에서, 광원 유닛(LSU)은 서로 병렬 연결된 복수의 발광 소자(LD)들을 포함할 수 있다.
- [60] 도 2b에 도시된 바와 같이, 광원 유닛(LSU)은 화소 회로(PXC) 및 제1 전원선(PL1)을 경유하여 제1 전원(VDD)에 전기적으로 연결되는 제1 전극(CNE1), 제2 전원선(PL2)을 통해 제2 전원(VSS)에 전기적으로 연결되는 제2 전극(CNE2), 및 제1 및 제2 전극들(CNE1, CNE2)의 사이에 서로 동일한 방향으로 전기적으로 연결되는 복수의 발광 소자(LD)들을 포함할 수 있다. 실시예들에서, 제1 전극(CNE1)(또는, 제1 화소 전극)은 애노드 전극이거나 애노드 전극에 대응하며, 제2 전극(CNE2)(또는, 제2 화소 전극)은 캐소드 전극이거나 캐소드 전극에 대응할 수 있다.
- [61] 발광 소자(LD)는 제1 전극(CNE1) 및/또는 화소 회로(PXC)를 통해 제1 전원(VDD)에 전기적으로 연결되는 제1 단부(일 예로, p형 단부) 및 제2 전극(CNE2)을 통해 제2 전원(VSS)에 전기적으로 연결되는 제2 단부(일 예로, n형 단부)를 포함할 수 있다. 즉, 발광 소자(LD)는 제1 및 제2 전극들(CNE1, CNE2)의 사이에 순방향으로 병렬 연결될 수 있다. 제1 전원(VDD)과 제2 전원(VSS)의 사이에 순방향으로 연결된 각각의 발광 소자(LD)는 각각의 유효 광원을 구성하고, 이러한 유효 광원들이 모여 화소(PXL)의 광원 유닛(LSU)을 구성할 수 있다.
- [62] 발광 소자(LD)의 일 단부(일 예로, p형 단부)는 광원 유닛(LSU)의 일 전극(일 예로, 제1 전극(CNE1)))을 통해 화소 회로(PXC)에 공통으로 연결되며, 화소 회로(PXC) 및 제1 전원선(PL1)을 통해 제1 전원(VDD)에 전기적으로 연결될 수 있다. 발광 소자(LD)의 타 단부(일 예로, n형 단부)는 광원 유닛(LSU)의 다른 전극(일 예로, 제2 전극(CNE2)) 및 제2 전원선(PL2)을 통해 제2 전원(VSS)에 공통으로 연결될 수 있다.
- [63] 실시예들에서, 광원 유닛(LSU)은 직렬 연결된 복수의 발광 소자(LD)들을 포함할 수도 있다. 예를 들어, 광원 유닛(LSU)은 적어도 2개의 직렬 단을 구성하며 서로 직/병렬 연결된 발광 소자(LD)들을 포함할 수 있다.
- [64] 도 2c에 도시된 바와 같이, 광원 유닛(LSU)은 2개의 직렬 단을 구성하며 서로 직/병렬 연결된 발광 소자(LD)들을 포함할 수 있다. 이 경우, 각각의 직렬 단은 한 쌍의 전극들(일 예로, 두 개의 전극들) 및 상기 한 쌍의 전극들의 사이에 전기

적으로 연결되는 적어도 하나의 발광 소자(LD)를 포함할 수 있다. 여기서, 각각의 직렬 단을 구성하는 발광 소자(LD)의 개수는 서로 동일하거나 상이할 수 있으며, 발광 소자(LD)의 개수가 특별히 제한되는 것은 아니다. 예를 들어, 제1 직렬 단은 제1 전극(CNE1) 및 중간 전극(CTE)(또는, 제3 전극) 사이에 전기적으로 연결된 적어도 하나의 제1 발광 소자(LD1)를 포함하고, 제2 직렬 단은 중간 전극(CTE) 및 제2 전극(CNE2) 사이에 전기적으로 연결된 적어도 하나의 제2 발광 소자(LD2)를 포함할 수 있다.

[65] 도 2d에 도시된 바와 같이, 광원 유닛(LSU)은 4개의 직렬 단을 구성하며 서로 직/병렬 연결된 발광 소자(LD)들을 포함할 수 있다. 예를 들어, 제1 직렬 단은 제1 전극(CNE1) 및 제1 중간 전극(CTE1) 사이에 전기적으로 연결된 적어도 하나의 제1 발광 소자(LD1)를 포함하고, 제2 직렬 단은 제1 중간 전극(CTE1) 및 제2 중간 전극(CTE2) 사이에 전기적으로 연결된 적어도 하나의 제2 발광 소자(LD2)를 포함하며, 제3 직렬 단은 제2 중간 전극(CTE2) 및 제3 중간 전극(CTE3) 사이에 전기적으로 연결된 적어도 하나의 제3 발광 소자(LD3)를 포함하고, 제4 직렬 단은 제3 중간 전극(CTE3) 및 제2 전극(CNE2) 사이에 전기적으로 연결된 적어도 하나의 제4 발광 소자(LD4)를 포함할 수 있다.

[66] 동일 조건(일 예로, 동일한 크기 및/또는 개수)의 발광 소자(LD)들을 유효 광원으로 활용하여 광원 유닛(LSU)을 구성한다고 할 때, 발광 소자(LD)들을 직렬 또는 직/병렬 혼합 구조로 연결할 경우, 전력 효율을 향상시킬 수 있다. 예를 들어, 발광 소자(LD)들을 직렬 또는 직/병렬로 연결한 광원 유닛(LSU)에서는 발광 소자(LD)들을 병렬로만 연결한 광원 유닛(LSU)에 비해 동일 전류로 보다 높은 휘도를 표현할 수 있다. 또한, 발광 소자(LD)들을 직렬 또는 직/병렬로 연결한 광원 유닛(LSU)에서는 발광 소자(LD)들을 병렬로 연결한 광원 유닛(LSU)에 비해 보다 낮은 구동 전류로 동일한 휘도를 표현할 수 있다. 또한, 발광 소자(LD)들을 직렬 또는 직/병렬 혼합 구조로 연결한 서브 화소(SPX)에서는 일부의 직렬 단에서 쇼트 불량 등이 발생하더라도 나머지 직렬 단의 발광 소자(LD)들을 통해 어느 정도의 휘도를 표현할 수 있으므로, 서브 화소(SPX)의 암점 불량 가능성을 낮출 수 있다.

[67] 화소 회로(PXC)는 제1 전원(VDD)과 광원 유닛(LSU)의 사이에 전기적으로 연결될 수 있다. 화소 회로(PXC)는 주사선(Si)(또는, 게이트선) 및 데이터선(Dj)에 전기적으로 연결될 수 있다. 또한, 화소 회로(PXC)는 센싱 제어선(SSi) 및 센싱선(SLj)에 전기적으로 더 연결될 수 있다. 일 예로, 서브 화소(SPX)가 표시 영역(DA)의 i (i 는 자연수)번째 수평 라인(또는, 행, 화소행) 및 j (j 는 자연수)번째 수직 라인(또는, 열, 화소열)에 배치되었다고 할 때, 서브 화소(SPX)의 화소 회로(PXC)는 표시 영역(DA)의 i 번째 주사선(Si), i 번째 센싱 제어선(SSi), j 번째 데이터선(Dj), 및 센싱선(SLj)에 전기적으로 연결될 수 있다.

[68] 실시예들에 따라, 화소 회로(PXC)는 복수의 트랜지스터들과 적어도 하나의 커패시터를 포함할 수 있다. 예를 들어, 화소 회로(PXC)는 제1 트랜지스터(T1), 제

2 트랜지스터(T2), 제3 트랜지스터(T3), 및 스토리지 커패시터(Cst)(예를 들어, C1 및 C2)를 포함할 수 있다.

[69] 제1 트랜지스터(T1)는 제1 전원(VDD)과 광원 유닛(LSU)의 사이에 전기적으로 연결된다. 예를 들어, 제1 트랜지스터(T1)의 제1 전극(또는, 제1 단자, 제1 트랜지스터 전극, 일 예로, 드레인 전극)은 제1 전원(VDD)에 전기적으로 연결되고, 제1 트랜지스터(T1)의 제2 전극(또는, 제2 단자, 제2 트랜지스터 전극, 일 예로, 소스 전극)은 광원 유닛(LSU)의 일 전극(예를 들어, 애노드 전극)에 전기적으로 연결될 수 있다. 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 전기적으로 연결된다. 제1 트랜지스터(T1)의 백 게이트 전극은 제2 노드(N2)에 전기적으로 연결될 수 있다. 이러한 제1 트랜지스터(T1)는 제1 노드(N1)의 전압에 대응하여 광원 유닛(LSU)으로 공급되는 구동 전류를 제어한다. 즉, 제1 트랜지스터(T1)는 서브 화소(SPX)의 구동 전류를 제어하는 구동 트랜지스터일 수 있다.

[70] 제2 트랜지스터(T2)는 데이터선(Dj)과 제1 노드(N1)의 사이에 전기적으로 연결된다. 예를 들어, 제2 트랜지스터(T2)의 제1 전극은 데이터선(Dj)에 전기적으로 연결되고, 제2 트랜지스터(T2)의 제2 전극은 제1 노드(N1)에 전기적으로 연결될 수 있다. 제2 트랜지스터(T2)의 게이트 전극은 주사선(Si)에 전기적으로 연결된다. 이러한 제2 트랜지스터(T2)는 주사선(Si)으로부터 게이트-온 전압(일 예로, 하이 레벨 전압)의 주사 신호(SCi)가 공급될 때 턴-온되어, 데이터선(Dj)과 제1 노드(N1)를 전기적으로 연결한다. 각각의 프레임 기간마다 데이터선(Dj)으로는 해당 프레임의 데이터 신호(DSj)가 공급되고, 데이터 신호(DSj)는 게이트-온 전압의 주사 신호(SCi)가 공급되는 기간 동안 턴-온된 제2 트랜지스터(T2)를 통해 제1 노드(N1)로 전달된다. 즉, 제2 트랜지스터(T2)는 각각의 데이터 신호(DSj)를 서브 화소(SPX)의 내부로 전달하기 위한 스위칭 트랜지스터일 수 있다.

[71] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)와 센싱선(SLj)의 사이에 전기적으로 연결된다. 예를 들어, 제3 트랜지스터(T3)의 제1 전극은 센싱선(SLj)에 전기적으로 연결되고, 제3 트랜지스터(T3)의 제2 전극은 제2 노드(N2)(또는, 제1 트랜지스터(T1)의 제2 전극)에 전기적으로 연결될 수 있다. 제3 트랜지스터(T3)의 게이트 전극은 센싱 제어선(SSi)에 연결된다. 센싱 제어선(SSi)이 생략되는 경우, 제3 트랜지스터(T3)의 게이트 전극은 주사선(Si)(또는, 주사선(Si)보다 이전 행에 위치하는 이전 주사선, 또는, 이후 행에 위치하는 이후 주사선)에 연결될 수도 있다. 이와 같은 제3 트랜지스터(T3)는 소정의 센싱 기간 동안 센싱 제어선(SSi)으로 공급되는 게이트-온 전압의 센싱 제어 신호(SSCi)에 의해 턴-온되어 센싱선(SLj)과 제1 트랜지스터(T1)를 전기적으로 연결한다. 실시예들에 따라, 센싱선(SLj)에는 소정의 기준 전압(또는, 초기화 전압)이 인가되며, 상기 기준 전압은 제1 전원(VDD) 및 제2 전원(VSS) 사이의 전압 레벨을 가질 수 있으나, 이에 한정되는 것은 아니다.

[72] 스토리지 커패시터(Cst)(예를 들어, C1 및 C2)는 제1 노드(N1) 및 제2 노드(N2) 사이에 형성되거나 전기적으로 연결될 수 있다. 스토리지 커패시터(Cst)(예를 들

어, C1 및 C2)는 각각의 프레임 기간 동안 제1 노드(N1)로 공급되는 데이터 신호(DSj)에 대응하는 전압을 충전할 수 있다.

- [73] 실시예들에서, 스토리지 커패시터(Cst)는 상호 구분된 제1 커패시터(C1) 및 제2 커패시터(C2)를 포함할 수 있다. 제1 커패시터(C1) 및 제2 커패시터(C2)는 제1 노드(N1) 및 제2 노드(N2) 사이에 상호 병렬 연결될 수 있다. 제1 커패시터(C1) 및 제2 커패시터(C2) 각각의 제1 전극은 제2 노드(N2)에 전기적으로 연결되고, 제1 커패시터(C1) 및 제2 커패시터(C2) 각각의 제2 전극은 제1 노드(N1)에 전기적으로 연결된다.
- [74] 도 6을 참조하여 후술하겠지만, 제1 커패시터(C1) 및 제2 커패시터(C2)는 상호 중첩하여 형성될 수 있다. 스토리지 커패시터(Cst)는 하나의 커패시터 대신에 제1 커패시터(C1) 및 제2 커패시터(C2)를 포함함으로써, 제한된 공간(또는, 평면 공간)에서 최대화된 커패시턴스를 가질 수 있다.
- [75] 참고로, 제1 노드(N1)와 제1 노드(N1)에 인접한 신호선 및/또는 전원선 사이에는 기생 커패시터(또는, 기생 커패시턴스)가 형성되거나, 제1 노드(N1)가 상기 신호선 및/또는 전원선에 커플링될 수 있다. 상기 기생 커패시터 또는 커플링은 제1 노드(N1)의 전압(또는, 전압 변동)에 영향을 미치며, 이로 인해 서브 화소(SPX)가 원하는 휘도로 발광하지 못할 수 있다. 제1 커패시터(C1) 및 제2 커패시터(C2)에 의해 스토리지 커패시터(Cst)의 커패시턴스가 최대화되는 경우, 다른 신호선 및/또는 전원선(예를 들어, 제1 전원선(PL1))과 제1 노드(N1) 사이에 형성되는 기생 커패시터의 영향성을 완화시키거나 배제시킬 수 있다. 기생 커패시터의 영향성이 배제되는 경우, 서브 화소(SPX)는 원하는 휘도로 정확하게 발광하며, 표시 장치에 표시되는 영상의 표시 품질이 향상될 수 있다.
- [76] 한편, 도 2a 내지 도 2d에서는 화소 회로(PXC)에 포함되는 트랜지스터들, 일 예로, 제1, 제2, 및 제3 트랜지스터들(T1, T2, T3)을 모두 N형 트랜지스터들로 도시하였으나, 반드시 이에 제한되는 것은 아니며, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 또는 제3 트랜지스터(T3)는 P형 트랜지스터로 변경될 수도 있다. 이외에도, 화소 회로(PXC)는 다양한 구조 및/또는 구동 방식의 화소 회로로 구성될 수 있다.
- [77] 도 3 및 도 4는 도 1의 표시 장치에 포함된 화소의 일 실시예를 나타내는 레이아웃도들이다. 도 3 및 도 4에는 도 2a 내지 도 2d의 서브 화소(SPX)의 화소 회로(PXC)(또는, 화소 회로층)를 중심으로 서브 화소들의 레이아웃이 도시되었다.
- [78] 도 1 내지 도 4를 참조하면, 화소(PXL)는 제1 서브 화소(SPX1), 제2 서브 화소(SPX2), 및 제3 서브 화소(SPX3)를 포함할 수 있다. 제1 서브 화소(SPX1), 제2 서브 화소(SPX2), 및 제3 서브 화소(SPX3)는 상호 실질적으로 동일하거나 유사한 화소 구조(또는, 회로 구조)를 가지므로, 제1 서브 화소(SPX1), 제2 서브 화소(SPX2), 및 제3 서브 화소(SPX3)의 공통된 구성에 대해서는 제1 서브 화소(SPX1)를 기준으로 설명하며, 중복되는 설명은 반복하지 않기로 한다.

- [79] 제1 수직 전원선(PL1_V), 센싱선들(SL1~SL3), 데이터선들(D1~D3), 및 제2 수직 전원선(PL2_V)은 대체로 제2 방향(DR2)으로 연장하며, 제1 방향(DR1)을 따라 배열될 수 있다. 센싱선들(SL1~SL3)은 부분적으로 굴곡진 형상을 가지나, 이에 한정되는 것은 아니다.
- [80] 제1 서브 화소(SPX1)의 제1 커패시터 전극(CE1)을 기준으로, 제1 수직 전원선(PL1_V)은 좌측 방향에 배치될 수 있다. 센싱선들(SL1~SL3) 및 데이터선들(D1~D3)은, 대응되는 서브 화소의 제1 커패시터 전극(CE1)의 우측 방향에 배치될 수 있다. 예를 들어, 제1 센싱선(SL1) 및 제1 데이터선(D1) 각각은 제1 서브 화소(SPX1)의 제1 커패시터 전극(CE1)의 우측 방향에 배치될 수 있다. 제2 수직 전원선(PL2_V)은 제3 서브 화소(SPX3)(또는, 화소(PXL))의 우측 방향에 배치될 수 있다.
- [81] 제1 수직 전원선(PL1_V), 센싱선들(SL1~SL3), 데이터선들(D1~D3), 제2 수직 전원선(PL2_V), 및 제1 커패시터 전극(CE1)은 동일한 물질을 포함하며, 동일한 공정을 통해 동일한 층에 배치될 수 있다.
- [82] 제2 수평 전원선(PL2_H), 게이트선(SC), 및 제1 수평 전원선(PL1_H)은 제1 방향(DR1)으로 연장하며, 제2 방향(DR2)을 따라 배열될 수 있다. 제1 서브 화소(SPX1)의 제2 커패시터 전극(CE2)을 기준으로, 제2 수평 전원선(PL2_H) 및 게이트선(SC)은 상측 방향에, 제1 수평 전원선(PL1_H)은 하측 방향에 배치될 수 있다. 게이트선(SC)은 도 2a 내지 도 2d에 도시된 주사선(Si) 및 센싱 제어선(SSi)에 대응할 수 있다.
- [83] 제2 수평 전원선(PL2_H), 게이트선(SC), 및 제1 수평 전원선(PL1_H), 제2 커패시터 전극(CE2), 제1, 제2, 및 제3 브릿지 패턴들(BRP1, BRP2, BRP3)(또는, 연결 패턴들)은 동일한 물질을 포함하며, 동일한 공정을 통해 동일한 층에 배치될 수 있다.
- [84] 제2 커패시터 전극(CE2) 및 제1 커패시터 전극(CE1)은 상호 중첩하며 제1 커패시터(C1)를 구성할 수 있다. 평면도 상에서, 제2 커패시터 전극(CE2)은 제1 커패시터 전극(CE1)에 의해 대체로 커버되며, 제2 커패시터 전극(CE2)의 면적은 제1 커패시터 전극(CE1)의 면적보다 작을 수 있다. 제1 커패시터(C1)의 커패시턴스(또는, 용량)를 증가시키거나 최대화하기 위해, 도 4에 도시된 제1 컨택홀(CNT1) 및 제2 컨택홀(CNT2)에 대응하는 영역을 제외하고, 제1 커패시터 전극(CE1)의 대부분의 영역은 제2 커패시터 전극(CE2)과 중첩할 수 있다.
- [85] 제2 수평 전원선(PL2_H)은 제2 수직 전원선(PL2_V)과 교차하며, 상기 교차하는 영역에서 컨택홀(및 브릿지 패턴)을 통해 제2 수직 전원선(PL2_V)에 연결될 수 있다. 제2 수평 전원선(PL2_H) 및 제2 수직 전원선(PL2_V)은 전체적으로 메쉬 구조를 이루며, 제2 전원선(PL2, 도 2a 내지 도 2d 참고)을 구성할 수 있다.
- [86] 유사하게, 제1 수평 전원선(PL1_H)은 제1 수직 전원선(PL1_V)과 교차하며, 상기 교차하는 영역에서 컨택홀(및 브릿지 패턴)을 통해 제1 수직 전원선(PL1_V)에 연결될 수 있다. 제1 수평 전원선(PL1_H) 및 제1 수직 전원선(PL1_V)은 전체

적으로 메쉬 구조를 이루며, 제1 전원선(PL1, 도 2c 참고)을 구성할 수 있다. 제1 수평 전원선(PL1_H) 및 제2 수평 전원선(PL2_H)의 배치는 상호 변경될 수도 있다.

- [87] 제1 반도체 패턴(ACT1)은 제1 및 제2 커패시터 전극들(CE1, CE2)의 하측 방향에 위치하되, 제1 및 제2 커패시터 전극들(CE1, CE2)과 부분적으로 중첩할 수 있다. 제1 및 제2 커패시터 전극들(CE1, CE2)과 중첩하는 제1 반도체 패턴(ACT1)의 중앙 부분은 제1 트랜지스터(T1, 도 2c 참고)의 채널을 구성하며, 제2 커패시터 전극(CE2)은 제1 트랜지스터(T1)의 게이트 전극을 구성하며, 제1 커패시터 전극(CE1)은 제1 트랜지스터(T1)의 백 게이트 전극을 구성할 수 있다. 제1 반도체 패턴(ACT1)의 제1 부분(예를 들어, 하측 부분)은 제1 브릿지 패턴(BRP1)(및 콘택홀)을 통해 제1 수직 전원선(PL1_V)의 돌출된 부분에 전기적으로 연결될 수 있다. 제1 반도체 패턴(ACT1)의 제1 부분 또는 제1 브릿지 패턴(BRP1)은 제1 트랜지스터(T1)의 제1 전극일 수 있다. 제2 커패시터 전극(CE2)의 개구 부분(즉, 제1 커패시터 전극(CE1)을 노출시키거나 개구 부분)에서 제1 반도체 패턴(ACT1)의 제2 부분(예를 들어, 상측 부분)은 제1 콘택홀(CNT1, 도 4 참고) 및 제1 정렬 전극(ELT1, 도 4 참고)을 통해 제1 커패시터 전극(CE1)에 전기적으로 연결될 수 있다. 제1 반도체 패턴(ACT1)의 제2 부분 또는 제1 정렬 전극(ELT1)은 제1 트랜지스터(T1)의 제2 전극일 수 있다.
- [88] 제2 반도체 패턴(ACT2)은 제2 커패시터 전극(CE2)의 상측 방향에 위치하되, 게이트선(SC)과 부분적으로 중첩할 수 있다. 게이트선(SC)과 중첩하는 제2 반도체 패턴(ACT2)의 중앙 부분은 제2 트랜지스터(T2)의 채널을 구성하며, 게이트선(SC)은 제2 트랜지스터(T2)의 게이트 전극을 구성할 수 있다. 제2 반도체 패턴(ACT2)의 제2 부분은 제2 커패시터 전극(CE2)과 전기적으로 연결될 수 있다. 예를 들어, 제2 커패시터 전극(CE2)은 콘택홀을 통해 제2 반도체 패턴(ACT2)의 제2 부분과 접촉할 수 있다. 제2 반도체 패턴(ACT2)의 제2 부분 또는 제2 커패시터 전극(CE2)은 제2 트랜지스터(T2)의 제2 전극일 수 있다. 제2 반도체 패턴(ACT2)의 제1 부분은 제2 브릿지 패턴(BRP2)(및 콘택홀)을 통해 제1 데이터선(D1)과 전기적으로 연결될 수 있다. 제2 반도체 패턴(ACT2)의 제1 부분 또는 제2 브릿지 패턴(BRP2)은 제2 트랜지스터(T2)의 제1 전극일 수 있다.
- [89] 제3 반도체 패턴(ACT3)은 제1 커패시터 전극(CE1)의 상측 방향에 위치하되, 게이트선(SC)과 부분적으로 중첩할 수 있다. 게이트선(SC)과 중첩하는 제3 반도체 패턴(ACT3)의 중앙 부분은 제3 트랜지스터(T3)의 채널을 구성하며, 게이트선(SC)은 제3 트랜지스터(T3)의 게이트 전극을 구성할 수 있다. 제3 반도체 패턴(ACT3)의 제2 부분은 제2 콘택홀(CNT2, 도 4 참고) 및 제1 정렬 전극(ELT1, 도 4 참고)을 통해 제1 커패시터 전극(CE1)에 전기적으로 연결될 수 있다. 제3 반도체 패턴(ACT3)의 제2 부분 또는 제1 정렬 전극(ELT1)은 제3 트랜지스터(T3)의 제2 전극일 수 있다. 제3 반도체 패턴(ACT3)의 제1 부분은 제3 브릿지 패턴(BRP3)(및 콘택홀)을 통해 제1 센싱선(SL1)과 전기적으로 연결될 수 있다. 제3 반도체 패턴

(ACT3)의 제1 부분 또는 제3 브릿지 패턴(BRP3)은 제3 트랜지스터(T3)의 제1 전극일 수 있다.

[90] 반도체 패턴들(ACT1~ACT3)은 동일한 물질을 포함하며, 동일한 공정을 통해 동일한 층에 배치될 수 있다. 반도체 패턴들(ACT1~ACT3, ACT1_1~ACT3_1)은 다결정 실리콘(poly silicon), 비정질 실리콘(amorphous silicon), 산화물 반도체 등을 포함할 수 있다. 반도체 패턴들(ACT1~ACT3)의 채널(또는, 채널 영역)은 불순물이 도핑되지 않은 반도체 패턴이며, 반도체 패턴들(ACT1~ACT3)의 제1 및 제2 부분들(또는, 채널을 제외한 영역)은 불순물이 도핑된 반도체 패턴일 수 있다.

[91] 도 4에 도시된 바와 같이, 제1 정렬 전극(ELT1)(또는, 제1 전극, 제1 반사 전극), 및 제2 정렬 전극(ELT2)(또는, 제2 전극, 제2 반사 전극)은 제2 방향(DR2)으로 연장하며 제1 방향(DR1)을 따라 배열될 수 있다. 설명의 편의상, 제1 서브 화소(SPX1)(또는, 해당 서브 화소)의 우측 방향에 위치한 제2 정렬 전극(ELT2)을 제3 정렬 전극(ELT3)(또는, 제3 전극, 제3 반사 전극)으로 부르기로 한다.

[92] 제2 정렬 전극(ELT2)은 제1 서브 화소(SPX1)와 제2 방향(DR2)으로 인접한 서브 화소들까지 연장할 수 있다. 즉, 제2 정렬 전극(ELT2)은 복수의 서브 화소들에 걸쳐 연장할 수 있다. 제2 정렬 전극(ELT2)은 제1 수직 전원선(PL1_V)(및 제2 수직 전원선(PL2_V)과 중첩할 수 있다. 제2 정렬 전극(ELT2)은 콘택홀을 통해 제1 수직 전원선(PL1_V)과 전기적으로 연결될 수 있다.

[93] 제1 정렬 전극(ELT1)은 제2 정렬 전극(ELT2) 및 제3 정렬 전극(ELT3) 사이에 위치하며, 제2 방향(DR2)으로 제2 수평 전원선(PL2_H) 및 제1 수평 전원선(PL1_H) 사이에 위치할 수 있다. 제1 정렬 전극(ELT1)은 전극 개구부(ELO)를 사이에 두고 제2 방향(DR2)으로 인접한 다른 제1 정렬 전극으로부터 이격될 수 있다. 참고로, 제1 정렬 전극(ELT1) 및 이에 제2 방향(DR2)으로 인접한 제1 정렬 전극은 하나의 전극으로, 즉, 일체로 형성되고, 이후, 전극 개구부(ELO)에 대응하는 상기 전극의 일 부분이 제거되면서 상호 분리될 수 있다. 제1 정렬 전극(ELT1)은 평면도 상에서 서브 화소들(SPX1~SPX3) 각각에 아일랜드 형태로 배열될 수 있다.

[94] 제1 정렬 전극(ELT1)은 제1 커패시터 전극(CE1) 및 제2 커패시터 전극(CE2)과 중첩하며, 평면도 상에서 제1 커패시터 전극(CE1) 및 제2 커패시터 전극(CE2)을 커버할 수 있다. 제1 정렬 전극(ELT1)은 제2 커패시터 전극(CE2)과 중첩하며 제2 커패시터(C2)를 구성할 수 있다. 제2 커패시터(C2) 및 제1 커패시터(C1, 도 3 참고)는 제2 커패시터 전극(CE2)을 공유할 수 있다. 제1 정렬 전극(ELT1)은 제1 콘택홀(CNT1)을 통해 제1 커패시터 전극(CE1)과 접촉하거나 전기적으로 연결될 수 있다. 이에 따라, 제1 커패시터(C1) 및 제2 커패시터(C2)는 병렬 연결될 수 있다.

[95] 제1 정렬 전극(ELT1)은 제1 서브 화소(SPX1)의 대부분의 회로 구성과 중첩할 수 있다. 예를 들어, 제1 정렬 전극(ELT1)은 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 제3 트랜지스터(T3)(또는, 제3 트랜지스터(T3)의 채널, 게이트 전극)을 커버하거나 차폐(shielding) 할 수 있다. 이 경우, 제1 정렬 전극(ELT1) 상에 배

치되는 구성이 제1 서브 화소(SPX1)의 회로 구성(예를 들어, 제2 커패시터 전극(CE2) 또는 제1 트랜지스터(T1)의 게이트 전극)에 미치는 영향(또는, 커플링)이 차단될 수 있다.

- [96] 브릿지 전극(BRE)은 제1 정렬 전극(ELT1) 및 제2 정렬 전극(ELT2)으로부터 이격되거나 분리되며, 제2 수평 전원선(PL2_H)과 중첩할 수 있다. 브릿지 전극(BRE)은 콘택홀을 통해 제2 수평 전원선(PL2_H)에 접촉하거나 전기적으로 연결될 수 있다. 참고로, 브릿지 전극(BRE)과 제1 정렬 전극(ELT1)은 하나의 전극으로, 즉, 일체로 형성되고, 이후, 전극 개구부(EL0)에 대응하는 상기 전극의 일 부분이 제거되면서 브릿지 전극(BRE)은 제1 정렬 전극(ELT1)으로부터 분리될 수 있다. 브릿지 전극(BRE)은 평면도 상에서 서브 화소들(SPXL1~SPLX3) 각각에 아일랜드 형태로 배열될 수 있다.
- [97] 제1 정렬 전극(ELT1) 및 제2 정렬 전극(ELT2), 및 브릿지 전극(BRE)은 동일한 물질을 포함하며, 동일한 공정을 통해 동일한 층에 배치될 수 있다.
- [98] 상술한 바와 같이, 제1 커패시터 전극(CE1) 및 제2 커패시터 전극(CE2)이 제1 커패시터(C1)를 형성하며, 제2 커패시터 전극(CE2) 및 제1 정렬 전극(ELT1)이 제2 커패시터(C2)를 형성할 수 있다. 따라서, 스토리지 커패시터(Cst)(예를 들어, C1 및 C2)의 커패시턴스(또는, 용량)이 보다 충분히 확보될 수 있다. 또한, 제2 커패시터(C2)의 일 전극을 구성하는 제1 정렬 전극(ELT1)이 제2 커패시터 전극(CE2)(또는 제1 트랜지스터(T1)의 게이트 전극)을 커버하거나 차폐할 수 있다. 따라서, 스토리지 커패시터(Cst)(또는 제1 트랜지스터(T1)의 게이트 전극)에 보다 정확한 데이터 신호가 충전되거나 유지되고, 서브 화소는 목표 휘도로 정확하게 발광하며, 표시 품질이 향상될 수 있다.
- [99] 도 5는 도 1의 표시 장치에 포함된 화소의 실시예들을 나타내는 평면도이다. 도 5에는 도 2d의 서브 화소(SPX)의 광원 유닛(LSU, 도 2d 참고)을 중심으로, 화소(PXL)가 간략하게 도시되었다. 화소(PXL)의 제1 서브 화소(SPX1), 제2 서브 화소(SPX2), 및 제3 서브 화소(SPX3)는 상호 실질적으로 동일하거나 유사하므로, 제1 서브 화소(SPX1)를 기준으로 설명하며, 중복되는 설명은 반복하지 않기로 한다.
- [100] 도 1 내지 도 5를 참조하면, 정렬 전극들(ELT1~ELT3)은 발광 소자(LD)의 정렬을 위한 정렬 전극으로 사용될 수 있다. 표시 장치의 제조 과정에서, 정렬 전극들(ELT1~ELT3) 사이에 형성된 전계에 의해, 발광 영역(EMA)에 공급된 발광 소자(LD)가 원하는 방향 및/또는 위치로 정렬될 수 있다. 예를 들어, 발광 소자(LD)는 길이 방향이 제1 방향(DR1)과 실질적으로 나란하도록 제1 정렬 전극(ELT1) 및 제2 정렬 전극(ELT2)(또는 제3 정렬 전극(ELT3)) 사이에 정렬될 수 있다.
- [101] 제1 전극(CNE1)은 제1 발광 소자(LD1)의 제1 단부 및 제1 정렬 전극(ELT1)과 중첩할 수 있다. 제1 전극(CNE1)은 제1 발광 소자(LD1)의 제1 단부와 제1 정렬 전극(ELT1)을 전기적으로 연결할 수 있다. 도 4를 참조하여 설명한 바와 같이, 제1 정렬 전극(ELT1)은 스토리지 커패시터(Cst)의 일 전극을 구성하며 제1 트랜지스

터(T1)의 제2 전극과 연결되며, 이에 따라, 제1 전극(CNE1)은 제1 트랜지스터(T1)의 제2 전극과 전기적으로 연결될 수 있다.

- [102] 제1 중간 전극(CTE1)은 제1 발광 소자(LD1)의 제2 단부 및 제2 정렬 전극(ELT2)(또는, 제3 전극(ELT3))과 중첩할 수 있다. 또한, 제1 중간 전극(CTE1)은 제2 발광 소자(LD2)의 제1 단부 및 제1 정렬 전극(ELT1)과 중첩할 수 있다. 이를 위해, 제1 중간 전극(CTE1)의 일부는 굴곡진 형상을 가질 수 있다. 제1 중간 전극(CTE1)은 제1 발광 소자(LD1)의 제2 단부와 제2 발광 소자(LD2)의 제1 단부를 물리적 및/또는 전기적으로 연결할 수 있다.
- [103] 제2 중간 전극(CTE2)은 제2 발광 소자(LD2)의 제2 단부 및 제2 정렬 전극(ELT2)(또는, 제3 전극(ELT3))과 중첩할 수 있다. 또한, 제2 중간 전극(CTE2)은 제3 발광 소자(LD3)의 제1 단부 및 제1 정렬 전극(ELT1)과 중첩할 수 있다. 제2 중간 전극(CTE2)은 제1 중간 전극(CTE1)을 우회하는 형상을 가질 수 있다. 제2 중간 전극(CTE2)은 제2 발광 소자(LD2)의 제2 단부와 제3 발광 소자(LD3)의 제1 단부를 물리적 및/또는 전기적으로 연결할 수 있다.
- [104] 제3 중간 전극(CTE3)은 제3 발광 소자(LD3)의 제2 단부 및 제2 정렬 전극(ELT2)과 중첩할 수 있다. 또한, 제3 중간 전극(CTE3)은 제4 발광 소자(LD4)의 제1 단부 및 제1 정렬 전극(ELT1)과 중첩하도록 위치할 수 있다. 이를 위해, 제3 중간 전극(CTE3)의 일부는 굴곡진 형상을 가질 수 있다. 제3 중간 전극(CTE3)은 제3 발광 소자(LD3)의 제2 단부와 제4 발광 소자(LD4)의 제1 단부를 물리적 및/또는 전기적으로 연결할 수 있다.
- [105] 제2 전극(CNE2)은 제4 발광 소자(LD4)의 제2 단부 및 제2 정렬 전극(ELT2)과 중첩할 수 있다. 또한, 제2 전극(CNE2)은 브릿지 전극(BRE)과 중첩하며, 브릿지 전극(BRE)과 접촉할 수 있다. 제2 전극(CNE2)은 제4 발광 소자(LD4)의 제2 단부와 브릿지 전극(BRE)을 전기적으로 연결할 수 있다. 도 4를 참조하여 설명한 바와 같이, 브릿지 전극(BRE)은 제2 수평 전원선(PL2_H)과 연결되며, 이에 따라, 제2 전극(CNE2)은 제2 수평 전원선(PL2_H)(또는, 제2 전원선(PL2))과 전기적으로 연결될 수 있다.
- [106] 상술한 바와 같이, 발광 소자들(LD1~LD4)은 제1 전극(CNE1) 및 제2 전극(CNE2) 사이에 직렬 연결될 수 있다. 한편, 정렬 전극들(ELT1~ELT3), 제1 및 제2 전극들(CNE1, CNE2), 및 중간 전극들(CTE1~CTE3) 각각의 형상은 발광 소자(LD)의 배열 및/또는 직/병렬 구조에 따라 다양하게 변경될 수 있으며, 또한, 제1 중간 전극(CTE1), 제2 중간 전극(CTE2), 또는 제3 중간 전극(CTE3)은 생략될 수도 있다.
- [107] 도 6은 도 3 내지 도 5의 I-I'선과 II-II'선에 따른 제1 서브 화소의 일 실시예를 나타내는 단면도이다.
- [108] 도 6에서 각각의 전극을 단일막의 전극으로, 예를 들어, 각각의 절연층을 단일막의 절연층으로만 도시하는 등 제1 서브 화소(SPX1)(또는, 서브 화소)를 단순화하여 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.

- [109] 도 3 내지 도 6을 참조하면, 제1 서브 화소(SPX1)는 기판(SUB) 상에 배치되는 화소 회로층(PCL) 및 표시 소자층(DPL)을 포함할 수 있다.
- [110] 편의를 위하여, 화소 회로층(PCL)을 우선적으로 설명한 후, 표시 소자층(DPL)에 대해 설명한다.
- [111] 화소 회로층(PCL)은 제1 도전층(또는, 제1 금속층), 제1 트랜지스터(T1), 및 제2 도전층(또는, 제2 금속층)을 포함할 수 있다.
- [112] 제1 도전층은 기판(SUB) 상에 배치되며, 제1 수직 전원선(PL1_V), 백 게이트 전극(BGE), 제1 커패시터 전극(CE1), 제1 센싱선(SL1), 및 제1 데이터선(D1)을 포함할 수 있다. 백 게이트 전극(BGE)은 기판(SUB)의 두께 방향(예를 들어, 제3 방향(DR3))으로 제1 반도체 패턴(ACT1)과 중첩하는 제1 커패시터 전극(CE1)의 일 부분(또는, 일 영역)일 수 있다.
- [113] 제1 도전층은 도전 물질을 포함할 수 있다. 예를 들어, 도전 물질은 구리(Cu), 몰리브덴(Mo), 텅스텐(W), 알루미늄네오디뮴(AlNd), 티타늄(Ti), 알루미늄(Al), 은(Ag) 및 이들의 합금을 포함할 수 있다. 제1 도전층은 단일막, 이중막 또는 다중막 구조를 형성할 수 있다. 예를 들어, 배선 저항을 줄이기 위해, 제1 도전층은 저저항 물질인 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al) 및/또는 은(Ag)의 이중막 또는 다중막 구조로 형성할 수 있다.
- [114] 버퍼층(BFL)은 기판(SUB) 및 제1 도전층 상에 제공 및/또는 형성되며, 제1 트랜지스터(T1)에 불순물이 확산되는 것을 방지할 수 있다. 버퍼층(BFL)은 무기 물질을 포함한 무기 절연막일 수 있다. 예를 들어, 무기 물질은 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x), 실리콘 산질화물(SiO_xN_y), 알루미늄 산화물(AlO_x)과 같은 금속 산화물 중에서 적어도 하나를 포함할 수 있다. 버퍼층(BFL)은 단일막으로 제공될 수 있으나, 적어도 이중막 이상의 다중막으로 제공될 수도 있다. 버퍼층(BFL)이 다중막으로 제공되는 경우, 각 레이어는 서로 동일한 재료로 형성되거나 서로 다른 재료로 형성될 수 있다. 버퍼층(BFL)은 기판(SUB)의 재료 및 공정 조건 등에 따라 생략될 수도 있다.
- [115] 제1 트랜지스터(T1)의 제1 반도체 패턴(ACT1)은 버퍼층(BFL) 상에 제공 및/또는 형성될 수 있다. 제1 반도체 패턴(ACT1)은 제1 접촉 영역, 제2 접촉 영역, 및 제1 및 제2 접촉 영역들 사이의 채널 영역을 포함할 수 있다. 제1 접촉 영역은 제1 트랜지스터 전극(TE1)(또는 제1 브릿지 패턴(BRP1))과 접촉하며, 제2 접촉 영역은 제2 트랜지스터 전극(TE2)(또는, 제1 정렬 전극(ELT1))과 접촉할 수 있다. 채널 영역은 제1 트랜지스터(T1)의 게이트 전극(GE)과 제3 방향(DR3)으로 중첩할 수 있다. 제1 반도체 패턴(ACT1)은 비정질 실리콘(amorphous silicon), 폴리 실리콘(poly silicon), 저온 폴리 실리콘(low temperature poly silicon), 산화물 반도체, 또는 유기 반도체 등으로 이루어진 반도체 패턴일 수 있다. 채널 영역은, 일 예로, 불순물이 도핑되지 않은 반도체 패턴으로서, 진성 반도체일 수 있다. 제1 접촉 영역과 제2 접촉 영역은 불순물이 도핑된 반도체 패턴일 수 있다.

- [116] 게이트 절연층(GI)은 제1 반도체 패턴(ACT1) 및 버퍼층(BFL) 상에 배치될 수 있다. 게이트 절연층(GI)은 무기 물질을 포함할 수 있다. 게이트 절연층(GI)에 절연성을 부여하는 다양한 물질이 적용될 수 있다. 일 예로, 게이트 절연층(GI)은 유기 물질을 포함할 수 있다. 게이트 절연층(GI)은 단일막으로 제공될 수 있으나, 적어도 이중막 이상의 다중막으로 제공될 수도 있다.
- [117] 제2 도전층은 게이트 절연층(GI) 상에 배치되며, 제1 트랜지스터 전극(TE1)(또는, 제1 브릿지 패턴(BRP1)), 제1 트랜지스터(T1)의 게이트 전극(GE), 제2 커패시터 전극(CE2), 및 제2 수평 전원선(PL2_H)을 포함할 수 있다. 게이트 전극(GE)은 제1 반도체 패턴(ACT1)의 채널 영역과 제3 방향(DR3)으로 중첩할 수 있다. 제2 커패시터 전극(CE2)은 제1 커패시터 전극(CE1)과 중첩하며, 제1 커패시터(C1)를 구성할 수 있다. 제2 도전층은 도전 물질을 포함할 수 있다. 제2 도전층은 제1 도전층과 동일한 물질을 포함하거나, 제1 도전층의 구성 물질로 예시된 물질들에서 선택된 하나 이상의 물질을 포함할 수 있다.
- [118] 층간 절연층(ILD)(또는, 보호층(PSV))은 제2 도전층 및 게이트 절연층(GI) 상에 배치될 수 있다. 층간 절연층(ILD)(또는, 보호층(PSV))은 유기 물질 및/또는 무기 물질을 포함할 수 있다. 예를 들어, 유기 물질은 아크릴계 수지(polyacrylates resin), 에폭시계 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides rein), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌 에테르계 수지(poly-phenylen ethers resin), 폴리페닐렌 설파이드계 수지(poly-phenylene sulfides resin), 및/또는 벤조사이클로부텐 수지(benzocyclobutene resin)를 포함할 수 있다. 예를 들어, 층간 절연층(ILD)은 유기막, 무기막, 또는 무기막 상에 배치된 유기막을 포함하는 형태로 제공될 수 있다.
- [119] 층간 절연층(ILD)(또는, 보호층(PSV)) 상에 표시 소자층(DPL)이 제공될 수 있다.
- [120] 표시 소자층(DPL)은 정렬 전극층, 제1 및 제2 뱅크 패턴들(BNP1, BNP2)(또는, 뱅크), 발광 소자(LD), 제1 및 제2 전극들(CNE1, CNE2), 및 적어도 제1 중간 전극(CTE1)을 포함할 수 있다. 또한, 표시 소자층(DPL)은 제1 및 제2 절연층들(INS1, INS2)을 포함할 수 있다.
- [121] 정렬 전극층은 층간 절연층(ILD) 상에 배치되며, 제1 정렬 전극(ELT1), 제2 정렬 전극(ELT2), 및 브릿지 전극(BRE)을 포함할 수 있다.
- [122] 제1 정렬 전극(ELT1)은 제1 콘택홀(CNT1)을 통해 제1 트랜지스터(T1)의 제1 반도체 패턴(ACT1) 및 제1 커패시터 전극(CE1)(및 백 게이트 전극(BGE))과 접촉할 수 있다. 앞서 설명한 바와 같이, 제1 정렬 전극(ELT1)은 제2 커패시터 전극(CE2)과 함께 제2 커패시터(C2)를 구성할 수 있다. 도 4 및 도 6에 도시된 바와 같이, 제1 정렬 전극(ELT1)과 제2 커패시터 전극(CE2) 사이에는 층간 절연층(ILD)(또는, 절연층) 이외에 다른 신호선, 전원선과 같은 도전 물질이 배치되지 않는다. 제1

정렬 전극(ELT1)은 제1 전극(CNE1)과 함께 제1 서브 화소(SPX1)의 애노드 전극을 구성할 수 있다.

- [123] 제2 정렬 전극(ELT2)은 컨택홀을 통해 수직 전원선(PL1_V)과 접촉하거나 전기적으로 연결될 수 있으나, 이에 한정되는 것은 아니다.
- [124] 브릿지 전극(BRE)은 컨택홀을 통해 제2 수평 전원선(PL2_H)과 접촉하거나 전기적으로 연결될 수 있다. 브릿지 전극(BRE)은 제2 전극(CNE2)과 제2 수평 전원선(PL2_H)을 전기적으로 연결할 수 있다.
- [125] 표시 장치의 제조 과정에서, 제1 정렬 전극(ELT1)(또는, 브릿지 전극(BRE)과 분리되기 이전의 제1 정렬 전극(ELT1)) 및 제2 정렬 전극(ELT2)은 소정의 정렬 신호(또는 정렬 전압)를 전달받아 발광 소자(LD)들의 정렬을 위한 정렬 배선으로 활용될 수 있다. 일 예로, 제1 정렬 전극(ELT1)은 화소 회로층(PCL)의 일부 구성(예를 들어, 제2 수평 전원선(PL2_H))으로부터 제1 정렬 신호(또는 제1 정렬 전압)를 전달받아 제1 정렬 배선으로 활용될 수 있고, 제2 정렬 전극(ELT2)은 상기 화소 회로층(PCL)의 다른 구성(예를 들어, 제1 수직 전원선(PL1_V))으로부터 제2 정렬 신호(또는 제2 정렬 전압)를 전달받아 제2 정렬 배선으로 활용될 수 있다.
- [126] 정렬 전극층은 발광 소자(LD)에서 방출되는 광을 표시 장치의 화상 표시 방향(예를 들어, 제3 방향(DR3))으로 진행되도록 하기 위하여 일정한 반사율을 갖는 재료로 구성될 수 있다. 정렬 전극층은 일정한 반사율을 갖는 도전성 물질로 구성될 수 있다. 도전성 물질로는, 발광 소자(LD)에서 방출되는 광을 표시 장치의 화상 표시 방향으로 반사시키는 데에 적합한 불투명 금속을 포함할 수 있다. 불투명 금속으로는, 일 예로, 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 티타늄(Ti), 이들의 합금과 같은 금속을 포함할 수 있다. 실시예들에 따라, 정렬 전극층은 투명 도전성 물질을 포함할 수 있다. 투명 도전성 물질로는, 인듐 주석 산화물(indium tin oxide, ITO), 인듐 아연 산화물(indium zinc oxide, IZO), 아연 산화물(zinc oxide, ZnO_x), 인듐 갈륨 아연 산화물(indium gallium zinc oxide, IGZO), 인듐 주석 아연 산화물(indium tin zinc oxide, ITZO)과 같은 도전성 산화물, 및/또는 PEDOT(poly(3,4-ethylenedioxythiophene))와 같은 도전성 고분자 등이 포함될 수 있다. 정렬 전극층은 투명 도전성 물질을 포함하는 경우, 발광 소자(LD)에서 방출되는 광을 표시 장치의 화상 표시 방향으로 반사시키기 위한 불투명 금속으로 이루어진 별도의 도전층이 추가될 수도 있다. 다만, 정렬 전극층의 재료가 상술한 재료들에 한정되는 것은 아니다.
- [127] 정렬 전극층은 단일막으로 제공 및/또는 형성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예들에 따라, 정렬 전극층은 금속들, 합금들, 도전성 산화물, 도전성 고분자들 중에서 적어도 둘 이상의 물질이 적층된 다중막으로 제공 및/또는 형성될 수도 있다. 정렬 전극층은 발광 소자(LD)로 신호(또는 전압)를 전달할 때 신호 지연에 의한 왜곡을 감소시키거나 최소화하기 위해 적어도 이중막 이상의 다중막으로 형성될 수도 있다. 일 예로, 제1 정렬 전극(ELT1)은 인듐 주석

산화물(indium tin oxide, ITO)/은(Ag)/인듐 주석 산화물(indium tin oxide, ITO)의 순으로 순차적으로 적층된 다중막으로 형성될 수도 있다.

- [128] 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 정렬 전극층 상에 제공 및/또는 형성될 수 있다. 예를 들어, 제1 बैं크 패터(BNP1)은 제1 정렬 전극(ELT1) 상에 배치되며, 제2 बैं크 패터(BNP2)은 제2 정렬 전극(ELT2) 상에 배치될 수 있다. 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)을 지지하는 지지 부재일 수 있다. 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)의 표면 프로파일(또는 형상)을 변경할 수 있다.
- [129] 실시예들에 따라, 제1 및 제2 बैं크 패터들(BNP1, BNP2)(또는, बैं크)은 제1 서브 화소(SPX1)의 발광 영역(EMA, 도 5 참고)을 정의할 수 있다. 제1 및 제2 बैं크 패터들(BNP1, BNP2)(또는, बैं크)은 제1 절연층(INS1) 상에 발광 소자(LD)를 공급하는 단계에서, 발광 소자(LD)를 포함하는 용액이 인접한 서브 화소로 유입되는 것을 방지하거나, 각각의 서브 화소에 일정량의 용액이 공급되도록 제어하는 댐 구조물일 수도 있다.
- [130] 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 무기 물질 또는 유기 물질을 포함할 수 있다. 실시예들에 따라, 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 단일의 유기막 및/또는 단일의 무기막을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예들에 따라, 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 적어도 하나의 유기막과 적어도 하나의 무기막이 적층된 다중막의 형태로 제공될 수도 있다. 다만, 제1 및 제2 बैं크 패터들(BNP1, BNP2)의 재료가 상술한 실시예들에 한정되는 것은 아니며, 실시예들에 따라, 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 전도성 물질을 포함할 수도 있다.
- [131] 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 상부를 향할수록(예를 들어, 제3 방향(DR3)을 따라) 폭이 좁아지는 사다리꼴 형상의 단면을 가질 수 있으나, 이에 한정되는 것은 아니다. 실시예들에 따라, 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 상부를 향할수록 폭이 좁아지는 반타원 형상, 반원 형상(또는 반구 형상) 등의 단면을 가지는 곡면을 포함할 수도 있다. 다만, 이에 한정되는 것은 아니다.
- [132] 상술한 실시예에서는 제1 및 제2 बैं크 패터들(BNP1, BNP2)이 전극층 상에 배치되는 것으로 설명하였으나, 이에 한정되는 것은 아니다. 실시예들에 따라, 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 전극층 및 층간 절연층(ILD)(또는, 보호층(PSV)) 사이에 배치될 수 있다. 실시예들에 따라, 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 층간 절연층(ILD)(또는, 보호층(PSV))과 동일한 공정을 통해 형성될 수도 있다. 이 경우, 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 층간 절연층(ILD)(또는, 보호층(PSV))의 일 영역일 수 있다. 실시예들에 따라, 제1 및 제2 बैं크 패터들(BNP1, BNP2)은 생략될 수도 있다.
- [133] 제1 및 제2 बैं크 패터들(BNP1, BNP2) 및 전극층(예를 들어, ELT1, ELT2) 상에는 제1 절연층(INS1)이 제공 및/또는 형성될 수 있다. 제1 절연층(INS1)은 무기 물

질을 포함할 수 있다. 다만, 이에 한정되는 것은 아니며, 제1 절연층(INS1)은 발광 소자(LD)의 지지면을 평탄화시키는 데 적합한 유기 물질을 포함할 수도 있다.

[134] 발광 소자(LD)는 제1 및 제2 बैं크 패턴들(BNP1, BNP2) 사이에서 제1 절연층(INS1) 상에 배치될 수 있다. 또한, 발광 소자(LD)는 평면도 상에서 제1 정렬 전극(ELT1)(또는, 제1 बैं크 패턴(BNP1)) 및 제2 정렬 전극(ELT2)(또는, 제2 बैं크 패턴(BNP2)) 사이에 정렬될 수 있다.

[135] 발광 소자(LD)는 무기 결정 구조의 재료를 이용한 초소형의 일 예로, 나노 스케일 내지 마이크로 스케일 정도로 작은 크기의, 발광 다이오드일 수 있다. 예를 들어, 발광 소자(LD)는 제1 반도체층, 제2 반도체층, 활성층 및 절연막을 포함할 수 있다. 제1 반도체층은 소정의 타입을 가지는 반도체층을 포함할 수 있고, 제2 반도체층은 상기 제1 반도체층과는 상이한 타입의 반도체층을 포함할 수 있다. 일 예로, 상기 제1 반도체층은 N형 반도체층을 포함하되, 상기 제2 반도체층은 P형 반도체층을 포함할 수 있다. 제1 반도체층 및 제2 반도체층은 InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, InN 중에서 선택된 적어도 어느 하나의 반도체 재료를 포함할 수 있다. 활성층은 제1 반도체층과 제2 반도체층 사이에 위치하며, 단일 또는 다중 양자 우물 구조를 가질 수 있다. 발광 소자(LD)의 양단에 소정의 전압 이상의 전계가 인가되는 경우, 활성층 내에서 전자-정공 쌍이 결합하며 광이 발산될 수 있다.

[136] 제1 서브 화소(SPX1)에 제공되는 발광 소자(LD)의 개수는 적어도 2개 내지 수십 개 일 수 있다. 실시예들에 따라, 제1 서브 화소(SPX1)에 제공되는 발광 소자(LD)의 개수는 다양하게 변경될 수 있다.

[137] 발광 소자(LD)는 컬러 광 및/또는 백색 광 중에서 어느 하나의 광을 방출할 수 있다. 실시예들에 있어서, 발광 소자(LD)는 단파장대의 청색 광을 방출할 수 있으나, 이에 한정되는 것은 아니다.

[138] 발광 소자(LD) 상에는 제2 절연층(INS2)(또는, 제2 절연 패턴)이 제공 및/또는 형성될 수 있다. 제2 절연층(INS2)은 발광 소자(LD) 상에 제공 및/또는 형성되어 발광 소자(LD)의 외면(예를 들어, 외주면 또는 원주면)을 부분적으로 커버할 수 있다. 제2 절연층(INS2)에 의해 발광 소자(LD)의 활성층이 외부의 도전성 물질과 접촉되지 않을 수 있다. 제2 절연층(INS2)은 발광 소자(LD)의 외면(예를 들어, 외주면 또는 원주면)의 일부만을 커버하여 발광 소자(LD)의 양 단부를 외부로 노출할 수 있다.

[139] 제2 절연층(INS2)은 단일막 또는 다중막으로 구성될 수 있으며, 적어도 하나의 무기 물질 또는 유기 물질을 포함할 수 있다. 발광 소자(LD)의 정렬이 완료된 이후 상기 발광 소자(LD) 상에 제2 절연층(INS2)을 형성함으로써, 상기 발광 소자(LD)가 정렬된 위치에서 이탈하는 것이 방지될 수 있다.

[140] 제1 전극(CNE1)은 제1 बैं크 패턴(BNP1) 및 제1 정렬 전극(ELT1) 상에 제공되며, 제1 बैं크 패턴(BNP1)을 관통하는 컨택홀을 통해 제1 정렬 전극(ELT1)과 연

결될 수 있다. 또한, 제1 전극(CNE1)은 제1 발광 소자(LD1)의 제1 단부(EP1) 상에 제공 및/또는 형성되며, 발광 소자(LD)의 제1 단부(EP1)와 연결될 수 있다.

[141] 실시예들에 따라, 제1 정렬 전극(ELT1) 상에 캡핑 레이어가 배치된 경우, 제1 전극(CNE1)은 상기 캡핑 레이어 상에 배치되어 상기 캡핑 레이어를 통해 상기 제1 정렬 전극(ELT1)과 연결될 수 있다. 상술한 캡핑 레이어는 표시 장치의 제조 공정 시 발생하는 불량 등으로부터 제1 정렬 전극(ELT1)을 보호하고 제1 정렬 전극(ELT1)과 그 하부에 위치한 화소 회로층(PCL) 사이의 접착력을 더욱 강화시킬 수 있다. 캡핑 레이어는 인듐 아연 산화물(indium zinc oxide, IZO) 등과 같은 투명 도전성 재료(또는 물질)를 포함할 수 있다.

[142] 제1 중간 전극(CTE1)은 제2 बैं크 패턴(BNP2) 및 제2 정렬 전극(ELT2) 상에 제공될 수 있다. 또한, 제1 중간 전극(CTE1)은 발광 소자(LD)의 제2 단부(EP2) 상에 제공 및/또는 형성되며, 발광 소자(LD)의 제2 단부(EP2)와 연결될 수 있다.

[143] 제2 전극(CNE2)은 제2 बैं크 패턴(BNP2) 및 제2 정렬 전극(ELT2) 상에 제공될 수 있다. 또한, 제2 전극(CNE2)은 브릿지 전극(BRE)과 중첩하며, 제2 बैं크 패턴(BNP2)을 관통하는 컨택홀을 통해 브릿지 전극(BRE)과 연결될 수 있다. 도 5를 참조하여 설명한 바와 같이, 제2 전극(CNE2)은 발광 소자(LD)를 통해 제1 중간 전극(CTE1)과 전기적으로 연결될 수 있다. 따라서, 발광 소자(LD)의 제2 단부(EP2)는 제1 중간 전극(CTE1) 및 제2 전극(CNE2)을 통해 브릿지 전극(BRE)에 전기적으로 연결될 수 있다. 실시예들에 따라, 제1 중간 전극(CTE1)이 생략되는 경우(예를 들어, 도 2b의 서브 화소(SPX)의 경우), 발광 소자(LD)의 제2 단부(EP2)는 제2 전극(CNE2)을 통해 브릿지 전극(BRE)에 전기적으로 연결될 수도 있다.

[144] 발광 소자(LD)로부터 방출된 광이 손실없이 표시 장치의 화상 표시 방향으로 진행되도록 하기 위하여, 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)은 다양한 투명 도전성 물질로 구성될 수 있다. 다만, 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)의 재료가 상술한 실시예에 한정되는 것은 아니다. 실시예들에 따라, 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)은 다양한 불투명 도전성 재료(또는 물질)로 구성될 수도 있다. 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)은 단일막 또는 다중막으로 형성될 수도 있다.

[145] 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)의 형상은 특정 형상으로 한정되지 않으며, 발광 소자(LD)와 전기적으로 안정되게 연결되는 범위 내에서 다양하게 변경될 수 있다. 또한, 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)의 형상은 그 하부에 배치된 전극들과의 연결 관계를 고려하여 다양하게 변경될 수도 있다.

[146] 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)은 서로 이격될 수 있다. 일 예로, 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)은 제2 절연층(INS2)을 사이에 두고 이격될 수 있다. 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1)은 동일한 공정을 통해 동일한 층에 형성될 수 있으나, 이에 한

정되는 것은 아니다. 예를 들어, 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1) 중에서 적어도 2개는 서로 상이한 층에 제공되고 상이한 공정을 통해 형성될 수도 있다.

- [147] 실시예들에 따라, 제1 및 제2 전극들(CNE1, CNE2) 및 제1 중간 전극(CTE1) 상에는 제3 절연층(또는, 오버 코트층)이 제공 및/또는 형성될 수도 있다. 제3 절연층은 무기 물질 또는 유기 물질을 포함할 수 있다. 일 예로, 제3 절연층은 적어도 하나의 무기막 또는 적어도 하나의 유기막이 교번하여 적층된 구조를 가질 수 있다. 제3 절연층은 표시 소자층(DPL)을 전체적으로 커버하여, 외부로부터 수분 또는 습기 등이 발광 소자(LD)를 포함한 표시 소자층(DPL)으로 유입되는 것을 차단할 수 있다. 제3 절연층은 표시 소자층(DPL)의 상면을 평탄화시킬 수도 있다.
- [148] 실시예들에 따라, 표시 소자층(DPL)은 광학층을 선택적으로 더 포함하여 구성될 수도 있다. 일 예로, 표시 소자층(DPL)은 발광 소자(LD)들에서 방출되는 광을 특정 색의 광으로 변환하는 색변환 입자들을 포함한 색상 변환층을 더 포함할 수 있다. 또한, 표시 소자층(DPL)은 특정 파장 대역의 광만을 투과시키는 컬러 필터를 더 포함할 수도 있다.
- [149] 도 7a 및 도 7b는 도 1의 표시 장치에 포함된 화소의 실시예들을 나타내는 단면도들이다. 설명의 편의상, 도 7a 및 도 7b에서 화소 회로층(PCL) 및 표시 소자층(DPL)의 개별 구성들은 간략히 표현되었다.
- [150] 먼저 도 7a를 참조하면, 서브 화소들(SPX1~SPX3) 각각에 배치된 발광 소자(LD)는 서로 동일한 색의 광을 발산할 수 있다. 예를 들어, 서브 화소들(SPX1~SPX3)은 제3 색, 일 예로 청색 광을 방출하는 발광 소자(LD)를 포함할 수 있다. 이러한 서브 화소들(SPX1~SPX3)에 색상 변환부(CCL)(또는, 색상 변환층) 및/또는 색상 필터부(CFL)가 제공되어 풀-컬러의 영상을 표시할 수 있다. 다만, 이에 제한되는 것은 아니며, 서브 화소들(SPX1~SPX3)은 서로 다른 색의 광을 방출하는 발광 소자(LD)들을 구비할 수도 있다.
- [151] 색상 변환부(CCL)는 표시 소자층(DPL)과 동일한 층에 배치될 수 있다. 예를 들어, 색상 변환부(CCL)는 뱅크(BNK)들 사이에 배치될 수 있다.
- [152] 뱅크(BNK)는 서브 화소들(SPX1~SPX3)의 비발광 영역(NEA)에 위치할 수 있다. 뱅크(BNK)는 각각의 발광 영역(EMA)을 둘러싸도록 서브 화소들(SPX1~SPX3) 사이에 형성되어, 서브 화소들(SPX1~SPX3) 각각의 발광 영역(EMA)을 정의할 수 있다. 뱅크(BNK)는, 발광 영역(EMA)에 파장 변환 패턴(WCP) 및 광 투과 패턴(LTP)을 형성하기 위한 용액이 인접한 서브 화소의 발광 영역(EMA)으로 유입되는 것을 방지하거나, 각각의 발광 영역(EMA)에 일정량의 용액이 공급되도록 제어하는 댐 구조물로 기능할 수 있다.
- [153] 뱅크(BNK)는 유기 물질 또는 무기 물질을 포함할 수 있으며, 실시예들에 따라, 뱅크(BNK)는 블랙 매트릭스 물질(또는, 차광성 물질)을 포함할 수 있다. 이 경우, 뱅크(BNK)는 서브 화소(예를 들어, 제2 서브 화소(SPX2))에서 생성된 광이 인접

한 서브 화소(예를 들어, 제1 서브 화소(SPX1), 제3 서브 화소(SPX3))로 진행하는 것을 방지할 수 있다.

- [154] 뱅크(BNK)에는 발광 영역(EMA)에 대응하여 표시 소자층(DPL)을 노출시키는 개구가 형성될 수 있다.
- [155] 색상 변환부(CCL)는 파장 변환 패턴(WCP)(또는, 색 변환 입자), 광 투과 패턴(LTP), 및 제1 캡핑층(CAP1)을 포함할 수 있다. 파장 변환 패턴(WCP)은 제1 파장 변환 패턴(WCP1) 및 제2 파장 변환 패턴(WCP2)을 포함할 수 있다.
- [156] 제1 파장 변환 패턴(WCP1)은 제1 서브 화소(SPX1)의 발광 영역(EMA)과 중첩하도록 배치될 수 있다. 예를 들어, 제1 파장 변환 패턴(WCP1)은 뱅크(BNK)의 개구에 제공될 수 있다. 제2 파장 변환 패턴(WCP2)은 제2 서브 화소(SPX2)의 발광 영역(EMA)과 중첩하도록 배치될 수 있다. 광 투과 패턴(LTP)은 제3 서브 화소(SPX3)의 발광 영역(EMA)과 중첩하도록 배치될 수 있다.
- [157] 실시예들에서, 제1 파장 변환 패턴(WCP1)은 발광 소자(LD)에서 방출되는 제 3 색의 광을 제1 색의 광으로 변환하는 제1 색 변환 입자들을 포함할 수 있다. 일 예로, 발광 소자(LD)가 청색의 광을 방출하는 청색 발광 소자이고 제1 서브 화소(SPX1)가 적색 화소인 경우, 제1 파장 변환 패턴(WCP1)은 상기 청색 발광 소자에서 방출되는 청색의 광을 적색의 광으로 변환하는 제1 퀀텀 닷을 포함할 수 있다.
- [158] 예를 들어, 제1 파장 변환 패턴(WCP1)은 베이스 수지 등과 같은 적절한 매트릭스 재료(예를 들어, 소정의 매트릭스 재료) 내에 분산된 다수의 제1 퀀텀 닷을 포함할 수 있다. 제1 퀀텀 닷은 청색 광을 흡수하여 에너지 천이에 따라 파장을 시프트시켜 적색 광을 방출할 수 있다. 한편, 제1 서브 화소(SPX1)가 다른 색의 화소인 경우, 제1 파장 변환 패턴(WCP1)은 제1 서브 화소(SPX1)의 색에 대응하는 제1 퀀텀 닷을 포함할 수 있다.
- [159] 실시예들에서, 제2 파장 변환 패턴(WCP2)은 발광 소자(LD)에서 방출되는 제 3 색의 광을 제2 색의 광으로 변환하는 제2 색 변환 입자들을 포함할 수 있다. 일 예로, 발광 소자(LD)가 청색의 광을 방출하는 청색 발광 소자이고 제2 서브 화소(SPX2)가 녹색 화소인 경우, 제2 파장 변환 패턴(WCP2)은 상기 청색 발광 소자에서 방출되는 청색의 광을 녹색의 광으로 변환하는 제2 퀀텀 닷을 포함할 수 있다.
- [160] 예를 들어, 제2 파장 변환 패턴(WCP2)은 베이스 수지 등과 같은 소정의 매트릭스 재료 내에 분산된 다수의 제2 퀀텀 닷을 포함할 수 있다. 제2 퀀텀 닷은 청색 광을 흡수하여 에너지 천이에 따라 파장을 시프트시켜 녹색 광을 방출할 수 있다.
- [161] 한편, 제1 퀀텀 닷 및 제2 퀀텀 닷은 구형, 피라미드형, 다중 가지형(multi-arm), 또는 입방체(cubic)의 나노 입자, 나노 튜브, 나노 와이어, 나노 섬유, 나노 판상 입자 등의 형태를 가질 수 있으나, 반드시 이에 제한되는 것은 아니며, 제1 퀀텀 닷 및 제2 퀀텀 닷의 형태는 다양하게 변경될 수 있다.
- [162] 실시예들에서, 가시광선 영역 중에서 비교적 짧은 파장을 갖는 청색의 광을 각각 제1 퀀텀 닷 및 제2 퀀텀 닷에 입사시킴으로써, 제1 퀀텀 닷 및 제2 퀀텀 닷의

흡수 계수를 증가시킬 수 있다. 이에 따라, 최종적으로 제1 서브 화소(SPX1) 및 제2 서브 화소(SPX2)에서 방출되는 광의 효율을 증가시킴과 아울러, 우수한 색 재현성을 확보할 수 있다. 또한, 동일한 색의 발광 소자(LD)(일 예로, 청색 발광 소자)를 이용하여 화소(PXL)를 구성함으로써, 표시 장치의 제조 효율을 높일 수 있다.

- [163] 실시예들에서, 광 투과 패턴(LTP)은 발광 소자(LD)에서 방출되는 제3 색의 광을 효율적으로 이용하기 위해 구비될 수 있다. 일 예로, 발광 소자(LD)가 청색의 광을 방출하는 청색 발광 소자이고 제3 서브 화소(SPX3)가 청색 화소인 경우, 광 투과 패턴(LTP)은 발광 소자(LD)로부터 방출되는 광을 효율적으로 이용하기 위하여 적어도 한 종류의 광 산란 입자들을 포함할 수 있다.
- [164] 예를 들어, 광 투과 패턴(LTP)은 베이스 수지 등과 같은 적절한 매트릭스 재료(예를 들어, 소정의 매트릭스 재료) 내에 분산된 다수의 광 산란 입자들을 포함할 수 있다. 일 예로, 광 투과 패턴(LTP)은 실리카(Silica) 등의 광 산란 입자들을 포함할 수 있으나, 광 산란 입자들의 구성 물질이 이에 한정되는 것은 아니다.
- [165] 한편, 광 산란 입자들이 제3 서브 화소(SPX3)에 관한 발광 영역(EMA)에만 배치되어야 하는 것은 아니다. 일 예로, 광 산란 입자들은 제1 파장 변환 패턴(WCP1) 및/또는 제2 파장 변환 패턴(WCP2)의 내부에도 선택적으로 포함될 수 있다.
- [166] 제1 캡핑층(CAP1)은 파장 변환 패턴(WCP) 및 광 투과 패턴(LTP)을 밀봉(또는 커버)할 수 있다. 제1 캡핑층(CAP1)은 저굴절층(LRL)과 표시 소자층(DPL) 사이에 배치될 수 있다. 제1 캡핑층(CAP1)은 서브 화소들(SPX1~SPX3)에 걸쳐 제공될 수 있다. 제1 캡핑층(CAP1)은 외부로부터 수분 또는 공기 등의 불순물이 침투하여 색상 변환부(CCL)를 손상시키거나 오염시키는 것을 방지할 수 있다.
- [167] 실시예들에서, 제1 캡핑층(CAP1)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y), 알루미늄 산화물(AlO_x), 및 티타늄 산화물(TiO_x) 중에서 선택된 적어도 하나의 절연 물질을 포함하여 단일층 또는 다중층으로 구성될 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [168] 광학층(OPL)은 저굴절층(LRL) 및 제2 캡핑층(CAP2)을 포함할 수 있다. 광학층(OPL)은 색상 변환부(CCL) 상에 배치될 수 있다. 광학층(OPL)은 표시 소자층(DPL) 상에 배치될 수 있다.
- [169] 저굴절층(LRL)은 제1 캡핑층(CAP1)과 제2 캡핑층(CAP2) 사이에 배치될 수 있다. 저굴절층(LRL)은 색상 변환부(CCL)와 색상 필터부(CFL) 사이에 배치될 수 있다. 저굴절층(LRL)은 서브 화소들(SPX1~SPX3)에 걸쳐 제공될 수 있다.
- [170] 저굴절층(LRL)은 색상 변환부(CCL)로부터 제공된 광을 전반사에 의해 리사이클링하여 광 효율을 향상시키는 역할을 수행할 수 있다. 이를 위해, 저굴절층(LRL)은 색상 변환부(CCL)에 비해 상대적으로 낮은 굴절률을 가질 수 있다.
- [171] 실시예들에서, 저굴절층(LRL)은 베이스 수지 및 상기 베이스 수지 내에 분산된 중공 입자를 포함할 수 있다. 상기 중공 입자는 중공 실리카 입자를 포함할 수 있다. 또는, 상기 중공 입자는 포로젠(porogen)에 의해 형성된 기공일 수 있으나, 반

드시 이에 제한되는 것은 아니다. 또한, 저굴절층(LRL)은 산화 아연(ZnO) 입자, 이산화 티타늄(TiO₂) 입자, 또는 나노 실리케이트(nano silicate) 입자 중에서 적어도 어느 하나를 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다.

- [172] 제2 캡핑층(CAP2)은 저굴절층(LRL) 상에 배치될 수 있다. 제2 캡핑층(CAP2)은 색상 필터부(CFL)와 저굴절층(LRL) 사이에 배치될 수 있다. 제2 캡핑층(CAP2)은 서브 화소들(SPX1~SPX3)에 걸쳐 제공될 수 있다. 제2 캡핑층(CAP2)은 외부로부터 수분 또는 공기 등의 불순물이 침투하여 저굴절층(LRL)을 손상시키거나 오염시키는 것을 방지할 수 있다. 제2 캡핑층(CAP2)은 제1 캡핑층(CAP1)과 동일한 물질을 포함하거나, 제1 캡핑층(CAP1)의 구성 물질로 예시된 물질들에서 선택된 하나 이상의 물질을 포함할 수 있다.
- [173] 색상 필터부(CFL)는 제2 캡핑층(CAP2) 상에 배치될 수 있다. 색상 필터부(CFL)는 서브 화소들(SPX1~SPX3)에 걸쳐 제공될 수 있다. 색상 필터부(CFL)는 색상 필터들(CF1~CF3), 평탄화막(PLA), 및 오버 코트층(OC)을 포함할 수 있다.
- [174] 실시예들에서, 색상 필터들(CF1~CF3)은 제2 캡핑층(CAP2) 상에 배치될 수 있다. 색상 필터들(CF1~CF3)은 평면 상에서 볼 때, 서브 화소들(SPX1~SPX3)의 발광 영역(EMA)과 중첩할 수 있다.
- [175] 실시예들에서, 제1 색상 필터(CF1)는, 제1 색의 광을 투과하되, 제2 색의 광 및 제3 색의 광을 비투과 시킬 수 있다. 일 예로, 제1 색상 필터(CF1)는 제1 색에 관한 색제(colorant)를 포함할 수 있다.
- [176] 실시예들에서, 제2 색상 필터(CF2)는, 제2 색의 광을 투과하되, 제1 색의 광 및 제3 색의 광을 비투과 시킬 수 있다. 일 예로, 제2 색상 필터(CF2)는 제2 색에 관한 색제를 포함할 수 있다.
- [177] 실시예들에서, 제3 색상 필터(CF3)는, 제3 색의 광을 투과하되, 제1 색의 광 및 제2 색의 광을 비투과 시킬 수 있다. 일 예로, 제3 색상 필터(CF3)는 제3 색에 관한 색제를 포함할 수 있다.
- [178] 실시예들에서, 평탄화막(PLA)은 색상 필터들(CF1~CF3) 상에 배치될 수 있다. 평탄화막(PLA)은 색상 필터들(CF1~CF3)을 커버할 수 있다. 평탄화막(PLA)은 색상 필터들(CF1~CF3)로 인하여 발생하는 단차를 상쇄할 수 있다. 평탄화막(PLA)은 서브 화소들(SPX1~SPX3)에 걸쳐 제공될 수 있다.
- [179] 실시예들에 따르면, 평탄화막(PLA)은 유기 물질을 포함할 수 있으나, 이에 한정되는 것은 아니며, 예를 들어, 평탄화막(PLA)은 무기 물질을 포함할 수 있다.
- [180] 오버 코트층(OC)은 평탄화막(PLA) 상에 배치될 수 있다. 오버 코트층(OC)은 상부 필름층(UFL)과 평탄화막(PLA) 사이에 배치될 수 있다. 오버 코트층(OC)은 서브 화소들(SPX1~SPX3)에 걸쳐 제공될 수 있다. 오버 코트층(OC)은 색상 필터부(CFL)를 비롯한 하부 부재를 커버할 수 있다. 오버 코트층(OC)은 상술한 하부 부재에 수분 또는 공기가 침투되는 것을 방지할 수 있다. 또한, 오버 코트층(OC)은 먼지와 같은 이물질로부터 상술한 하부 부재를 보호할 수 있다.

- [181] 오버 코트층(OC)은 유기 물질 또는 무기 물질을 포함할 수 있다. 예를 들어, 오버 코트층(OC)은 평탄화막(PLA)의 구성 물질로 예시된 물질들에서 선택된 하나 이상의 물질을 포함할 수 있다.
- [182] 상부 필름층(UFL)은 색상 필터부(CFL) 상에 배치될 수 있다. 상부 필름층(UFL)은 표시 장치의 외곽에 배치되어 표시 장치에 대한 외부 영향을 감소시킬 수 있다. 상부 필름층(UFL)은 서브 화소들(SPX1~SPX3)에 걸쳐 제공될 수 있다.
- [183] 실시예들에서, 상부 필름층(UFL)은 AR 코팅층(Anti-Reflective coating)을 포함할 수 있다. AR 코팅층은 특정 구성의 일 표면에 반사 방지 기능을 구비한 물질을 도포한 구성을 의미할 수 있다. 여기서, 도포되는 물질은 낮은 반사율을 가질 수 있다. 실시예들에 따르면, AR 코팅층에 이용되는 물질은 실리콘 산화물(SiO_x), 알루미늄 산화물(AlO_x), 및 티타늄 산화물(TiO_x) 중에서 어느 하나를 포함할 수 있다. 다만, 이에 한정되는 것은 아니며, 종래 공지된 다양한 물질이 적용될 수 있다.
- [184] 한편, 도 7a를 참조하여 색상 변환부(CCL)는 표시 소자층(DPL)과 동일한 층에 배치되는 것으로 설명하였으나, 이에 한정되는 것은 아니다.
- [185] 도 7b를 참조하면, 색상 변환부(CCL)는 표시 소자층(DPL) 상에 배치될 수 있다. 예를 들어, 제1 캡핑층(CAP1)은 발광 소자(LD)들이 배치된 영역을 밀봉(혹은 커버)할 수 있고, 색상 변환부(CCL)는 제1 캡핑층(CAP1) 상에 배치될 수 있다.
- [186] 실시예들에서, 색상 변환부(CCL)는 차광층(LBL)(또는, 차광 패턴)을 더 포함할 수 있다. 차광층(LBL)은 표시 소자층(DPL) 및 제1 캡핑층(CAP1) 상에 배치될 수 있다. 차광층(LBL)은 제1 캡핑층(CAP1)과 제2 캡핑층(CAP2) 사이에 배치될 수 있다. 차광층(LBL)은 서브 화소들(SPX1~SPX3)의 경계에서(예를 들어, 비표시 영역(NEA)에서), 제1 파장 변환 패턴(WCP1), 제2 파장 변환 패턴(WCP2), 및 광 투과 패턴(LTP)을 둘러싸도록 배치될 수 있다.
- [187] 차광층(LBL)은 발광 영역(EMA)과 비발광 영역(NEA)을 정의할 수 있다. 일 예로, 차광층(LBL)은 평면 상에서 볼 때, 발광 영역(EMA)과 중첩하지 않을 수 있다. 차광층(LBL)은 평면 상에서 볼 때, 비발광 영역(NEA)과 중첩할 수 있다. 일 예에 따르면, 차광층(LBL)이 배치되지 않은 영역은 서브 화소들(SPX1~SPX3)의 발광 영역(EMA)으로 정의될 수 있다.
- [188] 실시예들에서, 차광층(LBL)은 그래파이트(graphite), 카본 블랙(carbon black), 흑색 안료(black pigment), 또는 흑색 염료(black dye) 중에서 적어도 어느 하나를 포함하는 유기물로 형성되거나 크롬(Cr)을 포함하는 금속 물질로 형성될 수 있으나, 광 투과를 차단하고 흡수할 수 있는 물질이라면 제한되지 않는다.
- [189] 제2 캡핑층(CAP2)은 제1 파장 변환 패턴(WCP1), 제2 파장 변환 패턴(WCP2), 및 광 투과 패턴(LTP)을 밀봉(혹은 커버)할 수 있다.
- [190] 저굴절층(LRL)은 제2 캡핑층(CAP2)과 제3 캡핑층(CAP3) 사이에 배치될 수 있다. 제3 캡핑층(CAP3)은 제1 캡핑층(CAP1)과 동일한 물질을 포함하거나, 제1 캡핑층(CAP1)의 구성 물질로 예시된 물질들에서 선택된 하나 이상의 물질을 포함

할 수 있다. 색상 필터부(CFL) 및 상부 필름층(UFL)은 제1 캡핑층(CPA1) 상에 배치될 수 있다.

- [191] 도 8은 도 1의 표시 장치의 제조 과정을 설명하기 위한 레이아웃도이다. 도 8에는 도 4에 대응할 수 있다.
- [192] 도 1, 도 3 내지 도 6, 및 도 8을 참조하면, 층간 절연층(ILD) 상에 전극층이 형성될 수 있다. 전극층은 기준 정렬 전극(ELT0)(또는, 제1 정렬 배선) 및 제2 정렬 전극(ELT2)(또는, 제2 정렬 배선)을 포함할 수 있다. 기준 정렬 전극(ELT0)은 도 4의 제1 정렬 전극(ELT1) 및 브릿지 전극(BRE)으로 분리되기 이전의 전극일 수 있다. 제2 정렬 전극(ELT2)과 유사하게, 기준 정렬 전극(ELT0)은 제1 서브 화소(SPX1)와 제2 방향(DR2)으로 인접한 서브 화소들까지 연장할 수 있다.
- [193] 이후, 도 6에 도시된 제1 및 제2 뱅크 패턴들(BNP1, BNP2)(또는, 뱅크)이 전극층 상에 형성되며, 전극층 및 제1 및 제2 뱅크 패턴들(BNP1, BNP2) 상에 제1 절연층(INS1)이 형성될 수 있다.
- [194] 이후, 발광 영역(EMA, 도 5 참고)에 발광 소자(LD)가 공급될 수 있다. 예를 들어, 발광 소자(LD)는 적절한 용액(예를 들어, 소정의 용액, 예를 들어, 잉크) 내에 분산된 형태로 준비되어, 잉크젯 프린팅 방식이나 슬릿 코팅 방식 등을 통해 발광 영역(EMA)에 공급될 수 있다.
- [195] 발광 소자(LD)의 공급과 동시에 또는 그 이후에, 기준 정렬 전극(ELT0) 및 제2 정렬 전극(ELT2)에 정렬 신호가 인가될 수 있다. 예를 들어, 기준 정렬 전극(ELT0)에는 그라운드 전압이 인가되고, 제2 정렬 전극(ELT2)에는 교류 전압이 인가될 수 있으나, 이에 한정되는 것은 아니다.
- [196] 기준 정렬 전극(ELT0) 및 제2 정렬 전극(ELT2)에 정렬 신호가 인가되면, 기준 정렬 전극(ELT0) 및 제2 정렬 전극(ELT2) 사이에 전계가 형성되면서, 기준 정렬 전극(ELT0) 및 제2 정렬 전극(ELT2) 사이에 발광 소자(LD)가 자가 정렬하게 된다.
- [197] 발광 소자(LD)가 정렬된 이후에 용매를 휘발시키거나 이외의 다른 방식으로 제거할 수 있다.
- [198] 이후, 도 6에 도시된 제2 절연층(INS2)이 형성될 수 있다.
- [199] 이후, 기준 정렬 전극(ELT0)의 전극 개구부(EL0, 도 4 참고)에 대응하는 기준 정렬 전극(ELT0)의 일 부분을 제거함으로써, 기준 정렬 전극(ELT0)이 제1 정렬 전극(ELT1) 및 브릿지 전극(BRE)으로 분리될 수 있다. 참고로, 전극 개구부(EL0)에서 기준 정렬 전극(ELT0)을 제거하면서 도 6의 제1 절연층(INS1)도 제거될 수 있다. 따라서, 도 4의 전극 개구부(EL0)(즉, 제2 방향(DR2)으로 인접한 서브 화소들 사이의 경계 영역)에는 정렬 전극 및 제1 절연층(INS1)이 존재하지 않거나 배치되지 않거나, 전극 개구부(EL0)에 대응하여 제1 절연층(INS1)에 개구가 형성될 수 있다.

- [200] 이후, 도 6에 도시된 제1 및 제2 전극들(CNE1, CNE2)(및 제1 중간 전극(CTE1))이 형성될 수 있다. 실시예들에 따라, 도 7a 및 도 7b에 도시된 색상 변환부(CCL) 및 색상 필터부(CFL) 등이 순차적으로 형성될 수 있다.
- [201] 상술한 바와 같이, 제1 정렬 전극(ELT1)(또는, 기준 정렬 전극(ELT0))은 표시 장치의 제조 과정에서 발광 소자(LD)의 정렬을 위한 전극으로 이용되며, 발광 소자(LD)의 정렬 이후에는 제1 정렬 전극(ELT1)은 브릿지 전극(BRE)로부터 분리되어 스토리지 커패시터(Cst)의 일 전극으로 기능할 수 있다.
- [202] 도 9는 도 1의 표시 장치에 포함된 화소의 실시예들을 나타내는 레이아웃도이다. 도 9에는 도 2a 내지 도 2d의 서브 화소(SPX)의 화소 회로(PXC)(또는, 화소 회로층)을 중심으로 서브 화소들의 레이아웃이 도시되었다. 도 9는 도 3에 대응할 수 있다. 도 10은 도 9의 III-III'선과 II-II'선에 따른 제1 서브 화소의 실시예들을 나타내는 단면도이다. 도 10은 도 6에 대응할 수 있다.
- [203] 도 1, 도 3 내지 도 6, 도 9 및 도 10을 참조하면, 제2 커패시터 전극(CE2_1) 및 제4 브릿지 패턴(BRP4)을 제외하고, 도 9 및 도 10의 화소(PXL)는 도 3 내지 도 6의 화소(PXL)와 실질적으로 동일하거나 유사할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.
- [204] 제2 커패시터 전극(CE2_1)은 제1 반도체 패턴(ACT1)과 동일한 층에 포함될 수 있다. 도 9에 도시된 바와 같이, 제2 커패시터 전극(CE2_1)은 제2 반도체 패턴(ACT2)과 일체로 형성될 수 있다. 예를 들어, 제2 커패시터 전극(CE2_1)은 불순물이 도핑된 제2 반도체 패턴(ACT2)의 일부 영역일 수 있다. 다만, 이에 한정되는 것은 아니며, 예를 들어, 제2 커패시터 전극(CE2_1)은 제2 반도체 패턴(ACT2)으로부터 분리된 별도의 반도체 패턴일 수도 있다.
- [205] 제2 커패시터 전극(CE2_1)은 제1 커패시터 전극(CE1)과 중첩하며 제1 커패시터(C1_1)를 구성할 수 있다. 평면도 상에서, 제2 커패시터 전극(CE2_1)은 제1 커패시터 전극(CE1)에 의해 제3 방향(DR3)으로 대체로 커버되며, 제2 커패시터 전극(CE2_1)의 면적은 제1 커패시터 전극(CE1)의 면적보다 작을 수 있다. 제1 커패시터(C1)의 커패시턴스(또는, 용량)를 증가시키거나 최대화하기 위해, 도 4에 도시된 제1 컨택홀(CNT1) 및 제2 컨택홀(CNT2)에 대응하는 영역을 제외하고, 추가로, 제1 트랜지스터(T1)의 게이트 전극을 구성하는 제4 브릿지 패턴(BRP4)에 대응하는 영역을 제외하고, 제2 커패시터 전극(CE2_1)은 제1 커패시터 전극(CE1)의 대부분의 영역과 중첩할 수 있다.
- [206] 도 9 및 도 10의 화소(PXL)는 도 5에 도시된 광원 유닛(LSU, 도 2d 참고)의 구성(즉, 제1 및 제2 정렬 전극들(ELT1, ELT2) 및 브릿지 전극(BRE) 등)을 그대로 포함할 수 있다.
- [207] 이 경우, 도 10에 도시된 바와 같이, 제1 정렬 전극(ELT1)은 제2 커패시터 전극(CE2_1)과 중첩하며 제2 커패시터(C2_1)를 구성할 수 있다. 제2 커패시터(C2_1) 및 제1 커패시터(C1_1)는 제2 커패시터 전극(CE2_1)을 공유할 수 있다. 제1 정렬 전극(ELT1)은 제1 컨택홀(CNT1)을 통해 제1 커패시터 전극(CE1)과 접촉하거나

전기적으로 연결되므로, 제1 커패시터(C1_1) 및 제2 커패시터(C2_1)는 병렬 연결될 수 있다.

- [208] 한편, 제4 브릿지 패턴(BRP4)은 제1 트랜지스터(T1)의 게이트 전극 및 다른 브릿지 패턴들(BRP1~BPR3)과 동일한 층에 포함될 수 있다. 즉, 제4 브릿지 패턴(BRP4)은 도 6을 참조하여 설명한 제2 도전층에 포함될 수 있다. 제4 브릿지 패턴(BRP4)의 일 단부(예를 들어, 상측 단부)는 제2 커패시터 전극(CE2_1)과 중첩하며, 콘택홀을 통해 제2 커패시터 전극(CE2_1)과 접촉하거나 연결될 수 있다. 제4 브릿지 패턴(BRP4)의 타 단부(예를 들어, 하측 단부)는 제1 반도체 패턴(ACT1)과 중첩하며, 제1 트랜지스터(T1)의 게이트 전극을 구성할 수 있다.
- [209] 제4 브릿지 패턴(BRP4)과 제1 커패시터 전극(CE1) 사이와, 제4 브릿지 패턴(BRP4) 및 제1 정렬 전극(ELT1) 사이에도 커패시터가 형성될 수 있으며, 상기 커패시터도 스토리지 커패시터(Cst)에 포함될 수 있다.
- [210] 상술한 바와 같이, 도핑된 일부 반도체 패턴(예를 들어, 제2 반도체 패턴(ACT2)의 일부 영역)인 제2 커패시터 전극(CE2_1)(및 제4 브릿지 패턴(BRP4)) 및 제1 커패시터 전극(CE1)이 제1 커패시터(C1_1)를 형성하며, 상기 제2 커패시터 전극(CE2_1)(및 브릿지 패턴(BRP4)) 및 제1 정렬 전극(ELT1)이 제2 커패시터(C2_1)를 형성할 수 있다. 따라서, 스토리지 커패시터(Cst)의 커패시턴스(또는, 용량)이 보다 충분히 확보되고, 서브 화소는 목표 휘도로 정확하게 발광하며, 표시 품질이 향상될 수 있다.
- [211] 한편, 도 6 및 도 10에서 제1 커패시터(C1) 및 제2 커패시터(C2)의 공통 전극인 제2 커패시터 전극들(CE2, CE2_1)은 게이트 전극 또는 반도체 패턴인 것으로 설명하였으나, 이에 한정되는 것은 아니다. 예를 들어, 상기 공통 전극의 일부는 게이트 전극과 동일한 층에 형성되고, 상기 공통 전극의 나머지 일부는 반도체 패턴으로 구성될 수도 있다.
- [212] 도 11은 실시예들에 따른 발광 소자를 나타내는 도면이다. 도 11에서는 기둥형의 발광 소자(LD)를 도시하였으나, 발광 소자(LD)의 종류 및/또는 형상이 이에 한정되지는 않는다.
- [213] 도 11을 참조하면, 발광 소자(LD)는 제1 반도체층(11) 및 제2 반도체층(13), 및 제1 및 제2 반도체층들(11, 13)의 사이에 개재된 활성층(12)을 포함할 수 있다. 일 예로, 발광 소자(LD)의 연장 방향을 길이(L) 방향이라고 하면, 발광 소자(LD)는 길이(L) 방향을 따라 순차적으로 적층된 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)을 포함할 수 있다.
- [214] 발광 소자(LD)는 일 방향을 따라 연장된 기둥 형상으로 제공될 수 있다. 발광 소자(LD)는 제1 단부(EP1)와 제2 단부(EP2)를 가질 수 있다. 발광 소자(LD)의 제1 단부(EP1)에는 제1 및 제2 반도체층들(11, 13) 중에서 하나가 배치될 수 있다. 발광 소자(LD)의 제2 단부(EP2)에는 제1 및 제2 반도체층들(11, 13) 중에서 나머지 하나가 배치될 수 있다.

- [215] 실시예들에 따라, 발광 소자(LD)는 식각 방식 등을 통해 기둥 형상으로 제조된 발광 소자일 수 있다. 본 명세서에서, 기둥 형상이라 함은 원 기둥 또는 다각 기둥 등과 같이 길이(L) 방향으로 긴(즉, 종횡비가 1보다 큰) 로드 형상(rod-like shape), 또는 바 형상(bar-like shape)을 포괄하며, 그 단면의 형상이 특별히 한정되지는 않는다. 예를 들어, 발광 소자(LD)의 길이(L)는 그 직경(D)(또는, 횡단면의 폭)보다 클 수 있다.
- [216] 발광 소자(LD)는 나노미터 스케일 내지 마이크로미터 스케일(nanometer scale to micrometer scale) 정도로 작은 크기를 가질 수 있다. 일 예로, 발광 소자(LD)는 각각 나노미터 스케일 내지 마이크로미터 스케일 범위의 직경(D)(또는, 폭) 및/또는 길이(L)를 가질 수 있다. 다만, 발광 소자(LD)의 크기가 이에 제한되는 것은 아니며, 발광 소자(LD)를 이용한 발광 장치를 광원으로 이용하는 각종 장치, 일 예로 표시 장치 등의 설계 조건에 따라 발광 소자(LD)의 크기는 다양하게 변경될 수 있다.
- [217] 제1 반도체층(11)은 제1 도전형의 반도체층일 수 있다. 예를 들어, 제1 반도체층(11)은 n형 반도체층을 포함할 수 있다. 일 예로, 제1 반도체층(11)은 InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, 및 InN 중에서 선택된 어느 하나의 반도체 재료를 포함하며, Si, Ge, Sn 등과 같은 제1 도전형 도펀트가 도핑된 n형 반도체층을 포함할 수 있다. 다만, 제1 반도체층(11)을 구성하는 물질이 이에 한정되는 것은 아니며, 이외에도 다양한 물질로 제1 반도체층(11)을 구성할 수 있다.
- [218] 활성층(12)은 제1 반도체층(11) 상에 배치되며, 단일 양자 우물(Single-Quantum Well) 또는 다중 양자 우물(Multi-Quantum Well) 구조로 형성될 수 있다. 활성층(12)의 위치는 발광 소자(LD)의 종류에 따라 다양하게 변경될 수 있다.
- [219] 활성층(12)의 상부 및/또는 하부에는 도전성 도펀트가 도핑된 클래드층이 형성될 수 있다. 일 예로, 클래드층은 AlGa_N 또는 InAlGa_N으로 형성될 수 있다. 실시예들에 따라, AlGa_N, InAlGa_N 등의 물질이 활성층(12)을 형성하는 데에 이용될 수 있으며, 이외에도 다양한 물질이 활성층(12)을 구성할 수 있다.
- [220] 제2 반도체층(13)은 활성층(12) 상에 배치되며, 제1 반도체층(11)과 상이한 타입의 반도체층을 포함할 수 있다. 예를 들어, 제2 반도체층(13)은 p형 반도체층을 포함할 수 있다. 일 예로, 제2 반도체층(13)은 InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, 및 InN 중에서 선택된 적어도 하나의 반도체 재료를 포함하며, Mg 등과 같은 제2 도전형 도펀트가 도핑된 p형 반도체층을 포함할 수 있다. 다만, 제2 반도체층(13)을 구성하는 물질이 이에 한정되는 것은 아니며, 이외에도 다양한 물질이 제2 반도체층(13)을 구성할 수 있다.
- [221] 발광 소자(LD)의 양단에 문턱 전압 이상의 전압을 인가하게 되면, 활성층(12)에서 전자-정공 쌍이 결합하면서 발광 소자(LD)가 발광하게 된다. 이러한 원리를 이용하여 발광 소자(LD)의 발광을 제어함으로써, 발광 소자(LD)를 표시 장치의 화소를 비롯한 다양한 발광 장치의 광원으로 이용할 수 있다.

- [222] 발광 소자(LD)는 표면에 제공된 절연막(INF)을 더 포함할 수 있다. 절연막(INF)은 적어도 활성층(12)의 외면(예를 들어, 외주면, 또는 원주면)을 둘러싸도록 발광 소자(LD)의 표면에 형성될 수 있으며, 이외에도 제1 및 제2 반도체층들(11, 13)의 일 영역을 더 둘러쌀 수 있다.
- [223] 실시예들에 따라, 절연막(INF)은 서로 다른 극성을 가지는 발광 소자(LD)의 양 단부를 노출할 수 있다. 예를 들어, 절연막(INF)은 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)에 위치한 제1 및 제2 반도체층들(11, 13) 각각의 일단을 노출할 수 있다. 실시예들에서, 절연막(INF)은 서로 다른 극성을 가지는 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)과 인접한 제1 및 제2 반도체층들(11, 13)의 측부를 노출할 수도 있다.
- [224] 실시예들에 따라, 절연막(INF)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y), 알루미늄 산화물(AlO_x), 및 티타늄 산화물(TiO_x) 중에서 선택된 적어도 하나의 절연 물질을 포함하여 단일층 또는 다중층(예를 들어, 알루미늄 산화물(AlO_x)과 실리콘 산화물(SiO_x)로 구성된 이중층)으로 구성될 수 있으나, 반드시 이에 제한되는 것은 아니다. 실시예에 따라, 절연막(INF)은 생략될 수도 있다.
- [225] 발광 소자(LD)의 표면, 특히 활성층(12)의 외면(예를 들어, 외주면 또는 원주면)을 커버하도록 절연막(INF)이 제공되는 경우, 활성층(12)이 후술할 제1 화소 전극 또는 제2 화소 전극 등과 단락되는 것을 방지할 수 있다. 이에 따라, 발광 소자(LD)의 전기적 안정성을 확보할 수 있다.
- [226] 또한, 발광 소자(LD)의 표면에 절연막(INF)이 제공되면, 발광 소자(LD)의 표면 결함을 감소시키거나 최소화하여 수명 및 효율을 향상시킬 수 있다. 아울러, 다수의 발광 소자(LD)들이 서로 밀접하여 배치되어 있는 경우에도 발광 소자(LD)들의 사이에서 원치 않는 단락이 발생하는 것을 방지할 수 있다.
- [227] 실시예들에서, 발광 소자(LD)는 제1 반도체층(11), 활성층(12), 제2 반도체층(13), 및/또는 이들을 감싸는 절연막(INF) 외에도 추가적인 구성요소를 더 포함할 수 있다. 예를 들면, 발광 소자(LD)는 제1 반도체층(11), 활성층(12) 및/또는 제2 반도체층(13)의 일단 측에 배치된 하나 이상의 형광체층, 활성층, 반도체층 및/또는 전극층을 추가적으로 포함할 수 있다. 일 예로, 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)에는 각각 컨택 전극층이 배치될 수 있다. 한편, 도 11에서는 기둥형 발광 소자(LD)를 예시하였으나, 발광 소자(LD)의 종류, 구조 및/또는 형상 등은 다양하게 변경될 수 있다. 예를 들어, 발광 소자(LD)는 다각 뿔 형상을 가지는 코어-셸 구조로 형성될 수도 있다.
- [228] 상술한 발광 소자(LD)를 포함한 발광 장치는 표시 장치를 비롯하여 광원을 필요로 하는 다양한 종류의 장치에서 이용될 수 있다. 예를 들어, 표시 패널의 각 화소 내에 복수의 발광 소자(LD)들을 배치하고, 발광 소자(LD)들을 각 화소의 광원으로 이용할 수 있다. 다만, 발광 소자(LD)의 적용 분야가 상술한 예에 한정되지

는 않는다. 예를 들어, 발광 소자(LD)는 조명 장치 등과 같이 광원을 필요로 하는 다른 종류의 장치에도 이용될 수 있다.

[229] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

[230] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정해져야만 할 것이다.

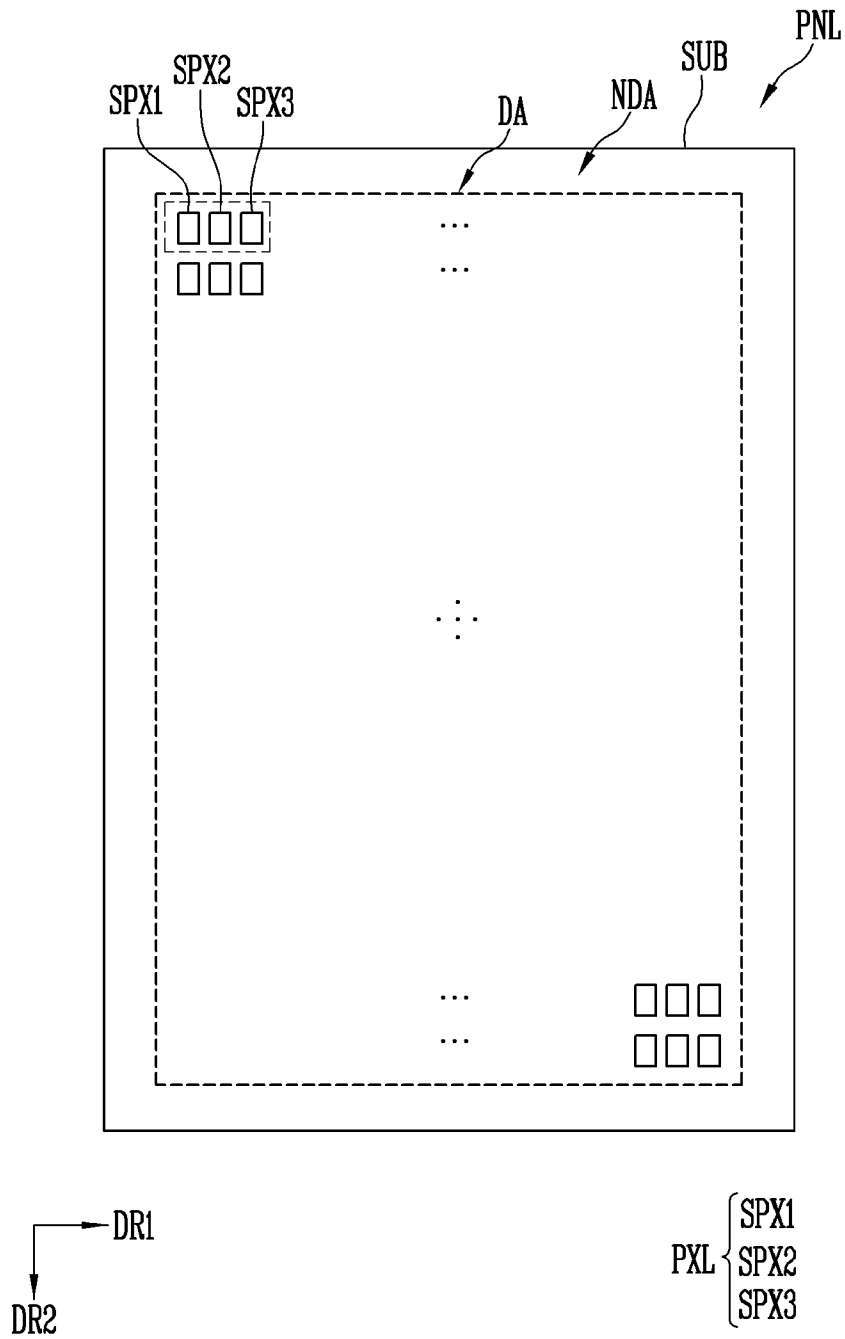
청구범위

- [청구항 1] 반도체 패턴;
 상기 반도체 패턴 하부에 배치되는 제1 커패시터 전극;
 상기 반도체 패턴 상에 배치되며 일부가 게이트 전극을 구성하는 제2 커패시터 전극;
 상기 제2 커패시터 전극 상의 동일한 층에 배치되는 제1 전극 및 제2 전극;
 상기 제1 전극 및 제2 전극 사이에 배치되는 적어도 하나의 발광 소자;
 상기 제1 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 제1 단부와 연결되는 제1 화소 전극; 및
 상기 제2 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 제2 단부와 연결되는 제2 화소 전극을 포함하고,
 상기 제1 전극은 상기 제1 커패시터 전극 및 상기 반도체 패턴과 전기적으로 연결되고,
 상기 반도체 패턴 및 상기 게이트 전극은 트랜지스터를 구성하며,
 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극에 의해 제1 커패시터가 형성되고,
 상기 제2 커패시터 전극과 상기 제1 전극에 의해 제2 커패시터가 형성되는, 표시 장치.
- [청구항 2] 제1 항에 있어서, 상기 제2 커패시터 전극 및 상기 제1 전극 사이의 층에는 신호선 및 전원선이 배치되지 않는, 표시 장치.
- [청구항 3] 제2 항에 있어서, 상기 트랜지스터의 소스 전극 및 드레인 전극 중 적어도 하나는 상기 제2 커패시터 전극과 동일한 층에 배치되는, 표시 장치.
- [청구항 4] 제2 항에 있어서, 상기 트랜지스터와 연결되는 데이터선은 상기 제1 커패시터 전극과 동일한 층에 배치되는, 표시 장치.
- [청구항 5] 제4 항에 있어서, 상기 트랜지스터와 연결되는 상기 전원선은 상기 제1 커패시터 전극 또는 상기 제2 커패시터 전극 중 적어도 하나와 동일한 층에 배치되는, 표시 장치.
- [청구항 6] 제1 항에 있어서, 상기 제1 화소 전극은 상기 제1 전극을 통해 상기 트랜지스터에 전기적으로 연결되는, 표시 장치.
- [청구항 7] 제1 항에 있어서,
 상기 제1 전극 및 상기 제2 전극과 동일한 층에 배치되며 상기 제1 전극 및 상기 제2 전극으로부터 이격된 브릿지 전극을 더 포함하고,
 상기 제2 화소 전극은 상기 브릿지 전극을 통해 전원선에 연결되는, 표시 장치.
- [청구항 8] 제7 항에 있어서, 평면도 상에서, 상기 제2 전극은 복수의 서브 화소들에 걸쳐 연장하며,

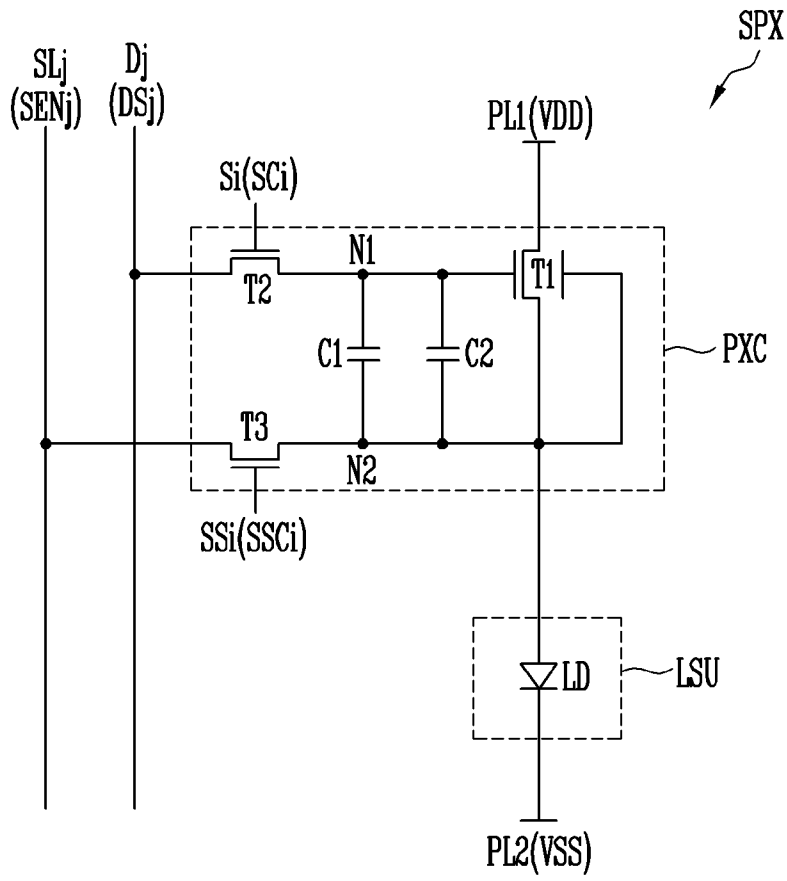
- 상기 제1 전극 및 상기 브릿지 전극은 상기 서브 화소들 각각에 아일랜드 형태로 배치되는, 표시 장치.
- [청구항 9] 제7 항에 있어서, 상기 제1 전극 및 상기 제2 전극 상에는 제1 절연층이 배치되며,
복수의 서브 화소들 중 인접한 2개의 서브 화소들 사이의 경계 영역에는 상기 제1 절연층이 배치되지 않는, 표시 장치.
- [청구항 10] 제1 항에 있어서, 평면도 상에서, 상기 제1 전극은 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극을 커버하는, 표시 장치.
- [청구항 11] 제10 항에 있어서, 상기 제1 전극은 상기 제2 커패시터 전극의 개구를 통해 상기 제1 커패시터 전극 및 상기 반도체 패턴과 연결되는, 표시 장치.
- [청구항 12] 제1 항에 있어서,
상기 적어도 하나의 발광 소자 상에 배치되며 상기 적어도 하나의 발광 소자로부터 입사되는 광의 파장대를 변환시켜 발광하는 파장 변환 패턴; 및
상기 파장 변환 패턴 상에 배치되는 컬러 필터를 더 포함하는, 표시 장치.
- [청구항 13] 제1 항에 있어서, 상기 적어도 하나의 발광 소자는 상호 병렬 연결된 무기 발광 다이오드들을 포함하는, 표시 장치.
- [청구항 14] 반도체 패턴;
상기 반도체 패턴 하부에 배치되는 제1 커패시터 전극;
상기 반도체 패턴 상에 배치되는 게이트 전극;
상기 게이트 전극 상의 동일한 층에 배치되는 제1 전극 및 제2 전극;
상기 제1 전극 및 제2 전극 사이에 배치되는 적어도 하나의 발광 소자;
상기 제1 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 제1 단부와 연결되는 제1 화소 전극; 및
상기 제2 전극 상에 배치되며 상기 적어도 하나의 발광 소자의 제2 단부와 연결되는 제2 화소 전극을 포함하고,
상기 제1 전극은 상기 제1 커패시터 전극 및 상기 반도체 패턴과 전기적으로 연결되고,
상기 반도체 패턴 및 상기 게이트 전극은 트랜지스터를 구성하며,
불순물이 도핑된 상기 반도체 패턴의 일부는 제2 커패시터 전극을 구성하며,
상기 제1 커패시터 전극 및 상기 제2 커패시터 전극에 의해 제1 커패시터가 형성되고,
상기 제2 커패시터 전극과 상기 제2 커패시터 전극과 중첩하는 제1 전극에 의해 제2 커패시터가 형성되는, 표시 장치.
- [청구항 15] 제14 항에 있어서, 상기 게이트 전극은 상기 제2 커패시터 전극과 전기적으로 연결된, 표시 장치.
- [청구항 16] 제14 항에 있어서, 상기 제2 커패시터 전극 및 상기 게이트 전극 사이의 층에는 신호선 및 전원선이 배치되지 않는, 표시 장치.

- [청구항 17] 제16 항에 있어서, 상기 트랜지스터와 연결되는 데이터선 및 전원선 각각은 상기 제1 커패시터 전극 또는 상기 제2 커패시터 전극 중 적어도 하나와 동일한 층에 배치되는, 표시 장치.
- [청구항 18] 제14 항에 있어서,
상기 제1 전극 및 상기 제2 전극과 동일한 층에 배치되며 상기 제1 전극 및 상기 제2 전극으로부터 이격된 브릿지 전극을 더 포함하고,
상기 제2 화소 전극은 상기 브릿지 전극을 통해 전원선에 연결되는, 표시 장치.
- [청구항 19] 제18 항에 있어서, 상기 제1 전극 및 상기 제2 전극 상에는 제1 절연층이 배치되며,
복수의 서브 화소들 중 인접한 2개의 서브 화소들 사이의 경계 영역에는 상기 제1 절연층이 배치되지 않는, 표시 장치.
- [청구항 20] 제14 항에 있어서, 평면도 상에서 상기 제1 전극은 상기 제1 커패시터 전극 및 상기 제2 커패시터 전극을 커버하는, 표시 장치.

[도 1]

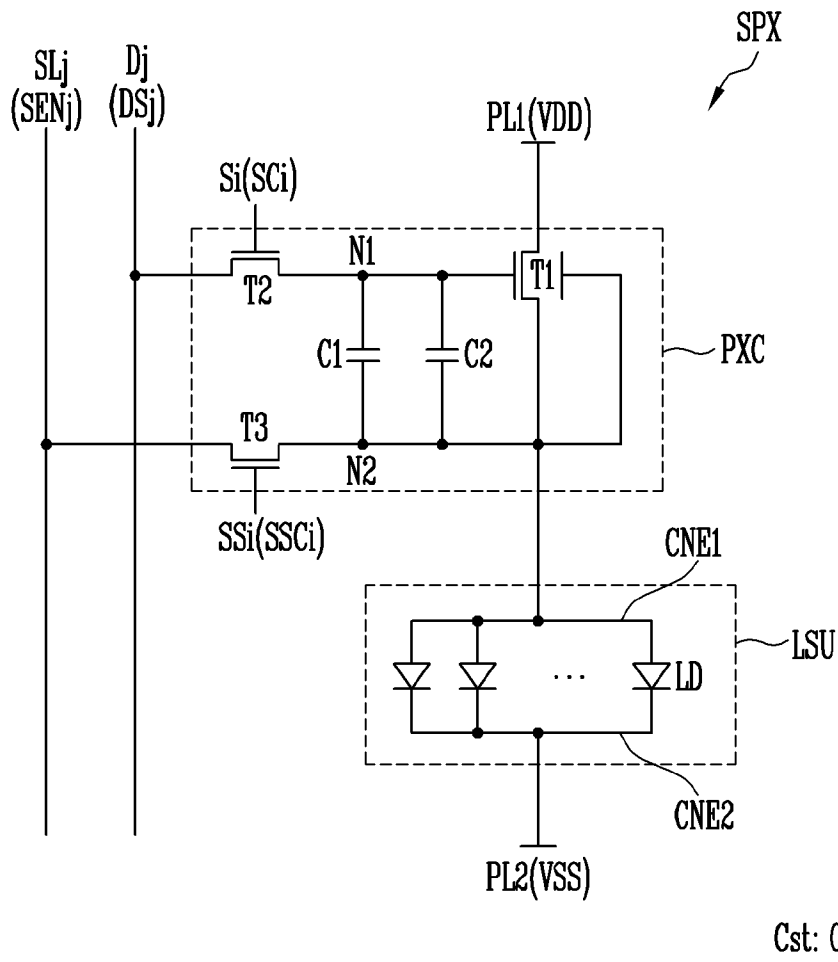


[도2a]



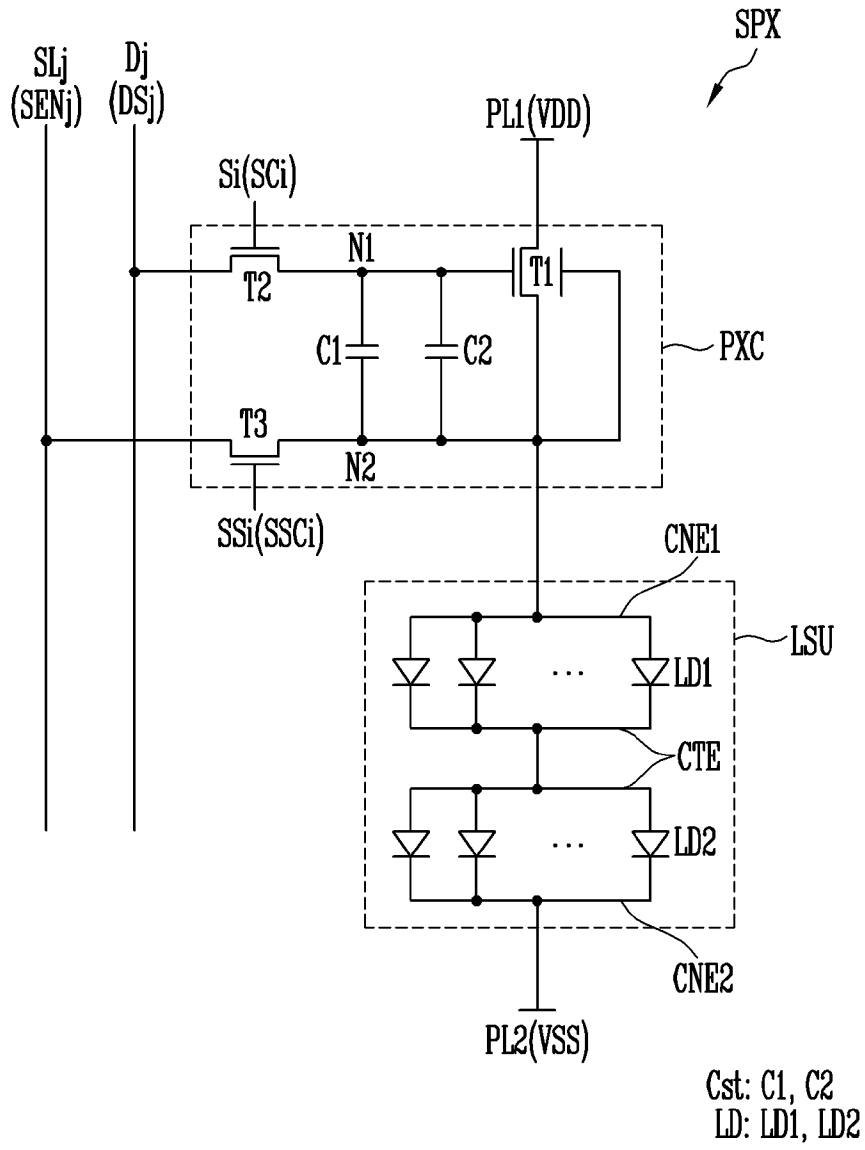
Cst: C1, C2

[도2b]

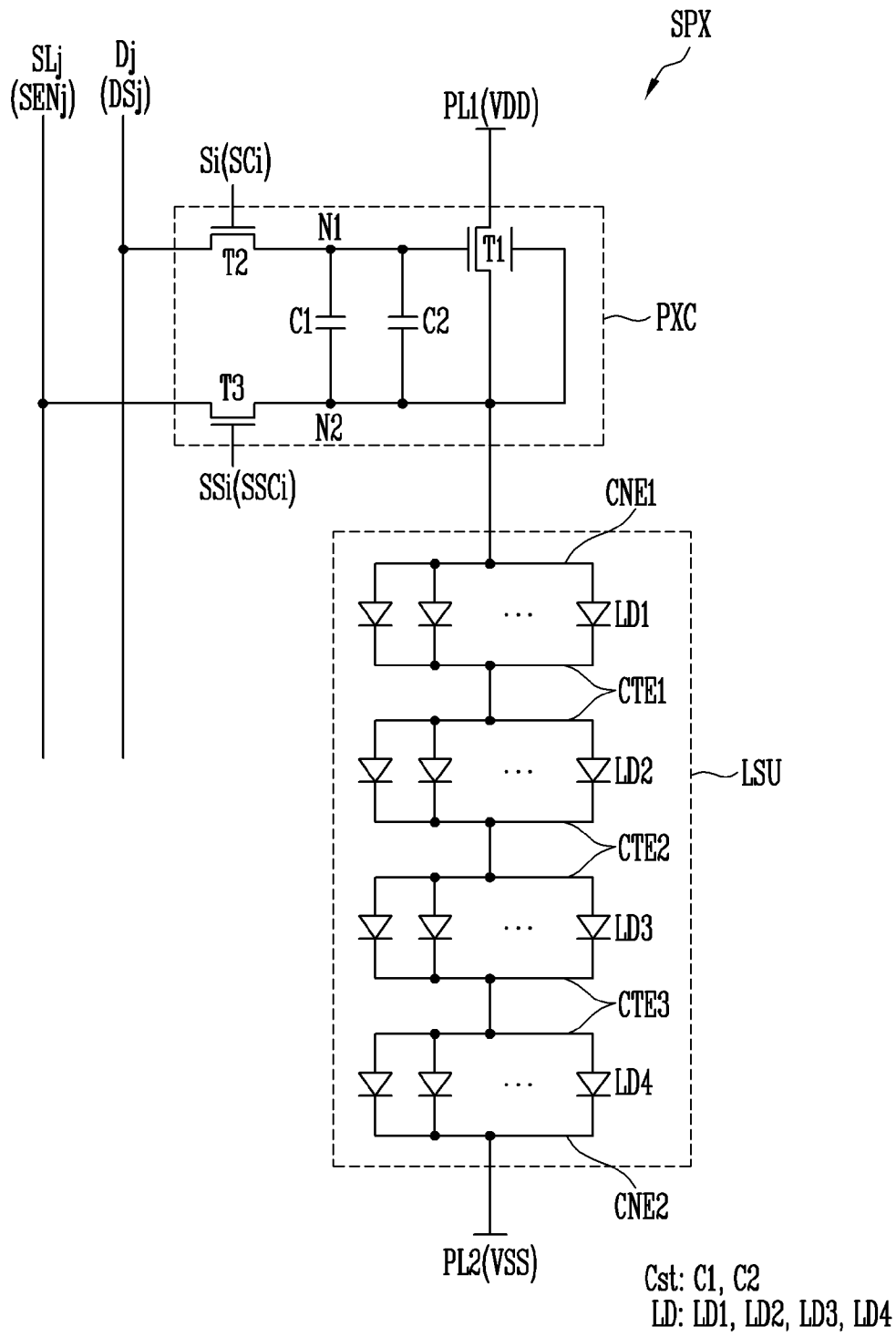


Cst: C1, C2

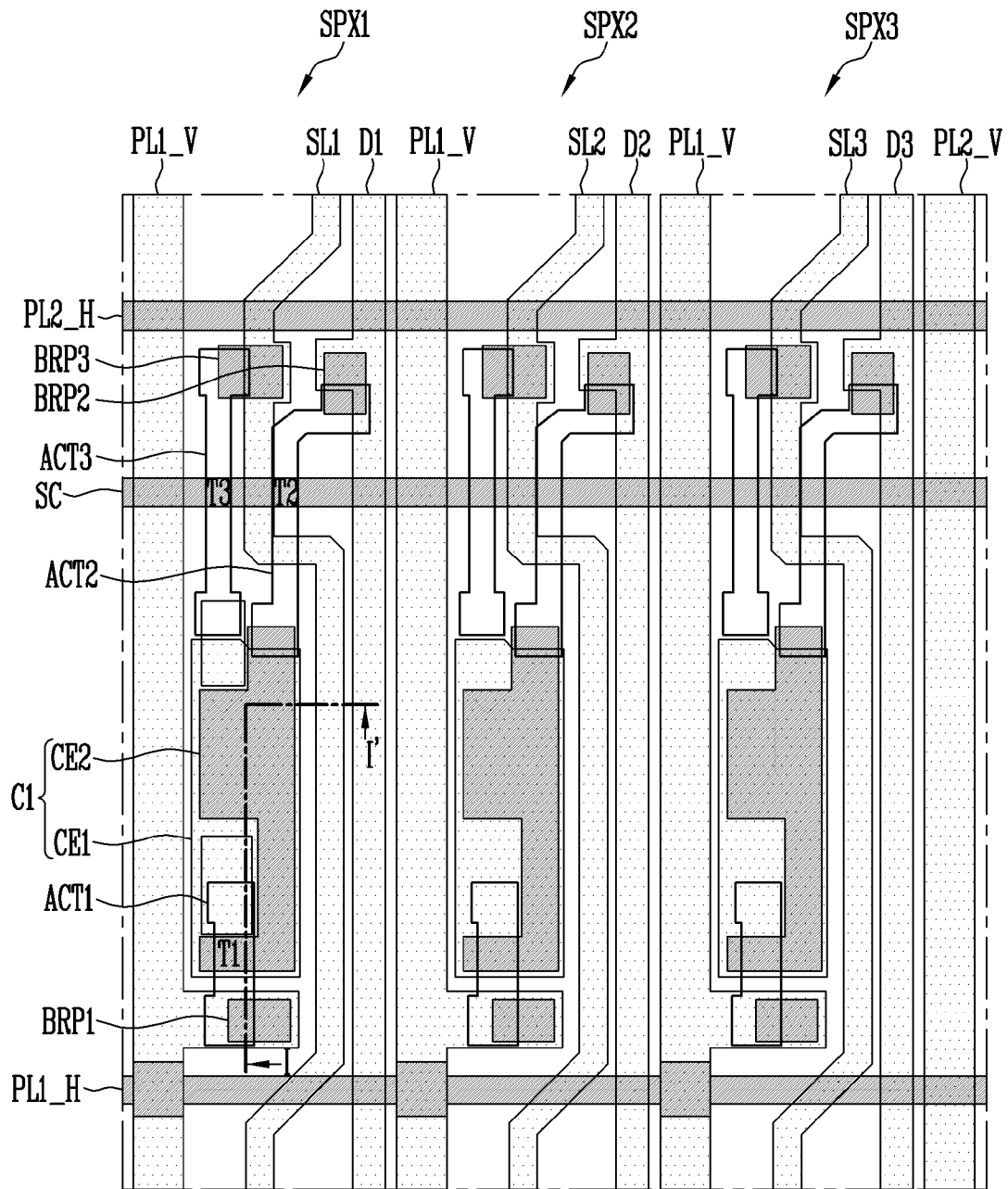
[도2c]



[도2d]

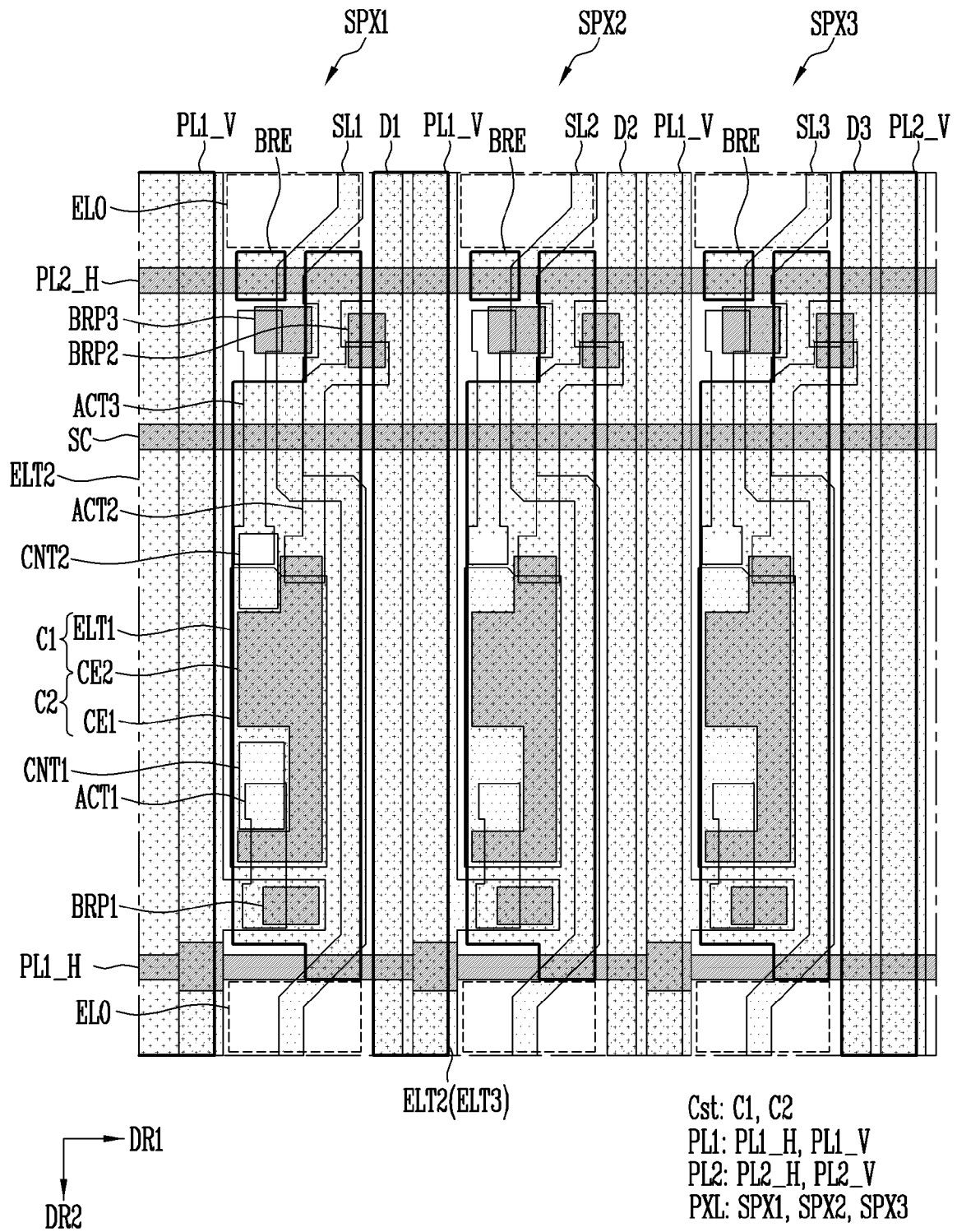


[도3]

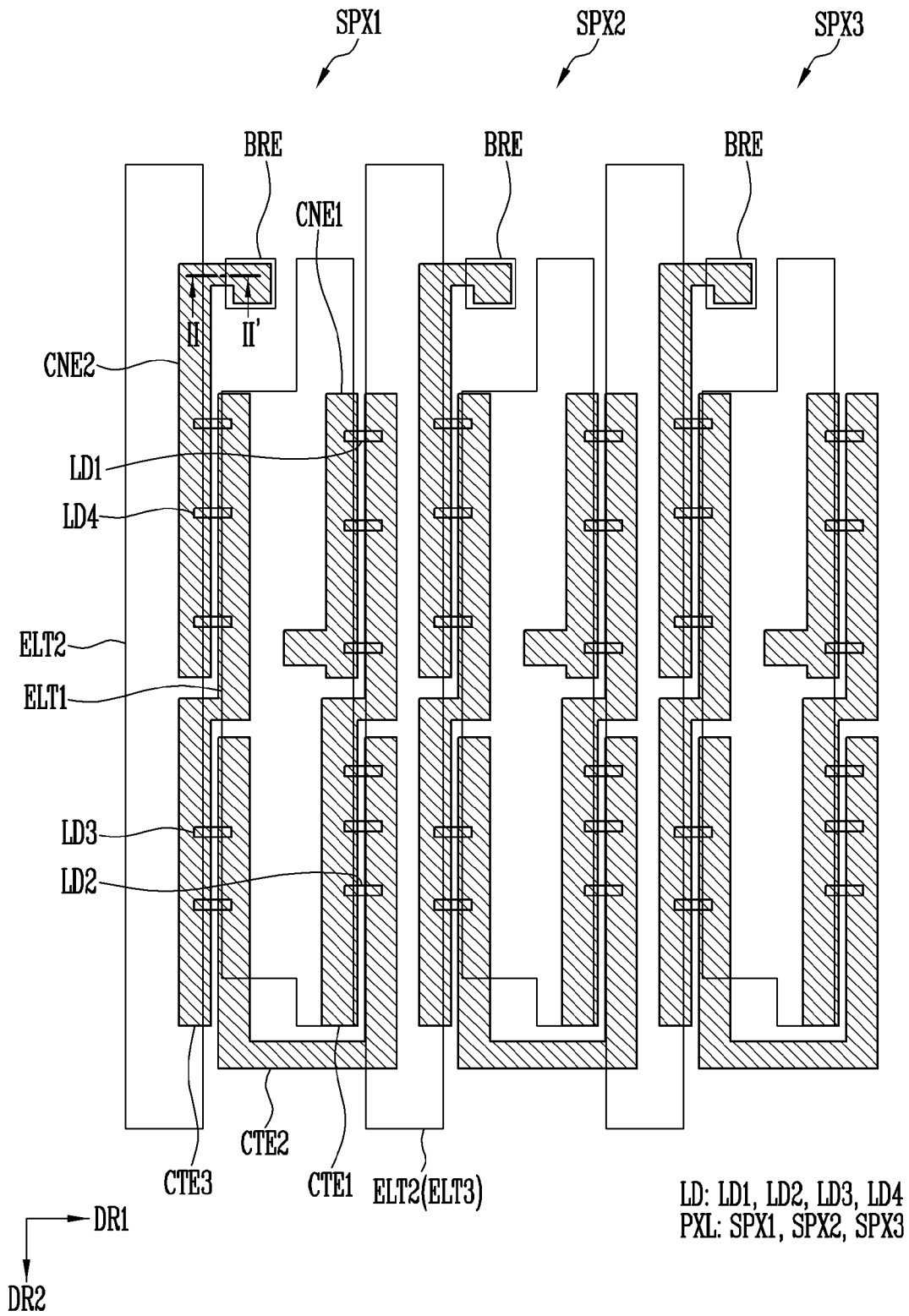


PL1: PL1_H, PL1_V
 PL2: PL2_H, PL2_V
 PXL: SPX1, SPX2, SPX3

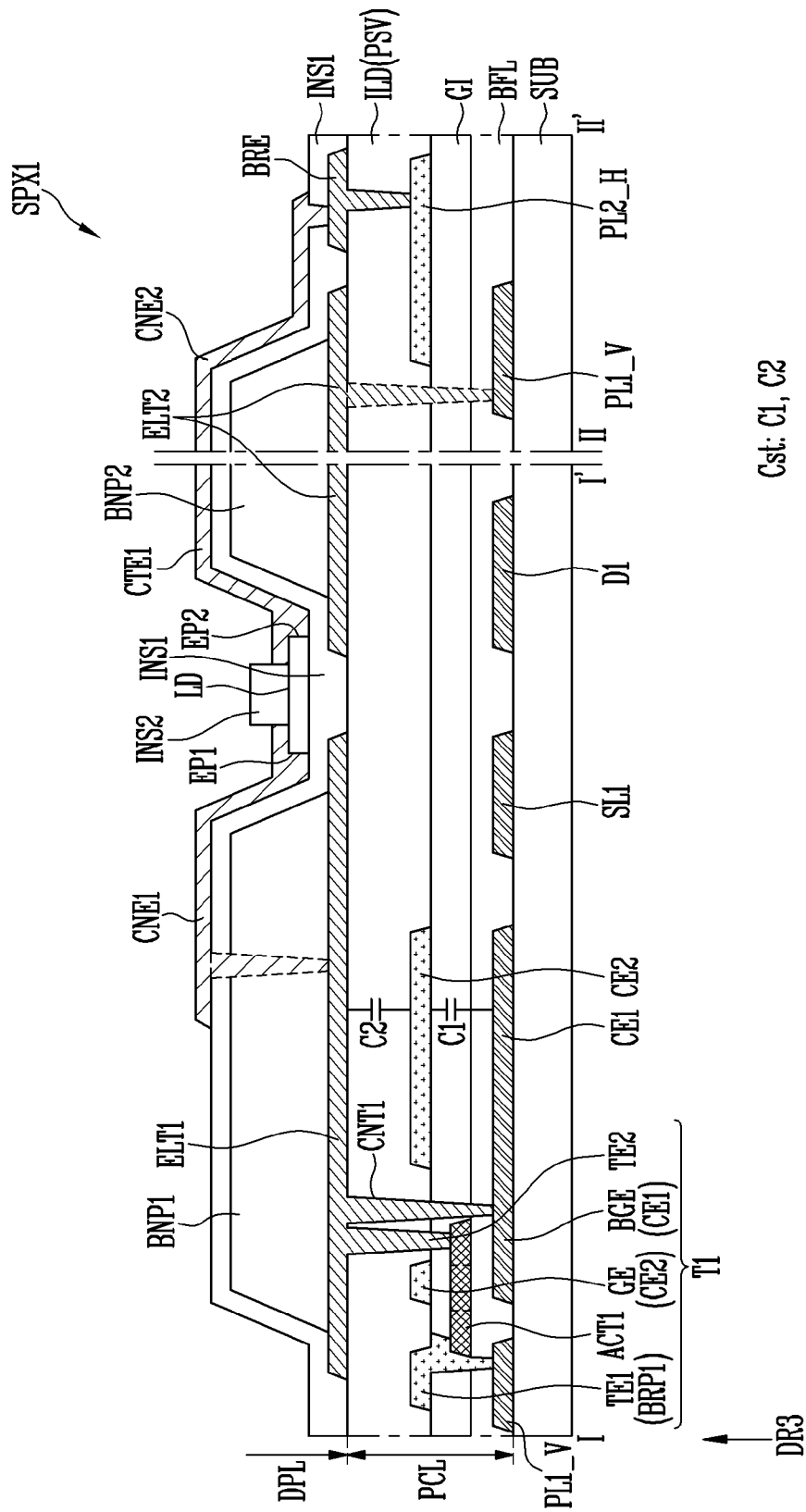
[도4]



[도5]

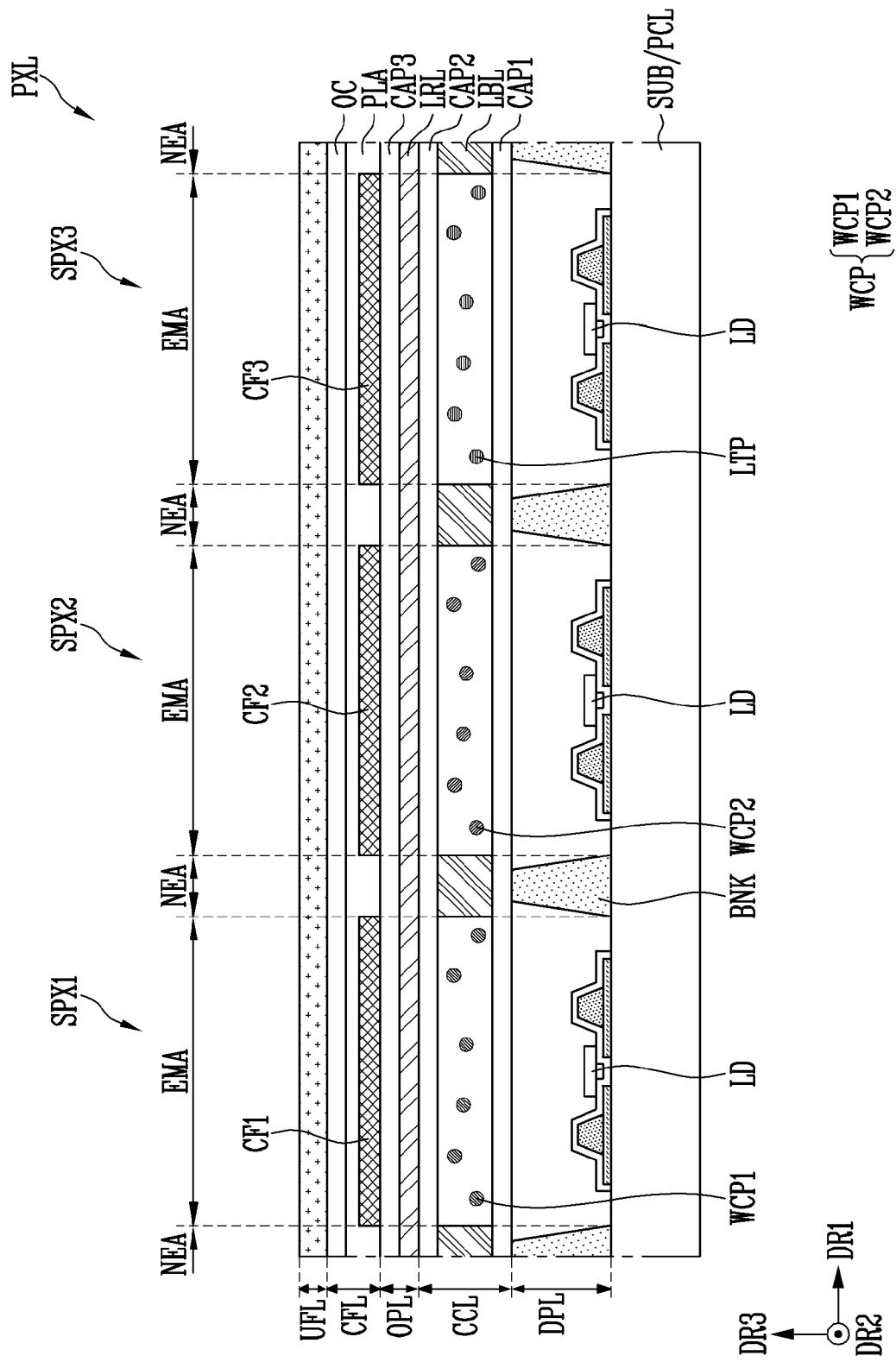


[도6]

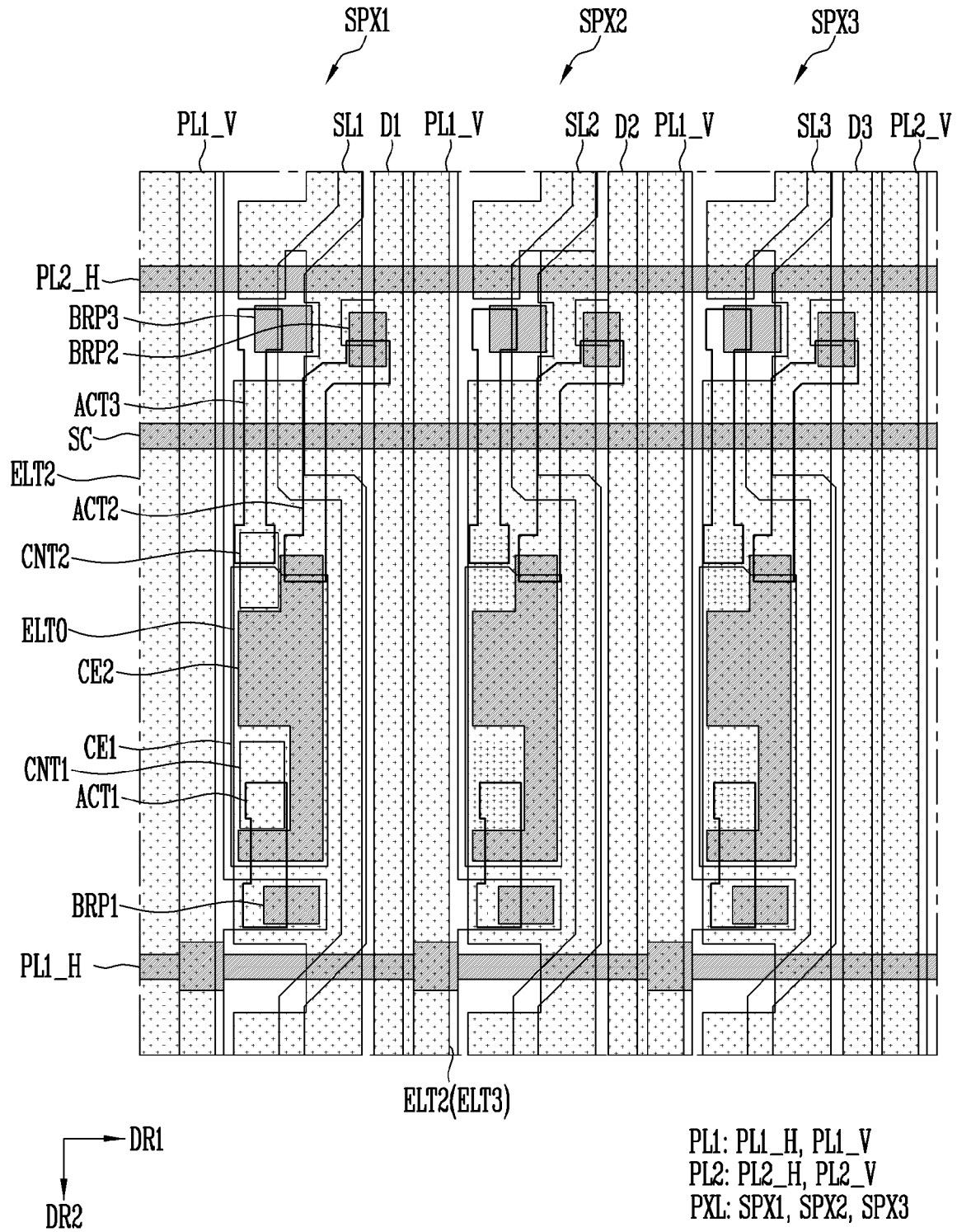


Cst: C1, C2

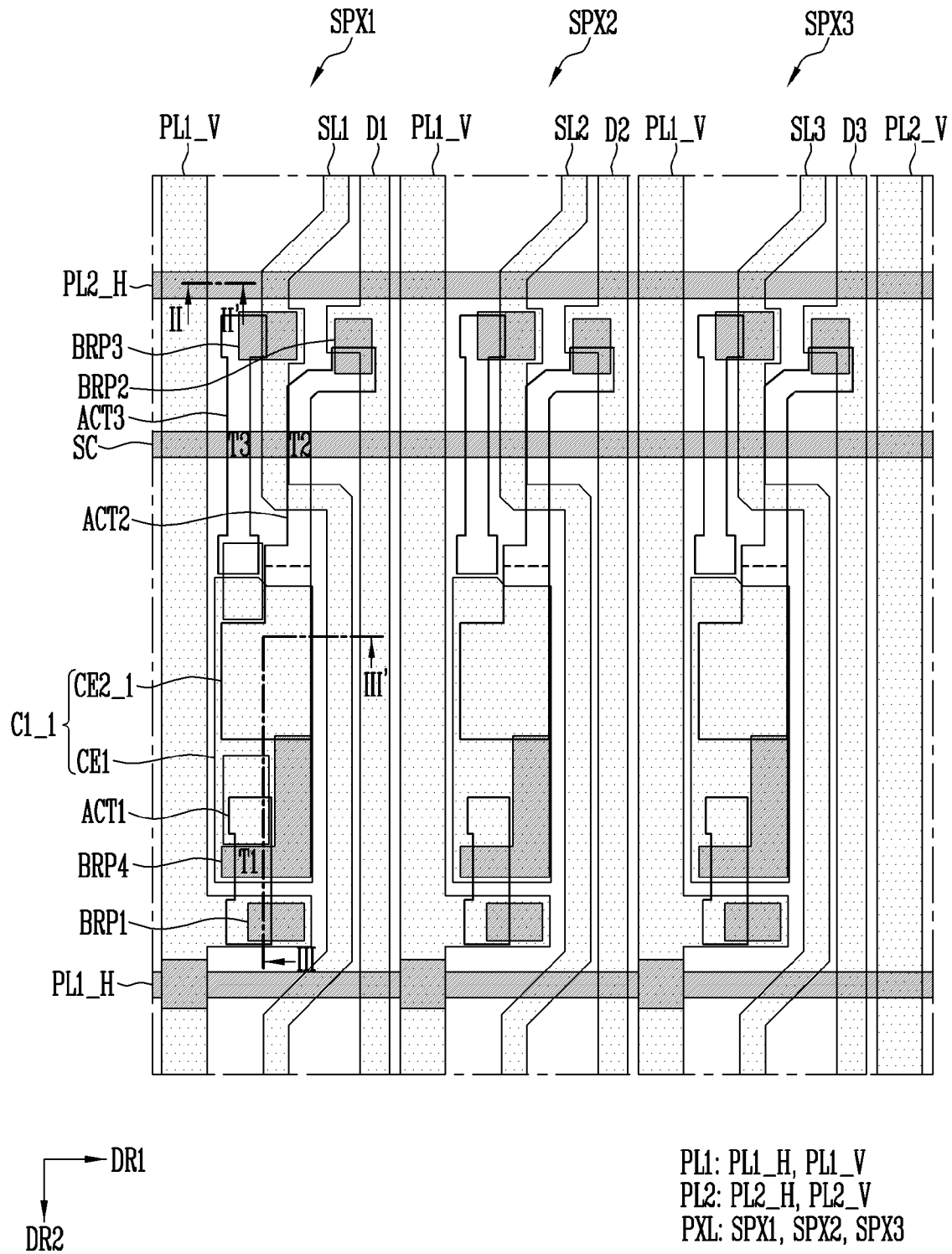
[도 7b]



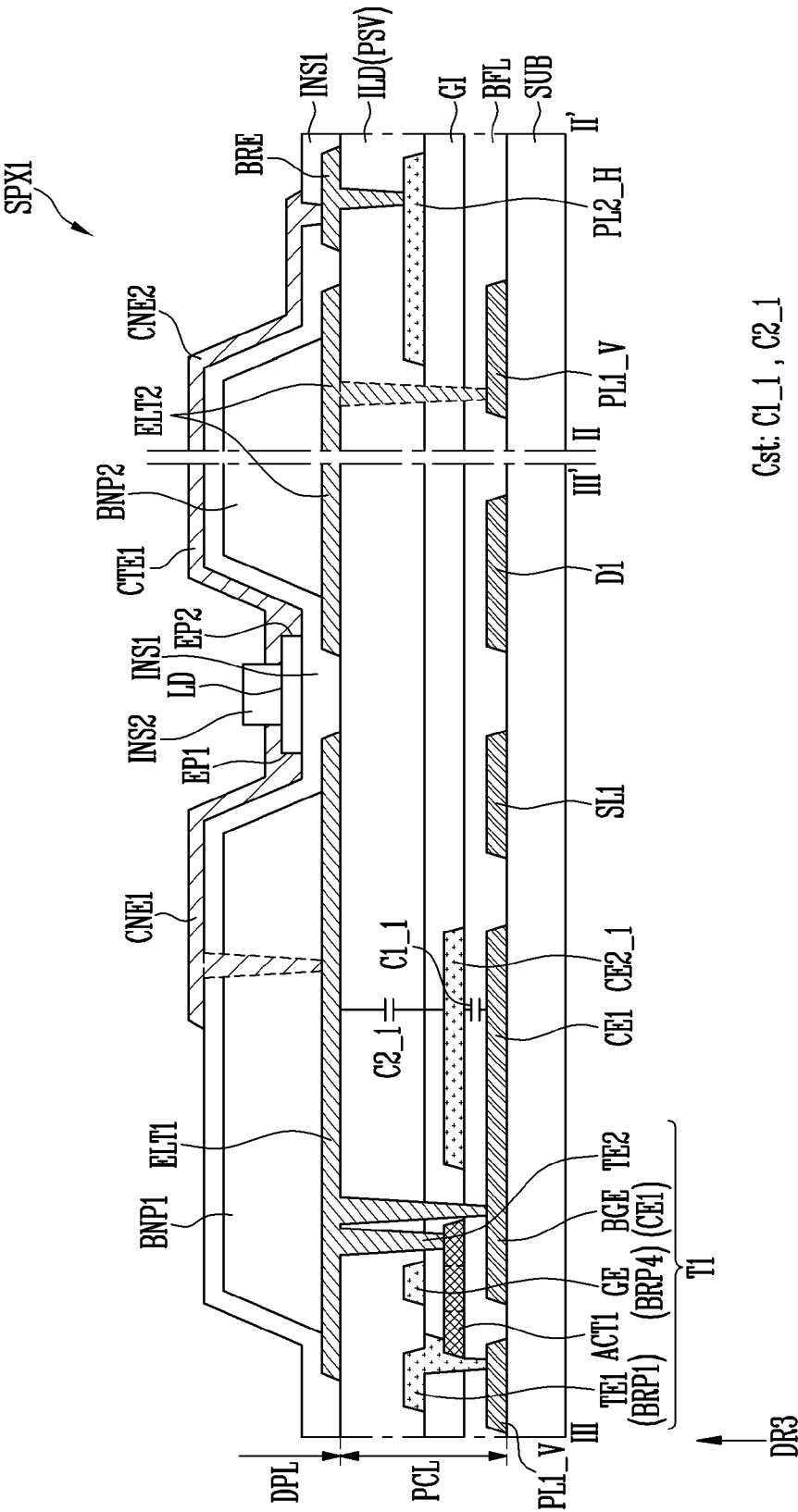
[도8]



[도9]

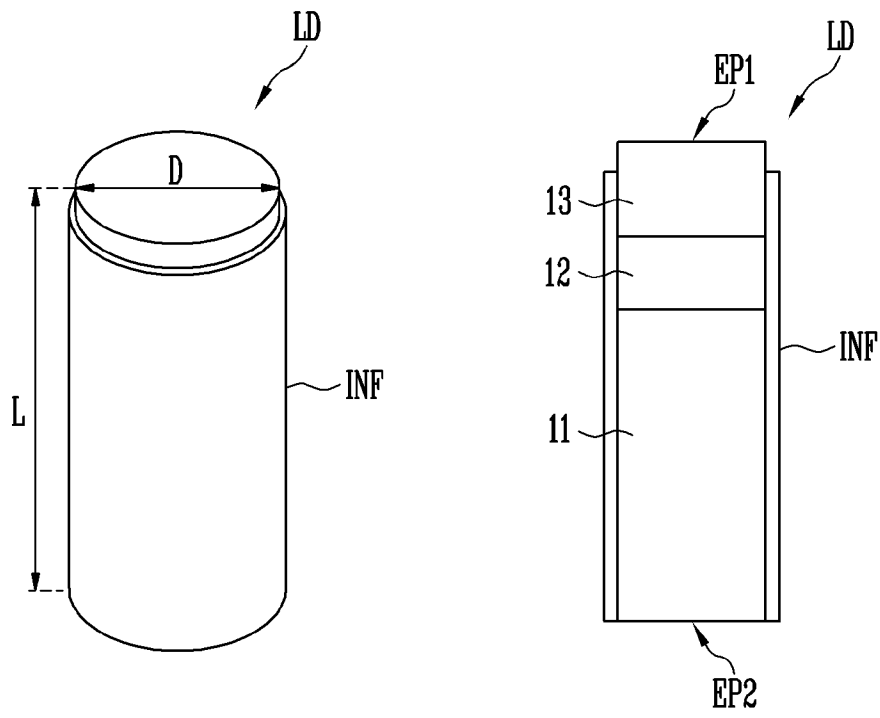


[도 10]



Cst: C1_1, C2_1

[도 11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/009777

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/12**(2006.01)i; **H01L 33/36**(2010.01)i; **H01L 33/50**(2010.01)i; **G09G 3/32**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/12(2006.01); H01L 27/32(2006.01); H01L 33/48(2010.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 표시 장치(display device), 반도체 패턴(semiconductor pattern), 발광 소자(light emitting device), 전극(electrode), 커패시터(capacitor)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2021-0107208 A (SAMSUNG DISPLAY CO., LTD.) 01 September 2021 (2021-09-01) See paragraphs [0076], [0097]-[0099], [0104]-[0105], [0112], [0114], [0122], [0125]-[0127], [0138]-[0139], [0147], [0159], [0164] and [0166]; and figures 9a-11a.	1-20
Y	KR 10-2021-0119951 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 06 October 2021 (2021-10-06) See paragraphs [0069], [0115], [0125] and [0135]; and figures 5, 8b and 9b.	1-20
A	KR 10-1974700 B1 (JAPAN DISPLAY INC.) 05 September 2019 (2019-09-05) See paragraphs [0034]-[0035]; and figure 10.	1-20
A	KR 10-2124025 B1 (LG DISPLAY CO., LTD.) 17 June 2020 (2020-06-17) See paragraphs [0034]-[0061]; and figure 2.	1-20
A	KR 10-2018-0076828 A (LG DISPLAY CO., LTD.) 06 July 2018 (2018-07-06) See paragraphs [0070]-[0086]; and figures 6-7.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 October 2023

Date of mailing of the international search report

11 October 2023

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/009777

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2021-0107208	A	01 September 2021	CN	113299676	A	24 August 2021
				US	2021-0265329	A1	26 August 2021
KR	10-2021-0119951	A	06 October 2021	CN	111490068	A	04 August 2020
				CN	111490068	B	26 July 2022
				EP	3920226	A1	08 December 2021
				JP	2022-518075	A	14 March 2022
				US	11282909	B2	22 March 2022
				US	2021-0193766	A1	24 June 2021
				WO	2020-155593	A1	06 August 2020
KR	10-1974700	B1	05 September 2019	CN	104795423	A	22 July 2015
				JP	2015-135438	A	27 July 2015
				JP	6169005	B2	26 July 2017
				KR	10-2015-0086188	A	27 July 2015
				KR	10-2016-0140542	A	07 December 2016
				TW	201530753	A	01 August 2015
				TW	1557901	B	11 November 2016
				US	2015-0206929	A1	23 July 2015
				US	2016-0141344	A1	19 May 2016
				US	9276051	B2	01 March 2016
KR	10-2124025	B1	17 June 2020	CN	104733499	A	24 June 2015
				CN	104733499	B	10 August 2018
				CN	108511462	A	07 September 2018
				CN	108511462	B	25 October 2022
				KR	10-2015-0073611	A	01 July 2015
				US	10629488	B2	21 April 2020
				US	10985068	B2	20 April 2021
				US	2015-0179724	A1	25 June 2015
				US	2016-0204180	A1	14 July 2016
				US	2018-0197779	A1	12 July 2018
				US	2020-0219770	A1	09 July 2020
				US	9324740	B2	26 April 2016
				US	9941169	B2	10 April 2018
KR	10-2018-0076828	A	06 July 2018	EP	3343630	A1	04 July 2018
				EP	3343630	B1	19 October 2022
				US	10510302	B2	17 December 2019
				US	2018-0182302	A1	28 June 2018

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/12(2006.01)i; H01L 33/36(2010.01)i; H01L 33/50(2010.01)i; G09G 3/32(2006.01)i		
B. 조사된 분야		
조사된 최소문헌(국제특허분류를 기재) H01L 27/12(2006.01); H01L 27/32(2006.01); H01L 33/48(2010.01)		
조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC		
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 표시 장치(display device), 반도체 패턴(semiconductor pattern), 발광 소자(light emitting device), 전극(electrode), 커패시터(capacitor)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2021-0107208 A (삼성디스플레이 주식회사) 2021.09.01 단락 [0076], [0097]-[0099], [0104]-[0105], [0112], [0114], [0122], [0125]-[0127], [0138]-[0139], [0147], [0159], [0164], [0166]; 및 도면 9a-11a	1-20
Y	KR 10-2021-0119951 A (보에 테크놀로지 그룹 컴퍼니 리미티드 등) 2021.10.06 단락 [0069], [0115], [0125], [0135]; 및 도면 5, 8b, 9b	1-20
A	KR 10-1974700 B1 (가부시키가이샤 제팬 디스플레이) 2019.09.05 단락 [0034]-[0035]; 및 도면 10	1-20
A	KR 10-2124025 B1 (엘지디스플레이 주식회사) 2020.06.17 단락 [0034]-[0061]; 및 도면 2	1-20
A	KR 10-2018-0076828 A (엘지디스플레이 주식회사) 2018.07.06 단락 [0070]-[0086]; 및 도면 6-7	1-20
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2023년10월11일(11.10.2023)		국제조사보고서 발송일 2023년10월11일(11.10.2023)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 정종한 전화번호 +82-42-481-5642

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2021-0107208 A	2021/09/01	CN 113299676 A	2021/08/24
		US 2021-0265329 A1	2021/08/26
KR 10-2021-0119951 A	2021/10/06	CN 111490068 A	2020/08/04
		CN 111490068 B	2022/07/26
		EP 3920226 A1	2021/12/08
		JP 2022-518075 A	2022/03/14
		US 11282909 B2	2022/03/22
		US 2021-0193766 A1	2021/06/24
		WO 2020-155593 A1	2020/08/06
KR 10-1974700 B1	2019/09/05	CN 104795423 A	2015/07/22
		JP 2015-135438 A	2015/07/27
		JP 6169005 B2	2017/07/26
		KR 10-2015-0086188 A	2015/07/27
		KR 10-2016-0140542 A	2016/12/07
		TW 201530753 A	2015/08/01
		TW I557901 B	2016/11/11
		US 2015-0206929 A1	2015/07/23
		US 2016-0141344 A1	2016/05/19
		US 9276051 B2	2016/03/01
KR 10-2124025 B1	2020/06/17	CN 104733499 A	2015/06/24
		CN 104733499 B	2018/08/10
		CN 108511462 A	2018/09/07
		CN 108511462 B	2022/10/25
		KR 10-2015-0073611 A	2015/07/01
		US 10629488 B2	2020/04/21
		US 10985068 B2	2021/04/20
		US 2015-0179724 A1	2015/06/25
		US 2016-0204180 A1	2016/07/14
		US 2018-0197779 A1	2018/07/12
		US 2020-0219770 A1	2020/07/09
		US 9324740 B2	2016/04/26
		US 9941169 B2	2018/04/10
KR 10-2018-0076828 A	2018/07/06	EP 3343630 A1	2018/07/04
		EP 3343630 B1	2022/10/19
		US 10510302 B2	2019/12/17
		US 2018-0182302 A1	2018/06/28