



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I665496 B

(45)公告日：中華民國 108 (2019) 年 07 月 11 日

(21)申請案號：107123376

(22)申請日：中華民國 107 (2018) 年 07 月 05 日

(51)Int. Cl. : G02F1/1333 (2006.01)

G02F1/1343 (2006.01)

G02F1/1362 (2006.01)

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)  
新竹市力行二路一號

(72)發明人：朱昭宇 CHU, CHAO-YU (TW)；黃馨諄 HUANG, HSIN-CHUN (TW)；紀紹玄 JI, SHAO-SYUAN (TW)；林玟珊 LIN, MEI-SHAN (TW)；郭文瑞 GUO, WEN-REI (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW I601121B

TW M559507

TW 201350987A

TW 201535691A

TW 201544883A

TW 201706973A

TW 201715276A

CN 205374935U

審查人員：林君濤

申請專利範圍項數：16 項 圖式數：10 共 45 頁

(54)名稱

畫素陣列基板

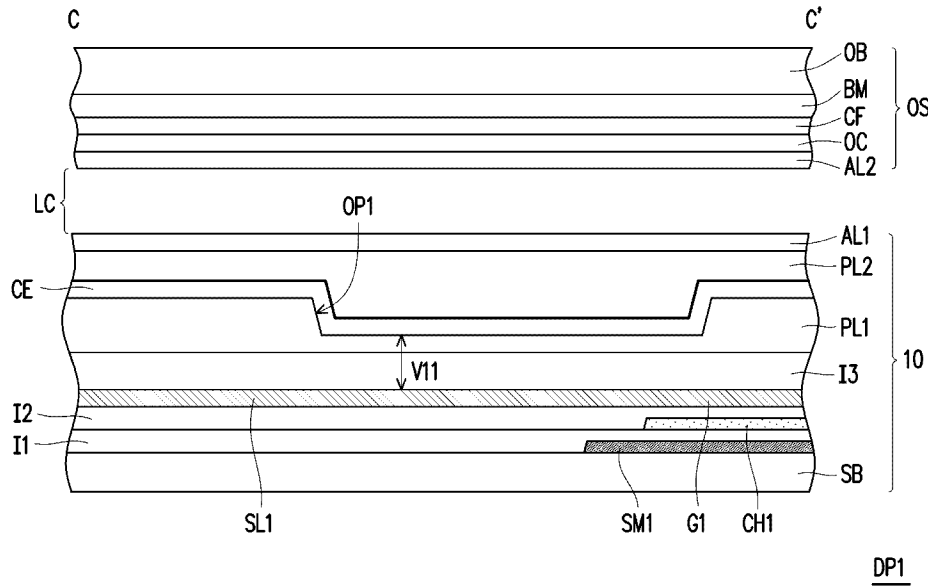
PIXEL ARRAY SUBSTRATE

(57)摘要

一種畫素陣列基板，包含基底、第一掃描線、第一子畫素、第二掃描線、第二子畫素以及共用電極。基底具有第一區及第二區。第一區之長度小於第二區之長度。第二區之相對兩側對應於基底之相對兩側。第一區之至少一側不對應基底之相對兩側中的其中一側。第一掃描線位於第一區上。第一子畫素電性連接第一掃描線。第二掃描線位於第二區上。第二子畫素電性連接第二掃描線。共用電極位於基底上。共用電極與第一掃描線之垂直距離為  $V11$ 。共用電極與第二掃描線之垂直距離為  $V2$ ， $V2 > V11$ 。

A pixel array substrate includes a substrate, a first scan line, a first sub-pixel, a second scan line, a second sub-pixel, and a common electrode. The substrate has a first area and a second area. The length of the first area is smaller than the length of the second area. Two opposite sides of the second area are respectively corresponding to two opposite sides of the substrate. At least one side of the first area is not corresponding to one of the two opposite sides of the substrate. The first scan line is disposed on the first area. The first sub-pixel is electrically connected to the first scan line. The second scan line is disposed on the second area. The second sub-pixel is electrically connected to the second scan line. The common electrode is disposed on the substrate. A vertical distance between the common electrode and the first scan line is  $V11$ . A vertical distance between the common electrode and the second scan line is  $V2$  and  $V2 > V11$ .

指定代表圖：



【圖3C】

符號簡單說明：

- AL1、AL2 . . . 配向層
- BM . . . 黑色矩陣
- CE . . . 共用電極
- CF . . . 濾光元件
- CH1 . . . 第一半導體通道層
- G1 . . . 第一閘極
- I1~I3 . . . 絕緣層
- LC . . . 液晶層
- OB . . . 基底
- OC . . . 覆蓋層
- OP1 . . . 開孔
- PL1、PL2 . . . 保護層
- SB . . . 基底
- SL1 . . . 第一掃描線
- SM1 . . . 遮光層
- V11 . . . 垂直距離
- C-C' . . . 剖面線

## 【發明說明書】

【中文發明名稱】 畫素陣列基板

【英文發明名稱】 PIXEL ARRAY SUBSTRATE

【技術領域】

【0001】 本發明是有關於一種畫素陣列基板，且特別是有關於一種包含共用電極之畫素陣列基板。

【先前技術】

【0002】 目前，為了提升產品的設計感，顯示裝置中的畫素陣列基板往往會使用非矩形的異形（Free form）基底。為了配合異形基底的形狀，在這些異形基底上的顯示區中，部分的掃描線之長度會不同於其他掃描線之長度，這導致了畫素陣列基板中不同條掃描線上具有不相同的電容。顯示裝置容易因為不同條掃描線上具有不相同的電容而產生亮紋或閃爍，嚴重的影響了顯示裝置的顯示品質。因此，目前亟需一種可以解決前述問題的方法。

【發明內容】

【0003】 本發明的至少一實施例提供一種畫素陣列基板，能改善不同條掃描線上之電容分布不均的問題。

【0004】 本發明的至少一實施例提供一種畫素陣列基板，包含基底、第一掃描線、第一子畫素、第二掃描線、第二子畫素以及共用

電極。基底具有第一區及第二區。第一區之長度小於第二區之長度。第二區之相對兩側對應於基底之相對兩側。第一區之至少一側不對應基底之相對兩側中的其中一側。第一掃描線位於第一區上。第一子畫素電性連接第一掃描線。第二掃描線位於第二區上。第二子畫素電性連接第二掃描線。共用電極位於基底上。共用電極與第一掃描線之垂直距離為  $V11$ 。共用電極與第二掃描線之垂直距離為  $V2$ ， $V2 > V11$ 。

**【0005】** 本發明的至少一實施例提供一種畫素陣列基板，包含基底、第一掃描線、多個第一子畫素、第二掃描線、多個第二子畫素以及共用電極。第一掃描線位於基底上。多個第一子畫素電性連接第一掃描線。第二掃描線位於基底上。多個第二子畫素電性連接第二掃描線。第二子畫素的數量大於第一子畫素的數量。共用電極位於基底上。共用電極與第一掃描線之垂直距離為  $V11$ 。共用電極與第二掃描線之垂直距離為  $V2$ ， $V2 > V11$ 。

**【0006】** 本發明之目的之一為改善畫素陣列基板中不同條掃描線上之電容分布不均的問題。

**【0007】** 本發明之目的之一為改善液晶顯示面板之畫素陣列基板中之電容分布不均的問題。

**【0008】** 本發明之目的之一為改善液晶顯示面板之亮紋或閃爍的問題。

**【0009】** 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

**【圖式簡單說明】****【0010】**

圖 1 是依照本發明的一實施例的一種畫素陣列基板的俯視示意圖。

圖 2 是圖 1 中區域 X 的局部放大圖。

圖 3A 至圖 3D 是依照本發明的一實施例的一種液晶顯示面板的局部剖面示意圖。

圖 4A 至圖 4B 是依照本發明的一實施例的一種液晶顯示面板的局部剖面示意圖。

圖 5A 至圖 5B 是依照本發明的一實施例的一種液晶顯示面板的局部剖面示意圖。

圖 6 是依照本發明的一實施例的一種畫素陣列基板的俯視示意圖。

圖 7 是依照本發明的一實施例的一種畫素陣列基板的俯視示意圖。

圖 8 是圖 7 中區域 Y 的局部放大圖。

圖 9A 至圖 9C 是依照本發明的一實施例的一種液晶顯示面板的局部剖面示意圖。

圖 10 是依照本發明的一實施例的一種畫素陣列基板的俯視示意圖。

**【實施方式】**

**【0011】** 圖 1 是依照本發明的一實施例的一種畫素陣列基板的俯視示意圖，其中，圖 1 繪示了基底 SB、第一掃描線 SL1、第一子畫素 PX1、第二掃描線 SL2、第二子畫素 PX2、第三掃描線 SL3 以及第三子畫素 PX3，並省略繪示其他構件。圖 2 是圖 1 中區域 X 的局部放大圖。圖 3A 至圖 3D 是依照本發明的一實施例的一種液晶顯示面板的局部剖面示意圖。

**【0012】** 請參考圖 1、圖 2 與圖 3A，沿圖 2 剖面線 A-A'所繪製的局部剖面示意圖亦顯示於圖 3A。畫素陣列基板 10 包含基底 SB、第一掃描線 SL1、第一子畫素 PX1、第二掃描線 SL2、第二子畫素 PX2 以及共用電極 CE。在一些實施例中，畫素陣列基板 10 還包含第一資料線 DL1、第二資料線 DL2、第三掃描線 SL3、第三子畫素 PX3、絕緣層 I1~I3、保護層 PL1、保護層 PL2、配向層 AL1 以及遮光層 SM1~SM3。液晶顯示面板 DP1 包含畫素陣列基板 10、間隔物 PS、液晶層 LC 以及對向基板 OS，間隔物 PS 及液晶層 LC 位於畫素陣列基板 10 以及對向基板 OS 之間。對向基板 OS 包含基底 OB、黑色矩陣 BM、濾光元件 CF、覆蓋層 OC 以及配向層 AL2。

**【0013】** 請參照圖 1，基底 SB 係為非矩形的異形，基底 SB 具有第一區 R1 及第二區 R2。第一區 R1 之長度 L1 小於第二區 R2 之長度 L2。第二區 R2 之相對兩側 R2a、R2b 對應於基底 SB 之相對兩側 SBa、SBb。基底 SB 之相對兩側 SBa、SBb 舉例係為彼此平

行，但不以此為限。第一區 R1 之至少一側 R1b 不對應基底 SB 之相對兩側中的其中一側 SBb，第一區 R1 之一側 R1a 對應於基底 SB 之一側 SBa，第一區 R1 之一側 R1b 舉例係不與基底 SB 之一側 SBb 平行且不彼此連接。在本實施例中，第一區 R1 之一側 R1a 與第二區 R2 之一側 R2a 連接，且構成基底 SB 之一側 SBa。第一區 R1 之一側 R1b 與第二區 R2 之一側 R2b 分離。在本實施例中，第二區 R2 大致上為長方形且第一區 R1 大致上為梯形，且第一區 R1 的底邊連接第二區 R2，但本發明不以此為限。在其他實施例中，基底 SB 也可以為其他形狀。

**【0014】** 第一掃描線 SL1 位於基底 SB 的第一區 R1 上。同一列之多個第一子畫素 PX1 電性連接第一掃描線 SL1。第二掃描線 SL2 位於基底 SB 的第二區 R2 上。另一列之多個第二子畫素 PX2 電性連接第二掃描線 SL2。第三掃描線 SL3 位於基底 SB 的第一區 R1 上。再一系列之多個第三子畫素 PX3 電性連接第三掃描線 SL3。在本實施例中，第一掃描線 SL1 之長度小於第二掃描線 SL2 之長度，電性連接至第二掃描線 SL2 之第二子畫素 PX2 的數量大於電性連接至第一掃描線 SL1 之第一子畫素 PX1 的數量。在本實施例中，第三掃描線 SL3 之長度小於第一掃描線 SL1 之長度，電性連接至第一掃描線 SL1 之第一子畫素 PX1 的數量大於電性連接至第三掃描線 SL3 之第三子畫素 PX3 的數量。

**【0015】** 請參考圖 2 與圖 3A，第二子畫素 PX2 包括第二薄膜電晶體 TFT2 以及第二畫素電極 PE2。第二薄膜電晶體 TFT2 位於基底

SB 上，且包括第二半導體通道層 CH2、第二閘極 G2、第二源極 S2 以及第二汲極 D2。

【0016】 第二半導體通道層 CH2 位於基底 SB 上。在本實施例中，第二半導體通道層 CH2 與基底 SB 之間還具有遮光層 SM2，絕緣層 I1 位於第二半導體通道層 CH2 與遮光層 SM2 之間。遮光層 SM2 可以改善第二薄膜電晶體 TFT2 因為照光而產生漏電的問題。第二閘極 G2 重疊於第二半導體通道層 CH2，且第二閘極 G2 與第二半導體通道層 CH2 之間具有絕緣層 I2。第二閘極 G2 電性連接至第二掃描線 SL2。第二源極 S2 以及第二汲極 D2 電性連接至第二半導體通道層 CH2。絕緣層 I3 位於第二閘極 G2 以及第二掃描線 SL2 上，且厚度為 0.6 微米至 0.9 微米。第二源極 S2 以及第二汲極 D2 位於絕緣層 I3 上，且分別透過接觸洞 H1、H2 而電性連接至第二半導體通道層 CH2，接觸洞 H1、H2 位於絕緣層 I3、絕緣層 I2 中。第二源極 S2 電性連接至第一資料線 DL1。保護層 PL1 位於第二源極 S2、第二汲極 D2 以及絕緣層 I3 上，且厚度為 1.8 微米至 2.2 微米。保護層 PL1 覆蓋第二薄膜電晶體 TFT2，保護層 PL2 覆蓋保護層 PL1。第二畫素電極 PE2 透過接觸洞 O1 而電性連接至第二汲極 D2。接觸洞 O1 位於保護層 PL1 與保護層 PL2 中。

【0017】 第一子畫素 PX1 以及第三子畫素 PX3 具有與第二子畫素 PX2 類似的結構。

【0018】 第一子畫素 PX1 包括第一薄膜電晶體 TFT1 以及第一畫素電極 PE1。第一薄膜電晶體 TFT1 位於基底 SB 上，且包括第一

半導體通道層 CH1、第一閘極 G1、第一源極 S1 以及第一汲極 D1。

【0019】 第一半導體通道層 CH1 位於基底 SB 上。在本實施例中，第一半導體通道層 CH1 與基底 SB 之間還具有遮光層 SM1，絕緣層 I1 位於第一半導體通道層 CH1 與遮光層 SM1 之間。遮光層 SM1 可以改善第一薄膜電晶體 TFT1 因為照光而產生漏電的問題。第一閘極 G1 重疊於第一半導體通道層 CH1，且第一閘極 G1 與第一半導體通道層 CH1 之間具有絕緣層 I2。第一閘極 G1 電性連接至第一掃描線 SL1。第一源極 S1 以及第一汲極 D1 電性連接至第一半導體通道層 CH1。絕緣層 I3 位於第一閘極 G1 以及第一掃描線 SL1 上。第一源極 S1 以及第一汲極 D1 位於絕緣層 I3 上，且分別透過接觸洞 H3、H4 而電性連接至第一半導體通道層 CH1，接觸洞 H3、H4 位於絕緣層 I3、絕緣層 I2 中。第一源極 S1 電性連接至第一資料線 DL1。第一畫素電極 PE1 電性連接至第一汲極 D1。保護層 PL1 與保護層 PL2 覆蓋第一薄膜電晶體 TFT1。第一畫素電極 PE1 透過接觸洞 O2 而電性連接至第一汲極 D1。接觸洞 O2 位於保護層 PL1 與保護層 PL2 中。

【0020】 第三子畫素 PX3 包括第三薄膜電晶體 TFT3 以及第三畫素電極 PE3。第三薄膜電晶體 TFT3 位於基底 SB 上，且包括第三半導體通道層 CH3、第三閘極 G3、第三源極 S3 以及第三汲極 D3。

【0021】 第三半導體通道層 CH3 位於基底 SB 上。在本實施例中，第三半導體通道層 CH3 與基底 SB 之間還具有遮光層 SM3，絕緣層 I1 位於第三半導體通道層 CH3 與遮光層 SM3 之間。遮光層 SM3

可以改善第三薄膜電晶體 TFT3 因為照光而產生漏電的問題。第三閘極 G3 重疊於第三半導體通道層 CH3，且第三閘極 G3 與第三半導體通道層 CH3 之間具有絕緣層 I2。第三閘極 G3 電性連接至第三掃描線 SL3。第三源極 S3 以及第三汲極 D3 電性連接至第三半導體通道層 CH3。絕緣層 I3 位於第三閘極 G3 以及第三掃描線 SL3 上。第三源極 S3 以及第三汲極 D3 位於絕緣層 I3 上，且分別透過接觸洞 H5、H6 而電性連接至第三半導體通道層 CH3，接觸洞 H5、H6 位於絕緣層 I3、絕緣層 I2 中。第三源極 S3 電性連接至第一資料線 DL1。第三畫素電極 PE3 電性連接至第三汲極 D3。保護層 PL1 與保護層 PL2 覆蓋第三薄膜電晶體 TFT3。第三畫素電極 PE3 透過接觸洞 O3 而電性連接至第三汲極 D3。接觸洞 O3 位於保護層 PL1 與保護層 PL2 中。

**【0022】** 本發明並不特別限制第一薄膜電晶體 TFT1、第二薄膜電晶體 TFT2 與第三薄膜電晶體 TFT3 電性連接至相同條資料線或不同條資料線。在本實施例中，位於同一行之第一子畫素 PX1、第二子畫素 PX2 及第三子畫素 PX3 分別包含之第一薄膜電晶體 TFT1、第二薄膜電晶體 TFT2 與第三薄膜電晶體 TFT3，且例如係電性連接至第一資料線 DL1。

**【0023】** 共用電極 CE 位於基底 SB 上。共用電極 CE 位於保護層 PL1 與保護層 PL2 之間。共用電極 CE 重疊於第一畫素電極 PE1、第二畫素電極 PE2、第三畫素電極 PE3、第一掃描線 SL1、第二掃描線 SL2 以及第三掃描線 SL3。在本實施例中，共用電極 CE 具有

分別對應第一薄膜電晶體 TFT1、第二薄膜電晶體 TFT2 與第三薄膜電晶體 TFT3 的開口 X1、開口 X2 與開口 X3 分別用以設置接觸洞 O2、接觸洞 O1 與接觸洞 O3。

【0024】 黑色矩陣 BM 位於基底 OB 上，且遮蔽第一掃描線 SL1、第二掃描線 SL2、第三掃描線 SL3、第一資料線 DL1、第二資料線 DL2、第一薄膜電晶體 TFT1、第二薄膜電晶體 TFT2 與第三薄膜電晶體 TFT3，但本發明不以此為限。雖然在本實施例中是以黑色矩陣 BM 位於基底 OB 上為例，但本發明不以此為限。在其他實施例中，黑色矩陣 BM 位於基底 SB 上，並構成黑色矩陣於畫素陣列上（black matrix on array, BOA）之結構。

【0025】 濾光元件 CF 位於黑色矩陣 BM 上，濾光元件 CF 例如包括紅色濾光圖案、綠色濾光圖案以及藍色濾光圖案。在一些實施例中，濾光元件 CF 還可以包括其他顏色的濾光圖案。在一些實施例中，黑色矩陣 BM 位於不同顏色的濾光圖案之間。在本實施例中，覆蓋層 OC 覆蓋濾光元件 CF 的表面，但本發明不以此為限。雖然在本實施例中是以濾光元件 CF 位於基底 OB 上為例，但本發明不以此為限。在其他實施例中，濾光元件 CF 位於基底 SB 上，並構成彩色濾光層於畫素陣列上（color filter on array, COA）之結構。

【0026】 在本實施例中，配向層 AL1 與配向層 AL2 分別為位於基底 SB 與基底 OB 上。配向層 AL1 覆蓋第一畫素電極 PE1、第二畫素電極 PE2、第三畫素電極 PE3。配向層 AL2 覆蓋覆蓋層 OC。配向層 AL1 與配向層 AL2 的材料例如為聚合物，如：聚醯亞胺（PI，

Polyimide)，但本發明不以此為限。

【0027】 在本實施例中，由於第三子畫素 PX3 的數量小於第一子畫素 PX1 的數量，且第一子畫素 PX1 的數量小於第二子畫素 PX2 的數量，多個第三子畫素 PX3 與第三掃描線 SL3 之間的總電容小於多個第一子畫素 PX1 與第一掃描線 SL1 之間的總電容，且多個第一子畫素 PX1 與第一掃描線 SL1 之間的總電容小於多個第二子畫素 PX2 與第二掃描線 SL2 之間的總電容。在本實施例中，藉由調整共用電極 CE 與第一掃描線 SL1 之間的電容以及共用電極 CE 與第三掃描線 SL3 之間的電容以補償多個第一子畫素 PX1 與第一掃描線 SL1 之間的總電容以及多個第三子畫素 PX3 與第三掃描線 SL3 之間的總電容不一致，使各個第一掃描線 SL1、各個第二掃描線 SL2 以及各個第三掃描線 SL3 所在區域分別所產生之總電容彼此較為接近，藉此改善液晶顯示面板 DP1 因為畫素陣列基板 10 之電容分布不均而產生亮紋或閃爍的問題，詳細內容如后所述。

【0028】 請同時參考圖 1、圖 2 以及圖 3B~3D，沿圖 2 剖面線 B-B' 所繪製的局部剖面示意圖亦顯示於圖 3B，沿圖 2 剖面線 C-C' 所繪製的局部剖面示意圖亦顯示於圖 3C，沿圖 2 剖面線 D-D' 所繪製的局部剖面示意圖亦顯示於圖 3D。在本實施例中，藉由改變共用電極 CE 與第一掃描線 SL1 之垂直距離 V11 以及共用電極 CE 與第三掃描線 SL3 之垂直距離 V31 來調整第一掃描線 SL1 與第三掃描線 SL3 上之電容。在本實施例中，共用電極 CE 與第二掃描線 SL2 之垂直距離為 V2， $V2 > V11 \geq V31$ 。

【0029】 請參考圖 3C，保護層 PL1 具有開孔 OP1，開孔 OP1 重疊於第一掃描線 SL1，其中部分共用電極 CE 填入開孔 OP1，且共用電極 CE 與第一掃描線 SL1 之垂直距離 V11 係對應開孔 OP1。請參考圖 3D，保護層 PL1 具有開孔 OP2，開孔 OP2 重疊於第三掃描線 SL3，其中部分共用電極 CE 填入開孔 OP2，且共用電極 CE 與第三掃描線 SL3 之垂直距離 V31 係對應開孔 OP2。在本實施例中，開孔 OP1 與開孔 OP2 不貫穿保護層 PL1，但本發明不以此為限。

【0030】 在本實施例中，藉由調整開孔 OP1 與開孔 OP2 的垂直投影面積（垂直投影於基底 SB 上的面積）以調整第一掃描線 SL1 與第三掃描線 SL3 上之電容。開孔 OP2 的垂直投影面積大於或等於開孔 OP1 的垂直投影面積。在本實施例中，開孔 OP2 的垂直投影面積大於開孔 OP1 的垂直投影面積，故共用電極 CE 與第三掃描線 SL3 之間的電容會大於共用電極 CE 與第一掃描線 SL1 之間的電容，以補償多個第一子畫素 PX1 與第一掃描線 SL1 之間的總電容以及多個第三子畫素 PX3 與第三掃描線 SL3 之間的總電容不一致，使各個第一掃描線 SL1、各個第二掃描線 SL2 以及各個第三掃描線 SL3 所在區域分別所產生之總電容彼此較為接近，藉此改善液晶顯示面板 DP1 因為畫素陣列基板 10 之電容分布不均而產生亮紋或閃爍的問題。

【0031】 開孔 OP1 與開孔 OP2 的數量可以依照需求而進行調整，增加開孔 OP1 的數量能增加共用電極 CE 與第一掃描線 SL1 之間的電容，增加開孔 OP2 的數量能增加共用電極 CE 與第三掃描線

SL3 之間的電容。

【0032】 圖 4A 至圖 4B 是依照本發明的一實施例的一種液晶顯示面板的局部剖面示意圖。在此必須說明的是，圖 4A 和圖 4B 的實施例沿用圖 3B 和圖 3C 的實施例的元件標號與部分內容，其中採用相同或近似的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參考前述實施例，在此不贅述。

【0033】 液晶顯示面板 DP2 的畫素陣列基板 20 與液晶顯示面板 DP1 的畫素陣列基板 10 之主要差異在於：在畫素陣列基板 20 中，絕緣層 I3 具有開口 P1 以及開口 P2。

【0034】 請參考圖 4A 和圖 4B，絕緣層 I3 具有開口 P1 以及開口 P2，開口 P1 以及開口 P2 不貫穿絕緣層 I3。開孔 OP1 與開孔 OP2 貫穿保護層 PL1，開口 P1 重疊於開孔 OP1，開口 P2 重疊於開孔 OP2，其中部分共用電極 CE 填入開口 P1，且部分共用電極 CE 填入開口 P2。

【0035】 在一些實施例中，開孔 OP1、開孔 OP2、開口 P1 以及開口 P2 可以是以同樣的光罩所定義出來的，但本發明不以此為限。

【0036】 藉由於絕緣層 I3 設置開口 P1 以及開口 P2 以進一步調整共用電極 CE 與第一掃描線 SL1 之間的電容以及共用電極 CE 與第三掃描線 SL3 之間的電容。

【0037】 圖 5A 至圖 5B 是依照本發明的一實施例的一種液晶顯示面板的局部剖面示意圖。在此必須說明的是，圖 5A 和圖 5B 的實

施例沿用圖 4A 和圖 4B 的實施例的元件標號與部分內容，其中採用相同或近似的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參考前述實施例，在此不贅述。

【0038】 液晶顯示面板 DP3 的畫素陣列基板 30 與液晶顯示面板 DP2 的畫素陣列基板 20 之主要差異在於：在畫素陣列基板 30 中，開口 P1 以及開口 P2 貫穿絕緣層 I3。

【0039】 請參考圖 5A 和圖 5B，絕緣層 I3 具有開口 P1 以及開口 P2，開口 P1 以及開口 P2 貫穿絕緣層 I3。保護層 PL1 填入開口 P1 以及開口 P2，且保護層 PL1 表面具有對應開口 P1 以及開口 P2 的凹槽 U1 以及凹槽 U2。在一些實施例中，由於保護層 PL1 會共形於絕緣層 I3 的開口 P1 以及開口 P2，因此，不需要對保護層 PL1 進行蝕刻製程即可於保護層 PL1 表面產生凹槽 U1 以及凹層 U2。

【0040】 藉由保護層 PL1 表面之凹槽 U1 以及凹槽 U2 以調整共用電極 CE 與第一掃描線 SL1 之間的電容以及共用電極 CE 與第三掃描線 SL3 之間的電容。

【0041】 圖 6 是依照本發明的一實施例的一種畫素陣列基板的俯視示意圖。在此必須說明的是，圖 6 的實施例沿用圖 1 的實施例的元件標號與部分內容，其中採用相同或近似的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參考前述實施例，在此不贅述。

【0042】 圖 6 的畫素陣列基板 40 與圖 1 的畫素陣列基板 10 之主

要差異在於：在畫素陣列基板 40 中，基底 SB 的第一區 R1 之相對兩側 R1a、R1b 不對應基底 SB 之相對兩側 SBa、SBb。在本實施例中，第一區 R1 之相對兩側 R1a、R1b 與第二區 R2 之相對兩側 R2a、R2b 分離且不連接。

**【0043】** 藉由調整共用電極 CE 與第一掃描線 SL1 之間的電容以及共用電極 CE 與第三掃描線 SL3 之間的電容以使第一掃描線 SL1 所在區域產生之總電容、第二掃描線 SL2 所在區域產生之總電容以及第三掃描線 SL3 所在區域產生之總電容較接近，藉此改善液晶顯示面板因為畫素陣列基板 40 之電容分布不均而產生亮紋或閃爍的問題。

**【0044】** 圖 7 是依照本發明的一實施例的一種畫素陣列基板的俯視示意圖。圖 8 是圖 7 中區域 Y 的局部放大圖。圖 9A 至圖 9C 是依照本發明的一實施例的一種液晶顯示面板的局部剖面示意圖。在此必須說明的是，圖 7 至圖 9C 的實施例沿用圖 1 至圖 2、圖 3B 至圖 3D 的實施例的元件標號與部分內容，其中採用相同或近似的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參考前述實施例，在此不贅述。

**【0045】** 沿圖 8 剖面線 E-E' 所繪製的局部剖面示意圖亦顯示於圖 9A，沿圖 8 剖面線 F-F' 所繪製的局部剖面示意圖亦顯示於圖 9B，沿圖 8 剖面線 G-G' 所繪製的局部剖面示意圖亦顯示於圖 9C。圖 7 的畫素陣列基板 50 與圖 1 的畫素陣列基板 10 之主要差異在於：畫素陣列基板 50 的基底 SB 更具有第三區 R3。第三區 R3 與第二

區 R2 相連，且缺口 C 形成於第一區 R1 與第三區 R3 之間。

【0046】請參考圖 7~圖 9C，第三區 R3 之長度 L3 小於第二區 R2 之長度 L2。第三區 R3 具有相對兩側 R3a、R3b。第三區 R3 之至少一側 R3a 不對應基底 SB 之相對兩側中的其中一側 SBa。在本實施例中，第三區 R3 之一側 R3b 與第二區 R2 之一側 R2b 連接，且構成基底 SB 之一側 SBb。第三區 R3 之一側 R3a 與第二區 R2 之一側 R2a 分離。在本實施例中，第三區 R3 大致上為梯形，且第三區 R3 的底邊連接第二區 R2，但本發明不以此為限。缺口 C 舉例係由第一區 R1、第二區 R2 與第三區 R3 定義而成。

【0047】請同時參考圖 3C 至圖 3D、圖 9B 至圖 9C，液晶顯示面板 DP4 的畫素陣列基板 50 之位於第一區 R1 上之第一掃描線 SL1 與共用電極 CE 之垂直距離為 V11。位於第一區 R1 上之第三掃描線 SL3 與共用電極 CE 之垂直距離為 V31。第一掃描線 SL1 延伸於第三區 R3 上，且位於第三區 R3 上之第一掃描線 SL1 與共用電極 CE 之垂直距離為 V13。第三掃描線 SL3 延伸於第三區 R3 上，且位於第三區 R3 上之第三掃描線 SL3 與共用電極 CE 之垂直距離為 V33。

【0048】在本實施例中，第三區 R3 上之保護層 PL1 具有開孔 OP3，開孔 OP3 重疊於第一掃描線 SL1，其中部分共用電極 CE 填入開孔 OP3，且第三區 R3 上之共用電極 CE 與第一掃描線 SL1 之垂直距離 V13 係對應開孔 OP3。在本實施例中，第三區 R3 上之保護層 PL1 具有開孔 OP4，開孔 OP4 重疊於第三掃描線 SL3，其中部分

共用電極 CE 填入開孔 OP4，且第三區 R3 上之共用電極 CE 與第三掃描線 SL3 之垂直距離 V33 係對應開孔 OP4。

【0049】 在本實施例中，如圖 7 所示，第一掃描線 SL1 及第三掃描線 SL3 係從第一區 R1 朝第三區 R3 延伸，且沿著缺口 C 的至少一部份輪廓作彎折變化設計。在一些實施例中，第一區 R1 相較於第三區 R3 更靠近第一掃描線 SL1 以及第三掃描線 SL3 的訊號源（或驅動電路）。換句話說，第一掃描線 SL1、第三掃描線 SL3 的訊號會先經過第一區 R1，之後才抵達第三區 R3，但本發明不以此為限。

【0050】 在靠近訊號源的第一區 R1 上，第一掃描線 SL1 以及第三掃描線 SL3 之訊號（例如是電壓）的衰減幅度約與第二掃描線 SL2 鄰近於第一區 R1 之部分的訊號衰減幅度相同。

【0051】 第一掃描線 SL1 以及第三掃描線 SL3 在鄰近第一區 R1 與第三區 R3 之間的缺口 C 的位置沒有與第一子畫素 PX1 以及第三子畫素 PX3 連接，而第二掃描線 SL2 在鄰近缺口 C 的位置有與第二子畫素 PX2 連接，因此，在訊號傳遞至鄰近缺口 C 處並進入第三區 R3 之後，第一掃描線 SL1 以及第三掃描線 SL3 之訊號（例如是電壓）的衰減幅度會明顯小於第二掃描線 SL2 鄰近於第三區 R3 之部分的訊號衰減幅度。換句話說，訊號傳入第二掃描線 SL2 鄰近於第三區 R3 之部分時，由於經過了較多的第二子畫素 PX2，因此訊號衰減幅度會比第一掃描線 SL1 以及第三掃描線 SL3 明顯。

【0052】 藉由縮小第三區 R3 上之第一掃描線 SL1 與共用電極 CE

之垂直距離  $V13$  以及第三掃描線  $SL3$  與共用電極  $CE$  之垂直距離為  $V33$ ，以解決由於訊號衰減差異所導致的亮紋問題。在較佳的實施例中， $V11 \geq V13$ 。在較佳的實施例中， $V31 \geq V33$ 。

【0053】 圖 10 是依照本發明的一實施例的一種畫素陣列基板的俯視示意圖。在此必須說明的是，圖 10 的實施例沿用圖 7 的實施例的元件標號與部分內容，其中採用相同或近似的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參考前述實施例，在此不贅述。

【0054】 圖 10 的畫素陣列基板 60 與圖 7 的畫素陣列基板 40 之主要差異在於：畫素陣列基板 60 的基底  $SB$  更具有第四區  $R4$ 。第四區  $R4$  相連於第一區  $R1$  以及第三區  $R3$ 。

【0055】 在本實施例中，缺口  $C$  位於基底  $SB$  中且為封閉輪廓之孔洞，第四區  $R4$  與第二區  $R2$  分別位於缺口  $C$  兩側，且第一區  $R1$  與第三區  $R3$  分別位於缺口  $C$  另外兩側。缺口  $C$  舉例係由第一區  $R1$  至第四區  $R4$  定義而成。

【0056】 第四區  $R4$  具有相對兩側  $R4a$ 、 $R4b$ 。第四區  $R4$  之相對兩側  $R4a$ 、 $R4b$  分別對應基底  $SB$  之相對兩側  $SBa$ 、 $SBb$ 。

【0057】 在本實施例中，畫素陣列基板 60 更包括第四掃描線  $SL4$  以及電性連接第四掃描線  $SL4$  的多個第四子畫素  $PX4$ ，但本發明不以此為限。第四子畫素  $PX4$  與第二子畫素  $PX2$  有類似的結構，因此不再贅述。

【0058】 在本實施例中，第四子畫素  $PX4$  的數量等於第二子畫素

PX2 的數量，但本發明不以此為限。

【0059】 綜上所述，本發明之至少一實施例係藉由調整共用電極與不同掃描線之間的電容以補償多個子畫素與各個掃描線之間的總電容不一致，使得各掃描線所在區域產生之總電容彼此較為接近，藉此改善液晶顯示面板因為畫素陣列基板之電容分布不均而產生亮紋或閃爍的問題。

【0060】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

#### 【符號說明】

#### 【0061】

10、20、30、40、50、60：畫素陣列基板

AL1、AL2：配向層

BM：黑色矩陣

C：缺口

CE：共用電極

CF：濾光元件

CH1：第一半導體通道層

CH2：第二半導體通道層

CH3：第三半導體通道層

D1：第一汲極

D2：第二汲極

D3：第三汲極

DL1：第一資料線

DL2：第二資料線

DP1、DP2、DP3、DP4：液晶顯示面板

G1：第一閘極

G2：第二閘極

G3：第三閘極

H1、H2、H3、H4、H5、H6、O1、O2、O3：接觸洞

L1、L2：長度

LC：液晶層

I1~I3：絕緣層

OB：基底

OC：覆蓋層

OP1、OP2、OP3、OP4：開孔

OS：對向基板

P1、P2、X1、X2、X3：開口

PE1：第一畫素電極

PE2：第二畫素電極

PE3：第三畫素電極

PL1、PL2：保護層

PX1：第一子畫素

PX2：第二子畫素

PX3：第三子畫素

PX4：第四子畫素

R1：第一區

R2：第二區

R3：第三區

R4：第四區

R1a、R1b、R2a、R2b、R3a、R3b、R4a、R4b、SBa、SBb：

側

S1：第一源極

S2：第二源極

S3：第三源極

SB：基底

SL1：第一掃描線

SL2：第二掃描線

SL3：第三掃描線

SL4：第四掃描線

SM1～SM3：遮光層

TFT1：第一薄膜電晶體

TFT2：第二薄膜電晶體

TFT3：第三薄膜電晶體

U1、U2：凹槽

V11、V13、V2、V31、V33：垂直距離

X、Y：區域

A-A'、B-B'、C-C'、D-D'、E-E'、F-F'、G-G'：剖面線



I665496

## 【發明摘要】

【中文發明名稱】畫素陣列基板

【英文發明名稱】PIXEL ARRAY SUBSTRATE

【中文】一種畫素陣列基板，包含基底、第一掃描線、第一子畫素、第二掃描線、第二子畫素以及共用電極。基底具有第一區及第二區。第一區之長度小於第二區之長度。第二區之相對兩側對應於基底之相對兩側。第一區之至少一側不對應基底之相對兩側中的其中一側。第一掃描線位於第一區上。第一子畫素電性連接第一掃描線。第二掃描線位於第二區上。第二子畫素電性連接第二掃描線。共用電極位於基底上。共用電極與第一掃描線之垂直距離為 $V1$ 。共用電極與第二掃描線之垂直距離為 $V2$ ， $V2 > V1$ 。

【英文】 A pixel array substrate includes a substrate, a first scan line, a first sub-pixel, a second scan line, a second sub-pixel, and a common electrode. The substrate has a first area and a second area. The length of the first area is smaller than the length of the second area. Two opposite sides of the second area are respectively corresponding to two opposite sides of the substrate. At least one side of the first area is not corresponding to one of the two opposite sides of the substrate. The first scan line is disposed on the first area. The first sub-pixel is electrically connected to the first scan line. The second scan line is disposed on the second area. The

second sub-pixel is electrically connected to the second scan line. The common electrode is disposed on the substrate. A vertical distance between the common electrode and the first scan line is  $V_{11}$ . A vertical distance between the common electrode and the second scan line is  $V_2$  and  $V_2 > V_{11}$ .

【指定代表圖】圖3C。

【代表圖之符號簡單說明】

AL1、AL2：配向層

BM：黑色矩陣

CE：共用電極

CF：濾光元件

CH1：第一半導體通道層

G1：第一閘極

I1~I3：絕緣層

LC：液晶層

OB：基底

OC：覆蓋層

OP1：開孔

PL1、PL2：保護層

SB：基底

SL1：第一掃描線

SM1：遮光層

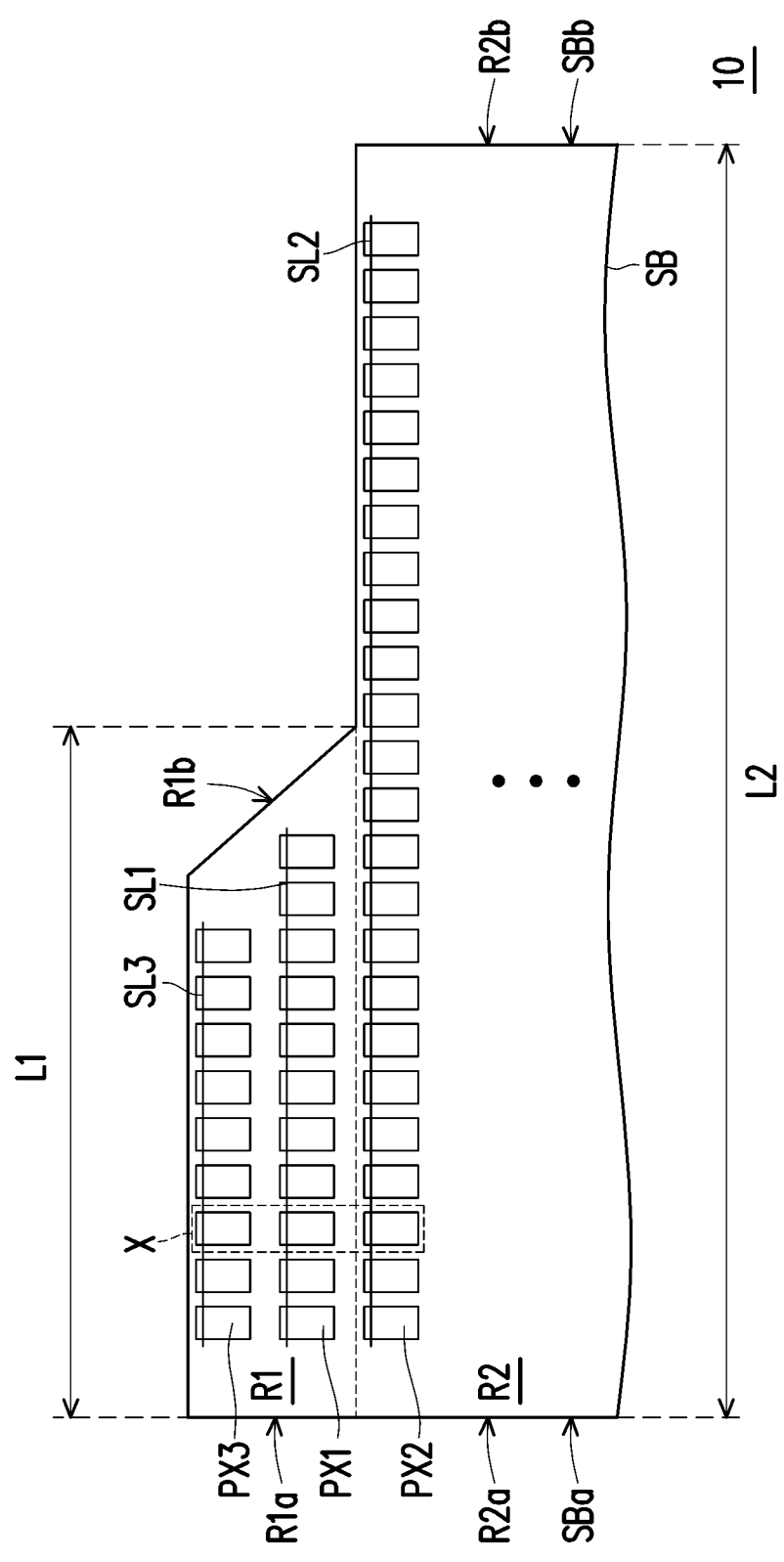
V11：垂直距離

C-C'：剖面線

【特徵化學式】

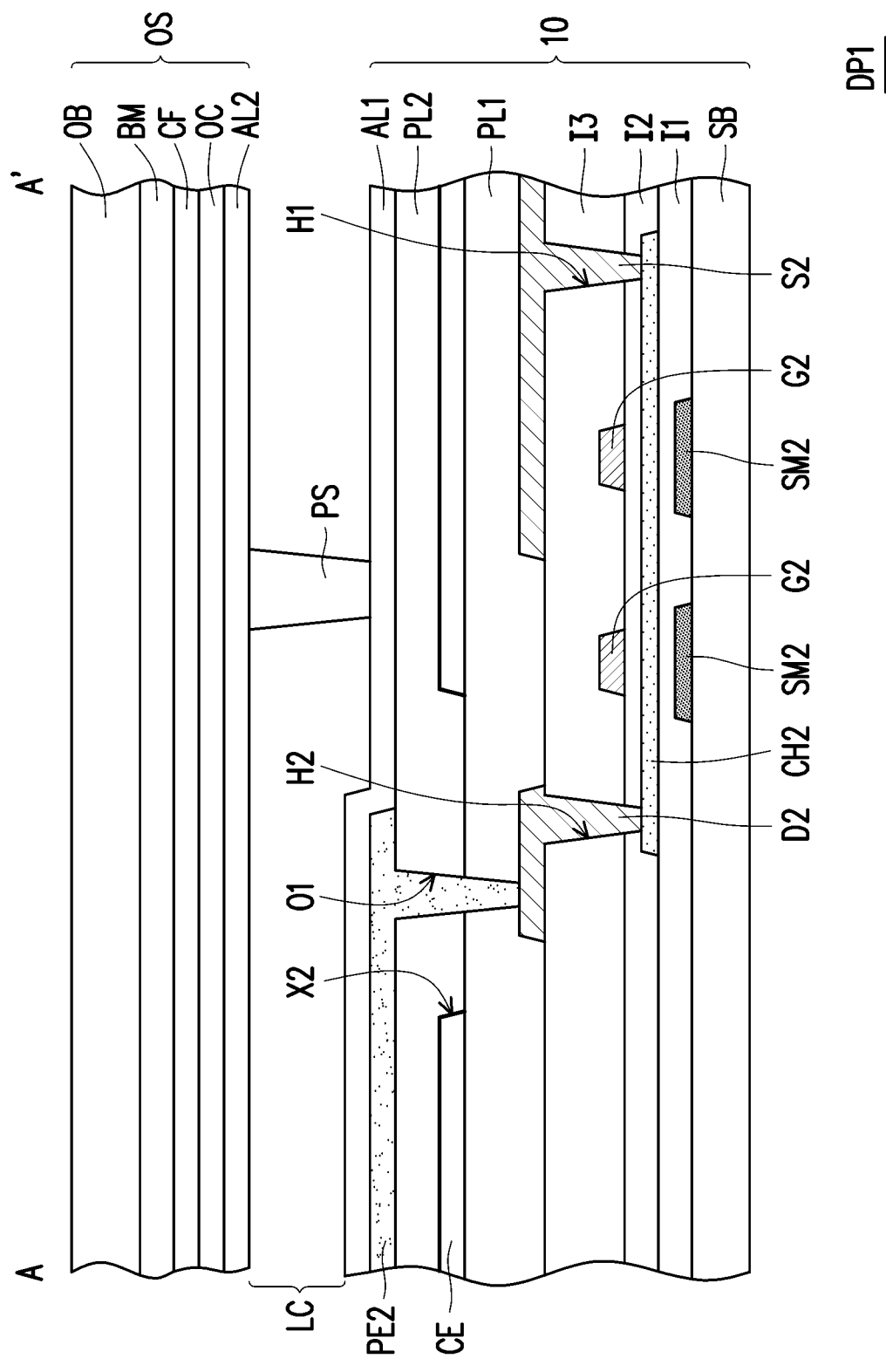
無

【發明圖式】

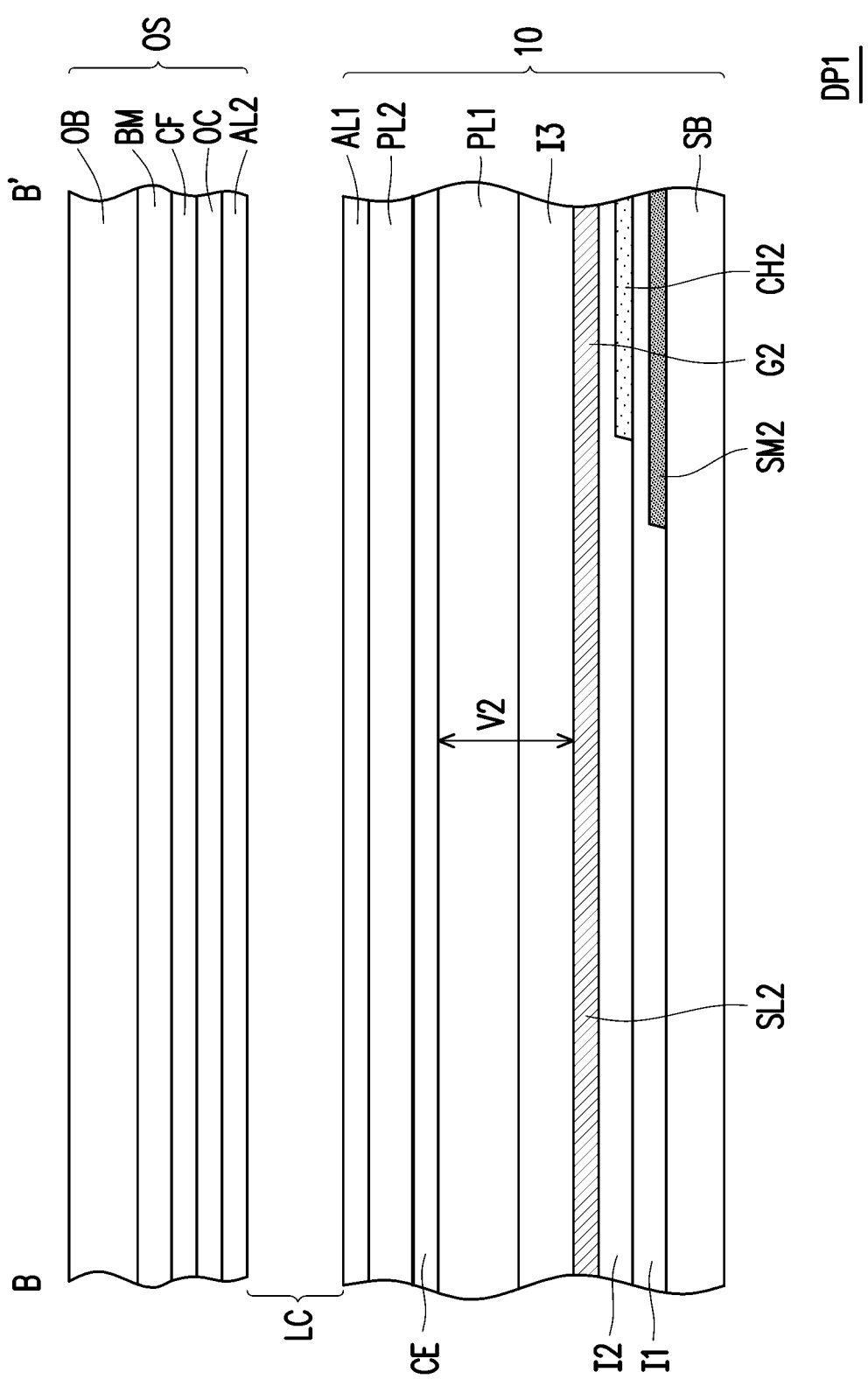


【圖1】

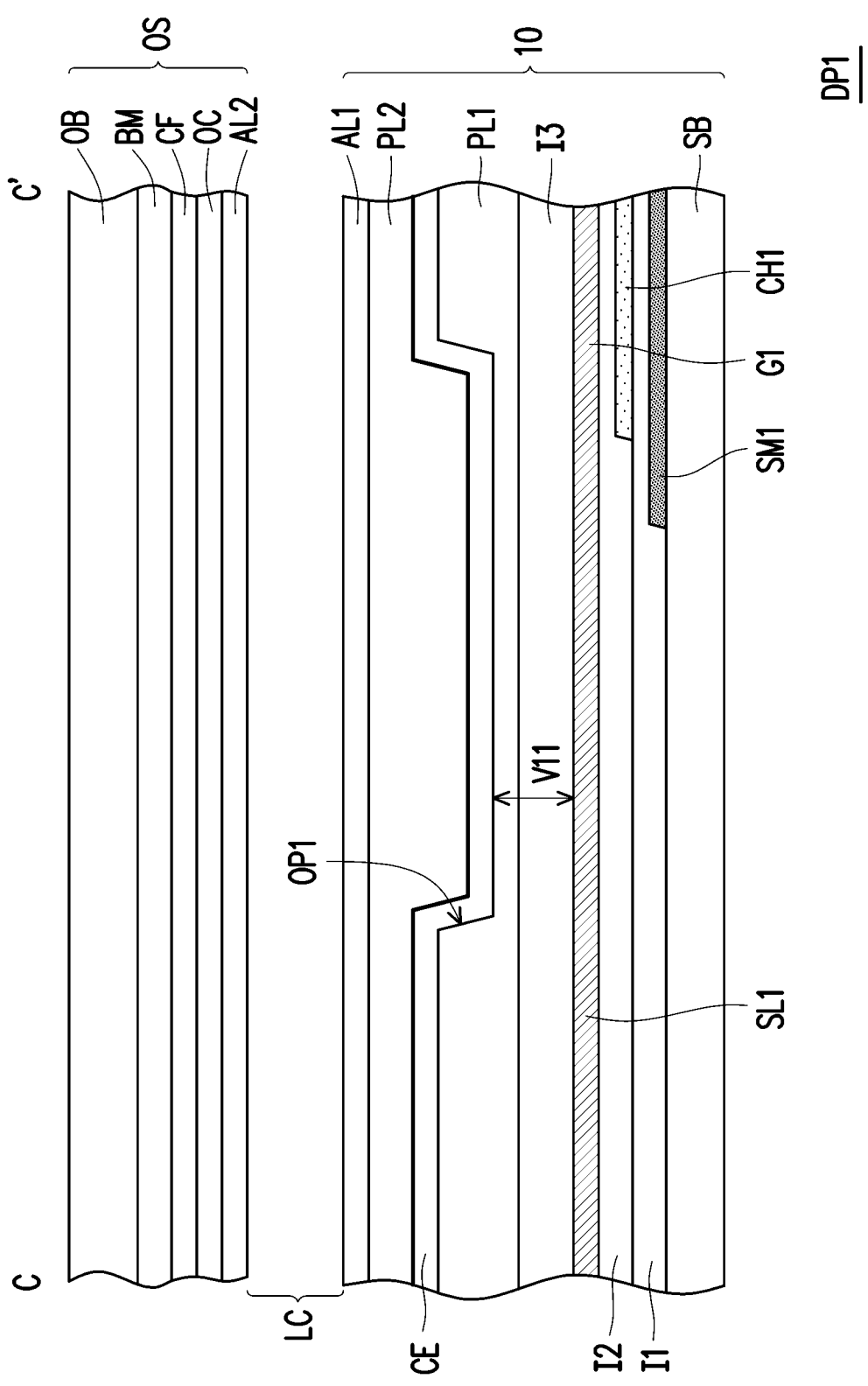




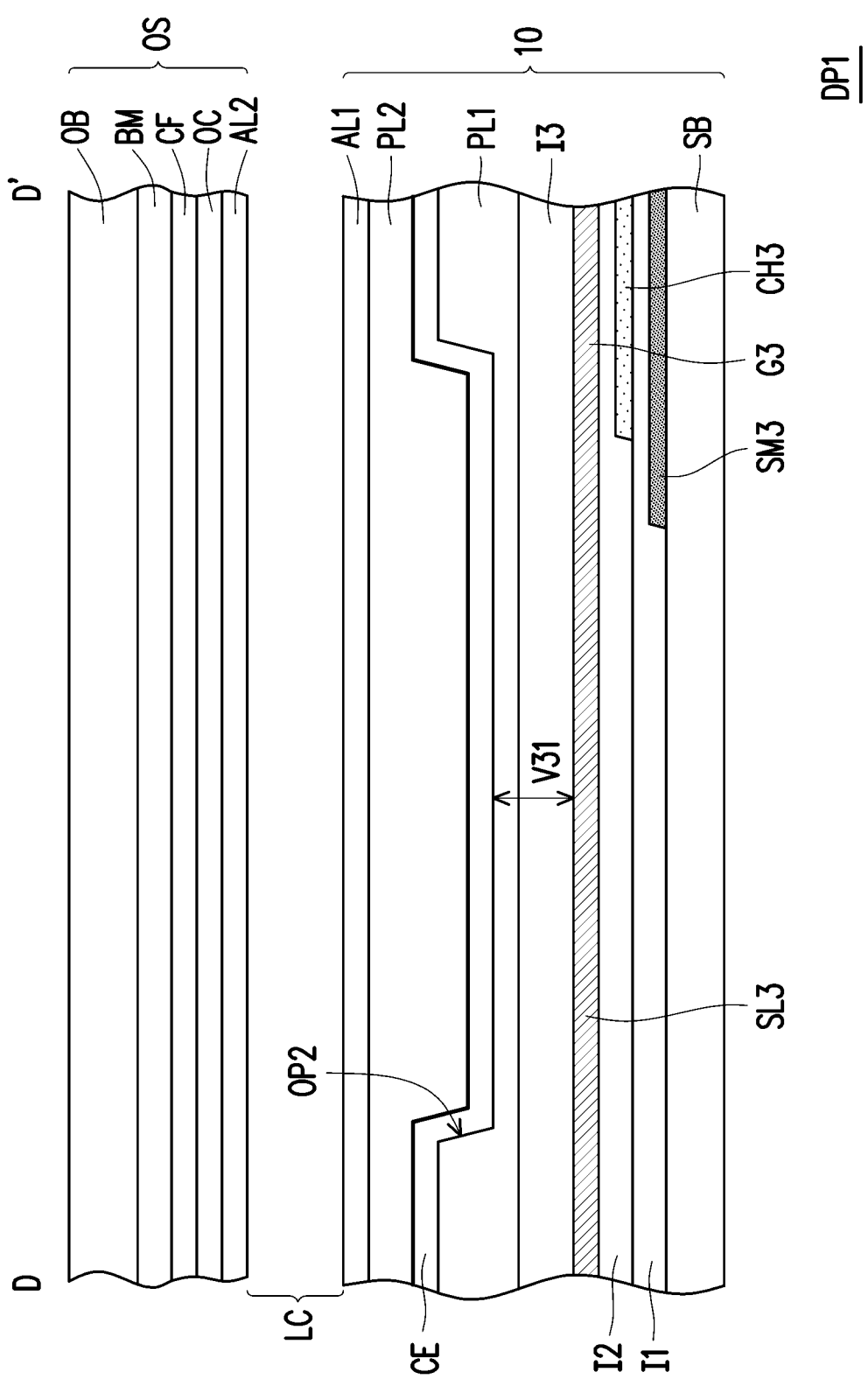
【圖3A】



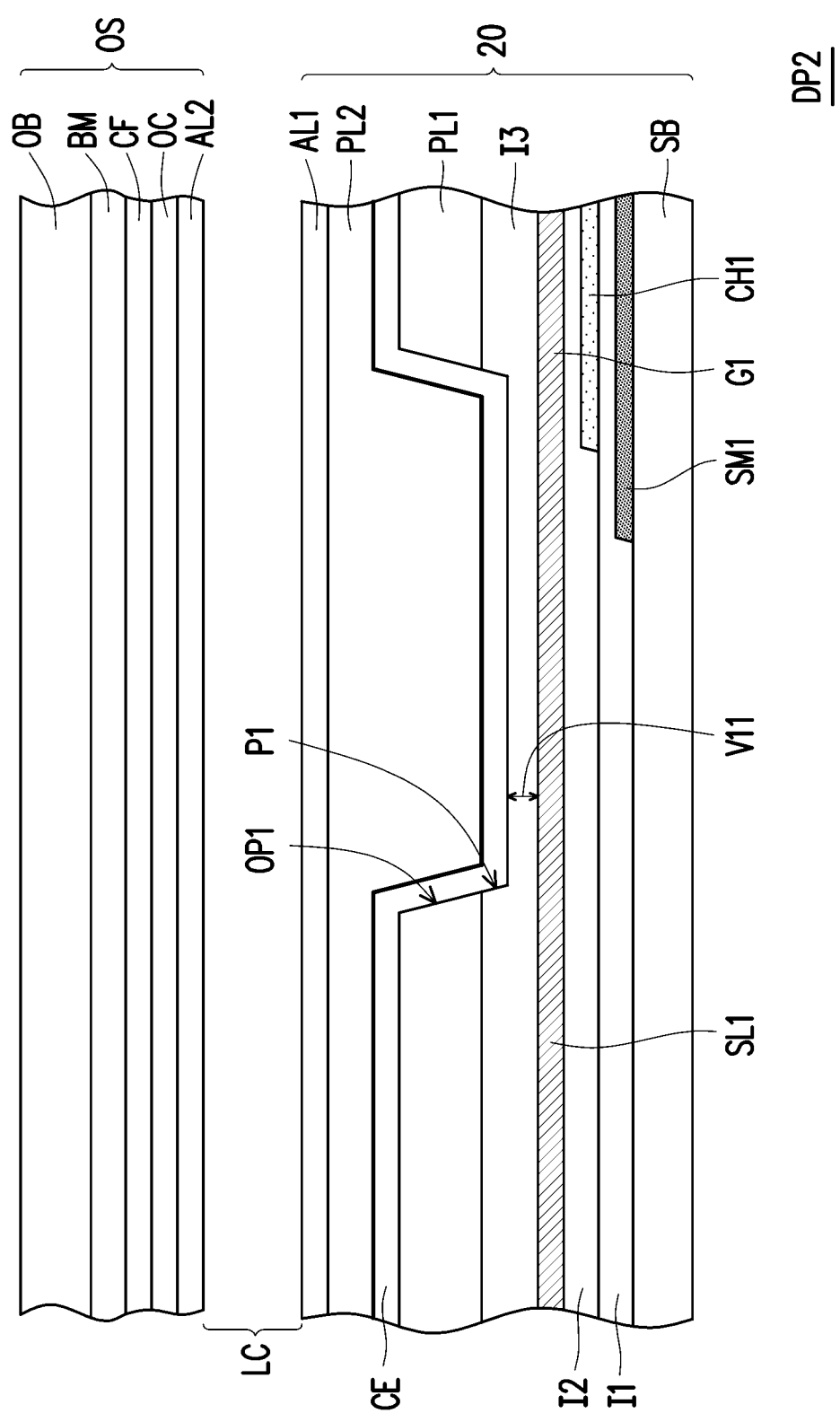
【圖3B】



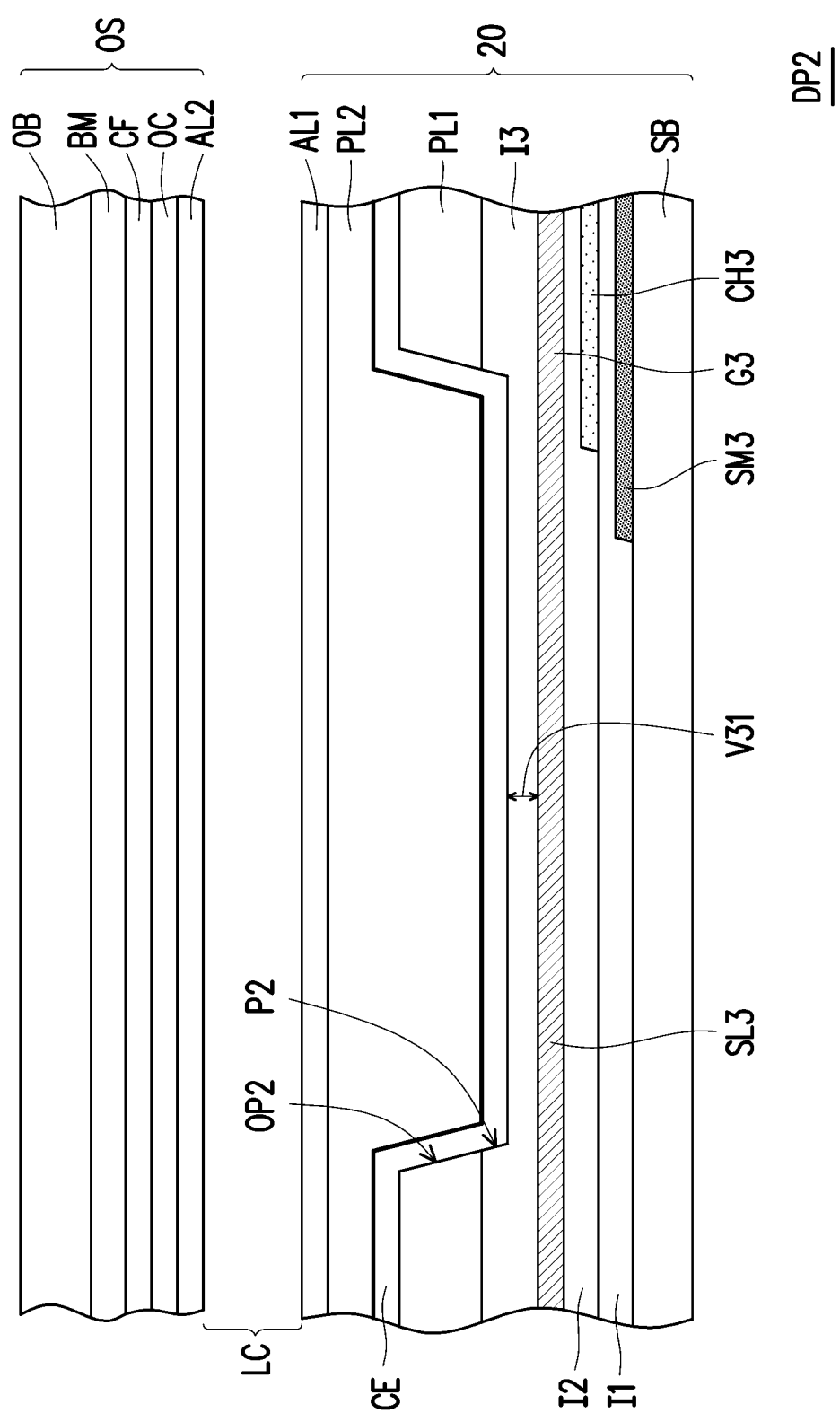
【圖3C】



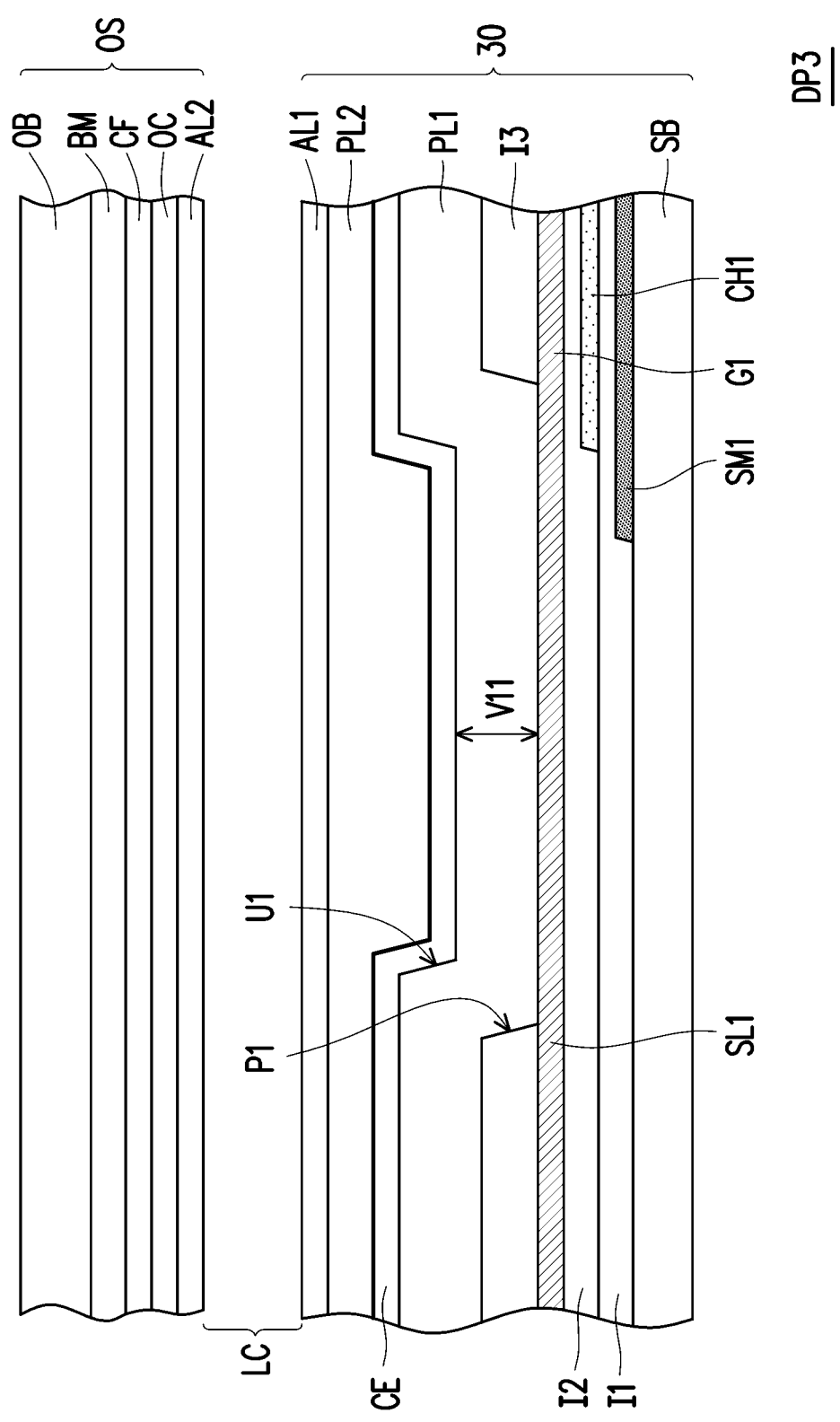
【圖3D】



【圖4A】

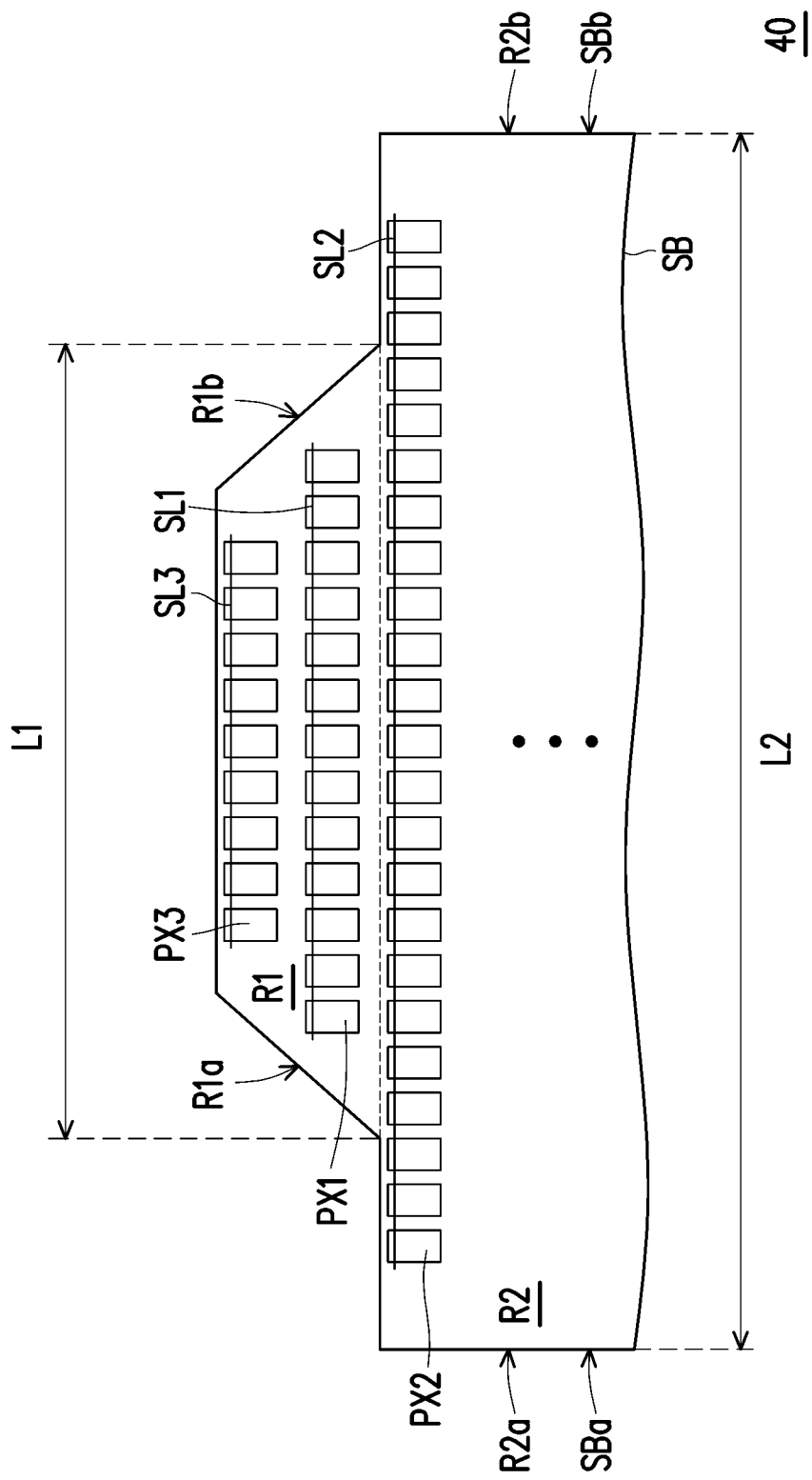


【圖4B】

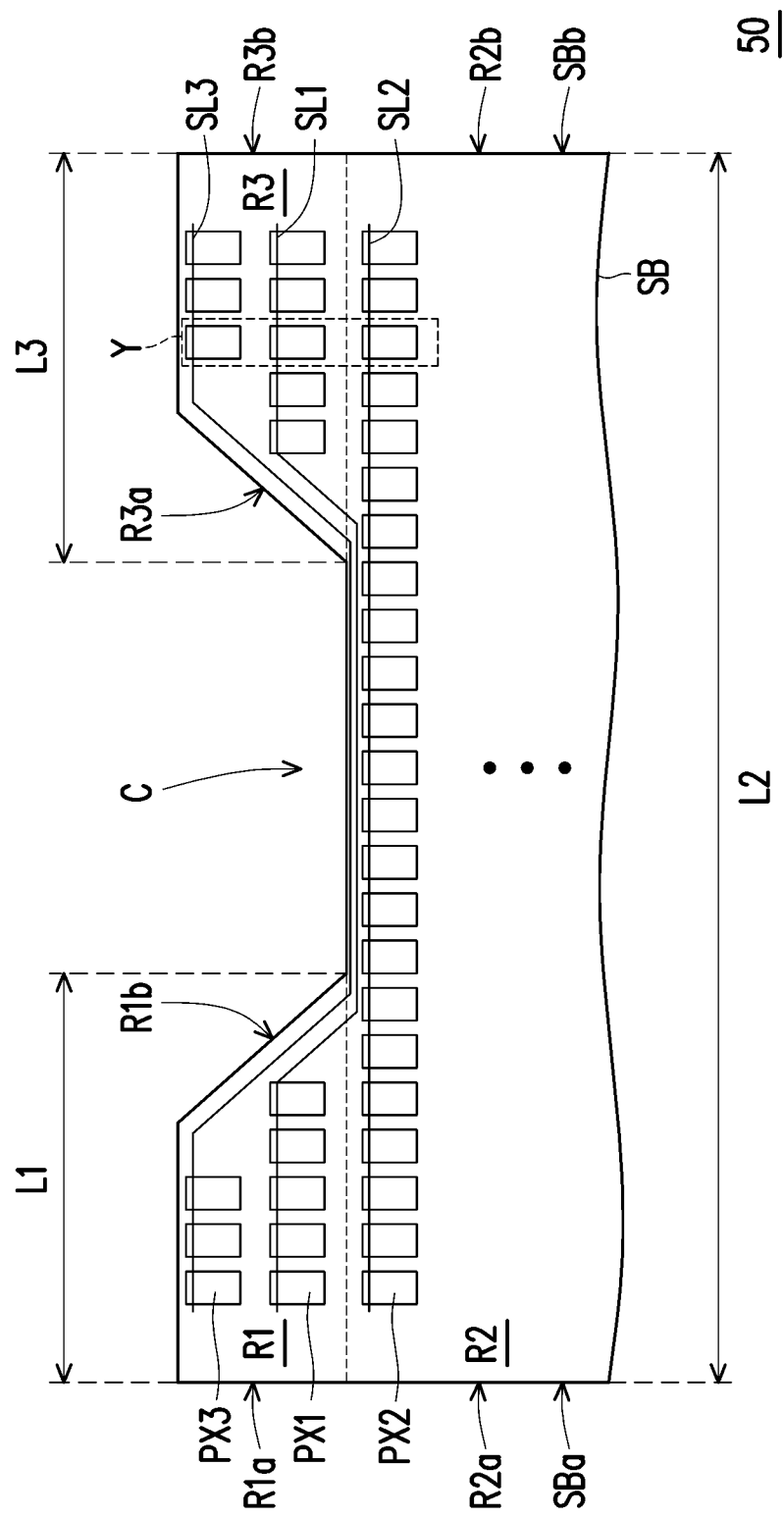


【圖5A】

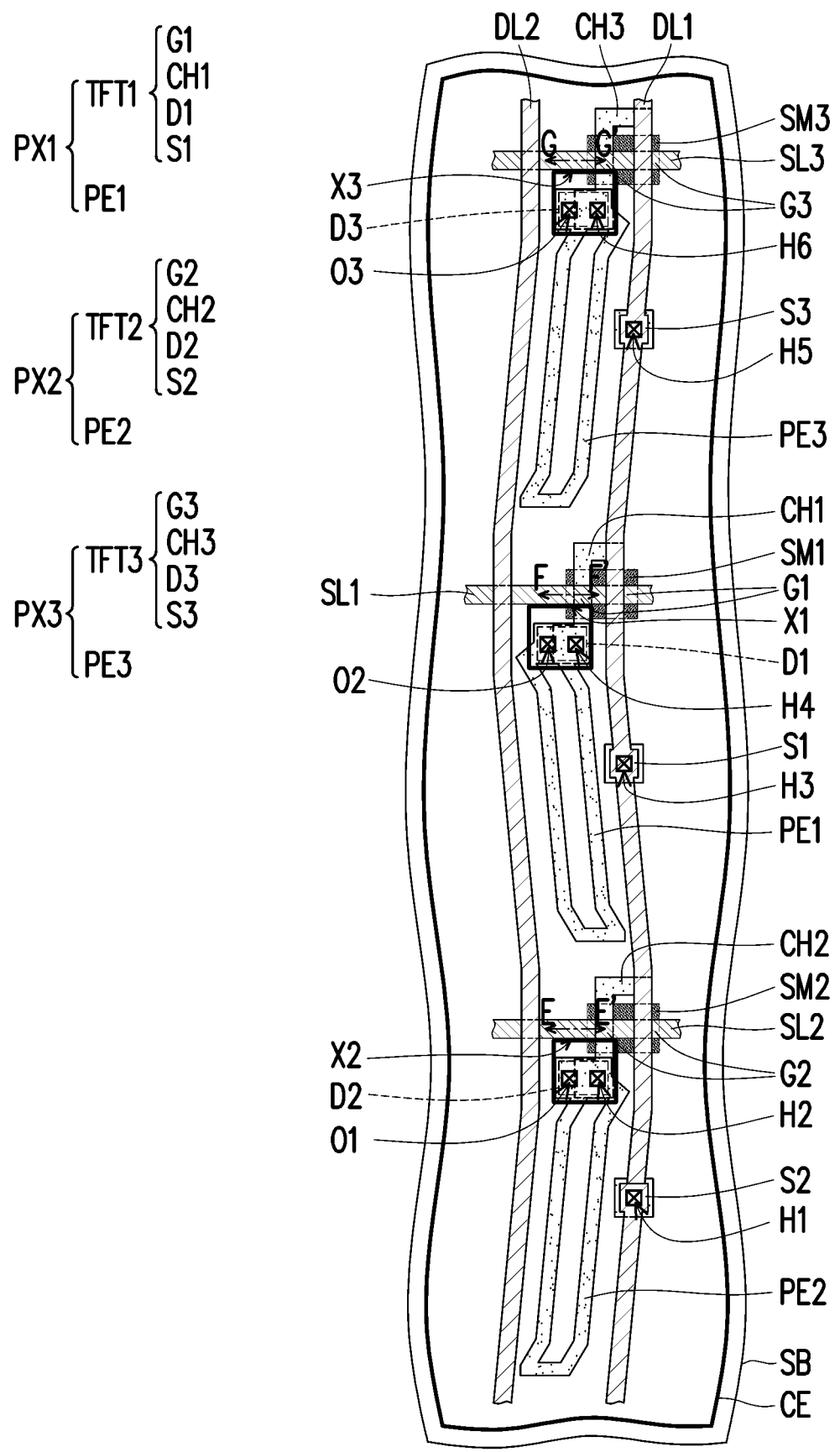




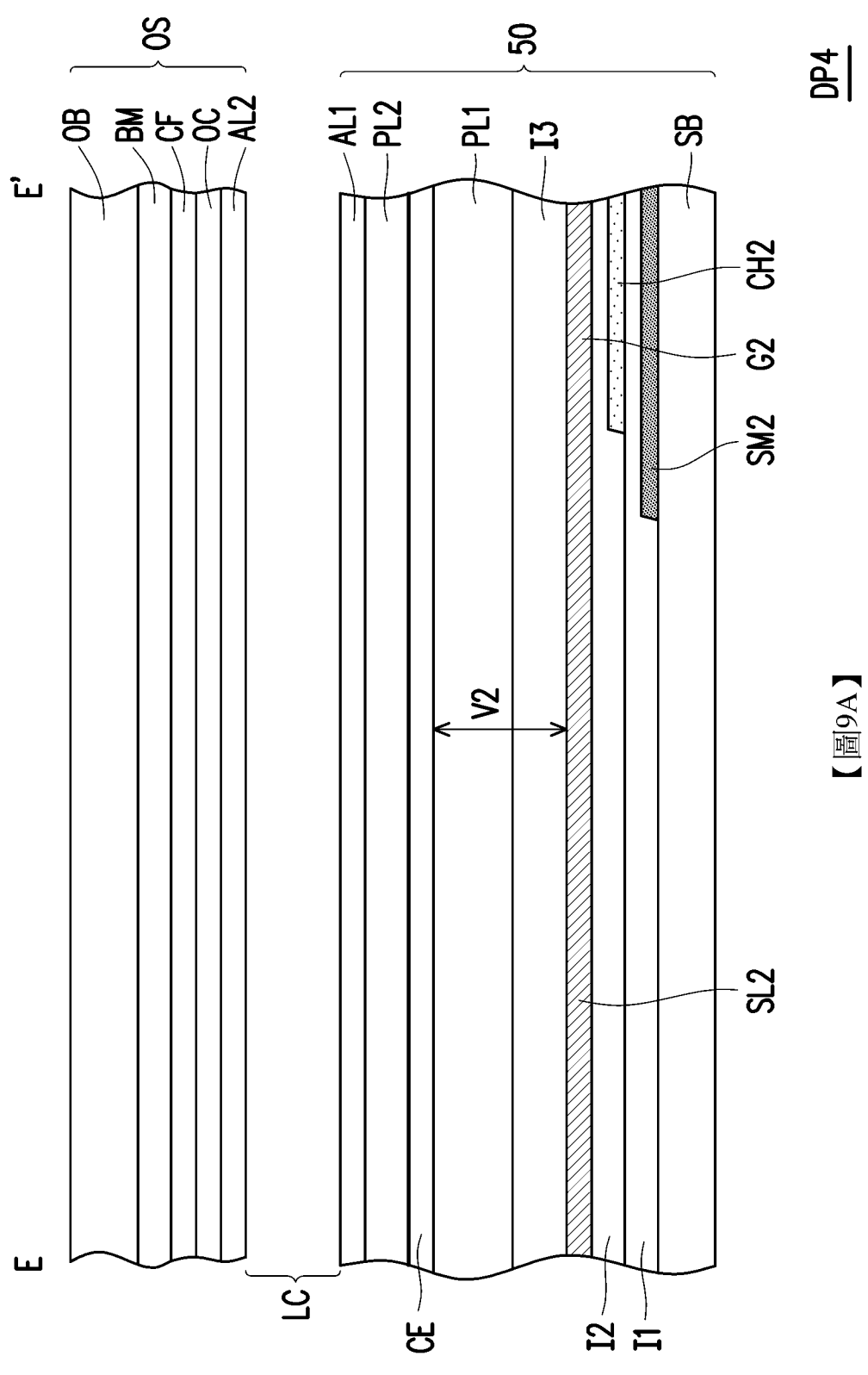
【圖6】



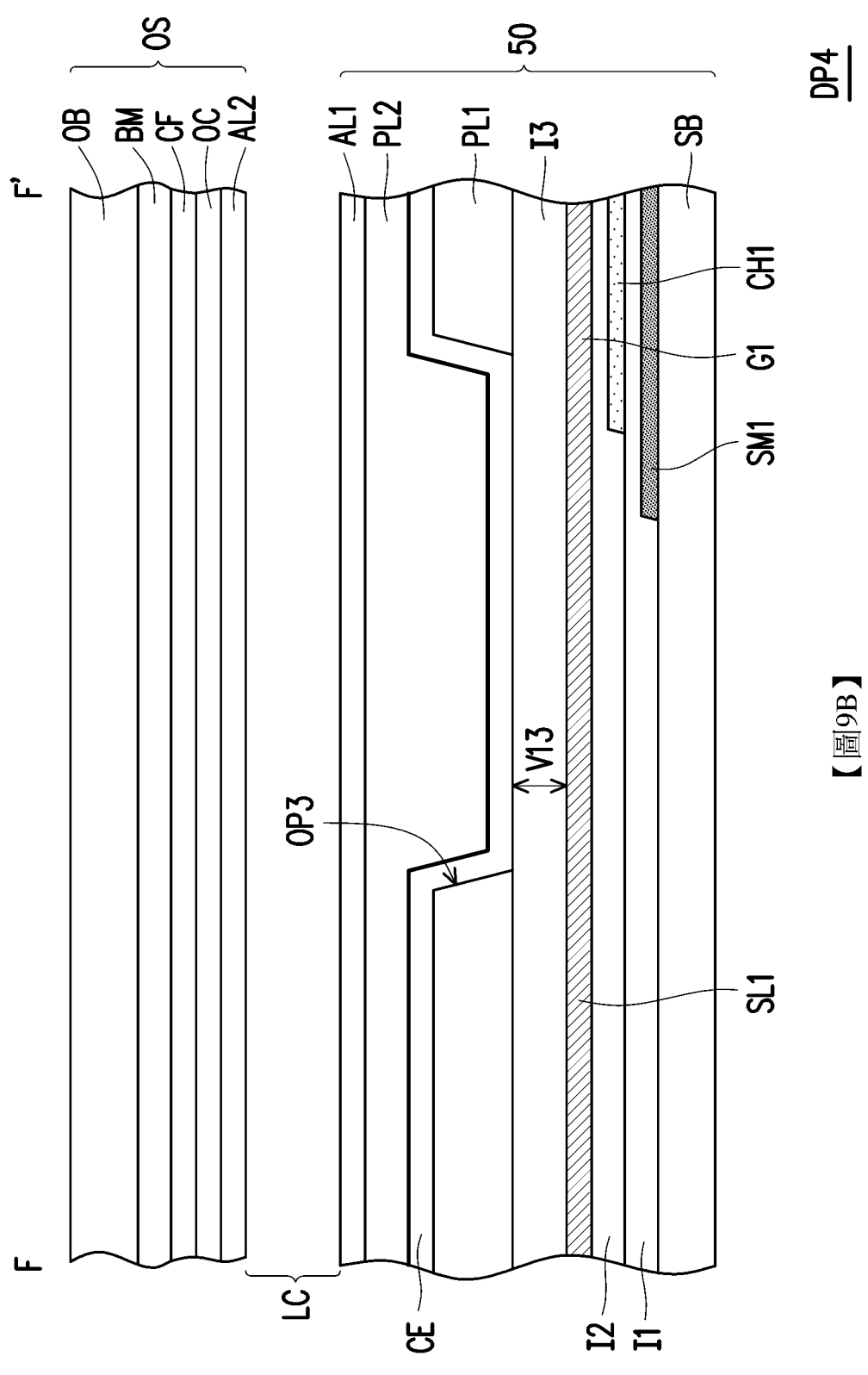
【圖7】



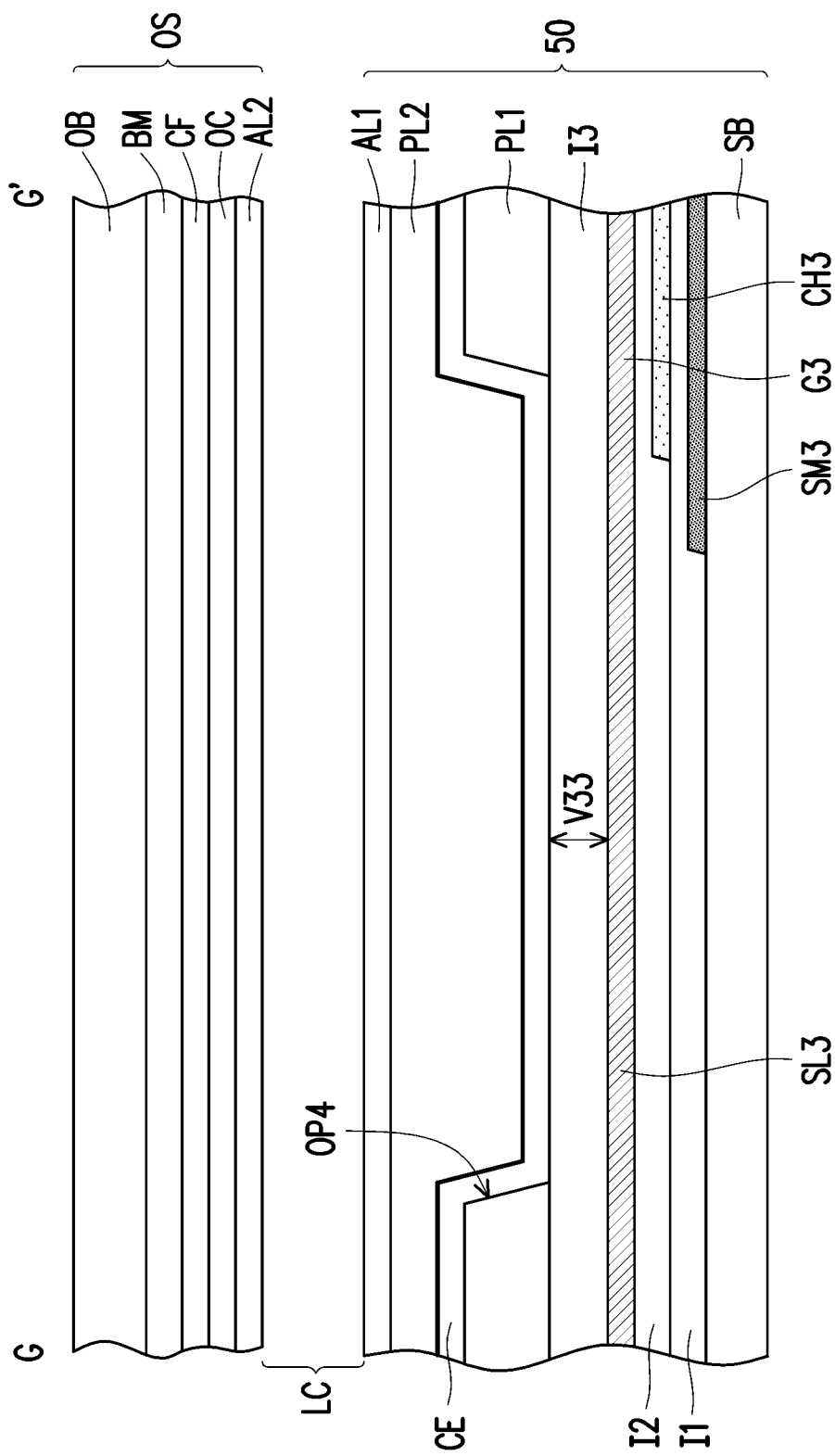
【圖8】



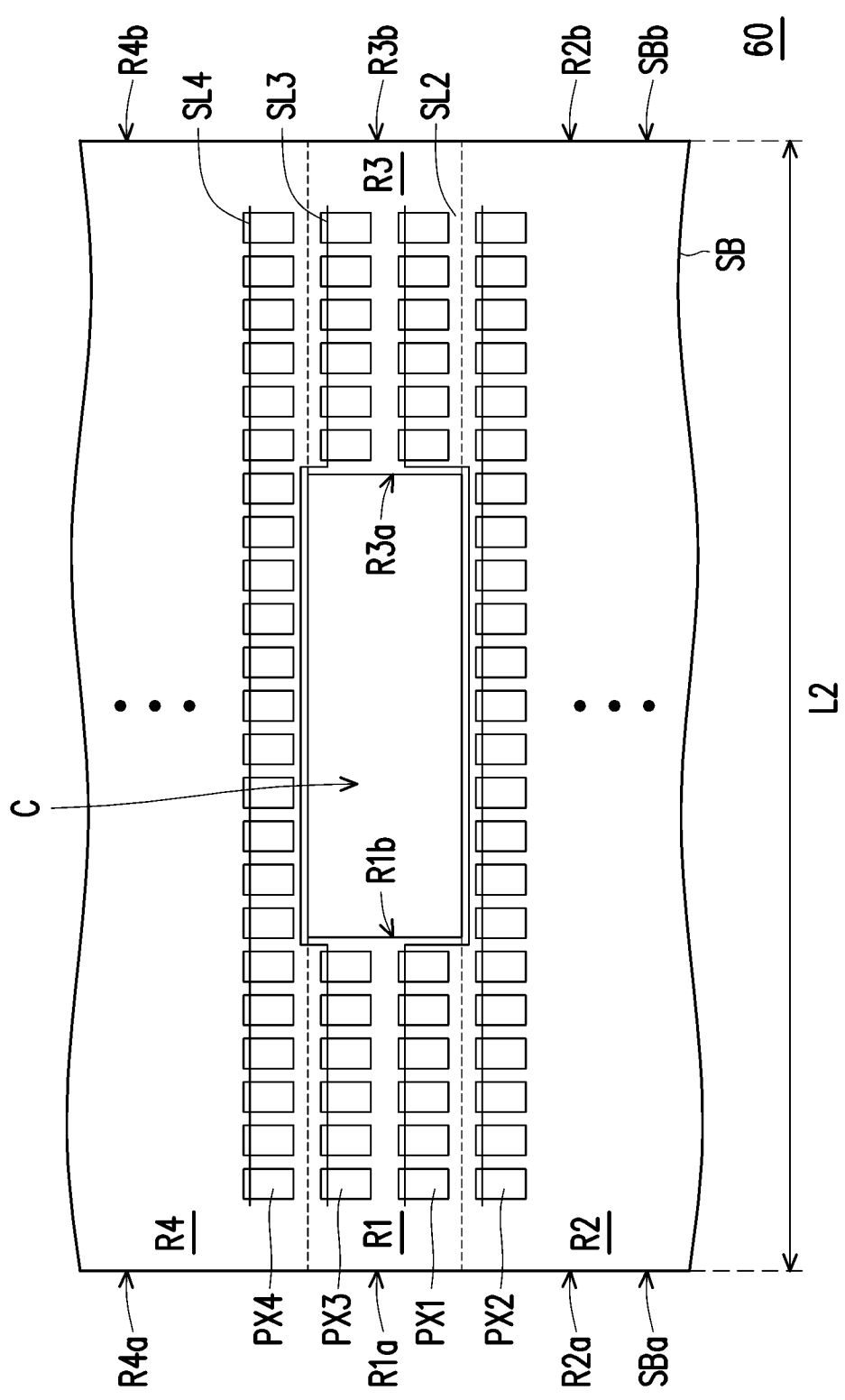
【圖9A】



【圖9B】



【圖9C】



【圖10】

## 【發明申請專利範圍】

【第1項】 一種畫素陣列基板，包含：

一基底，具有一第一區及一第二區，其中該第一區之長度小於該第二區之長度，該第二區之相對兩側對應於該基底之相對兩側，該第一區之至少一側不對應該基底之該相對兩側中的其中一側；

一第一掃描線，位於該第一區上；

一第一子畫素，電性連接該第一掃描線；

一第二掃描線，位於該第二區上；

一第二子畫素，電性連接該第二掃描線；

一共用電極，位於該基底上，其中該共用電極與該第一掃描線之一垂直距離為  $V11$ ，該共用電極與該第二掃描線之一垂直距離為  $V2$ ， $V2 > V11$ ；

一絕緣層，位於該第一掃描線以及該第二掃描線上；以及

一保護層，位於該絕緣層上，其中該保護層具有一開孔，該開孔重疊於該第一掃描線，其中部分該共用電極填入該開孔，且該共用電極與該第一掃描線之該垂直距離係對應該開孔。

【第2項】 如申請專利範圍第1項所述的畫素陣列基板，其中

該絕緣層厚度為 0.6 微米至 0.9 微米，且

該保護層厚度為 1.8 微米至 2.2 微米。

【第3項】如申請專利範圍第2項所述的畫素陣列基板，其中該絕緣層具有一開口，該開口不貫穿該絕緣層，且該開口重疊於該開口，其中部分該共用電極填入該開口。

【第4項】如申請專利範圍第1項所述的畫素陣列基板，其中該基底更具有一第三區，該第三區與該第二區相連，且一缺口位於該第一區與該第三區之間。

【第5項】如申請專利範圍第4項所述的畫素陣列基板，其中該第一掃描線延伸於該第三區上，且位於該第三區上之該第一掃描線與該共用電極之一垂直距離為 $V13$ 。

【第6項】如申請專利範圍第5項所述的畫素陣列基板，其中 $V11=V13$ 。

【第7項】如申請專利範圍第5項所述的畫素陣列基板，其中 $V11>V13$ 。

【第8項】一種畫素陣列基板，包含：

一基底；

一第一掃描線，位於該基底上；

多個第一子畫素，電性連接該第一掃描線；

一第二掃描線，位於該基底上；

多個第二子畫素，電性連接該第二掃描線，其中該些第二子畫素的數量大於該些第一子畫素的數量；

一共用電極，位於該基底上，其中該共用電極與該第一掃描線之一垂直距離為 $V11$ ，該共用電極與該第二掃描線之一垂直距

離為  $V_2$ ， $V_2 > V_{11}$ ；

一絕緣層，位於該第一掃描線以及該第二掃描線上；以及

一保護層，位於該絕緣層上，其中該保護層具有一第一開孔，該第一開孔重疊於該第一掃描線，其中部分該共用電極填入該第一開孔，該共用電極與該第一掃描線之該垂直距離對應該第一開孔。

**【第9項】** 如申請專利範圍第8項所述的畫素陣列基板，更包括：

一第三掃描線，位於該基底上；

多個第三子畫素，電性連接該第三掃描線，其中該些第一子畫素的數量大於該些第三子畫素的數量，該共用電極與該第三掃描線之一垂直距離為  $V_{31}$ 。

**【第10項】** 如申請專利範圍第9項所述的畫素陣列基板，其中  $V_2 > V_{11} > V_{31}$ 。

**【第11項】** 如申請專利範圍第9項所述的畫素陣列基板，其中  $V_2 > V_{11} = V_{31}$ 。

**【第12項】** 如申請專利範圍第9項所述的畫素陣列基板，其中該絕緣層位於該第三掃描線上，且厚度為 0.6 微米至 0.9 微米，且

該保護層厚度為 1.8 微米至 2.2 微米。

**【第13項】** 如申請專利範圍第12項所述的畫素陣列基板，其中該保護層具有一第二開孔，該第二開孔重疊於該第三掃描線，其中部

分該共用電極填入該第二開孔，該共用電極與該第三掃描線之該垂直距離對應該第二開孔。

【第14項】如申請專利範圍第13項所述的畫素陣列基板，其中該絕緣層具有一第一開口以及一第二開口，該第一開口以及該第二開口不貫穿該絕緣層，且該第一開口重疊於該第一開孔，該第二開口重疊於該第二開孔，其中部分該共用電極填入該第一開口，且部分該共用電極填入該第二開口。

【第15項】如申請專利範圍第13項所述的畫素陣列基板，其中該第二開孔的垂直投影面積大於該第一開孔的垂直投影面積。

【第16項】如申請專利範圍第13項所述的畫素陣列基板，其中該第二開孔的垂直投影面積等於該第一開孔的垂直投影面積。