



(12) 实用新型专利

(10) 授权公告号 CN 204423920 U

(45) 授权公告日 2015. 06. 24

(21) 申请号 201420841070. 5

(22) 申请日 2014. 12. 27

(73) 专利权人 中国电子科技集团公司第三十八
研究所

地址 230088 安徽省合肥市高新区香樟大道
199 号

(72) 发明人 李寅寅 王秋实 金林 郭二辉

(74) 专利代理机构 合肥金安专利事务所 34114
代理人 吴娜

(51) Int. Cl.

G11C 11/413(2006. 01)

(ESM) 同样的发明创造已同日申请发明专利

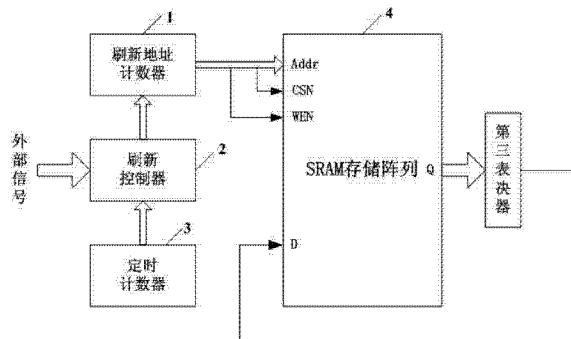
权利要求书1页 说明书4页 附图3页

(54) 实用新型名称

一种高可利用率抗辐射的 SRAM 自刷新电路

(57) 摘要

本实用新型涉及一种高可利用率抗辐射的 SRAM 自刷新电路，包括定时计数器、刷新控制器和刷新地址计数器，定时计数器的输出端与刷新控制器的输入端相连，外接外部信号的刷新控制器的输出端与刷新地址计数器的输入端相连，刷新地址计数器的输出端与 SRAM 存储阵列的 A、CSN、WEN 端相连，SRAM 存储阵列的输出端 Q 端通过第三表决器与 SRAM 存储阵列的 D 端相连。本实用新型对存储器定时的进行读、纠错和回写，确保特定的时间间隔内累积的错误位数不超过纠错码的纠错能力，提高了 SRAM 的抗多位翻转能力；用户的读写优先级高于刷新的优先级，使用户对 SRAM 的读写操作不被刷新操作中断，保证了用户读写的高可利用率。



1. 一种高可利用率抗辐射的 SRAM 自刷新电路, 其特征在于: 包括定时计数器(3)、刷新控制器(2)和刷新地址计数器(1), 定时计数器(3)的输出端与刷新控制器(2)的输入端相连, 外接外部信号的刷新控制器(2)的输出端与刷新地址计数器(1)的输入端相连, 刷新地址计数器(1)的输出端与 SRAM 存储阵列(4)的 A、CSN、WEN 端相连, SRAM 存储阵列(4)的输出端 Q 端通过第三表决器与 SRAM 存储阵列(4)的 D 端相连。

2. 根据权利要求 1 所述的高可利用率抗辐射的 SRAM 自刷新电路, 其特征在于: 所述定时计数器(3)包括至少 3 个定时寄存器, 其输出端均与第一表决器的输入端相连, 第一表决器的输出端分别与第一计数器(5)、刷新控制器(2)的第一输入端相连, 刷新控制器(2)的第二输入端接外部片选信号 CS_N, 刷新控制器(2)的第三输入端接外部地址信号; 所述刷新地址计数器(1)包括至少 3 个地址寄存器, 其输入使能端 EN 和输入清零端均接刷新控制器(2)的输出端, 其输出端均与第二表决器的输入端相连, 第二表决器的输出端分别与非门电路(7)、第二计数器(6)、片选信号发生器的输入端相连; 所述 SRAM 存储阵列(4)包括至少 3 个存储器, 其 WEN 端均与非门电路(7)的输出端相连, 其 CSN 端均与片选信号发生器的输出端相连, 其 A 端均与第二表决器的输出端相连, 其输出端 Q 端与第三表决器的输入端相连, 第三表决器的输出端与各个存储器的 D 端相连。

3. 根据权利要求 1 所述的高可利用率抗辐射的 SRAM 自刷新电路, 其特征在于: 所述刷新控制器(2)采用组合逻辑电路。

4. 根据权利要求 2 所述的高可利用率抗辐射的 SRAM 自刷新电路, 其特征在于: 所述定时寄存器、地址寄存器、存储器的个数一致, 均为 9 个; 所述第一、二、三表决器均为冗余表决器。

5. 根据权利要求 2 所述的高可利用率抗辐射的 SRAM 自刷新电路, 其特征在于: 所述地址寄存器的高 14 位, 即 D14 至 D1 位为刷新地址位, 所述地址寄存器的最后一位即 D0 为读写控制位。

一种高可利用率抗辐射的 SRAM 自刷新电路

技术领域

[0001] 本实用新型涉及刷新电路技术领域，尤其是一种高可利用率抗辐射的 SRAM 自刷新电路。

背景技术

[0002] 作为计算机高速缓存的挥发性存储器 SRAM，广泛用在通讯、消费类电子产品中，此外，在航空航天领域，SRAM 也有着广泛的应用。然而，宇宙和外层空间存在大量的高能粒子射线，会直接影响其可靠性，造成 SRAM 器件存储的数据发生翻转。目前，基于商用工艺线对 SRAM 芯片进行抗单粒子翻转加固，主要采用的方法是对电路和系统架构优化设计进行抗辐射加固，现有的技术有三模冗余(Time Module Redundancy, TMR)、错误检测与纠正(Error detection and correction, EDAC) 编解码技术等。

[0003] 在粒子辐射环境下，数据被打翻后，如果及时通过 TMR 或者 EDAC 电路进行纠正，外界仍然能读取到 SRAM 中正确的数据。然而，如果长时间没有对 SRAM 内存储的数据进行读写，错误会不断累积，进而引发更多的错误，TMR 或 EDAC 电路将无法对 SRAM 中的错误进行纠正。Aeroflex 的 UT8ER512K32 16M SRAM 和 TI 的 SMV512K32HFG 16M SRAM 抗辐射 SRAM 存储器，采用了刷新技术解决错误累积的问题，然而，这两款电路刷新的优先级高于外界用户读写的优先级，刷新期间，外界用户无法对 SRAM 进行读写操作，两次刷新操作之间的间隔为外界用户可用的读写时间，这样，刷新频率提高后，存储器的可利用率会下降。

实用新型内容

[0004] 本实用新型的目的在于提供一种在保障 SRAM 长时间可靠性的同时，兼顾系统的高可利用率的高可利用率抗辐射的 SRAM 自刷新电路。

[0005] 为实现上述目的，本实用新型采用了以下技术方案：一种高可利用率抗辐射的 SRAM 自刷新电路，包括定时计数器、刷新控制器和刷新地址计数器，定时计数器的输出端与刷新控制器的输入端相连，外接外部信号的刷新控制器的输出端与刷新地址计数器的输入端相连，刷新地址计数器的输出端与 SRAM 存储阵列的 A、CSN、WEN 端相连，SRAM 存储阵列的输出端 Q 端通过第三表决器与 SRAM 存储阵列的 D 端相连。

[0006] 所述定时计数器包括至少 3 个定时寄存器，其输出端均与第一表决器的输入端相连，第一表决器的输出端分别与第一计数器、刷新控制器的第一输入端相连，刷新控制器的第二输入端接外部片选信号 CS_N，刷新控制器的第三输入端接外部地址信号；所述刷新地址计数器包括至少 3 个地址寄存器，其输入使能端 EN 和输入清零端均接刷新控制器的输出端，其输出端均与第二表决器的输入端相连，第二表决器的输出端分别与非门电路、第二计数器、片选信号发生器的输入端相连；所述 SRAM 存储阵列包括至少 3 个存储器，其 WEN 端均与非门电路的输出端相连，其 CSN 端均与片选信号发生器的输出端相连，其 A 端均与第二表决器的输出端相连，其输出端 Q 端与第三表决器的输入端相连，第三表决器的输出端与各个存储器的 D 端相连；所述刷新控制器采用组合逻辑电路；所述定时寄存器、地址寄存器、

存储器的个数一致,均为 9 个;所述第一、二、三表决器均为冗余表决器。

[0007] 所述地址寄存器的高 14 位,即 D14 至 D1 位为刷新地址位,所述地址寄存器的最后一位即 D0 为读写控制位。

[0008] 由上述技术方案可知,本实用新型对存储器定时的进行读、纠错和回写,确保特定的时间间隔内累积的错误位数不超过纠错码的纠错能力,提高了 SRAM 的抗多位翻转能力;用户的读写优先级高于刷新的优先级,使用户对 SRAM 的读写操作不被刷新操作中断,保证了用户读写的高可利用率;通过对自刷新电路自身的加固,确保刷新时读写地址一致,提高了刷新电路的抗辐射能力,增强了抗辐射 SRAM 的可靠性;将刷新操作转为后台形式运行,使抗辐射 SRAM 能与常规的 SRAM 在应用层面上兼容,简化了系统级电路的设计。

附图说明

- [0009] 图 1 为本实用新型的电路框图。
- [0010] 图 2 为本实用新型的电路原理图。
- [0011] 图 3 为本实用新型中刷新控制器的电路图。
- [0012] 图 4 为刷新地址寄存器的位数示意图。
- [0013] 图 5 为刷新时间关系示意图(100MHz 时钟)。

具体实施方式

[0014] 一种高可利用率抗辐射的 SRAM 自刷新电路,包括定时计数器 3、刷新控制器 2 和刷新地址计数器 1,定时计数器 3 的输出端与刷新控制器 2 的输入端相连,外接外部信号的刷新控制器 2 的输出端与刷新地址计数器 1 的输入端相连,刷新地址计数器 1 的输出端与 SRAM 存储阵列 4 的 A、CSN、WEN 端相连,SRAM 存储阵列 4 的输出端 Q 端通过第三表决器与 SRAM 存储阵列 4 的 D 端相连,如图 1 所示。刷新地址计数器 1 用于产生刷新时的读写地址;定时计数器 3 用于控制两轮刷新操作之间的时间间隔;刷新控制器 2 根据定时计数器 3 的信号、外部片选信号、外部地址信号等产生控制信号。

[0015] 如图 2 所示,所述定时计数器 3 包括至少 3 个定时寄存器,其输出端均与第一表决器的输入端相连,第一表决器的输出端分别与第一计数器 5、刷新控制器 2 的第一输入端相连,刷新控制器 2 的第二输入端接外部片选信号 CS_N,刷新控制器 2 的第三输入端接外部地址信号;所述刷新地址计数器 1 包括至少 3 个地址寄存器,其输入使能端 EN 和输入清零端均接刷新控制器 2 的输出端,其输出端均与第二表决器的输入端相连,第二表决器的输出端分别与非门电路 7、第二计数器 6、片选信号发生器的输入端相连;所述 SRAM 存储阵列 4 包括至少 3 个存储器,其 WEN 端均与非门电路 7 的输出端相连,其 CSN 端均与片选信号发生器的输出端相连,其 A 端均与第二表决器的输出端相连,其输出端 Q 端与第三表决器的输入端相连,第三表决器的输出端与各个存储器的 D 端相连。所述定时寄存器、地址寄存器、存储器的个数一致,均为 9 个;所述第一、二、三表决器均为冗余表决器,三者的作用相同,均采用少数服从多数的机制。所述非门电路的作用是将地址寄存器的 D0 位由 0 到 1 切换变成对 SRAM 存储阵列先读后写控制的由 1 到 0 切换。

[0016] 如图 3 所示,所述刷新控制器 2 采用组合逻辑电路,CS_N 信号为低有效的片选使能信号,CS_N 为低时,表示用户要对存储器进行读写操作,系统要停止对某个存储器的刷新;

地址信号可以识别是否对当前的存储器进行读写。在 CS_N 信号为高, 地址信号没有选中当前存储器的条件下, 自刷新电路才能对各自的存储器进行刷新操作。计数标志为刷新定时计数器 3 给出的信号, 在刷新定时计数器 3 计满一个周期时, 给出一个触发信号, 指示刷新周期开始, 系统要对当前存储器的数据进刷新。刷新控制器 2 产生的输出信号为 EN 和末位清零信号, 其中, EN 信号用于使能地址计数器工作, 进而产生刷新时的地址和刷新读写使能信号。若自刷新电路在刷新的过程中, 用户开始对当前存储器的存储数据进行读写, 则刷新操作要中断, 此时 EN 将无效, 同时产生末位清零信号, 末位清零信号将使刷新地址寄存器的最后一位复位成 0, 使刷新的状态回到读的状态, 同时刷新的地址保持不变, 在用户停止对当前存储器的读写操作时, EN 信号重新有效, 而刷新地址计数器 1 将从刷新停止时的地址开始重新计数, 完成一个周期的刷新。

[0017] 如图 4 所示, 所述地址寄存器的高 14 位, 即 D14 至 D1 位为刷新地址位, 所述地址寄存器的最后一位即 D0 为读写控制位; 如图 5 所示, 在时钟频率为 100MHz 的条件下, 对 16K 地址空间进行一次刷新操作需要的时间为 $2 \times 10 \times 16K \text{ ns} = 0.32768\text{ms}$, 刷新时间与刷新周期的关系可以用图 5 进行说明。由图 5 可知, 刷新时间占到刷新周期的 $1/8$, 剩余 $7/8$ 时间为刷新的空闲时间, 刷新地址计数器 1 处于非工作状态, 对 SRAM 存储阵列的读和回写停止, 定时计数器持续更新, 这样自刷新电路将具有较小的动态功耗。同时由于刷新时间占整个刷新周期的比例很小, 用户读写操作占用刷新时间的可能性很小, 这样既保证了用户读写的高性能要求, 又保证了刷新的执行效率。刷新地址计数器 1 中的地址寄存器每隔 2.62144ms 更新一次, 与存储器的更新频率一致; 定时计数器 3 中的定时寄存器持续计数, 因此每个时钟节拍都更新一次, 避免了错误翻转的累积。

[0018] 以下结合图 1 至 5 对本实用新型作进一步的描述。

[0019] 本实用新型以 $16K \times 16bit$ 的抗辐射 SRAM 的刷新电路为例, 本实施例以 9 模冗余的方式实现数据纠错。当用户没有对 SRAM 存储阵列 4 进行读写, 或读写的地址不在当前 SRAM 存储阵列 4 中时, 则自刷新电路在定时计数器 3 的控制下, 由刷新控制器 2 发出刷新命令, 根据刷新地址计数器 1 产生的地址, 从 9 个存储器的同一地址单元中读取数据, 9 组数据经过 9 模第三表决器纠错, 产生一组数据回写到 9 个存储器的同一地址单元中, 这样便完成了对 SRAM 一个地址单元的刷新操作。刷新地址计数器 1 不断的累加产生连续的刷新地址, 自刷新电路便连续的对 SRAM 中的每个地址单元进行刷新, 直到遍历完所有的 SRAM 地址单元, 或用户对当前 SRAM 存储阵列 4 进行读写时, 停止对存储器的刷新。

[0020] 本实用新型的刷新操作是自刷新的, 外部不提供任何地址信息, 因此需要刷新电路自己产生地址。地址的产生可以借助地址寄存器实现。地址寄存器在时钟信号的驱动下不断的递增, 完成一个地址空间的刷新需要进行以下步骤: 读取、纠错和回写。读取和纠错可在在一个时钟周期内完成, 编码回写也可在一个时钟周期内完成。相比常规的读操作和写操作, 刷新操作要多一个时钟周期, 刷新地址寄存器位宽的计算主要是依据以下两点:

[0021] 第一点, 自刷新电路负责对每个 SRAM 存储阵列 4 中的 9 个存储器进行独立的刷新操作, 9 个存储器公用一个地址信号, 因此地址寄存器只需要提供一个存储器的地址就可以遍历 9 个存储器。一个存储器的地址深度为 16K, 因此刷新地址寄存器需要有 14bit 的宽度来遍历 16K 的地址空间。

[0022] 第二点, 刷新操作分为读和写两个操作, 读和写需要在两个时钟周期分别执行, 两

个时钟周期要使用同一个地址信号,为此在 14 位地址寄存器的基础上,末位增加一位,末位地址寄存器的输出将接到 9 个存储器的 WEN 端口,作为读写操作的控制信号,而地址寄存器的高 14 位将在读写 2 个时钟周期内保持不变。

[0023] 刷新地址寄存器可以用图 4 说明。自刷新电路启动时,地址寄存器从全零状态开始计数,末位将从 0 开始,不断的在 0 和 1 之间切换。由于存储器在 WEN 信号为高时进行读,为低时进行写,因此刷新地址寄存器的末位在接入 WEN 端口之前要进行反向操作。

[0024] 片选信号发生器用于对所有 9 个存储器进行刷新操作时要给出 9 个存储器的片选信号 CSN。在刷新地址计数器 1 开始工作时将给出信号使 CSN 变低。刷新地址计数器 1 计数完毕时,将使 CSN 信号变高,对 9 个存储器的刷新结束。

[0025] 刷新定时计数器 3 用于控制刷新的频率,刷新频率应根据存储器的预期翻转率进行设置,假设自刷新电路每秒需要对存储器进行 71 次刷新操作,即每隔 14ms 对存储器进行刷新操作,在 100M 主时钟的驱动下,定时寄存器的位数应设置为 20 位。这样定时寄存器从全 0 状态递增到全 1 状态用 $220 \times 10\text{ns} = 10.48576\text{ms}$, 小于要求的 14ms, 可以保证存储器有足够的刷新余量。为了能够在时钟频率较低的条件下满足刷新频率的要求,考虑增大刷新频率的余量,将定时寄存器的位数降低为 18 位,这样从全 0 状态递增到全 1 状态需要 262144 个时钟周期。在时钟频率为 100MHz 的情况下,刷新间隔为 2.62144ms; 在时钟频率低至 20MHz 的情况下,仍然具有 13ms 的刷新间隔,满足刷新频率的要求。

[0026] 如图 2 所示,为了使自刷新电路能够在辐射环境下可靠的工作,需要对刷新地址计数器 1 和定时计数器 3 进行加固。刷新地址在读周期和写周期中保持不变,如果刷新地址受到单粒子效应的影响发生翻转,使得读地址和写地址不一致,将使读取数据写入错误的地址单元中,造成严重的错误,因此对刷新地址计数器 1 的加固势在必行; 定时计数器 3 控制刷新的频率,若用于定时的定时寄存器发生翻转将导致刷新的时序紊乱,因此对定时计数器 3 的加固也势在必行。

[0027] 刷新地址计数器 1 和定时计数器 3 都是由寄存器累加实现的,具有相同的结构,因此对其加固的方式也相同。对地址寄存器和定时寄存器的加固,除了考虑冗余机制外,还要考虑寄存器的更新。如果寄存器得不到更新,将导致错误翻转的累积,最终使得错误的位数过多,冗余表决器将不能对其进行纠错。

[0028] 刷新地址计数器 1 和定时计数器 3 应采用图 2 所示的结构实现: 通过第一表决器和第二表决器对寄存器进行 9 模冗余,9 个寄存器的数据按位进行表决后进行加 1 操作,加 1 的结果在时钟的触发下,回写到 9 个寄存器,9 个寄存器的时钟之间有固定的延迟,这样既对 9 个寄存器实现了冗余保护,又实现了寄存器的更新。第一表决器和第二表决器的作用是通过少数服从多数的机制,将 9 个寄存器中多数的正确的位数选出,淘汰 9 个寄存器中少数的错误的位数。

[0029] 综上所述,本实用新型具有自主刷新能力、高可利用率和抗辐射能力,能够自主的对 SRAM 存储阵列 4 进行刷新,消除单粒子效应造成的错误累积; 在用户对 SRAM 进行读写操作时,停止刷新操作,保障用户的正常读写,提高 SRAM 的可利用率。

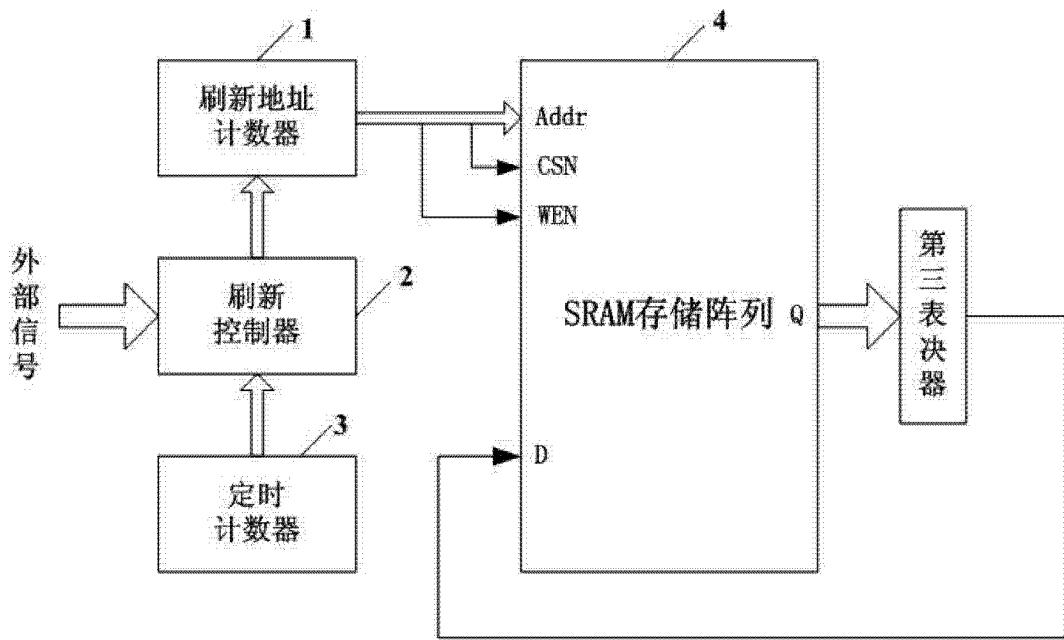


图 1

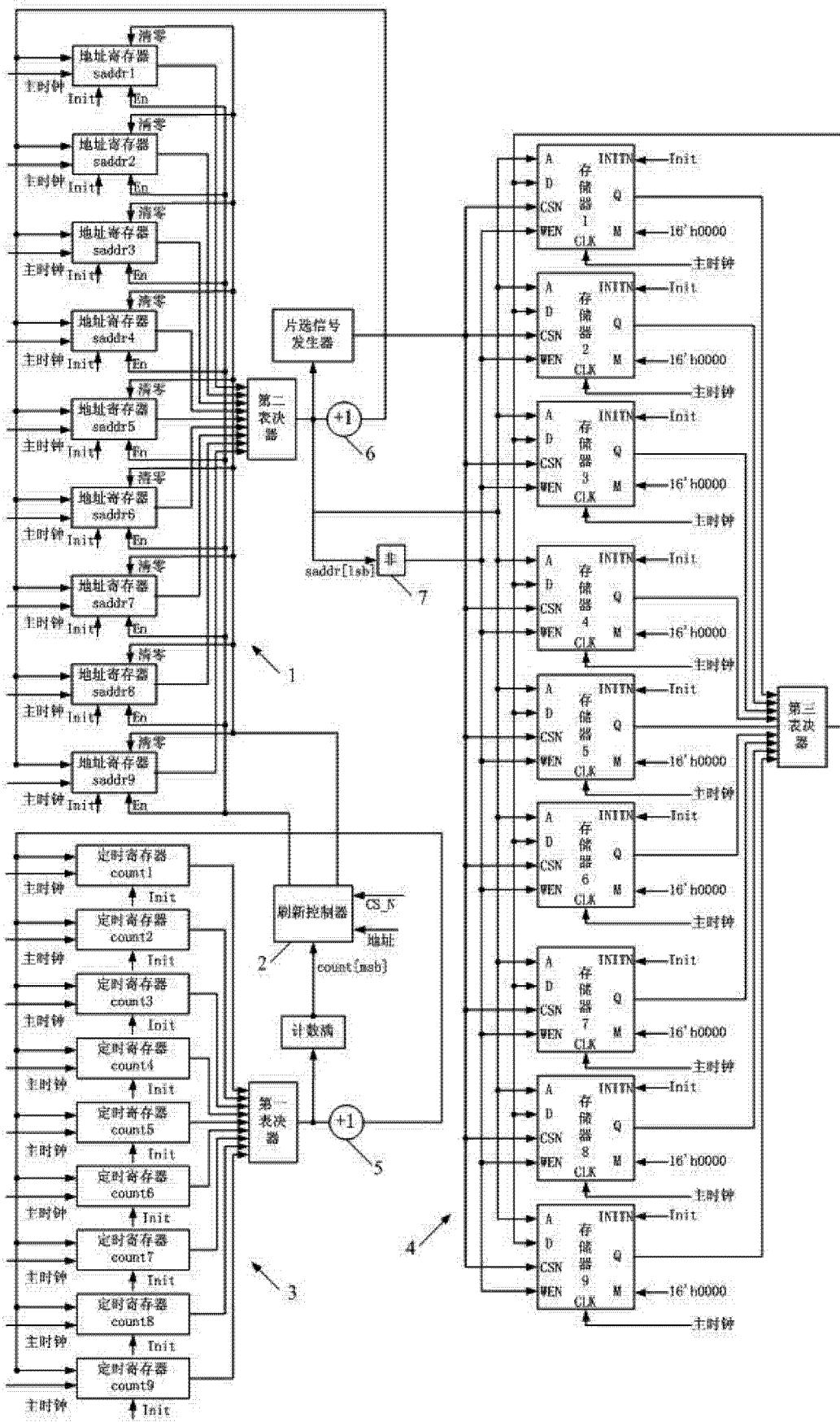


图 2

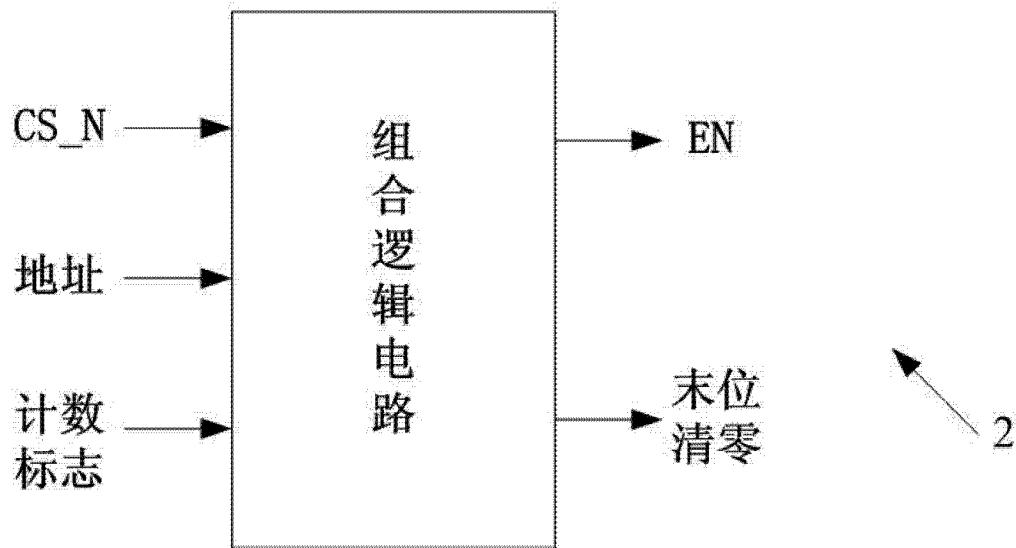


图 3

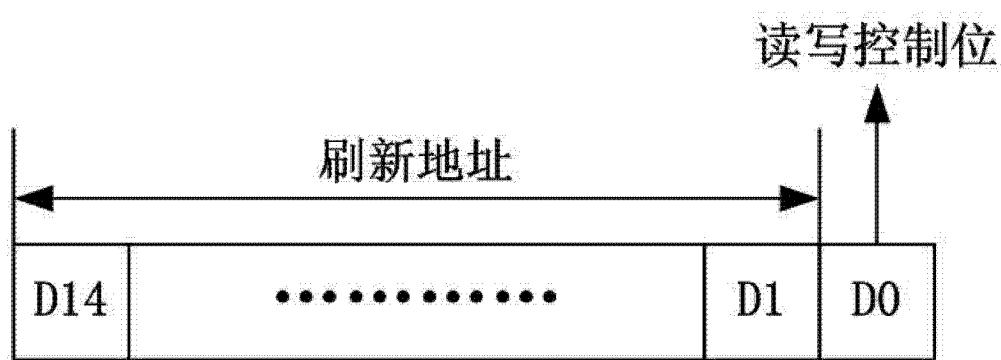


图 4

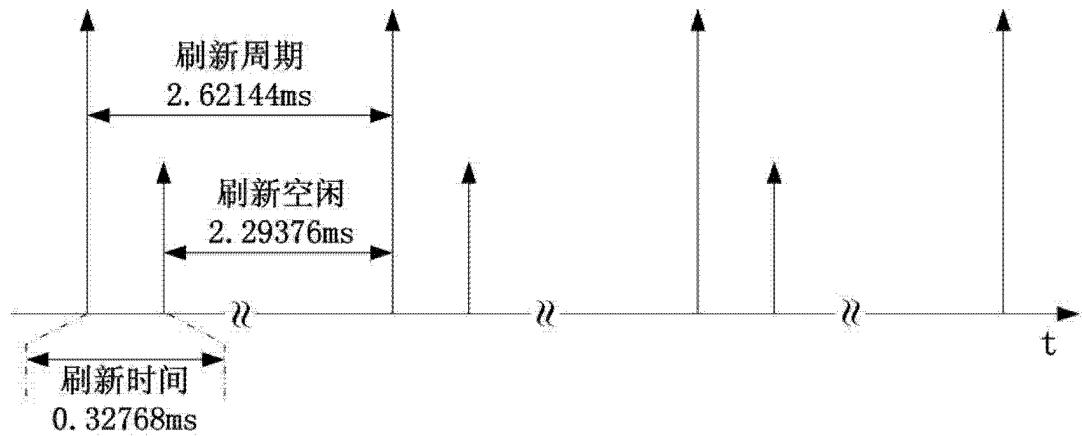


图 5