



(12)发明专利

(10)授权公告号 CN 104520987 B

(45)授权公告日 2017.08.11

(21)申请号 201380038919.3

(22)申请日 2013.05.21

(65)同一申请的已公布的文献号

申请公布号 CN 104520987 A

(43)申请公布日 2015.04.15

(30)优先权数据

13/477,532 2012.05.22 US

(85)PCT国际申请进入国家阶段日

2015.01.21

(86)PCT国际申请的申请数据

PCT/US2013/041981 2013.05.21

(87)PCT国际申请的公布数据

W02013/177134 EN 2013.11.28

(73)专利权人 英帆萨斯公司

地址 美国加利福尼亚州

(72)发明人 I·默罕默德

(74)专利代理机构 珠海智专专利商标代理有限公司 44262

代理人 段淑华 刘曾剑

(51)Int.Cl.

H01L 23/00(2006.01)

H01L 23/538(2006.01)

H01L 25/10(2006.01)

H01L 21/48(2006.01)

H01L 23/495(2006.01)

审查员 肖瑶

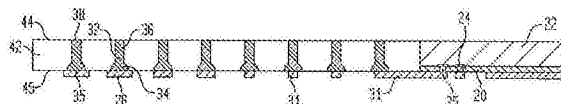
权利要求书4页 说明书11页 附图9页

(54)发明名称

具有引线键合互连且基板少的堆叠封装

(57)摘要

用于制造微电子单元(10)的方法,包括:在可图案化金属元件(28')的导电结合表面(30')上形成键合引线(32)。形成的键合引线具有与第一表面接合的基底(34)和远离第一表面的端面(38)。键合引线具有在基底与端面之间延伸的边缘表面(36)。该方法还包括在导电层第一表面的至少一部分上及键合引线的一部分上形成介电封装层(42),使得键合引线的未被封装的部分,由端面或未被封装层覆盖的边缘表面的部分中的至少一个来限定。图案化金属元件,以形成在键合引线下方并通过部分封装层而相互之间绝缘的第一导电元件(28)。



1. 用于制造微电子单元的方法,包括:

在导电层的第一表面上形成复数条键合引线,所述第一表面为包含可图案化的金属元件的结构的导电结合表面,所述键合引线具有与所述第一表面接合的基底和远离所述基底且远离所述第一表面的端面,所述键合引线进一步具有在所述基底与所述端面之间延伸的边缘表面;

由至少部分柔性的材料将介电封装层预先制成所需的形状;

将所述介电封装层挤压至所述导电层的第一表面的至少一部分上及所述键合引线的一部分上,使得所述键合引线的未被封装的部分由所述端面或未被封装层覆盖的所述边缘表面的部分中的至少一个来限定;及

选择性地图案化所述金属元件,以形成通过至少部分的所述封装层而相互之间绝缘的第一导电元件,其中至少一些键合引线位于所述第一导电元件的顶上;

其中在去除部分的所述导电层时,微电子元件包含在所述结构内并与所述导电层电连接,所述微电子元件具有平坦的附接层;

其中所述键合引线的所述基底与至少一个所述微电子元件的所述附接层共面。

2. 根据权利要求1所述的方法,其中在挤压所述介电封装层时,所述微电子元件已与所述导电层电连接,使得所述封装层至少部分地覆盖其至少一个表面。

3. 根据权利要求1所述的方法,其中至少一些所述第一导电元件在相对应的所述键合引线与所述微电子元件之间电连接。

4. 根据权利要求1所述的方法,进一步包括在所述封装层的第二表面上方形成再分布层,所述再分布层包括沿至少一个横向方向偏离所述键合引线的未暴露部分的导电触点。

5. 根据权利要求1所述的方法,其中至少一些所述键合引线形成为,使得其端面沿一个或多个横向方向偏离其基底。

6. 根据权利要求1所述的方法,其中所述基底以具有第一最小间距的第一图案布置,而所述键合引线的未封装部分以具有第二最小间距的图案布置,所述第二最小间距大于所述第一最小间距。

7. 根据权利要求1所述的方法,其中所述基底以具有第一最小间距的第一图案布置,而所述键合引线的未封装部分以具有第二最小间距的图案布置,所述第二最小间距小于所述第一最小间距。

8. 根据权利要求1所述的方法,其中所述键合引线的基底为焊料球的形式。

9. 根据权利要求1所述的方法,其中在所述基底与所述端面之间延伸的所述键合引线的边缘表面为第一边缘表面部分,其中所述键合引线的基底为所述边缘表面沿所述第一导电元件延伸的第二部分。

10. 根据权利要求1所述的方法,进一步包括形成覆盖所述介电层的第二表面的第二导电元件,至少一些所述第二导电元件与至少一些所述键合引线的未封装部分中相对应的一个连接。

11. 根据权利要求1所述的方法,其中选择性地去除部分导电层的步骤包括,形成至少一些作为触点垫的第一导电元件,未与所述单元的其他元件电连接的所述键合引线的基底与所述第一导电元件电连接。

12. 根据权利要求1所述的方法,进一步包括通过研磨或抛光中的一种工艺减薄所述单

元的步骤。

13. 根据权利要求12所述的方法, 其中预先制成的所述封装层形成为具有初始厚度, 使得所述键合引线的端面基本被覆盖, 而其中减薄所述单元的步骤包括去除所述封装层的一部分, 使得所述端面不被所述封装层封装。

14. 根据权利要求1所述的方法, 进一步包括在进行选择性地去除部分导电层的步骤之前, 从所述导电层的与所述键合引线相反的表面上去除载体。

15. 根据权利要求14所述的方法, 其中所述导电层具有小于20微米的厚度。

16. 用于制造微电子封装的方法, 包括如下步骤:

在过程中单元的导电层的第一表面上形成复数条键合引线, 所述过程中单元具有与其接合并与其一部分电连接的至少一个微电子元件, 所述键合引线形成为具有与所述第一表面接合的基底以及远离所述基底并远离所述第一表面的端面, 所述键合引线进一步具有在所述基底与所述端面之间延伸的边缘表面;

在所述导电层的第一表面的至少一部分上、所述至少一个微电子元件的至少一部分上、及所述键合引线的一部分上形成介电封装层, 使得所述键合引线的未被封装的部分, 由所述端面或未被所述封装层覆盖的所述边缘表面的部分中的至少一个来限定; 及

选择性地去除部分的所述导电层以形成第一导电元件, 其中至少一些所述第一导电元件与至少一些所述键合引线电连接, 且至少一些所述第一导电元件包括至少一些与所述微电子元件电连接的所述导电层的部分。

17. 用于制造微电子单元的方法, 包括如下步骤:

在第一表面上形成复数条键合引线, 所述第一表面为包含可图案化金属元件的结构的导电结合表面, 所述键合引线具有与所述第一表面接合的基底以及远离所述基底并远离所述第一表面的端面, 所述键合引线进一步具有在所述基底与所述端面之间延伸的边缘表面, 其中在形成所述键合引线时, 所述导电层包括复数个至少在一些边缘相互附接的区域;

在所述导电层的第一表面的至少一部分上以及所述键合引线的一部分上形成介电封装层, 使得所述键合引线的未被封装的部分由所述端面或未被封装层覆盖的所述边缘表面的部分中的至少一个来限定, 其中在进行选择性地去除部分封装层的步骤时, 复数个微电子元件与所述导电层接合, 形成具有至少一个微电子元件的过程中单元, 所述微电子元件与所述导电层的至少一些区域中的每一个电连接;

然后, 选择性地图案化所述金属元件, 以形成通过至少部分的所述封装层而相互之间绝缘的第一导电元件, 其中至少一些所述键合引线位于所述第一导电元件的顶上; 及

然后, 将所述过程中单元切割为复数个微电子单元, 每个微电子单元包括所述导电层的一区域的所述第一导电元件及与其电连接的至少一个微电子元件。

18. 用于制造微电子组件的方法, 包括:

制造第一微电子封装的步骤, 包括:

在过程中单元的导电层的第一表面上形成复数条键合引线, 所述过程中单元具有与其接合并与其一部分电连接的至少一个微电子元件, 所述键合引线形成为具有与所述第一表面接合的基底及远离所述基底并远离所述第一表面的端面, 所述键合引线进一步具有在所述基底与所述端面之间延伸的边缘表面;

在所述导电层的第一表面的至少一部分上、所述至少一个微电子元件的至少一部分

上、及所述键合引线的一部分上形成介电封装层,使得所述键合引线的未被封装的部分由所述端面或未被封装层覆盖的边缘表面的部分中的至少一个来限定;及

选择性地去除部分的所述导电层以形成其第一导电元件,其中至少一些所述第一导电元件与至少一些所述键合引线电连接,且至少一些所述第一导电元件包括与所述微电子元件电连接的所述导电层的至少一些部分;及

使所述第一微电子封装与第二微电子封装接合,所述第二微电子封装覆盖所述第一封装的封装层的第二表面,所述第二微电子封装包括在其第一表面暴露的复数个触点;

其中使所述第一微电子封装与所述第二微电子封装接合包括,使所述第一微电子封装的键合引线的未封装部分与所述第二微电子封装的触点电连接。

19. 微电子封装,包括:

具有平坦的附接层的至少一个微电子元件;

第一导电元件,包括在所述封装的安装表面暴露的端子,通过与所述第一导电元件整体形成的通路,至少一些所述第一导电元件与所述至少一个微电子元件电连接;

键合引线,具有与相应的所述导电元件接合且邻近介电封装层的第一表面的基底及远离所述基底的端面,每条键合引线限定了在其基底与端面之间延伸的边缘表面;及

所述介电封装层具有第一表面和远离所述第一表面的第二表面,所述第一表面的至少一部分在所述封装的安装表面暴露,所述介电封装层填充所述键合引线之间的空间,使得所述键合引线相互之间被所述封装层分隔开,其中所述键合引线的未被封装部分,由未被所述封装层的第二表面覆盖的所述键合引线的至少部分端面所限定;

其中所述键合引线的所述基底与所述至少一个微电子元件的所述附接层共面。

20. 根据权利要求19所述的微电子封装,其中至少一些所述键合引线的未封装部分沿至少一个横向方向偏离其相应的基底。

21. 根据权利要求19所述的微电子封装,进一步包括第二微电子元件,其中所述第一微电子元件包括在其正面暴露并朝向所述介电层的第一表面设置的触点,其中所述第二微电子元件包括在其正面暴露并朝向所述介电层的第二表面设置的触点。

22. 根据权利要求19所述的微电子封装,进一步包括在所述封装层的第二表面暴露的第二导电元件,其中至少一些所述第二导电元件在所述第二微电子元件的相应触点与所述键合引线的相应未封装部分之间连接。

23. 根据权利要求22所述的微电子封装,其中所述第一微电子元件和所述第二微电子元件通过至少一条键合引线电连接,所述键合引线与所述第一微电子元件的至少一个触点及所述第二微电子元件的至少一个触点电连接。

24. 根据权利要求22所述的微电子封装,其中通过在所述第二微电子元件的一个触点与一个所述第二导电元件之间接合的键合引线,所述第二微电子元件与相应的一个所述第二导电元件连接。

25. 根据权利要求19所述的微电子封装,其中所述第一微电子元件和所述第二微电子元件通过键合引线电连接,所述键合引线与所述第二微电子元件的触点及暴露在所述封装层的第一表面的相应的导电元件接合。

26. 微电子组件,包括:

根据权利要求19所述的第一微电子封装;及

第二微电子封装,包括微电子元件和在所述第二微电子封装的表面上暴露的端子,所述端子与所述微电子元件电连接;

其中所述第二微电子封装覆盖所述第一微电子封装并与其结合,所述端子与所述第一微电子封装的至少一些所述键合引线的未封装部分电连接。

27. 系统,包括根据权利要求19所述的微电子封装,及一个或多个电子元器件。

具有引线键合互连且基板少的堆叠封装

背景技术

[0001] 本发明是申请号为13/477532、申请日为2012年5月22日的美国专利申请的继续申请,其公开的内容以引用的方式纳入本文。

[0002] 如半导体芯片等的微电子器件,典型地需要许多输入和输出连接,以与其他电子元器件连接。半导体芯片或其他集成器件的输入和输出触点,通常以基本覆盖器件的一个表面(通常称为“面阵”)的格栅状图案分布,或者以平行且邻近于器件正面每个边缘的细长行的方式分布,或者分布在正面的中心。典型地,如芯片等的器件必须物理安装至如印刷电路板等的基板上,且器件的触点必须与电路板的导电特征电连接。

[0003] 半导体芯片一般设置在封装内,以在芯片的制造过程中以及把芯片安装在如电路板或其他电路面板等的外部基板上的安装过程中,方便对芯片的处理。例如,许多半导体芯片设置在适合于表面安装的封装内。大量的这种普通类型的封装用于各种用途。最普遍地,这种封装包括一般称为“芯片载体”的介电元件,具有通过电镀或蚀刻电介质上的金属结构而形成的端子。典型地,通过沿芯片载体自身延伸的薄迹线等的特征及在芯片触点与端子或迹线之间延伸的细引线或导线,这些端子与芯片自身的触点连接。在表面安装操作时,封装放置在电路板上,使得封装上的每个端子都与电路板上相对应的触点垫对齐。焊料或其他结合材料放置在端子与触点垫之间。通过加热组件使焊料或其他活性结合材料熔化或“回流”,而使封装永久结合定型。

[0004] 许多封装包括附接至封装端子上的、直径典型为约0.1mm至约0.8mm(5密耳至30密耳)的、焊料球形式的焊料块。具有从其底面突出的焊料球阵列的封装,一般称为球栅阵列封装或“BGA”封装。其他封装,通常称为平面栅格阵列封装或“LGA”封装,通过焊料形成的薄层或薄面而固定在基板上。这种类型的封装可相当紧凑。某些一般称为“芯片级封装”的封装,在电路板上占据的面积等于或稍大于包含在封装内的器件的面积。这样有利于减小组件的总体尺寸,并允许基板上的各器件之间采用较短的互连,短互连又会缩短器件之间的信号传输时间,从而有利于组件在高速下工作。

[0005] 封装的半导体芯片通常设置在“堆叠”布置内,例如其中一个封装设置在电路板上,而另一个封装安装在第一个封装的顶上。这种布置可允许大量的不同芯片安装在电路板的单个安装位(footprint)内,且通过在封装间设置短互连可进一步有利于高速工作。通常,这种互连的距离只稍大于芯片自身的厚度。为在芯片封装堆叠内实现互连,在每个封装(最上层封装除外)的两面上都设置用于机械连接和电连接的结构是必需的。例如,这可通过在芯片安装基板的两个面上都设置触点垫或触点面来完成,触点垫通过贯穿基板的导电通路或类似结构而连接。焊料球或类似结构用于桥接下层基板顶面上的触点与邻接的上层基板底面上的触点之间的间隙。焊料球的高度必须大于芯片的高度,以与触点连接。在公开号为2010/0232129(下文称为“’129申请”)的美国专利申请中,提供了堆叠芯片布置和互连结构的示例,其公开的内容全文以引用的方式纳入本文。

[0006] 尽管在本领域中已有上述这些改进,但在制造及检测微电子封装方面,进行进一步的改进仍是可取的。

发明内容

[0007] 根据本发明的一个方面,涉及制造微电子单元的方法。该方法包括:在第一表面上形成复数条键合引线(wire bonds),第一表面为包含可图案化金属元件的结构的导电结合表面的形式。形成的键合引线具有与第一表面接合的基底和远离基底且远离第一表面的端面。键合引线进一步具有在基底与端面之间延伸的边缘表面。该方法还包括在导电层第一表面的至少一部分上及键合引线的一部分上形成介电封装层,使得键合引线的未被封装的部分,由端面或未被封装层覆盖的边缘表面的部分中的至少一个来限定。然后,选择性地图案化金属元件,以形成通过至少部分的封装层而相互之间绝缘的第一导电元件。至少一些键合引线位于第一导电元件的顶上。

[0008] 在进行去除部分导电层的步骤时,微电子元件可包含在结构内并与导电层电连接。形成介电封装层的步骤进行时,微电子元件可已与导电层电连接,使得封装层至少部分地覆盖其至少一个表面。至少一些第一导电元件可在相对应的键合引线与微电子元件之间电连接。

[0009] 该方法的示例可进一步包括在封装层的第二表面上方形成再分布层的步骤。再分布层可包括沿至少一个横向方向偏离键合引线未暴露部分的导电触点。

[0010] 至少一些键合引线可形成为,使得其端面沿一个或多个横向方向偏离其基底。在一示例中,键合引线的基底可以具有第一最小间距的第一图案布置,而键合引线的未封装部分可以具有第二最小间距的图案布置,第二最小间距大于第一最小间距。替代地,基底可以具有第一最小间距的第一图案布置,而键合引线的未封装部分可以具有第二最小间距的图案布置,第二最小间距小于第一最小间距。

[0011] 该方法可进一步包括形成覆盖介电层第二表面的第二导电元件。至少一些第二导电元件可与至少一些键合引线的未封装部分中相对应的一个连接。

[0012] 选择性地去掉部分导电层的步骤可包括,形成至少一些作为触点垫的第一导电元件,未与单元的其他元件电连接的键合引线的基底,与第一导电元件电连接。

[0013] 该方法进一步包括通过研磨或抛光中的一种工艺减薄单元的步骤。在一示例中,可形成具有初始厚度的封装层,使得键合引线的端面基本被覆盖,而减薄单元的步骤可包括去除封装层的一部分,使得端面不被封装层封装。

[0014] 形成封装层的步骤可包括,在导电层的第一表面及键合引线的至少边缘表面上涂布封装剂。进一步地,形成封装层的步骤可包括,模制与导电层、键合引线的至少边缘表面、及微电子元件的至少表面都接触的封装剂。

[0015] 该方法可进一步包括,在进行选择性地去掉部分导电层的步骤之前,从导电层的与键合引线相反的表面上除去载体。

[0016] 在一实施例中,导电层可具有小于20微米的厚度。

[0017] 根据本发明的另一方面,涉及制造微电子封装的方法。该方法可包括,在过程中单元的导电层的第一表面上形成复数条键合引线。该过程中单元具有与其接合并与其一部分电连接的至少一个微电子元件。键合引线形成为具有与第一表面接合的基底以及远离基底并远离第一表面的端面。键合引线进一步具有在基底与端部表面之间延伸的边缘表面。该方法还包括在导电层第一表面的至少一部分上、该至少一个微电子元件的至少一部分上、

及键合引线的一部分上形成介电封装层,使得键合引线的未被封装的部分由端面或未被封装层覆盖的边缘表面的部分中的至少一个来限定。选择性地去掉部分导电层以形成第一导电元件。至少一些第一导电元件与至少一些键合引线电连接,且至少一些第一导电元件包括至少一些与微电子元件电连接的导电层部分。

[0018] 根据本发明的另一方面,涉及制造微电子单元的方法。该方法包括,在第一表面上形成复数条键合引线,该第一表面为包含可图案化金属元件的结构的导电结合表面。键合引线具有与第一表面接合的基底、及远离基底并远离第一表面的端面。键合引线进一步具有在基底与端部表面之间延伸的边缘表面。在形成键合引线时,导电层包括复数个至少在一些边缘相互附接的区域。该方法还包括在导电层第一表面的至少一部分上、及键合引线的一部分上形成介电封装层,使得键合引线的未被封装的部分,由端面或未被封装层覆盖的边缘表面的部分中的至少一个来限定,其中在进行选择性地去掉部分封装层的步骤时,复数个微电子元件与导电层接合,形成具有至少一个微电子元件的过程中单元,该微电子元件与导电层的至少一些区域中的每一个电连接。然后,选择性地图案化金属元件,以形成第一导电元件,通过至少部分的封装层,第一导电元件之间彼此电绝缘。至少一些键合引线位于第一导电元件的顶上。然后将过程中单元切割为复数个微电子单元,每个微电子单元包括导电层一区域的第一导电元件及与其电连接的至少一个微电子元件。

[0019] 根据本发明的另一方面,涉及制造微电子组件的方法。该方法包括制造第一微电子封装,包括在过程中单元的导电层的第一表面上形成复数条键合引线。该过程中单元具有与其接合并与其一部分电连接的至少一个微电子元件。键合引线形成为具有与第一表面接合的基底、及远离基底并远离第一表面的端面。键合引线进一步具有在基底与端部表面之间延伸的边缘表面。形成第一微电子封装还包括在导电层第一表面的至少一部分上、该至少一个微电子元件的至少一部分上、及键合引线的一部分上形成介电封装层的步骤,使得键合引线的未被封装的部分,由端面或未被封装层覆盖的边缘表面的部分中的至少一个来限定。然后,选择性地去掉部分导电层以形成其第一导电元件。至少一些第一导电元件与至少一些键合引线电连接,且至少一些第一导电元件包括与微电子元件电连接的导电层的至少一些部分。该方法还包括使第一微电子封装与第二微电子封装接合,第二微电子封装覆盖第一封装的封装层的第二表面。第二微电子封装包括在其第一表面暴露的复数个触点。使第一微电子封装与第二微电子封装接合包括,使第一微电子封装的键合引线的未封装部分与第二微电子封装的触点电连接。

[0020] 根据本发明的另一方面,涉及包括至少一个微电子元件的微电子封装。封装进一步包括第一导电元件,第一导电元件包括在封装安装表面暴露的端子。通过与第一导电元件整体形成的通路,至少一些第一导电元件与该至少一个微电子元件电连接。封装进一步包括键合引线,键合引线具有与相应的导电元件接合且邻近介电封装层的第一表面的基底,及远离基底的端面。每条键合引线限定了在其基底与端面之间延伸的边缘表面。封装还包括介电封装层,具有第一表面和远离第一表面的第二表面。第一表面的至少一部分在封装的安装表面暴露。介电封装层填充键合引线之间的空间,使得键合引线相互之间被封装层分隔开。键合引线的未被封装部分,由未被封装层的第二表面覆盖的键合引线的至少部分端面所限定。

[0021] 至少一些键合引线的未封装部分可沿至少一个横向方向偏离其相应的基底。

[0022] 封装可进一步包括第二微电子元件。在一示例中,第一微电子元件可包括暴露在其正面的触点,触点朝向介电层的第一表面设置,且第二微电子元件可包括暴露在其正面的触点,触点朝向介电层的第二表面设置。在这种示例中,封装可进一步包括在封装层的第二表面暴露的第二导电元件。至少一些第二导电元件可在第二微电子元件的相应触点与键合引线的相应未封装部分之间连接。第一微电子元件和第二微电子元件可通过至少一条键合引线电连接,键合引线与第一微电子元件的至少一个触点及第二微电子元件的至少一个触点电连接。替代地,通过在第二微电子元件的一个触点与一个第二导电元件之间接合的键合引线,第二微电子元件可与相应的一个第二导电元件连接。在另一示例中,第一微电子元件和第二微电子元件可通过键合引线电连接,键合引线与第二微电子元件的触点及暴露在封装层的第一表面的相应的导电元件接合。

[0023] 微电子组件可包括如上所述的第一微电子封装和第二微电子封装,第二微电子封装包括微电子元件和在第二微电子封装表面暴露的端子。端子可与微电子元件电连接。进一步地,第二微电子封装可覆盖第一微电子封装且可与其结合,且其端子与第一微电子封装的至少一些键合引线的未封装部分电连接。

[0024] 系统可包括如上所述的微电子封装,及一个或多个电子元器件。

附图说明

[0025] 下面将参照附图描述本发明的各实施例。可以理解的是,这些附图仅是为了说明本发明的一些实施例,因此不要认为其限制本发明的范围。

[0026] 图1示出了过程中单元的俯视示意图,通过根据本发明方法的步骤,过程中单元可进行处理以形成微电子封装。

[0027] 图2示出了图1的过程中单元的侧视图。

[0028] 图3示出了图1的过程中单元在该方法另一处理步骤时的俯视图。

[0029] 图4示出了图3的过程中单元的侧视图。

[0030] 图5示出了图4的过程中单元的标示为区域A部分的详细视图。

[0031] 图6示出了图1的过程中单元在该方法另一处理步骤时的俯视图。

[0032] 图7示出了图6的过程中单元的侧视图。

[0033] 图8示出了图7的过程中单元的标示为区域B部分的详细视图。

[0034] 图9示出了该方法生成的微电子封装的侧视图。

[0035] 图10示出了图9的封装的标示为区域C部分的详细视图。

[0036] 图11示出了图10在该方法另一可选用处理步骤后的详细视图。

[0037] 图12示出了图9的封装在该方法另一可选用的XA处理步骤时的侧视图。

[0038] 图13示出了图12的封装的标示为区域D部分的详细视图。

[0039] 图14示出了替代的过程中单元,可根据本发明方法的变例的步骤进行处理以形成微电子封装。

[0040] 图15示出了图14的过程中单元的标示为区域E部分的详细视图。

[0041] 图16示出了该方法变例生成的微电子封装的侧视图。

[0042] 图17示出了在该方法变例中另一可选用处理步骤后,图16中封装的一部分的详细视图。

- [0043] 图18示出了替代的微电子封装。
- [0044] 图19示出了图18的封装的标示为区域F部分的详细视图。
- [0045] 图20示出了另一替代的微电子封装。
- [0046] 图21示出了图20的封装的标示为区域G部分的详细视图。
- [0047] 图22示出了另一替代的微电子封装。
- [0048] 图23示出了另一替代的微电子封装。
- [0049] 图24示出了微电子组件的示例,其可包括根据本文所示各实施例的一个或多个封装。
- [0050] 图25示出了根据本发明一个实施例的系统。

具体实施方式

[0051] 现在参照附图,其中类似的标号用于指示类似的特征,图9示出了根据本发明实施例的微电子单元或封装10,而图1至图8示出了根据本发明另一实施例的方法所实施的微电子封装制造过程的各个阶段。图9中实施例为封装后微电子元件形式的微电子封装10,如应用于计算机或其他电子应用产品的半导体芯片组件。

[0052] 图9中的微电子封装10包括微电子元件22。从图10可以进一步看出,微电子封装10可嵌入封装层42内,或其一个或多个表面可与封装层接触,所述表面例如为正面、背面或在正面与背面之间延伸的边缘表面。封装层42具有在第一表面43与第二表面44间延伸的厚度。第一表面和第二表面可在封装10相应的第一安装表面11和第二安装表面12至少部分地暴露。这样封装的厚度可至少与微电子元件22自身的厚度相同。从图10可以看出,封装层42可从微电子元件22沿横向进一步向外延伸,如图6的平面图所示。复数条键合引线32也可嵌入封装层内,并在两个端面35和38之间延伸,各端面未被封装层覆盖,且可分别与表面43、44平齐(即共面)。为了论述的目的,第一表面43可描述为设置在第二表面44的反面或远离第二表面44。这种描述,与本文中应用的指示这些元件竖直或水平位置的所有其他相对位置的描述一样,目的只是对应于这些元件在附图中的位置进行说明,并不是限制。

[0053] 微电子元件22可为半导体芯片或另一种类似的器件,其内具有复数个有源或无源电路元件,或同时具有有源和无源电路元件,这些元件可为芯片上集成或无源(integrated or passives on a chip, “IPOC”)的形式,或其他形式。在图10的实施例中,微电子元件22至少具有部分边缘表面及背面与封装层42接触(如被封装层覆盖)。微电子元件22可放置为,使得其触点24邻近封装的第一安装表面11。此外,在这种布置中,触点24与导电元件28连接,导电元件28沿封装层42的第一表面43延伸至键合引线32的端面35,并与键合引线32电连接,端面35可由相应键合引线32的基底34限定。这种基底34可在用于形成键合引线32的过程中制成,且可具有如图所示的球形键合形成的基底34的形状,或可具有通过楔形键合、针式键合等类似方式形成的基底的形状。在其他实施例中,如图16所示的实施例,基底可在制造过程中部分或完全去除,如通过研磨、磨光、抛光的减薄过程中或其他适当技术去除。这种减薄过程或其他过程还可减小键合引线132的高度,使得限定为键合引线132末端的端面135处于基底上方。再次参见图10,在一个实施例中,微电子触点24可与导电元件28通过导电(如金属化的)通路25而电连接,导电通路25包括沉积在微电子元件的触点24上的通路,如通过电镀、喷溅或气相沉积等工艺沉积一种或多种金属,或金属的一种或多种合金

而形成,金属可为如铜、镍、铬、铝、金、钛、钨、钴中的一种或多种,但并不限于这些。在一个示例中,导电元件可通过沉积具有金属或非金属成分的液态导电基体材料,然后再固化所沉积的导电基体材料而形成。例如,导电基体材料的沉积及使用可如共同拥有的申请号为13/158797的美国专利申请所描述,其公开的内容因引用而纳入本文。

[0054] 导电元件28可包括可在封装层42的第二表面44暴露的各“触点”或“垫”。如在本文中应用的,当导电元件被描述为“暴露在”具有介电结构的另一元件的表面,指的是该导电结构可被从介电结构外沿垂直于介电结构表面的方向朝着介电结构表面移动的一个理论点接触。因此在介电结构的表面暴露的端子或其他导电结构可,从该表面突出;与该表面平齐;或可相对于该表面凹陷,并通过介电材料内的孔或凹陷而暴露。在一个示例中,导电元件28可为在封装层42的第一表面43暴露的平且薄的元件。导电元件28可具有任意适当的形状,在一些实例中可为圆形的。导电元件28可通过迹线31而相互之间电互连、与微电子元件22电互连、或既彼此电互连又与微电子元件电互连。导电元件28也可沿微电子元件22的正面20形成。

[0055] 如图12和图13所示,附加导电元件28可在封装层42的第二表面44暴露。这种导电元件可覆盖键合引线32的端面38并与其电连接。在其他变例中,这种导电元件可包括沿表面44的至少一个横向方向偏离相对应的键合引线的垫28,其可通过迹线31与键合引线的端面连接。

[0056] 键合引线32可与至少一些导电元件28接合,例如在面上的导电元件。键合引线32可在其基底34处与导电元件28接合,并可延伸至远离相对应基底34且远离第一表面的末端36,即末端36位于基底和第一表面的反面。键合引线32的末端36可具有“自由”的特性,因为其不与微电子元件22电连接或以其他方式接合,或不与微电子封装内与微电子元件22连接的任何其他导电特征电连接或以其他方式接合。换句话说,自由末端36用于与封装10外部的导电特征电连接,可以是直接连接或者通过导电元件28或本文描述的其他特征间接连接。末端36通过例如封装层42或其它方式保持在预定位置而与另一导电特征接合或电连接,这并不意味着末端36不是如本文所描述的“自由”的,只要任意这种特征未与微电子元件22连接,那么它们就是如本文所描述的“自由”的。相反地,基底34可以不是自由的,因为其可直接或者间接地与微电子元件22电连接,如本文所述。如图10所示,基底34可具有圆的外形,从键合引线32的限定在基底34与末端36之间的边缘表面37向外延伸。基底34的特定大小和外形可根据用于形成键合引线32的材料类型、键合引线32与导电元件28之间的连接所需强度、或用于形成键合引线32的特定工艺过程而变化。用于制造键合引线32的示例方法,在Otremba的专利号为7391121的美国专利、公开号为2005/0095835的美国专利申请(其描述了可认为是键合引线的一种形式的楔形键合程序)、或共同转让的申请号分别为13/462158、13/404408、13/405108、13/405125和13/404458的美国专利申请中有所描述,这些专利/申请公开的内容全文以引用的方式纳入本文。

[0057] 键合引线32通过由铜、金、镍、焊料、铝或金属合金、及其他材料制成的金属引线在其表面键合并进行一个或多个其他步骤而形成,使得形成的键合引线具有基底和远离基底如位于基底反面的未包裹表面,基底与未包裹表面之间延伸一段长度的引线。另外,键合引线32可由组合材料制成,如形成铜或铝等导电材料制成的芯部及涂布在芯部外的涂层。涂层可由第二导电材料,如铝、镍、铂、钯及其他材料制成。替代地,涂层可由绝缘材料制成,如

绝缘护套。在一实施例中,用于形成键合引线32的引线可具有一厚度,即沿横过引线长度的方向,厚度可为约15 μm 至150 μm 之间。通常,键合引线32可利用键合引线工具形成在金属结合表面上,即结构的第一金属结合表面。在其他实施例中,包括那些如将在下文中描述的应用楔形键合的实施例,键合引线32可具有高达约500 μm 的厚度。引线段的引导端被加热并相对引线段将结合的接收表面加压,典型地形成与导电元件28的表面接合的球或球状基底34。为形成键合引线所需长度的引线段从键合工具中拉出,然后可在所需长度处切断或割断键合引线。例如,可用于形成铝键合引线的楔形键合,是一种把引线的加热部分沿接收表面拖曳以形成平放在大致平行于该表面的楔子的处理工艺。然后,如果需要的话,楔形键合的键合引线可向上弯曲,并在切断之前延伸至所需的长度或位置。在特定实施例中,用于形成键合引线的引线可具有圆形横截面。不同地,从工具引出引线而形成的键合引线或楔形键合的键合引线,可具有多边形的横截面,如长方形或梯形的横截面。

[0058] 键合引线32的自由端36可限定相应的端面38。端面38可形成触点的至少一部分,复数条键合引线32的相应端面38形成格栅或阵列图案。图6和图7示出了端面38形成的这种触点阵列的示例图案。这种阵列可在面阵配置内形成,利用本文描述的结构进行可实现其变例。在所示的一个变例中,图6所示的格栅或阵列图案中的每个位置无需都为键合引线的端面。这种阵列可用于使微电子封装10与如印刷电路板(“PCB”)等的另一微电子结构或其他封装的微电子元件电连接及机械连接,图24示出了其中的一个示例。在这种堆叠布置中,键合引线32和导电元件28可承载多个电信号,每个电信号具有不同的信号电位,以允许不同信号被单个堆叠中的不同微电子元件处理。端面位于特定位置的格栅或阵列图案可与基底34所在的格栅或阵列图案相同或不同。在图9所示的示例中,其中键合引线32基本为竖直布置,这两个阵列可为相同的。在例如图23所示的其他布置中,可包括相对封装层542的表面544具有角度546的键合引线532,使得端面38具有比基底34间距更大的间距。这种布置的相反设置也是可行的。此外,如上所述,导电元件28可沿横向偏离端面35或38,导电元件通过迹线31与端面电连接。这种布置也可在表面544、545上方或其他不同的触点布置中设置不同的间距。

[0059] 如图24所示,这种封装10可与其他类似的封装或类似结构一起布置在堆叠内。尽管图24只示出两个这种微电子封装10A、10B,在这种堆叠内,可布置三个、四个或甚至更多的微电子封装,堆叠还可通过使导电元件28与电路板触点92接合的焊料块52而与电路板90组装在一起。焊料块52也可用于堆叠内微电子组件之间的互连,如通过电连接及机械连接而使端面38附接至导电元件28或使导电元件28连接至其他导电元件28。

[0060] 从图10和其他附图可进一步看出,封装层42用于保护微电子封装10内的其他元件,特别是键合引线32。这样使结构更稳健,在检测时、运输过程中或与其他微电子结构组装的过程中被破坏的可能性更小。封装层42可由具有绝缘性能的介电材料制成,如公开号为2010/0232129的美国专利申请中所描述,其公开的内容全文以引用的方式纳入本文。

[0061] 如上所述,图23示出微电子组件510的实施例中,键合引线532具有的末端536不是在其相应基底34正上方的位置。也就是说,鉴于组件510的第一表面544沿两个横向方向延伸,从而基本限定一平面,末端536或至少一个键合引线532沿两横向方向中的至少一个方向偏离基底34相对应的横向位置。如图22所示,键合引线532沿其纵轴方向基本为直的,如图9所示的实施例,该纵轴相对封装层542的表面544形成角度546。尽管在图5的剖面图中只

示出了贯穿垂直于第一表面544的第一平面的角度546,键合引线532也可相对第一表面544沿与第一平面及第二表面544都垂直的另一平面具有角度。该角度可与角度546大致相等或不同。末端536相对于基底34的这种偏离,可沿两个横向方向,且可沿这些方向偏离相同或不同的距离。

[0062] 在一个实施例中,在组件510所有各处的键合引线532可沿不同方向偏离,且可偏离不同的量。这种布置使组件510具有的阵列,在表面544层面上与在表面545层面上设置为不同。例如,与在第二表面545层面上相比,阵列可在表面544上占据较小的总面积或具有更小的间距。此外,一些键合引线532可具有位置高于微电子元件522的末端536,以在堆叠布置内容纳不同大小的封装微电子元件。在另一实施例中,可通过使键合引线内包括弯曲部分而实现这种水平偏离。这些弯曲部分可在形成键合引线的过程中的附加步骤中形成,且可在如引线部分被拖出所需长度时产生。该步骤可利用已有的引线键合设备进行,可包括利用单个机器。这种弯曲部分可具有各种要求的外形,以使键合引线的末端达到所需位置。例如,弯曲部分可形成为各种形状的S弯曲。

[0063] 图1至图8示出了在其制造方法中各阶段时的微电子封装10。图1和图2示出了在微电子元件22已与包含图案化金属元件28'的结构相结合的步骤时的微电子封装10。结构可包括或由金属或其他可导电的、沿第一横向方向15及第二横断方向17延伸的导电材料层组成,以限定封装10总体外形,如图1的平面视图中所看到的。利用没有被完全固化的粘接层或聚合物材料,微电子元件22可组装、如结合至导电材料层28'。在一些实施例中,在制造过程中的至少一些步骤时,结构可包括支撑层或支撑器件,如载体,以支撑导电材料层28'。在形成封装层42后,可除去这种支撑层。

[0064] 图3、4和5示出了具有在导电材料层28'的表面30'的预定位置接合的键合引线32的微电子封装10。如上所述,键合引线32可通过加热引线段端部使其变软而应用,使得当对其施压时,可形成与导电元件28结合的沉积,并形成基底34。然后引线被远离导电元件28拖出,在从端部36切断并形成键合引线32的末端36及端面38之前,制成为所需的特定形状。替代地,键合引线32可由如铝引线等通过楔形键合而形成。通过加热邻近其末端的引线部分、并在施加压力的情况下沿导电元件拖曳引线而形成楔形键合。这种处理过程进一步在专利号为7391121的美国专利及之前引用的申请号为13/402158的美国专利申请中描述,该专利公开的内容全文以引用的方式纳入本文。

[0065] 在图6至图8中,封装层42通过在导电材料层28'的表面30'涂布、并从其向上并沿着键合引线32的边缘表面37延伸而附加至微电子封装10。封装层42还可沿微电子元件22的至少一部分,包括正面、背面或边缘表面中至少一个的上方延伸。在其他示例中,封装层42可形成为,使得其不与微电子元件22的任何部分接触,如沿横向间隔一定距离。封装层42可通过在如图4所示阶段的微电子封装10上沉积如树脂等的封装剂而形成。在一个示例中,可通过把封装10放置适当配制的模具内而实现,模具具有可接收封装10且具有封装层所需外形的空腔。这种模具及利用模具形成封装层的方法可为公开号为2010/0232129的美国专利申请中所示及所描述,其公开的内容全文以引用的方式纳入本文。替代地,封装层42可由至少部分柔性的材料预先制成所需的形状。在此结构中,介电材料的柔性性能使封装层42可被挤压至键合引线32和微电子元件22上方的位置。在该步骤中,键合引线32穿入柔性材料内,并在其内形成相应的孔,封装层42沿孔与边缘表面37接触。此外,微电子元件22可使柔

性材料变形,从而微电子元件22可被接收于其内。可挤压柔性介电材料,以使端面38在外表面44上暴露。替代地,多余的柔性介电材料可从封装层去除,以形成未覆盖键合引线32端面38的表面44。

[0066] 在一个示例中,封装层42可形成为,其最初表面44在键合引线32的端面38上方并间隔开。为暴露端面38,可去除封装层42位于端面38上方的部分,暴露的新表面44基本与端面38平齐,如图7所示。在另一替代实施例中,封装层42可形成为,表面44已基本与端面38平齐,或表面44低于端面38。如果需要去除封装层42的一部分时,可通过研磨、干法蚀刻、激光烧蚀、湿法蚀刻、磨光或类似方法来完成。如果需要时,键合引线32的末端36的一部分也可在同一步骤中或另一步骤中去除,以获得基本平坦且与表面44基本平齐的端面38。在特定示例中,封装剂可涂布在微电子元件22、键合引线34及可图案化的导电元件28上,而并不使用模具,多余的封装剂可在涂布后去除,以暴露键合引线的端面,如通过抛光或上述方法中其他的一种或多种方法。

[0067] 在介电层42形成后,可通过化学或机械蚀刻(如激光蚀刻或类似方法)使导电材料层28'图案化,以制成导电元件28和/或迹线31,所需的导电元件28或迹线31通过去除部分导电材料、并在所需位置留下部分导电材料而形成,如图9和图10所示。这样做可以使键合引线32与微电子元件22的触点24之间生成选择性的互连,或形成偏离相应键合引线32的导电元件28,键合引线32与导电元件28通过迹线31连接。在一些实施例中,可形成导电通路25,以使迹线31或垫形式的导电特征28与微电子触点24连接。

[0068] 如图11所示,然后可减薄封装10,以使表面44与键合引线32的端面38平面化。这可包括,在表面44上暴露微电子元件22的表面,其还可包括减薄微电子元件自身的厚度。附加地或替代地,导电特征28和/或迹线31可形成在表面44上方,如上结合图13所述。这可通过在表面44上方沉积或接合导电层、然后图案化该层以形成该导电元件28和迹线31而完成。

[0069] 图16和图17示出的微电子封装110与图9和图10所示的结构类似,只是微电子元件122为“面向上”布置。在这种布置中,微电子触点124设置为朝向封装层142的表面144。此外,通过暴露在表面144上的导电特征128和迹线131,微电子元件122可与键合引线132的图案连接。如图16和图17所示,通过从表面144延伸至触点124的金属通路125,这些迹线131和导电元件128可与微电子触点124连接。

[0070] 如图16所示,通过表面144上暴露的迹线131和导电元件128而实现的布线,可为封装110内仅有的布线,研磨表面145以去除导电材料层128'(图15),还可进一步去除封装剂材料、基底134及全部或部分的附接层120。替代地,如图16所示,导电布线元件还可包括在表面145上阵列内的用于某种用途或再分布的可润湿触点。在其他示例中,通过表面144上的布线,指定的键合引线可与微电子元件122连接,通过表面145上的布线,该指定的键合引线也可与其他键合引线连接。

[0071] 图14和图15示出了在处理步骤中的微电子封装110,可生成图16和图17中已完成封装110中的一个。特别地,图14和图15所示的封装110具有面向上结合在导电材料层128'上的微电子元件122。类似地,键合引线132已与导电材料层128'的表面130'接合,并根据任一上述过程形成。此外,根据上述的任意变例过程,已在表面130'的暴露部分上、键合引线132上和微电子元件122上沉积封装层142。然后以导电元件128和迹线131形式的布线电路,可在封装层142的表面144上方形成,以使键合引线132与微电子元件122连接,如图16所示。

[0072] 在此时,可通过研磨、抛光、磨光或如上所述的其他工艺进一步处理封装110,以去除材料生成图16所示的封装110。替代地,可通过图案化导电材料层128而形成附加布线,以在所需结构中形成导电元件128和迹线131,如参照图9和图10在上文所述。

[0073] 图18至图22示出封装的各种布置,与上述的封装具有类似的总体结构,只是利用了多个微电子元件。在一个示例中,如图18和图19示出的微电子封装210,具有嵌入封装层242内且面向下布置的微电子元件222A、及面向上布置的另一微电子元件222B。这种封装210可利用的导电布线电路,为以在封装层242的两表面244及245两者上方互连的导电元件228和迹线231形式。附加地,指定的键合引线232可用于通过布线电路使微电子元件222A与微电子元件222B电连接,布线电路与该指定键合引线在每个端面35和38上连接,并分别与每个微电子元件222A和222B上的至少一个电触点224连接。这种封装210可通过与参照图1至图16在上文所述类似的方法制成。

[0074] 图20和图21示出的微电子封装310的布置,与图18和图19中所示类似,只是具有面向上布置并结合在微电子元件322B的表面326上方的附加微电子元件322C。为方便微电子元件322B与表面344上方的导电布线电路的连接,微电子元件322C可比微电子元件322B小,或可相对偏离,使得微电子元件322B的触点324不被微电子元件322C覆盖。这种连接可通过与元件触点324连接的金属通路325,或与微电子元件322B的触点324接合且未被表面344上的封装层342覆盖的附加键合引线362来实现。如上所述,电子元件322A、322B、322C中任意两个之间的布线可通过指定键合引线332及与其连接的适当布置的布线电路而实现。

[0075] 在图22所示的另一示例中,微电子封装可与图18和图19中所示类似,只是具有附加键合引线466,在微电子元件422B(朝向封装层442的表面444设置)的一个或多个触点424与封装层442的表面445上方的部分布线电路之间连接。在所示的示例中,该键合引线466可用于实现微电子元件422B与微电子元件422A之间的连接,微电子元件422A具有朝向封装层442的表面445设置的触点424。如图所示,键合引线466可与迹线431(或导电元件,如果需要)接合,迹线进一步与金属通路425连接,而金属通路425与微电子元件422A的元件触点424电连接。

[0076] 如上所述的结构可在不同电子系统中利用。例如,根据本发明另一实施例的系统611,包括与其他电子元器件613和615联接的、如上所述的微电子封装610。在所描述的示例中,元器件613为半导体芯片而615为显示屏,但任意其他元器件都可使用。当然,尽管为了图示清楚起见,图25中只示出了两个附加元器件,系统可包括任意数量的这种元器件。如上所述,微电子封装610可为如,与图9和图10相关连在上文所述的微电子封装,或参照图23在上文所述的包含多个微电子封装的结构。封装610可进一步包括图13至图23所描述的任意一个实施例。在另一变例中,可提供多种变化,且可采用任意数量的这种结构。

[0077] 微电子封装610和元器件613、615,被安装在图中以虚线示意性地描述的共同的外壳619内,且当需要时可彼此之间电互连,以形成所需电路。在所示的示例性系统中,系统包括如柔性印刷电路板等的电路板617,电路板包括大量的使元器件之间彼此电互连的导电体621,但在图25中只示出了一个。然而,这仅是为了示例的目的,用于形成电连接的任意适当结构都可使用。

[0078] 图示的外壳619为便携式类型的外壳,例如用于移动电话或个人数字助理,显示屏615暴露在外壳表面。其中微电子封装610包括如成像芯片等的光敏元件,还可配置镜头811

或其他光学器件,以提供光至结构的路线。同样,图25内所示的简化系统只是示例,其他系统,包括一般视为固定结构的系统,如台式计算机、路由器及类似的结构,都可应用上述的结构而制成。

[0079] 尽管本发明参照特定实施例进行描述,可以理解的是,这些实施例只是说明本发明的原理和应用。因此,应理解为,在不偏离由附加的权利要求书所限定的本发明实质和范围的情况下,说明的实施例可做出许多修改及可设计出其他布置。

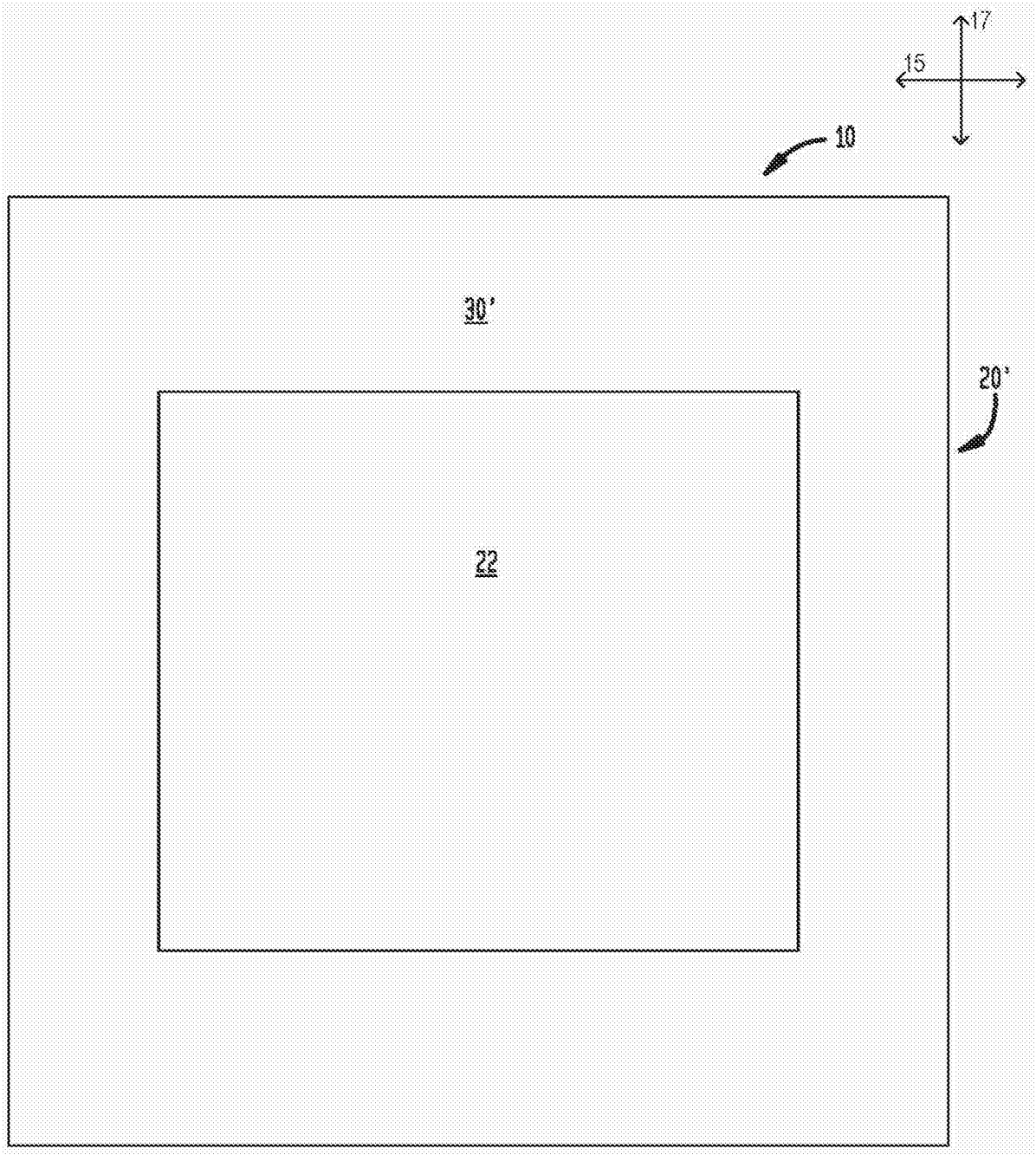


图1

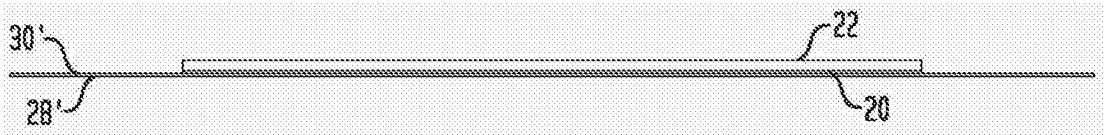


图2

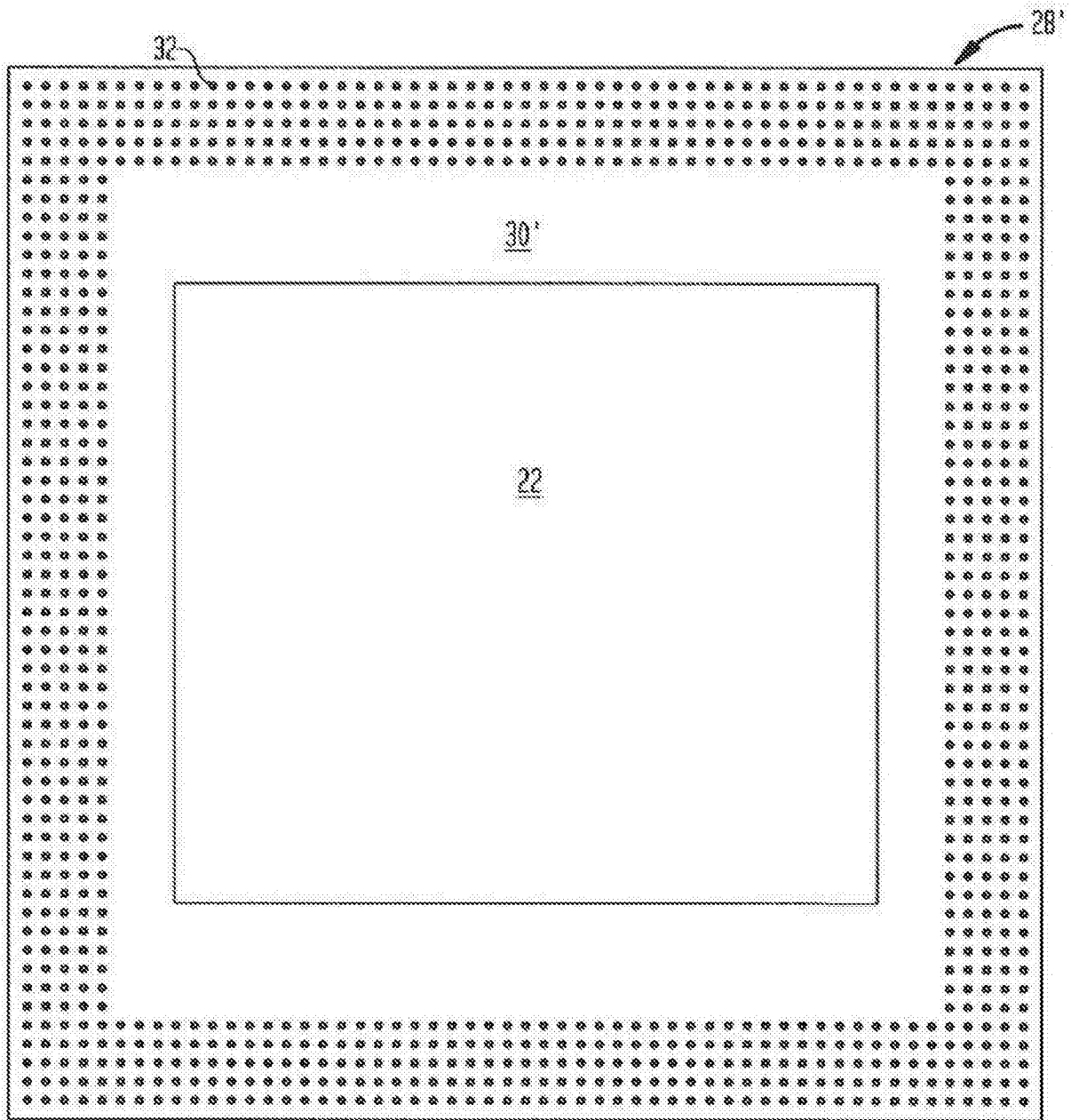


图3

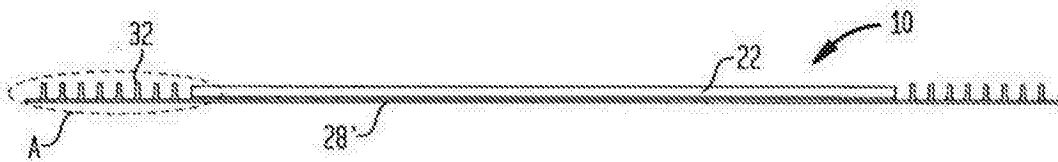


图4

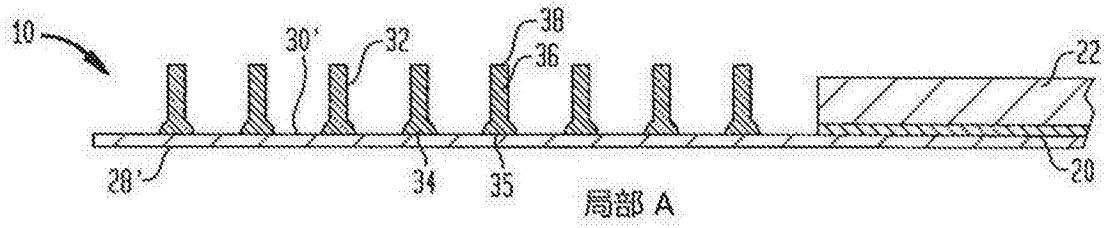


图5

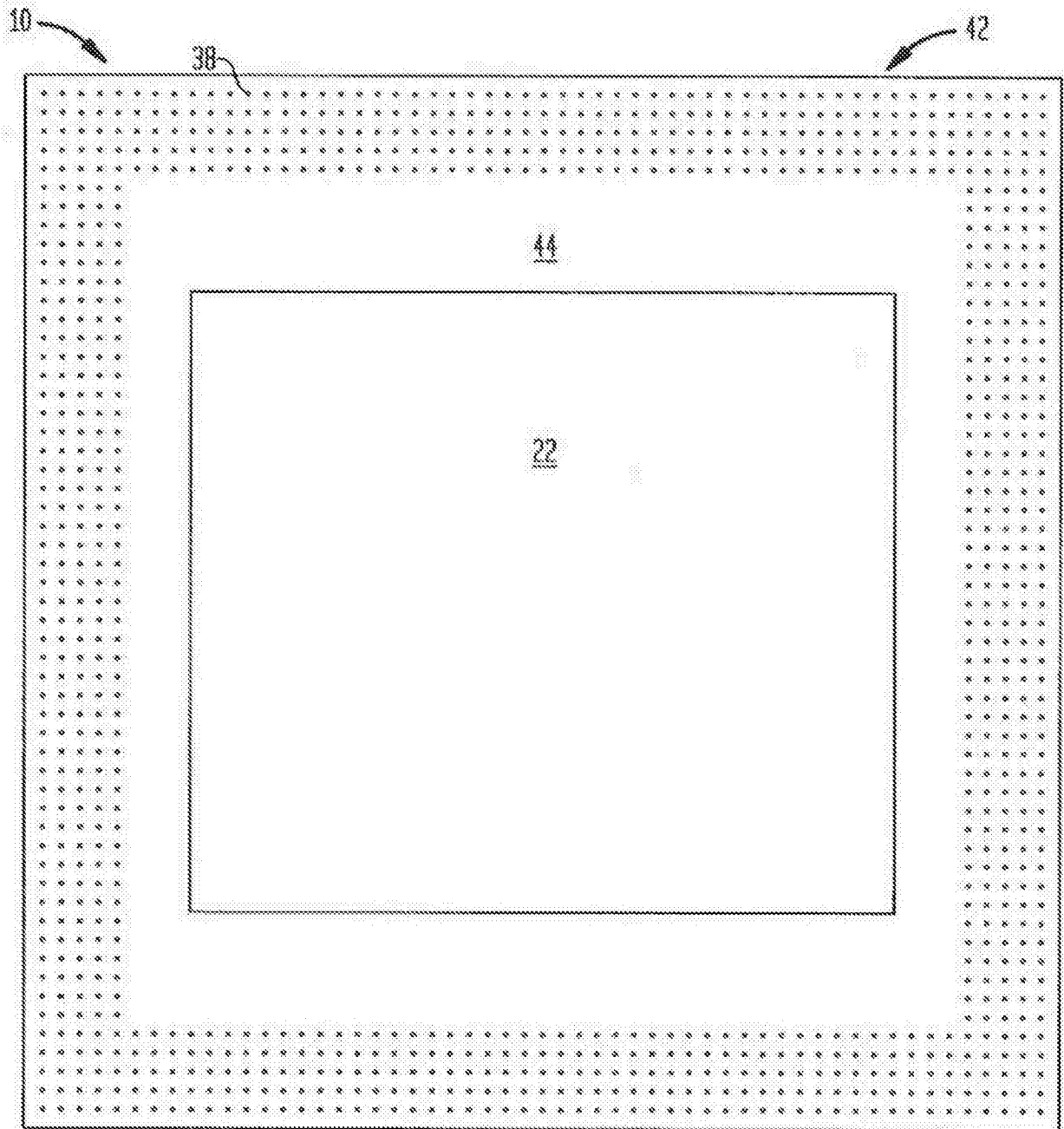


图6

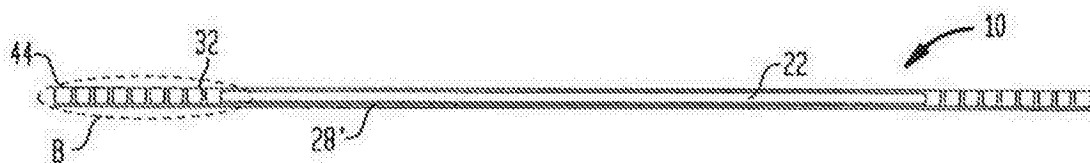


图7

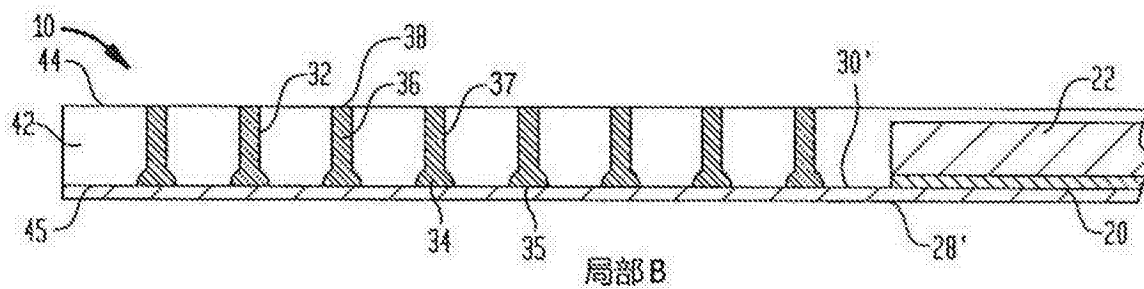


图8

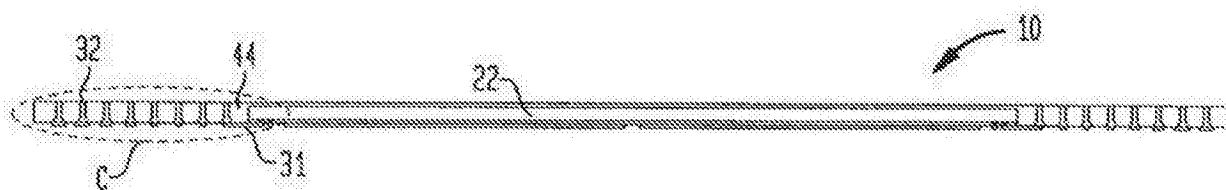


图9

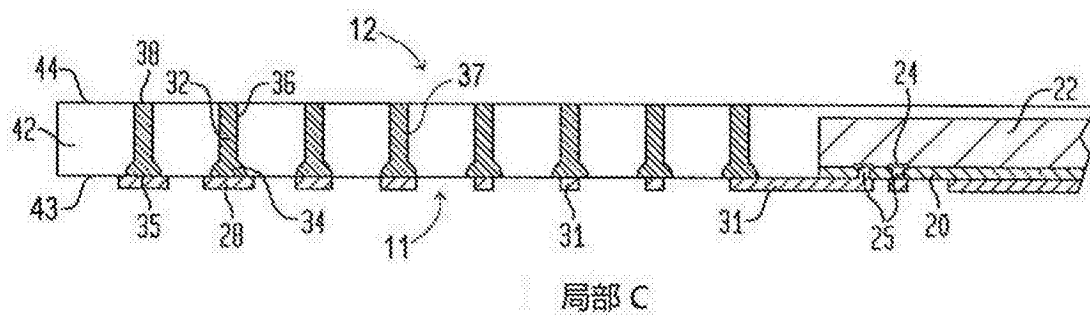


图10

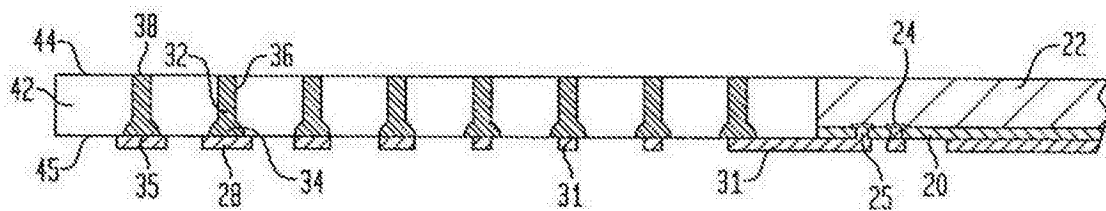


图11

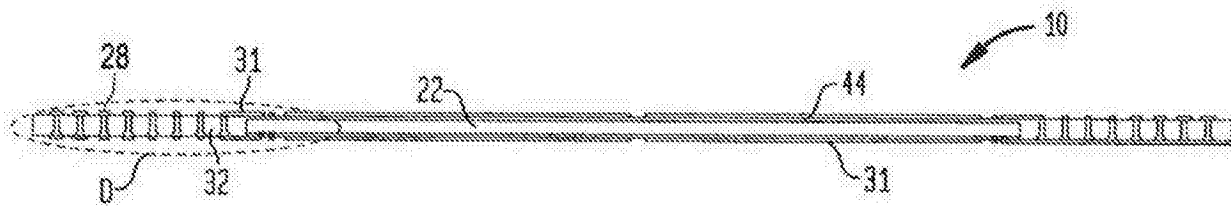
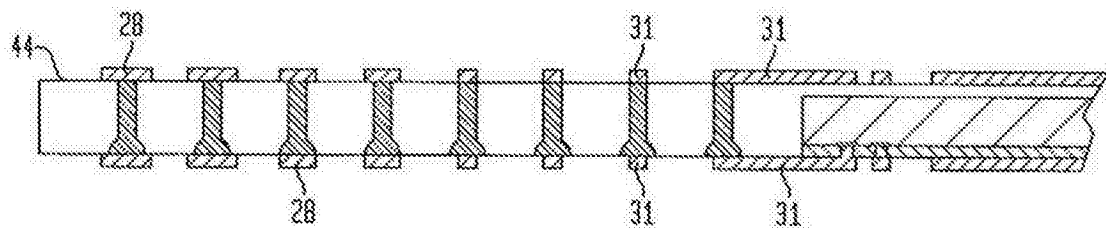


图12



局部D

图13

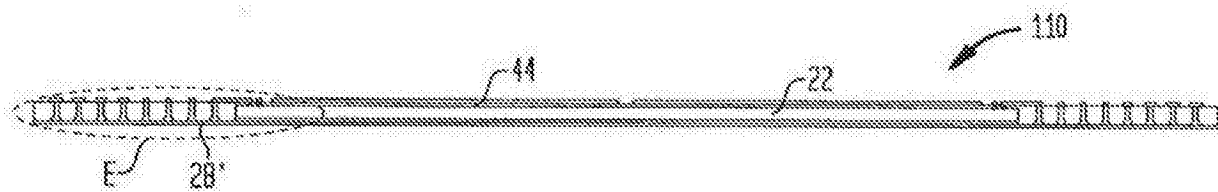


图14

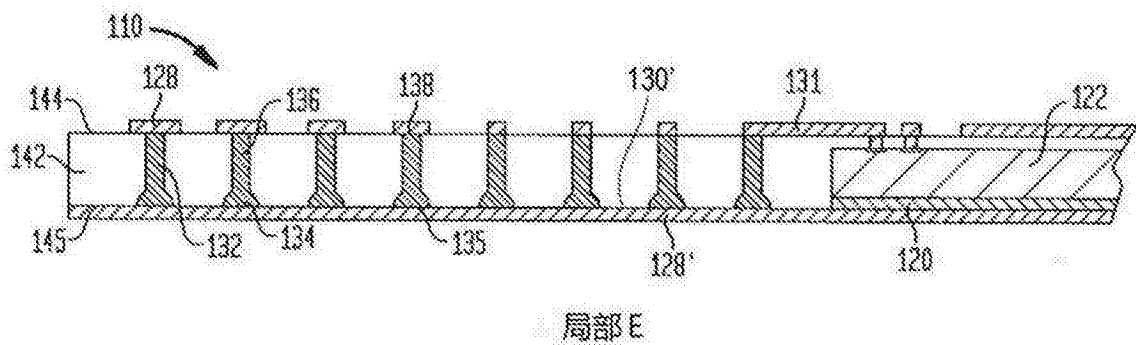


图15

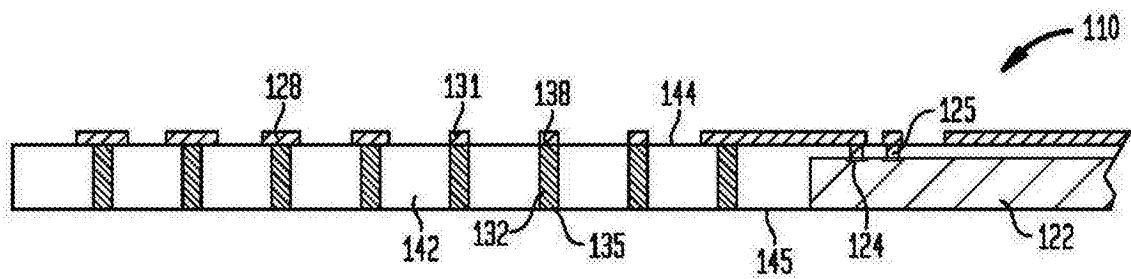


图16

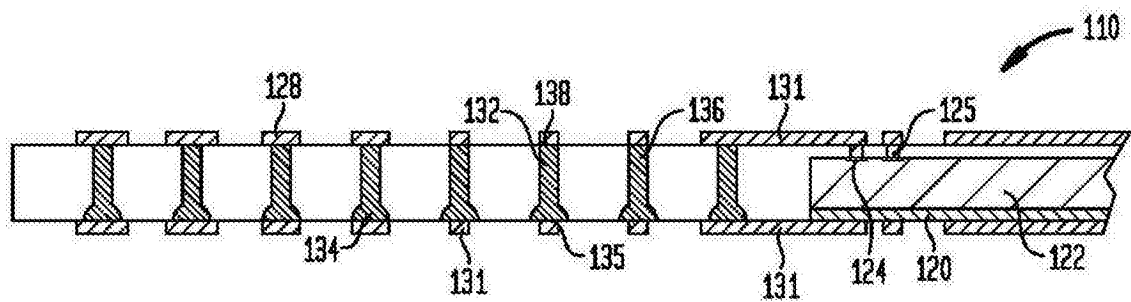


图17

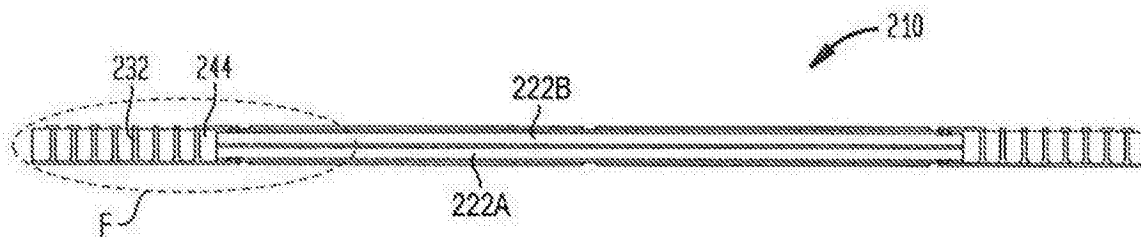


图18

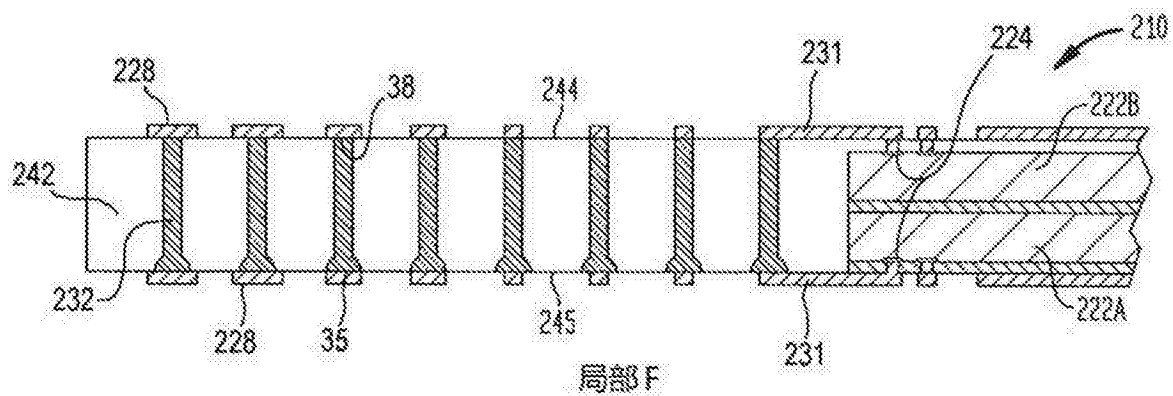


图19

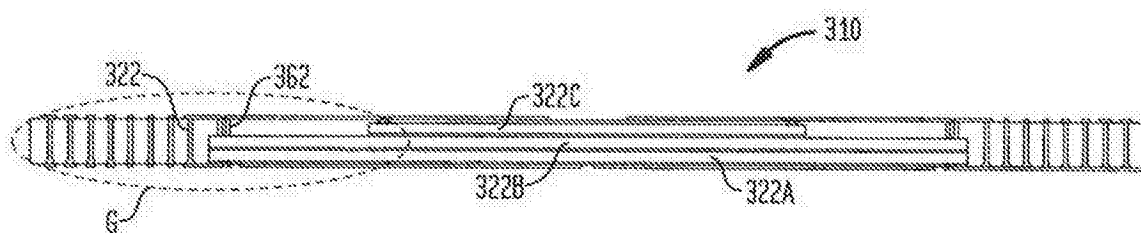


图20

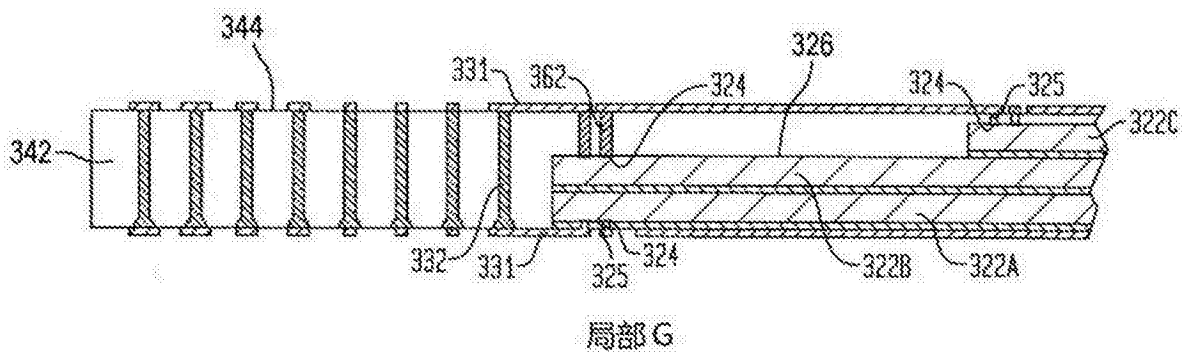


图21

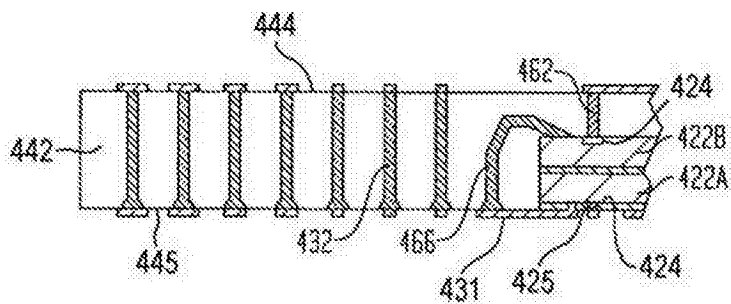


图22

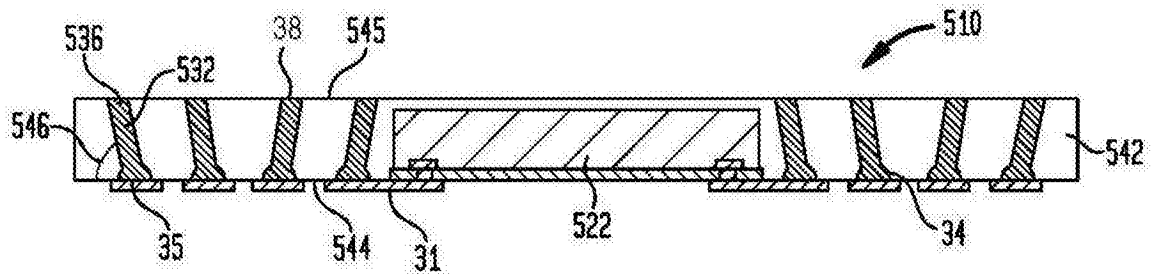


图23

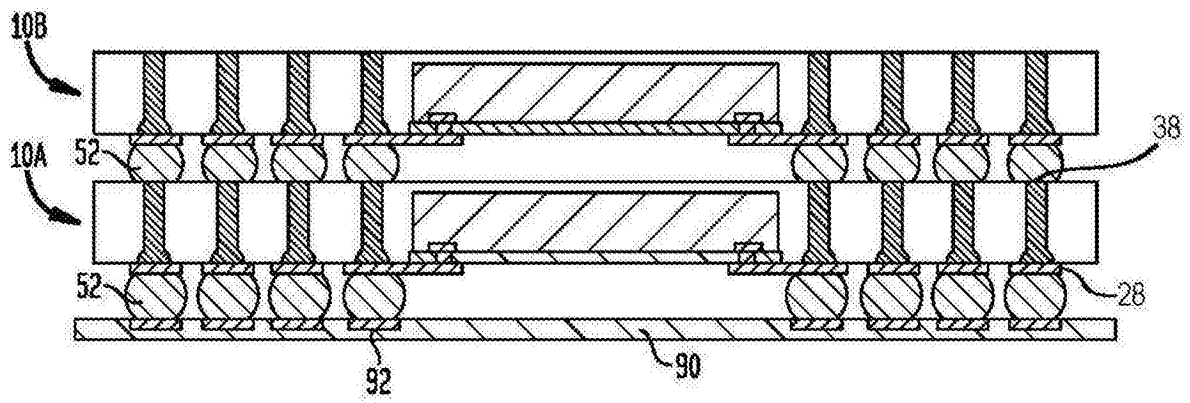


图24

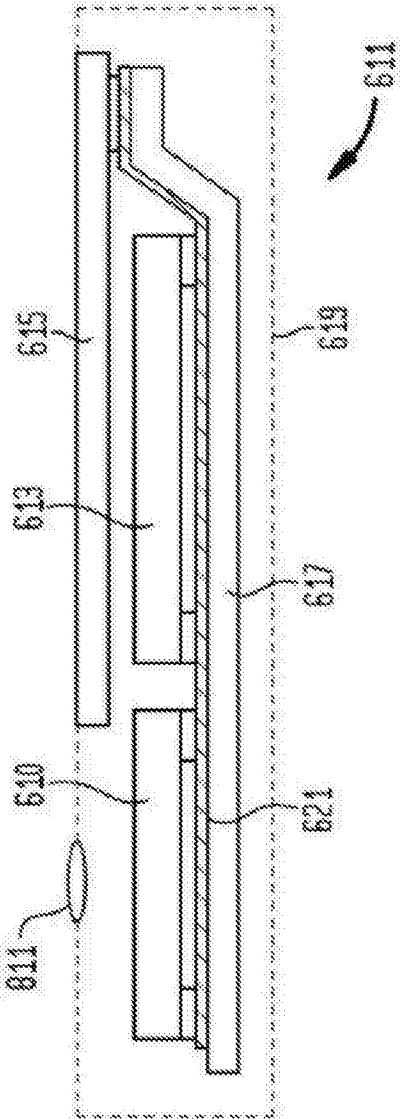


图25