



(12) Ausschließungspatent

(11) DD 288 712 A5

Erteilt gemäß § 17 Absatz 1
Patentgesetz der DDR
vom 27. 10. 1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) H 03 M 1/10

DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) DD H 03 M / 333 861 1 (22) 24. 10. 89 (44) 04. 04. 91

- (71) siehe (73)
(72) Schauer, Lothar, Dr.-Ing. Dipl.-Ing., DE
(73) Akademie der Wissenschaften der DDR, Institut für Automatisierung, Rudower Chaussee 5, O - 1199 Berlin, DE
(74) Institut für Kosmosforschung der Akademie der Wissenschaften der DDR, Rudower Chaussee 5, O - 1199 Berlin, DE
-

(54) Schaltungsanordnung zur Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern (I)

(55) Schaltungsanordnung; Analog-Digital-Umsetzer; ADU; Parameter; Genauigkeit; Umsetzungsergebnis, dynamisch; Funktionsgenerator; Referenz-DAU

(57) Die Erfindung betrifft eine Schaltungsanordnung zur Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern und findet Anwendung bei der Parameterspezifikation von Umsetzerelementen. Ziel der Erfindung ist die Schaffung einer Schaltungsanordnung zur unmittelbaren Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern, wobei auf aufwendige Hardware, wie z. B. triggerbare Sinusgeneratoren verzichtet werden soll. Erfindungsgemäß wird die Aufgabe durch eine Schaltungsanordnung gelöst, welche ein dynamisches periodisches Testsignal aus einem Funktionsgenerator zugleich dem Analogeingang des zu testenden Analog/Digital-Umsetzers und dem dritten Eingang eines Komparators zuführt. Hierbei erhält der Funktionsgenerator einen Grundtakt aus dem Taktgenerator und ist mit diesem synchronisiert. Weiterhin besteht eine Verbindung zwischen dem Grundtaktgenerator und dem ersten Eingang eines Monoflops, wobei der zweite Eingang des Monoflops der digitalen Einstellung der Zeitverzögerung des Monoflops dient. Der Ausgang des Monoflops führt ein Strobe-Signal und ist am ersten Eingang bzw. dem Strobe-Eingang des Komparators und am Start-Eingang des zu testenden Analog/Digital-Umsetzers angeschlossen. Der Ausgang des Komparators ist am Eingang zur Umschaltung der Zählrichtung eines Vorwärts-Rückwärts-Zählers angeschlossen, wobei der Zähler weiterhin mit einem Zählertaktgenerator in Verbindung steht. Der Ausgang des Zählers führt auf den Eingang eines Referenz-Digital/Analog-Umsetzers und auf den ersten Eingang eines Subtrahierers. Der Ausgang des Referenz-DAU ist mit dem zweiten Eingang des Komparators im Sinne einer Gegenkopplung verbunden. Der digitale Ausgang des zu testenden Analog/Digital-Umsetzers führt auf den zweiten Eingang des Subtrahierers, wobei am Ausgang E des Subtrahierers die differentielle Nichtlinearität im Abtastpunkt abgreifbar ist.

Patentansprüche:

1. Schaltungsanordnung zur Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern, **gekennzeichnet dadurch**, daß ein dynamisches periodisches Testsignal aus einem Funktionsgenerator (2) zugleich dem Analogeingang des zu testenden Analog/Digital-Umsetzers (4) und dem dritten Eingang eines Komparators (5) zugeführt ist, der Funktionsgenerator (2) einen Grundtakt aus einem Taktgenerator (1) erhält und mit diesem synchronisiert ist, weiterhin eine Verbindung zwischen dem Grundtaktgenerator (1) und dem ersten Eingang eines Monoflops (3) besteht, wobei der zweite Eingang des Monoflops (3) der digitalen Einstellung der Zeitverzögerung dient, der Ausgang des Monoflops (3) ein Strobe-Signal führt und am ersten Eingang bzw. dem Strobe-Eingang des Komparators (5) und am Start-Eingang des zu testenden Analog/Digital-Umsetzers (4) angeschlossen ist, der Ausgang des Komparators (5) am Eingang zur Umschaltung der Zählrichtung eines Vorwärts-Rückwärts-Zählers (6) angeschlossen ist, wobei der Zähler (6) weiterhin mit einem Zählertaktgenerator (9) in Verbindung steht, der Ausgang des Zählers (6) auf den Eingang eines Referenz-Digital/Analog-Umsetzers (7) und auf den ersten Eingang eines Subtrahierers (8) führt, der Ausgang des Referenz-DAU (7) mit dem zweiten Eingang des Komparators (5) im Sinne einer Gegenkopplung verbunden ist und der digitale Ausgang des zu testenden Analog/Digital-Umsetzers (4) auf den zweiten Eingang des Subtrahierers (8) führt, wobei am Ausgang E des Subtrahierers (8) die differentielle Nichtlinearität im Abtastpunkt abgreifbar ist.
2. Schaltungsanordnung zur Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern nach Anspruch 1, **gekennzeichnet dadurch**, daß zwischen dem Ausgang des Zählers (6) und dem ersten Eingang des Subtrahierers (8) ein digitaler Mittelwertbildner (10) angeordnet ist.

Hierzu 1 Seite Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern und findet Anwendung bei der Parameterspezifikation von Umsetzerelementen.

Charakteristik des bekannten Standes der Technik

Bekannt sind Schaltungsanordnungen zur Bestimmung der dynamischen Eigenschaften von Analog/Digital-Umsetzern, die auf der Abtastung eines bekannten Signals, vorzugsweise eines Sinus-Testsignals, der Speicherung der Umsetzungsergebnisse und der anschließenden mathematischen Auswertung beruhen. Aus /1/ wurden Testmethoden bekannt, die auf der Messung der Code-Häufigkeitsverteilung (Histogrammtest) und der Spektralanalyse durch eine schnelle Fourier-Transformation basieren. Für den Histogrammtest wird eine statistisch signifikante Anzahl von Abtastwerten aufgenommen und die Häufigkeit ihres Auftretens als Funktion der digitalen Stufenzahl dargestellt. Beim spektralanalytischen Testverfahren werden die Amplituden der Harmonischen einer Sinusfrequenz berechnet und mit dem theoretisch erreichbaren Signal-Störabstand (Quantisierungsrauschen) verglichen.

Nachteilig ist, daß bei beiden Verfahren eine unmittelbare quantitative Größenaussage über den Wichtungsfehler der einzelnen Bitstufe des zu testenden A/D-Umsetzers nicht möglich ist. Die unmittelbare, bisher jedoch nur zur Erfassung der statischen Fehler eingesetzte Meßmethode zur Bestimmung der Wichtungsfehler und damit der Linearität der Umsetzungsfunktion besteht darin, dem A/D-Umsetzer (ADU) das Ausgangssignal eines analogen Integrators zuzuführen, wobei der Ausgang des ADU an eine digitale Steuerung angeschlossen ist, die auf den Integratoreingang wirkt. Durch die Schaltungsauslegung als Gegenkopplung repräsentiert die analoge Größe am Integratorausgang die digitale Stufenzahl eines voreingestellten Codes der digitalen Steuerung, um dessen Nachbarcodes die zugehörige Integratorspannung schwankt. Diese Größe kann mit einem Digitalvoltmeter erfaßt werden. Hierbei wird je Code nach beendetem Einschwingvorgang ein statischer Meßwert abgelesen. Dynamische Messungen sind bedingt durch die Grenzfrequenz der Gegenkopplung und durch das Ablesen diskreter Werte am Digitalmultimeter nur bedingt möglich.

/1/ Doernberg, J.; Full-speed testing of A/D-Converters; IEEE Journal of Solid-State Circuits, vol. SC-19, Nr. 6, 1984, Seite 820-827

Ziel der Erfindung

Ziel der Erfindung ist die Schaffung einer Schaltungsanordnung zur unmittelbaren Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern, wobei auf aufwendige Hardware, wie z. B. triggerbare Sinusgeneratoren, verzichtet werden soll.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist die Angabe einer Schaltungsanordnung zur unmittelbaren Bestimmung der dynamischen Genauigkeit von Analog/Digital-Umsetzern, wobei die Wichtungsfelder einzelner, anwählbarer Bitstellen am A/D-Umwandler unter dynamischen Bedingungen ermittelbar sein sollen.

Erfindungsgemäß wird die Aufgabe durch eine Schaltungsanordnung gelöst, welche ein dynamisches periodisches Testsignal aus einem Funktionsgenerator zugleich dem Analogeingang des zu testenden Analog/Digital-Umsetzers und dem dritten Eingang eines Komparators zuführt. Hierbei erhält der Funktionsgenerator einen Grundtakt aus dem Taktgenerator und ist mit diesem synchronisiert. Weiterhin besteht eine Verbindung zwischen dem Grundtaktgenerator und dem ersten Eingang eines Monoflops, wobei der zweite Eingang des Monoflops der digitalen Einstellung der Zeitverzögerung des Monoflops dient. Der Ausgang des Monoflops führt ein Strobe-Signal und ist am ersten Eingang bzw. dem Strobe-Eingang des Komparators und am Start-Eingang des zu testenden Analog/Digital-Umsetzers angeschlossen. Der Ausgang des Komparators ist am Eingang zur Umschaltung der Zählrichtung eines Vorwärts-Rückwärts-Zählers angeschlossen, wobei der Zähler weiterhin mit einem Zählertaktgenerator in Verbindung steht. Der Ausgang des Zählers führt auf den Eingang eines Referenz-Digital/Analog-Umsetzers und auf den ersten Eingang eines Subtrahierers. Der Ausgang des Referenz-DAU ist mit dem zweiten Eingang des Komparators im Sinne einer Gegenkopplung verbunden. Der digitale Ausgang des zu testenden Analog/Digital-Umsetzers führt auf den zweiten Eingang des Subtrahierers, wobei am Ausgang E des Subtrahierers die differentielle Nichtlinearität im Abtastpunkt abgreifbar ist.

Der Strobe-Eingang des Komparators und der Eingang zur Initiierung einer A/D-Umsetzung (Starteingang) des zu testenden A/D-Umsetzers werden von einem mit dem Grundtakt der Anordnung synchronisierten Meßimpuls gesteuert. Zur Verzögerung des Meßimpulses gegenüber der Phase des Grundtaktes wird der Monoflop vom Grundtakt gesteuert; die Verzögerungszeit des Monoflops ist digital steuerbar, wodurch der Abtastzeitpunkt des A/D-Umsetzers zur Phase des periodischen Testsignals einstellbar ist. Durch die Verbindung von Komparatorausgang und Richtungsstureingang des Zählers, dem Anschluß des Zählerausganges am Eingang des Referenz-DAU und der Rückführung des Ausganges des Referenz-DAU auf den zweiten Eingang des Komparators entsteht eine Schleifenanordnung mit gegenkoppelnder Wirkung. Der digitale Ausgang des zu testenden ADU und der Zählerausgang stehen mit je einem Eingang des Subtrahierers in Verbindung, wobei die am Ausgang des Subtrahierers abnehmbare Differenz die differentielle Nichtlinearität im Abtastzeitpunkt darstellt. Der Zähler wird von dem genannten Zählertaktgenerator gespeist. Sind die Taktperioden von Grundtaktgenerator und Zählertaktgenerator gleich, kann sich der Zählerstand aufeinanderfolgender Abtastpunkte maximal um einen Schritt ändern. Voraussetzung dabei ist, daß die Einschwingzeit des Referenz-DAU bei Änderung seines Einganges um ein LSB, klein gegenüber der zeitlichen Änderung dU/dt des Testsignals ist. Bei gleichen Auflösungen n des zu testenden ADU und des Referenz-DAU beträgt die Meßunsicherheit ± 1 LSB. Für höhere Meßgenauigkeit muß ein Referenz-DAU mit höherer Auflösung als n eingesetzt werden. Die Umschaltung des Abtastzeitpunktes von Null auf den vollen Wert des Testsignals und damit des ADU beträgt $2^n - 1$ Taktperioden, unter der Bedingung, daß die Taktperioden von Grundtaktgenerator und Zählertaktgenerator gleich sind. Um ein Umschalten der Abtastzeitpunkte für Spannungsdifferenzen größer als 1 LSB zu erreichen, muß die Taktperiode des Zählertaktgenerators kürzer als die des Grundtaktgenerators sein. Dadurch entsteht jedoch zwischen aufeinanderfolgenden Abtastpunkten ein Überspringen der Ausgangsgröße des Zählers. Gemäß Ausführungsform der Erfindung wird dieser Nachteil dadurch beseitigt, indem zwischen dem Ausgang des Zählers und dem ersten Eingang des Subtrahierers ein digitaler Mittelwertbildner angeordnet ist.

Ausführungsbeispiel

Die Erfindung soll anhand von Beispielen und mehreren Figuren näher erläutert werden.

Fig. 1: zeigt die prinzipielle Schaltungsanordnung nach der Erfindung.

Fig. 2: stellt wesentliche Signalwellenformen zur Interpretation der Funktionsweise der Erfindung dar.

Fig. 3: zeigt eine spezielle Ausführungsform der Erfindung.

Gemäß Figur 1 erzeugt der Grundtaktgenerator 1 einen Grundtakt ϕ , der auf die Eingänge des Funktionsgenerators 2 und des Monoflops 3 gelangt. Der Funktionsgenerator 2 kann dabei eine Nichtlinearität aufweisen, welche größer als die sein kann, welche zur Erzeugung des Fourierspektrums mittels z. B. eines Sinusgenerators erforderlich ist. Über den zweiten Eingang (Steuereingang) des Monoflops 3 ist die Verzögerungszeit Δt desselben und damit das Auftreten eines Strobe-Signals am Ausgang einstellbar. Das Strobe-Signal S gelangt an den Strobe-Eingang des Komparators 5 und als Initiierungssignal zur A/D-Umsetzung an den Starteingang des zu testenden ADU 4. Das Testsignal T führt auf den dritten Eingang des Komparators 5 und auf den Analogeingang des zu testenden ADU 4. Der abgetastete Punkt U_1 des Testsignals T korrespondiert mit der Auslösung des Strobe-Signals S nach der Zeitdauer Δt . Der Ausgang K des Komparators 5 ist mit dem Eingang zur Richtungsumschaltung des Zählers 6 verbunden, welcher vom Zählertaktgenerator 9 getaktet wird. Der Ausgang des Zählers 6 führt auf den Eingang des Referenz-DAU 7 und auf den ersten Eingang des Subtrahierers 8. Der Ausgang des Referenz-DAU 7 ist auf den zweiten Eingang des Komparators 5 zurückgeführt. Das Zählerergebnis am Ausgang des Zählers 6 und das Umsetzungsergebnis des Test-ADU 4 werden im Subtrahierer 8 einer Subtraktion unterworfen, wobei als Differenz der Linearitätsfehler E am Ausgang des Subtrahierers 8 abgreifbar ist.

Die Figur 2 zeigt die Bestimmung des Linearitätsfehlers

$$E = U'_1 - U_1 \text{ mit } E \text{ analog}$$

für zwei Abtastpunkte U_1 und U_2 .

Die digitale ideale Stufenzahl Z_i , umgesetzt aus der Spannung U_i im Referenz-DAU 7, liefert der Ausgang des Zählers 6. Das Umsetzungsergebnis des zu testenden ADU 4 geht als digitale reale Stufenzahl Z'_i bei der Berechnung im Subtrahierer 8 ein:

$$E = Z'_i - Z_i \text{ mit } E \text{ digital.}$$

Nach Vorgabe des Abtastpunktes durch die Einstellung am Steuereingang δ des Monoflops 3, wird die Stufenzahl am Referenz-DAU 7 durch den Zähler 6 verändert, bis nach mehreren Perioden des Grundtaktes ϕ die Analoggröße am Referenz-DAU 7 um die abgetastete Spannung U_i pendelt. Diesen Zustand zeigt in Figur 2 das nach jeder Abtastung S auftretende Klippen des Komparatorausgangssignals K in die entgegengesetzte Richtung. Damit schaltet der Zähler 6 alternierend einen Zählerschritt vorwärts bzw. rückwärts. Die abgetastete Spannung U_i wird also mit einer Genauigkeit von ± 1 LSB am Referenz-DAU 7 reproduziert. Das Testsignal T wird in Figur 2 mit den Zeitverzögerungen δ_1 und δ_2 bezüglich des Grundtaktes ϕ abgetastet. Die im ADU 4 nach Umsetzung erhaltenen Stufenzahlen Z'_1 und Z'_2 entsprechen den eingetragenen beispielhaften Analoggrößen U'_1 bzw. U'_2 .

Um Abtastpunkte U_i , deren Differenz größer als 1 LSB ist, mit Schrittweiten größer als 1 LSB je Grundtakt zu erreichen, ist die Taktperiode des Zählertaktgenerators 9 kürzer als die des Grundtaktes. Die Figur 3 zeigt dazu den gegenüber der Figur 1 ergänzten Mittelwertbildner 10, dessen Eingang mit dem Ausgang des Zählers 6 verbunden ist und dessen Ausgang am ersten Eingang des Subtrahierers 8 anliegt. Für eine ganzzahlige Anzahl von Abtastungen eines Abtastpunktes U_i entsteht am Ausgang des Subtrahierers 8 die entsprechende Fehlergröße wie zu Figur 1 beschrieben.

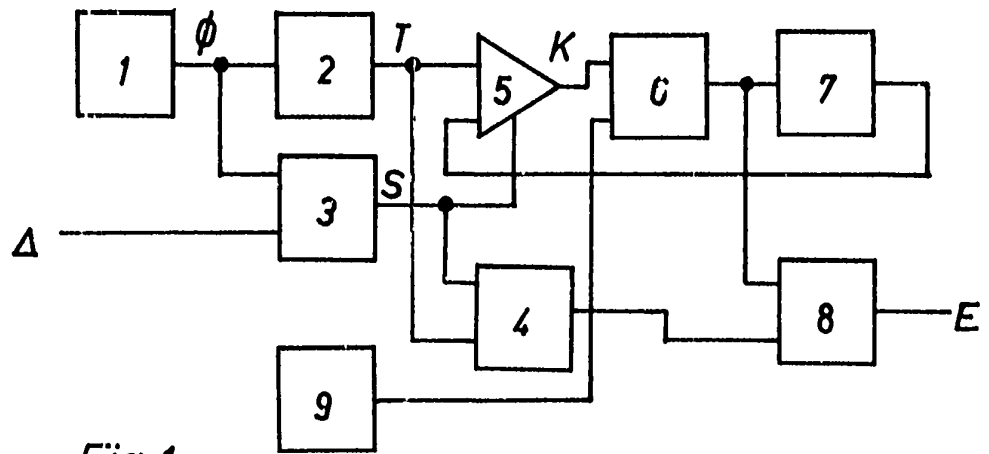


Fig.1

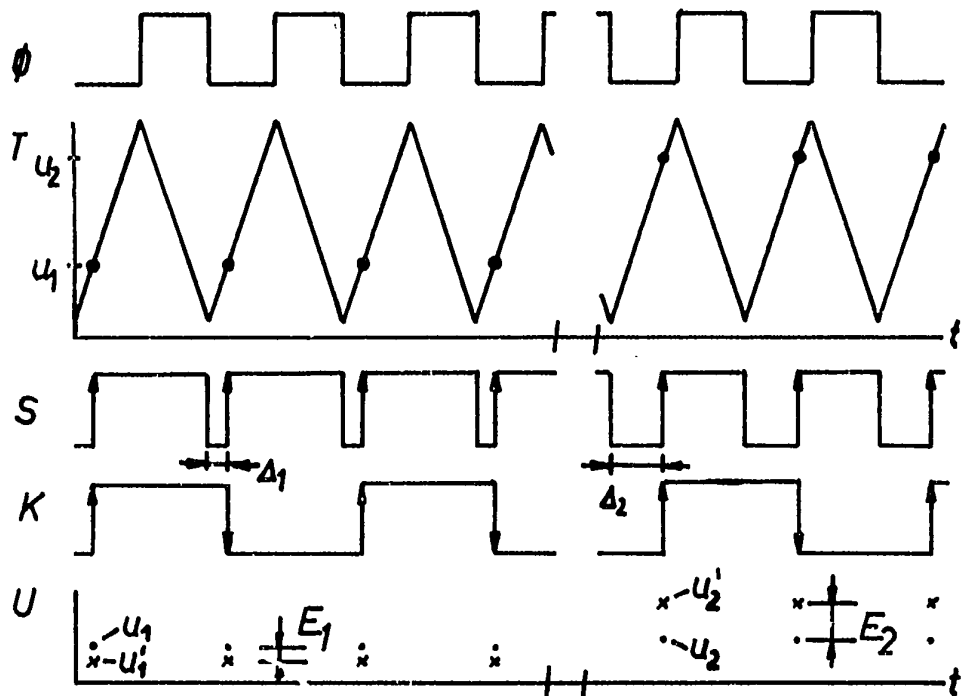


Fig.2

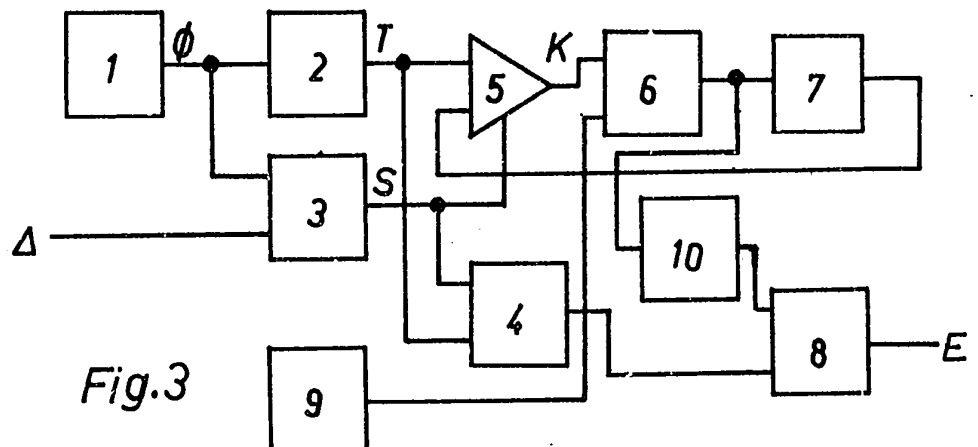


Fig.3