(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[4]
H01C 17/00

(11) 공개번호 특1989-0010941
(43) 공개일자 1989년08월11일

(21) 출원번호 특1987-0013983
(22) 출원일자 1987년12월08일

(71) 출원인 삼성전기 주식회사 서주인
경기도 수원시 매탄동 314번지
(72) 발명자 김지호
대전직할시 중구 용두 2동 133-10
(74) 대리인 안진석, 이범일

심사청구 : 없음

(54) 칩(chip)형 저항소자 및 그 제조방법

요약

내용 없음

대표도

도2

명세서

[발명의 명칭]

칩(chip)형 저항소자 및 그 제조방법

[도면의 간단한 설명]

제 2도는 본 발명에 따른 칩저항소자의 단면도.

제 3도는 본 발명에 따른 칩저항소자의 제조공정을 개략적으로 도시한 블럭다이어그램이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

칩형저항소자에 있어서, 기저판으로서의 알루미나기판(1)상에 산화루테늄(RuO_2)과 같은 저항페이스트의 도료로 박형저항체(2)를 다층으로 적층시키고, 이들 박형저항체(2)들 사이에는 글라스(glass)재질의 절연페이스트와 함께 도포된 전극(3,4)에 의해 병렬연결시켜서 전체 저항값이 감소시켜지게 됨으로서 고전력용으로 사용할 수 있도록 된 칩형저항소자.

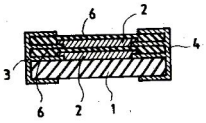
청구항 2

알루미나기판(1)을 사용한 칩저항소자의 제조방법에 있어서, 알루미나기판(1)상에 납(Pd) 및 은(Ag)의 합금으로 된 전극페이스트를 도포해서 전극(3,4)을 형성시켜주는 전극형성공정(A)과 저항페이스트인 산화루테늄을 상기 전극(3,4)에 겹쳐지도록 도포해서 박형저항체(2)를 형성시켜주는 저항체도포공정(B), 절연층을 형성시켜주기 위해 전극페이스트와 저항페이스트가 도료된 부위에다 글라스(glass)재질의 절연페이스트를 도포한 다음 상기 전극(3,4) 및 저항체(2) 도료과정을 반복하면서 최종상단부에 혼합물을 적층해주는 적층 및 도포공정(C), 이와같이 형성된 저항소체를 외부온도 70℃를 유지하면서 3000pis로 압축시키면서 일정크기로 절단해주는 압축 및 절단공정(D), 일정크기로 절단된 저항소체를 소결해주기 위해 350℃에서 바인더를 경화시켜주고나서 이를 850℃에서 15분간 소성시켜주는 소결 및 소성공정(E) 및, 소성된 저항소체에 외부전극(5)을 형성시켜주기위해 납 및 은의 합금인 전극도료를 소체양단에 도포해서 고착시켜주는 전극부착공정(F)으로 이루어진 것을 특징으로 하는 칩형저항소자의 제조방법.

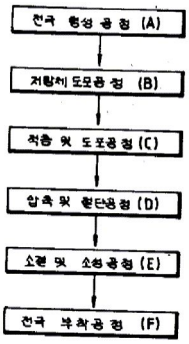
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2


6
2
4
3
6
2
1

도면3


전극 형성 공정 (A)
저항체 도포공정 (B)
적층 및 도포공정 (C)
압축 및 절단공정 (D)
소결 및 소성공정 (E)
전극 부착공정 (F)