

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-165454

(P2006-165454A)

(43) 公開日 平成18年6月22日(2006.6.22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 23/522 (2006.01)	HO 1 L 21/90 B	5 F O 3 3
HO 1 L 21/768 (2006.01)	HO 1 L 21/88 R	
HO 1 L 23/52 (2006.01)		
HO 1 L 21/3205 (2006.01)		

審査請求 有 請求項の数 16 O L (全 23 頁)

(21) 出願番号 特願2004-358140 (P2004-358140)
 (22) 出願日 平成16年12月10日 (2004.12.10)

(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 荒川 伸一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

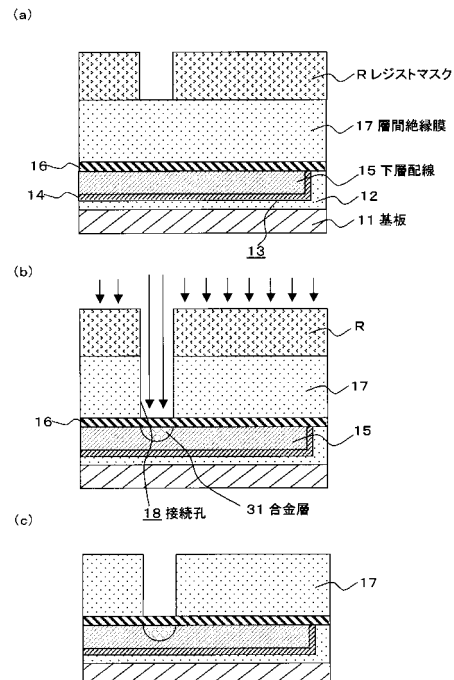
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 層間絶縁膜に設けられた接続孔内に設けられるバリア膜のカバレッジ不良を防止し、配線信頼性を向上させることが可能な半導体装置の製造方法を提供する。

【解決手段】 基板 11 上に設けられた下層配線 15 上に層間絶縁膜 17 を形成し、層間絶縁膜 17 に接続孔 18 を形成する第 1 工程と、下層配線 15 の表面側の接続孔 18 の底部となる領域に、下層配線 15 を構成する第 1 の金属材料と当該第 1 の金属材料とは異なる第 2 の金属材料とからなる合金層 31 を形成する第 2 工程と、合金層 31 をスパッタエッチングする第 3 工程と、接続孔 18 に下層配線 15 に達する状態のビアを形成する第 4 工程とを有することを特徴とする半導体装置の製造方法および半導体装置である。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

基板上に設けられた配線を覆う状態で、当該基板上に絶縁膜を形成し、当該絶縁膜に接続孔を形成する第 1 工程と、

前記配線の表面側の前記接続孔の底部となる領域に、前記配線を構成する第 1 の金属材料と当該第 1 の金属材料とは異なる第 2 の金属材料とからなる合金層を形成する第 2 工程と、

前記合金層をスパッタエッチングする第 3 工程と、

前記接続孔に前記配線に達する状態のビアを形成する第 4 工程とを有する

ことを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記第 2 工程では、

イオン注入法により、前記接続孔の底部となる領域に前記第 2 の金属材料を導入することで、前記合金層を形成する

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記第 2 工程では、

前記接続孔の内壁を覆う状態で、前記絶縁膜上に前記第 2 の金属材料を含む金属含有膜を形成した後、熱処理を行い、前記金属含有膜から前記配線の表面側に前記第 2 の金属材料を拡散させることで、前記合金層を形成する

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

20

【請求項 4】

前記第 3 工程では、

前記合金層を前記配線の表面側に残存させるように、前記合金層をスパッタエッチングする

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】

前記第 3 工程では、

前記合金層を掘り込むことで、前記接続孔を前記配線の内部に達する状態にする

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

30

【請求項 6】

前記第 3 工程と前記第 4 工程の間に、

前記接続孔の内壁を覆う状態で、前記ビアからの前記絶縁膜への金属の拡散を防止するとともに前記第 2 の金属材料を含むバリア膜を形成する工程を有し、

前記第 4 工程では、前記接続孔の内部に前記バリア膜を介して前記ビアを形成する

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】

基板上に設けられた配線を覆う状態で、当該基板上に接続孔パターンの設けられたマスクを形成し、前記マスクから露出された前記配線の表面側に、前記配線を構成する第 1 の金属材料と当該第 1 の金属材料とは異なる第 2 の金属材料とからなる合金層を形成する第 1 工程と、

前記マスクの除去された前記配線上または前記配線上を含む前記マスク上に、絶縁膜を形成し、当該絶縁膜に前記合金層に達する状態の接続孔を形成する第 2 工程と、

前記合金層をスパッタエッチングする第 3 工程と、

前記接続孔に前記配線に達する状態のビアを形成する第 4 工程とを有する

ことを特徴とする半導体装置の製造方法。

40

【請求項 8】

前記第 1 工程では、

イオン注入法により、前記マスクから露出された前記配線の表面側に前記第 2 の金属材料を導入することで、前記合金層を形成する

50

ことを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】

前記第 1 工程では、

前記配線上を含む前記マスク上に、前記第 2 の金属材料を含む金属含有膜を形成し、熱処理を行うことで、前記マスクから露出された前記配線の表面側に前記第 2 の金属材料を拡散させた後、前記マスク上の前記金属含有膜を除去することで、前記合金層を形成することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 10】

前記第 1 工程では、

前記マスクを用いたエッチングにより、前記マスクから露出された前記配線の表面側に凹部を形成した後、当該凹部を前記合金層で埋め込むことを特徴とする請求項 7 記載の半導体装置の製造方法。 10

【請求項 11】

前記第 3 工程では、

前記合金層を前記配線の表面側に残存させるように、前記合金層をスパッタエッチングすることを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 12】

前記第 3 工程では、

前記合金層を掘り込むことで、前記接続孔を前記配線の内部に達する状態にすることを特徴とする請求項 7 記載の半導体装置の製造方法。 20

【請求項 13】

前記第 3 工程と前記第 4 工程との間に、

前記接続孔の内壁を覆う状態で前記絶縁膜上に、前記ビアからの前記絶縁膜への金属の拡散を防止するとともに前記第 2 の金属材料を含むバリア膜を形成する工程を有し、前記第 4 工程では、前記接続孔の内部に前記バリア膜を介して前記ビアを形成することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 14】

基板上に設けられた配線と、

前記配線を覆う状態で前記基板上に設けられた絶縁膜と、
前記絶縁膜に設けられた接続孔に、前記配線に達する状態で設けられたビアとを備えた半導体装置において、
前記配線の表面側には、前記配線を構成する第 1 の金属材料と、当該第 1 の金属材料とは異なる第 2 の金属材料とからなる合金層が、前記ビアとの接合領域に選択的に設けられている

ことを特徴とする半導体装置。

【請求項 15】

前記ビアは、前記配線の内部に達する状態で設けられている

ことを特徴とする請求項 14 記載の半導体装置。

【請求項 16】

前記ビアは、当該ビアから前記絶縁膜への金属の拡散を防止するとともに前記第 2 の金属材料を含むバリア膜を介して、前記接続孔に設けられている

ことを特徴とする請求項 14 記載の半導体装置。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法および半導体装置に関し、さらに詳しくは、銅(Cu)配線を用いて多層配線構造を形成するのに好適な半導体装置の製造方法および半導体装置に関する。

【背景技術】

【0002】

近年、半導体集積回路装置(LSI)の高集積化に伴い、LSIの高速動作に関して配線プロセス技術が益々重要視されてきている。これは半導体素子の微細化により、配線遅延時間の増大が顕著になってきたためである。この配線遅延時間の増大を抑制するためには、配線抵抗および配線間容量の低減が必要である。

【0003】

配線抵抗の低減については、従来用いられてきたアルミニウム合金配線と比較して、低抵抗である銅(Cu)配線が検討されている。また、配線間容量の低減については、層間絶縁膜として従来用いられてきた酸化シリコンと比較して、誘電率の低い絶縁膜(低誘電率膜)が検討されており、Cu配線と低誘電率膜を用いた多層配線構造の導入が重要であると考えられている。

10

【0004】

上述したような多層配線構造は、一般的に、デュアルダマシン法等の溝配線法により形成されている(例えば、非特許文献1参照)。そして、このような多層配線構造において、上下配線を繋ぐ場合にはビアを使用するが、一般にビアは下層配線側に食い込ませる構造にする場合が多い(例えば、非特許文献2参照)。このような構造は、アンカー構造と呼ばれており、下層配線とビアとの接触面積を増やすことで、配線抵抗を低減させている。

【0005】

20

【非特許文献1】G.B.Alers, Electromigration Improvement with PDL TiN(Si) Barrier in Copper Dual Damascene Structure, 「INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM PROCEEDINGS」(米)IEEE, 2002年

【非特許文献2】Jason Gill, Investigation of Via-Dominated Multi-Modal Electromigration Failure Distributions in Dual Damascene Cu Interconnects with Discussion of the Statistical Implication, 「INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM PROCEEDINGS」(米)IEEE, 2003年

【0006】

ここで、デュアルダマシン法を用いて、アンカー構造を形成する多層配線構造の製造方法の一例について、図10を用いて説明する。図10(a)に示すように、基板11上の層間絶縁膜12に設けられた配線溝13にバリア膜14を介してCuからなる下層配線15が設けられている。この下層配線15上および層間絶縁膜12上を覆う状態で、炭窒化シリコン(SiCN)からなるエッチングストッパー膜16を形成した後、エッチングストッパー膜16上に、層間絶縁膜17として、メチルシルセスキオキサン(Methyl Hydrogen Silsesquioxane(MSQ))からなる低誘電率膜を形成する。次に、通常のリソグラフィ技術により、層間絶縁膜17上に接続孔パターンの設けられたレジストマスクRを形成する。

30

【0007】

続いて、図10(b)に示すように、レジストマスクRを用いたエッチングにより、層間絶縁膜17にエッチングストッパー膜16に達する接続孔18を形成する。その後、レジストマスクRを除去する。

40

【0008】

次いで、図10(c)に示すように、通常のリソグラフィ技術により、層間絶縁膜17上に、配線溝パターンの設けられたレジストマスク(図示省略)を形成した後、このレジストマスクを用いたエッチングにより、層間絶縁膜17に接続孔18に連通する状態の配線溝19を形成する。その後、接続孔18の底部に露出されたエッチングストッパー膜16を除去することで、下層配線15の表面を露出する。

【0009】

次に、図11(d)に示すように、Arを用いたスパッタエッチングにより、接続孔18の底部に露出した下層配線15の表面側を掘り込むことで、接続孔18を下層配線15

50

の内部に達する状態とする。

【0010】

次いで、図11(e)に示すように、上記接続孔18および配線溝19の内壁を覆う状態で、層間絶縁膜17上にバリア膜20を形成する。

【0011】

次に、図11(f)に示すように、バリア膜20の形成された接続孔18および配線溝19を埋め込む状態で、バリア膜20上にCuからなる配線材料膜21を形成する。続いて、熱処理を行うことで、配線材料膜21中のCuの結晶成長を行う。

【0012】

続いて、図12に示すように、層間絶縁膜17の表面が露出するまで、化学的機械的研磨(Chemical Mechanical Polishing(CMP))法により、上記配線材料膜21(前記図1(f)参照)およびバリア膜20を除去することで、配線溝19に上層配線22を形成するとともに、接続孔18にビア23を形成する。これにより、ビア23が下層配線15の内部に達する状態で設けられることで、ビア23が下層配線15に食い込んだ状態のアンカー構造が形成される。

【0013】

また、図10~図12を用いて説明した製造方法の他に、次のような製造方法も一般的に行なわれている。まず、図10(c)を用いて説明したように、接続孔18の底部のエッチングストッパー膜16を除去して、下層配線15の表面側を露出する工程までは、上記製造方法と同様に行う。次に、図13(a)に示すように、配線溝19および接続孔18の内壁を覆う状態で、層間絶縁膜17上に第1のバリア層20aを形成する。

【0014】

次いで、図13(b)に示すように、Arを用いたスパッタエッチングにより、接続孔18の底部の第1のバリア層20aを除去するとともに、下層配線15の表面側を掘り込むことで接続孔18を下層配線15の内部に達する状態にする。

【0015】

その後、図13(c)に示すように、上記配線溝19および接続孔18の内壁を覆う状態で、第1のバリア層20a上に第2のバリア層20bを形成することで、第1のバリア層20aと第2のバリア層20bとからなるバリア膜20を形成する。その後の工程は、図11(f)から図12を用いて説明した上述した製造方法と同様に行う。

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかし、図10~図12を用いて説明したような半導体装置の製造方法では、図11(d)を用いて説明した工程において、物理的なスパッタエッチングにより、接続孔18の底部の下層配線15の表面側を掘り込むことから、図11(d)の領域Cの拡大図である図14(a)に示すように、下層配線15の構成材料であるCuが接続孔18の側壁に飛散する。この飛散物15'はCu単体であることから凝集し易く、凝集することで、接続孔18の側壁には凹凸が生じる。

【0017】

このため、図14(b)に示すように、接続孔18の内壁を覆う状態でバリア膜20を形成する場合には、飛散物15'の凝集による凹凸があることで、バリア膜20をカバレッジ性よく形成することが困難である。これにより、バリア膜20のカバレッジ不良による小さなボイドVの発生およびバリア膜20と層間絶縁膜17との密着性の低下が生じていた。

【0018】

また、接続孔18の側壁を構成する層間絶縁膜17は、MSQからなる低誘電率膜で形成されることで、メチル基を多く含んだ膜構造となっていることから、接続孔18の加工時のプラズマにより、接続孔18の側壁に露出したメチル基が破壊される。このため、このダメージを受けた部分は吸湿し易く、飛散したCuが酸化し易い傾向にある。これによ

10

20

30

40

50

り、酸化した飛散物 15' 上にはバリア膜 20 が成長し難いことから、バリア膜 20 のカバレッジ不良が発生するという問題も生じていた。

【0019】

その結果、図 14 (c) に示すように、配線溝 19 および接続孔 18 を埋め込む状態で、バリア膜 20 上に配線材料膜 21 を形成した後、熱処理を行う工程では、Cu の「吸い上がり」により、密着性が悪い部分または小さなボイド V (前記図 14 (b) 参照) が引き金となり、大きなボイド V' が形成されてしまう。これにより、エレクトロマイグレーション (Electro Migration (EM)) 耐性およびストレスマイグレーション (Stress Migration (SM)) 耐性が悪化する等、配線の信頼性が悪くなり、さらには導通不良が生じる、という問題が生じていた。このような傾向は、デバイスの微細化により、接続孔 18 の径が小さくなるほど、顕著に認められ、深刻な問題となっている。

【0020】

また、図 13 を用いて説明した製造方法では、図 15 に示すように、接続孔 18 の内壁を覆う状態で第 1 のバリア層 20 a を成膜した後、下層配線 15 の表面側を掘り込むため、第 1 のバリア層 20 a 上に飛散物 15' が付着した状態となる。このため、接続孔 18 の側壁を構成する層間絶縁膜 17 には飛散物 15' は付着しないことから、層間絶縁膜 17 と第 1 のバリア層 20 a との間の密着性の低下は改善される。しかし、第 1 のバリア層 20 a 上に付着した飛散物 15' の凝集により、第 1 のバリア層 20 a の表面に凹凸が生じ、第 2 のバリア層 20 b のカバレッジ不良が発生する。また、接続孔 18 の側壁に露出される層間絶縁膜 17 は吸湿し易いため、接続孔 18 の内壁を覆う状態で形成される第 1 のバリア層 20 a は酸化し易い。このため、第 1 のバリア層 20 a 上に飛散物 15' が付着することで、飛散物 15' が酸化することによっても、第 2 のバリア層 20 b が成長し難くなり、第 2 のバリア層 20 b のカバレッジ不良が生じていた。

【0021】

これにより、第 2 のバリア層 20 b のカバレッジ不良によるボイド V の発生および第 1 のバリア層 20 a と第 2 のバリア層との密着性の低下が生じる。したがって、このような製造方法であっても、図 10 ~ 図 12 を用いて説明した製造方法と比較して、スパッタエッチングの前に第 1 のバリア層が形成されることで若干の改善はされるものの、上述したような問題が生じていた。

【課題を解決するための手段】

【0022】

上記課題を解決するために、本発明の半導体装置の第 1 の製造方法は、次のような工程を順次行うことを特徴としている。まず、第 1 工程では、基板上に設けられた配線を覆う状態で、基板上に絶縁膜を形成し、この絶縁膜に接続孔を形成する工程を行う。次に、第 2 工程では、配線の表面側の接続孔の底部となる領域に、配線を構成する第 1 の金属材料と第 1 の金属材料とは異なる第 2 の金属材料とからなる合金層を形成する工程を行う。続いて第 3 工程では、合金層をスパッタエッチングする工程を行い、その後の第 4 工程では、接続孔に配線に達する状態のビアを形成する工程を行うことを特徴としている。

【0023】

このような半導体装置の製造方法によれば、接続孔の底部となる配線の表面側に合金層を形成し、合金層の表面にスパッタエッチングを行うことから、接続孔の側壁に合金が飛散して付着した状態となる。これにより、一般的に合金は Cu 単体よりも凝集し難いことから、Cu 単体が飛散する場合と比較して、飛散物の凝集により生じる接続孔の側壁の凹凸が抑制される。したがって、接続孔の内壁を覆う状態で層間絶縁膜上にバリア膜を形成する場合に、接続孔の側壁の凹凸によるバリア膜のカバレッジ不良が防止される。これにより、カバレッジ不良によるボイドの発生や、バリア膜と層間絶縁膜との密着性の低下が抑制される。また、合金は Cu 単体と比較して酸化し難いことから、合金上にバリア膜が十分に成長することによっても、バリア膜のカバレッジ不良が抑制される。

【0024】

また、上記第 3 工程において、合金層の表面にスパッタエッチングを行う際、合金層を

配線の表面側に残存させる場合には、配線の表面側のビアとの接合領域に合金層が設けられた状態となる。これにより、合金層はEM耐性およびSM耐性が高いことから、配線材料のマイグレーションが抑制され、EM耐性およびSM耐性を向上させることが可能となる。

【0025】

また、本発明の半導体装置の第2の製造方法は、次のような工程を順次行うことを特徴としている。まず、第1工程では、基板上に設けられた配線を覆う状態で、基板上に接続孔パターンの設けられたマスクを形成し、このマスクから露出された配線の表面側に、配線を構成する第1の金属材料と当該第1の金属材料とは異なる第2の金属材料とからなる合金層を形成する工程を行う。次に、第2工程では、マスクの除去された配線上または配線上を含むマスク上に、絶縁膜を形成し、この絶縁膜に合金層に達する状態の接続孔を形成する工程を行う。続いて、第3工程では、合金層をスパッタエッチングする工程を行い、その後の第4工程では、接続孔に配線に達する状態のビアを形成する工程を行うことを特徴としている。

10

【0026】

このような半導体装置の製造方法によれば、接続孔パターンの設けられたマスクから露出された配線の表面側に合金層を形成し、マスクの除去された配線上または配線上を含むマスク上に形成した絶縁膜に合金層に達する状態の接続孔を形成した後、合金層をスパッタエッチングすることから、接続孔の側壁に合金が飛散して付着した状態となる。これにより、一般的に合金はCu単体よりも凝集し難いことから、Cu単体が飛散する場合と比較して、飛散物の凝集により接続孔の側壁に凹凸が生じることが防止される。したがって、接続孔の内壁を覆う状態で層間絶縁膜上にバリア膜を形成する場合に、接続孔の側壁の凹凸によるバリア膜のカバレッジ不良が防止される。これにより、バリア膜のカバレッジ不良によるボイドの発生や、バリア膜と層間絶縁膜との密着性の低下が防止される。また、合金はCu単体と比較して酸化し難いことから、合金上にバリア膜が十分に成長することによっても、バリア膜のカバレッジ不良が防止される。

20

【0027】

また、上記第3工程において、合金層をスパッタエッチングする際、合金層を配線の表面側に残存させる場合には、配線の表面側のビアとの接合領域に合金層が設けられた状態となる。これにより、合金層はEM耐性およびSM耐性が高いことから、配線材料のマイグレーションが抑制され、EM耐性およびSM耐性を向上させることが可能となる。

30

【0028】

また、本発明の半導体装置は、基板上に設けられた配線と、配線を覆う状態で基板上に設けられた絶縁膜と、絶縁膜に設けられた接続孔の内部に、配線に達する状態で設けられたビアとを備えている。そして、配線の表面側には、配線を構成する第1の金属材料と、第1の金属材料とは異なる第2の金属材料とからなる合金層が、ビアとの接合領域に選択的に設けられていることを特徴としている。

【0029】

このような半導体装置は、上述したような半導体装置の製造方法によって形成される。また、配線の表面側には、ビアとの接合領域に選択的に合金層が設けられていることから、配線材料のマイグレーションが抑制され、EM耐性およびSM耐性を向上させることが可能となる。

40

【発明の効果】**【0030】**

以上、説明したように、本発明の半導体装置の製造方法およびこれによって得られる半導体装置によれば、カバレッジ不良による小さなボイドの発生や、バリア膜と層間絶縁膜との密着性の低下が防止されるため、接続孔にビアを形成した後の熱処理により、ビア中に上記ボイドや密着性の低下に起因する大きなボイドの発生が防止される。また、EM耐性およびSM耐性を向上させることができる。したがって、配線構造の信頼性を向上させることができることから、高性能なCMOSデバイスが実現可能であり、コンピュー

50

タ、ゲーム機、モバイル商品等の性能を著しく向上させることができる。

【発明を実施するための最良の形態】

【0031】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0032】

(第1実施形態)

本発明の半導体装置の製造方法に係わる実施の形態の一例を、図1～図3の製造工程断面図によって説明する。本実施形態では、デュアルダマシン法を用いたCuと低誘電率膜とからなる多層配線構造の形成方法について説明する。なお、背景技術で説明した半導体装置の製造方法と同様の構成には同一の番号を付して説明する。

10

【0033】

図1(a)に示すように、トランジスタ等の半導体素子が形成された半導体基板(基板)11上に、例えばSiO₂からなる層間絶縁膜12を形成する。その後、この層間絶縁膜12に配線溝13を形成し、バリア膜14を介して例えばCuからなる下層配線15を200nmの膜厚で形成する。この場合、下層配線15を構成するCuが請求項に記載された第1の金属材料に相当する。

【0034】

次に、下層配線15上を含む層間絶縁膜12上に、プラズマ化学的気相成長(Plasma Enhanced Chemical Vapor Deposition(PE-CVD))法により、例えばSiCNからなるエッチングストッパー膜16を50nmの膜厚で形成する。次に、例えば塗布法またはCVD法により、エッチングストッパー膜16上に、例えばMSQからなる層間絶縁膜17を500nmの膜厚で形成する。このMSQは比誘電率が3以下のポーラスの低誘電率膜である。

20

【0035】

続いて、層間絶縁膜17上に、例えば化学増幅型ArFレジストを塗布した後、通常のリソグラフィ技術により、このレジストに例えば直径140nmの接続孔パターンを形成することで、レジストマスクRを形成する。

【0036】

次に、図1(b)に示すように、このレジストマスクRをマスクとし、フロロカーボン(CF)系ガスを用いたプラズマエッチングにより、層間絶縁膜17にエッチングストッパー膜16に達する状態の接続孔18を形成する。ここで、層間絶縁膜17は、MSQからなる低誘電率膜で形成されることから、メチル基を多く含んだ膜構造となっており、接続孔18の加工時のプラズマにより、接続孔18の側壁に露出したメチル基が破壊される。このため、このダメージを受けた部分は吸湿し易くなっている。

30

【0037】

続いて、例えばイオン注入法により、レジストマスクRをマスクに用いて、下層配線15を構成するCuとは異なる金属材料を、接続孔18の底部に露出されたエッチングストッパー膜16を介して、下層配線15の表面側に導入する。この金属材料が、請求項に記載の第2の金属材料に相当する。これにより、接続孔18の底部の下層配線15の表面側に合金層31が形成される。

40

【0038】

ここで、この下層配線15の表面側に導入する金属材料としては、下層配線15を構成する金属材料と異なる材料であれば、特に限定されるものではない。ただし、後工程で、接続孔18の内壁を覆う状態で形成するバリア膜に含まれる金属材料を用いることが好ましい。このような金属材料を用いることで、後工程で、合金層31をスパッタエッチングする際、合金が接続孔18の側壁に飛散するが、その後に、この接続孔18の内壁を覆う状態で、飛散物と同一材料を含むバリア膜を形成することで、背景技術で説明したように、飛散物がCu単体である場合と比較して、層間絶縁膜17とバリア膜との密着性の低下が防止される。このような金属材料としては、タンタル(Ta)、チタン(Ti)、タングステン(W)、コバルト(Co)、銀(Ag)、鉛(Pd)、アルミニウム(Al)、

50

シリコン (S i)、ホウ素 (B)、すず (S n)、インジウム (I n)、マグネシウム (M g)、ニッケル (N i)、ジルコニウム (Z r)、ルテニウム (R u) がある。

【 0 0 3 9 】

ここでは、下層配線 1 5 の表面側に T a を導入することとし、ドーズ量 5×10^{13} 、加速電圧 5 k e V の条件下でイオン注入を行うことで、接続孔 1 8 の底部の下層配線 1 5 の表面側に 3 0 n m の膜厚の C u T a 合金からなる合金層 3 1 を形成する。そして、この合金層 3 1 中の第 2 の金属材料の割合は、後工程で行うスパッタエッチングの際に、合金層 3 1 から接続孔 1 8 の側壁への飛散物が凝集しないような割合に適宜設定されるものとする。

【 0 0 4 0 】

その後、図 1 (c) に示すように、例えば O_2 などの酸素系ガスを用いたアッシングにより、レジストマスク R (前記図 1 (b) 参照) を除去する。この際、低誘電率膜からなる層間絶縁膜 1 7 へのプラズマダメージを最小限に抑えるため、低圧力条件下で行うことが好ましく、ここでは 2 . 7 P a で行うこととする。

【 0 0 4 1 】

次に、図 2 (d) に示すように、層間絶縁膜 1 7 上に、再び、化学増幅型 A r F レジストを塗布し、通常のリソグラフィ技術により、配線溝パターンの設けられたレジストマスク (図示省略) を形成する。その後、C F 系ガスを用いたドライエッチングにより、層間絶縁膜 1 7 に、接続孔 1 8 に連通する深さ 2 5 0 n m の配線溝 1 9 を形成する。その後、上記レジストマスク R と同様に、 O_2 系ガスを用いた低圧力条件下でのアッシングにより

10

20

【 0 0 4 2 】

次に、図 2 (e) に示すように、接続孔 1 8 の底部に露出されたエッチングストッパー膜 1 6 をエッチング除去し、下層配線 1 5 の表面側に設けられた合金層 3 1 を露出する。続いて、有機系洗浄液にて露出した合金層 3 1 の表面を洗浄する。

【 0 0 4 3 】

次いで、図 2 (e) の領域 A の拡大図である図 2 (f) に示すように、A r を用いたスパッタエッチングにより、この合金層 3 1 を 2 0 n m の深さまで掘り込むことで、接続孔 1 8 を下層配線 1 5 の内部に達する状態にする。これにより、下層配線 1 5 の表面側における後工程で接続孔 1 8 に形成するビアとの接合領域を清浄化するとともに、合金層 3 1 を掘り込むことで下層配線 1 5 とビアとの接触面積が増大するようにする。そして、接続孔 1 8 の底部の下層配線 1 5 の表面側に合金層 3 1 を残存させた状態で上記スパッタエッチングを終了する。

30

【 0 0 4 4 】

ここで、このスパッタエッチングの際、合金層 3 1 を構成する C u T a 合金は飛散して、接続孔 1 8 の側壁に付着するが、合金であるため、C u 単体が飛散する場合と比較して、飛散物 3 1 ' の凝集が防止され、接続孔 1 8 の側壁は凹凸が抑制された状態となる。また、C u T a 合金が飛散することで、C u 単体が飛散する場合と比較して、吸湿した層間絶縁膜 1 7 上に付着しても飛散物 3 1 ' の酸化が防止される。

【 0 0 4 5 】

なお、ここでは、接続孔 1 8 の底部の下層配線 1 5 の表面側に合金層 3 1 を残存させることとしたが、本発明はこれに限定されず、このスパッタエッチングにより、合金層 3 1 を全て除去してもよい。ただし、合金層 3 1 を残存させた方が、下層配線 1 5 を構成する C u のマイグレーションが抑制され、E M 耐性および S M 耐性を向上させることができるため、好ましい。

40

【 0 0 4 6 】

次いで、図 3 (g) に示すように、例えばスパッタリング法または C V D 法により、配線溝 1 9 (前記図 2 (e) 参照) および接続孔 1 8 の内壁を覆う状態で、層間絶縁膜 1 7 上に、窒化タンタル (T a N) と T a とがこの順に積層されたバリア膜 2 0 を 1 5 n m の膜厚で形成する。この際、バリア膜 2 0 は飛散物 3 1 ' を覆う状態で接続孔 1 8 の内壁に

50

形成されるが、接続孔 18 の側壁は飛散物 31' による凹凸が抑制された状態であり、かつ飛散物 31' の酸化も防止されることから、バリア膜 20 の成長が妨げられることなく、接続孔 18 の内壁にカバレッジ性よく成膜されるとともに、バリア膜 20 の密着性も向上する。

【0047】

また、飛散物 31' を構成する材料と、バリア膜 20 とが同一材料 (Ta) を含んでいることで、上述したように、バリア膜 20 と層間絶縁膜 17 との密着性の低下も防止される。なお、このバリア膜 20 は、後工程で、配線溝 19 および接続孔 18 に形成する Cu からなる上層配線およびビアから、層間絶縁膜 17 に Cu が拡散することを防止する拡散防止膜として機能する。

10

【0048】

その後、図 3 (h) に示すように、例えばスパッタリング法または CVD 法により、バリア膜 20 上に Cu からなるシード層 (図示省略) を形成した後、電界メッキ (ECP) 法または CVD 法により、配線溝 19 および接続孔 18 を埋め込む状態で、バリア膜 20 上に Cu からなる配線材料膜 21 を成膜する。その後、Cu を結晶成長させるための熱処理を行う。

【0049】

続いて、図 3 (i) に示すように、例えば CMP 法により、層間絶縁膜 17 の表面が露出するまで、配線材料膜 21 (前記図 3 (h) 参照) およびバリア膜 20 を除去することで、配線溝 19 に上層配線 22 を形成するとともに、接続孔 18 にビア 23 を形成することから、この接続孔 18 は下層配線 15 の内部に達する状態で形成されることから、この接続孔 18 に形成するビア 23 は下層配線 15 の内部に達する状態で設けられ、ビア 23 が下層配線 15 に食い込んだ状態のアンカー構造となる。また、下層配線 15 の表面側には、ビア 23 との接合領域に選択的に合金層 31 が設けられた状態となる。

20

【0050】

この後の工程は、図 1 (a) を用いて説明したエッチングストッパー膜 16 の形成工程から、図 3 (i) を用いて説明した上層配線 22 およびビア 23 の形成工程までを、繰り返して行うことで多層配線構造を製造する。

【0051】

このような半導体装置の製造方法および半導体装置によれば、接続孔 18 の底部の下層配線 15 の表面側に CuTa からなる合金層 31 を形成し、合金層 31 をスパッタエッチングすることから、接続孔 18 の側壁に CuTa 合金からなる飛散物 31' が付着した状態となる。これにより、CuTa 合金は Cu よりも凝集し難いため、Cu 単体が飛散する場合と比較して、飛散物 31' の凝集により生じる接続孔 18 の側壁の凹凸が抑制される。したがって、接続孔 18 の内壁を覆う状態で層間絶縁膜 17 上にバリア膜 20 を形成する場合に、接続孔 18 の側壁の凹凸によるバリア膜 20 のカバレッジ不良が防止される。これにより、バリア膜 20 のカバレッジ不良によるボイドの発生や、バリア膜 20 と層間絶縁膜 17 との密着性の低下が防止される。

30

【0052】

また、CuTa 合金は Cu 単体と比較して酸化し難いため、吸湿し易い層間絶縁膜 17 上に飛散物 31' が付着しても、飛散物 31' の酸化は防止される。これにより飛散物 31' 上にバリア膜 20 が十分に成長することによっても、バリア膜 20 のカバレッジ不良が防止される。

40

【0053】

したがって、接続孔 18 にビア 23 を形成した後の熱処理により、ビア 23 中のボイドや、バリア膜 20 と層間絶縁膜 17 と密着性の低下に起因する大きなボイドの発生が防止される。

【0054】

また、図 3 (g) を用いて説明したように、接続孔 18 の底部に露出された合金層 31

50

の表面にスパッタエッチングを行う際、合金層 3 1 を残存させることから、下層配線 1 5 の表面側のビア 2 3 との接合領域に選択的に合金層 3 1 が設けられた状態となる。これにより、合金層 3 1 は Cu 単体と比較して、EM 耐性および SM 耐性が高いことから、下層配線 1 5 を構成する Cu のマイグレーションが抑制され、EM 耐性および SM 耐性を向上させることができる。また、下層配線 1 5 のビア 2 3 との接合領域にのみ合金層 3 1 が形成されることで、配線 1 5 の表面側の全域に合金層 3 1 が設けられる場合と比較して、配線抵抗を許容範囲内に抑えた状態で上述したような効果を奏することができる。

【0055】

以上のことから、ビア 2 3 中にボイドを発生させることなく、EM 耐性および SM 耐性を向上させることができるため、配線構造の信頼性を向上させることができることから、高性能な CMOS デバイスが実現可能であり、コンピュータ、ゲーム機、モバイル商品等の性能を著しく向上させることができる。

10

【0056】

さらに、本実施形態によれば、合金層 3 1 を構成するために下層配線 1 5 内に導入する金属材料と、バリア膜 2 0 を構成する金属材料とに同一材料 (Ta) を用いていることから、接続孔 1 8 の側壁に付着する飛散物 3 1' がバリア膜 2 0 と同一材料を含んだ状態となる。これにより、背景技術で説明した Cu 単体が飛散する場合と比較して、バリア膜 2 0 と接続孔 1 8 の側壁を構成する層間絶縁膜 1 7 との密着性の低下を防止することができる。

【0057】

また、層間絶縁膜 1 7 に接続孔 1 8 を形成する際のマスクに用いるレジストマスク R を、イオン注入の際のマスクとしても用いることで、煩雑なリソグラフィ工程を増やすことなく、合金層 3 1 を形成することができるため、生産性にも優れている。

20

【0058】

なお、本実施形態では、図 1 (b) を用いて説明したように、エッチングストッパー膜 1 6 を介して、下層配線 1 5 の表面側に金属材料をイオン注入することとしたが、本発明はこれに限定されず、接続孔 1 8 を形成するとともに、接続孔 1 8 底部のエッチングストッパー膜 1 6 を除去した後、イオン注入を行ってもよい。ただし、この場合には、後工程でバリア膜 2 0 を成膜するまで、接続孔 1 8 底部の合金層 3 1 が露出された状態となり、合金層 3 1 がダメージを受け易いことから、エッチングストッパー膜 1 6 が設けられた状態でイオン注入を行うことが好ましい。また、図 2 (e) を用いて説明したように、配線溝 1 9 の形成後、接続孔 1 8 の底部のエッチングストッパー膜 1 6 を除去した後に、接続孔 1 8 の底部に露出された下層配線 1 5 の表面にイオン注入を行ってもよい。この場合には、層間絶縁膜 1 7 がマスクとなるため、層間絶縁膜 1 7 にも金属材料が導入された状態となることから、イオン注入量をリーク電流の発生等の問題にはならない量に調整して行うこととする。

30

【0059】

(変形例 1)

上述した第 1 実施形態では、スパッタエッチングにより合金層 3 1 を掘り込むことで、接続孔 1 8 に形成するビア 2 3 が下層配線 1 5 に食い込んだ状態のアンカー構造を形成する例について説明した。しかし、本発明はこれに限定されず、図 4 に示すように、接続孔 1 8 を合金層 3 1 の表面に達する状態で形成し、接続孔 1 8 に形成するビア 2 3 をアンカー構造としない場合であっても、適用可能である。この場合であっても、接続孔 1 8 の内壁にバリア膜 2 0 を形成する工程の前に、合金層 3 1 の表面に、Ar を用いたスパッタエッチングを行うことで合金層 3 1 の表面を清浄化することから、接続孔 1 8 の側壁に CuTa 合金からなる飛散物 3 1' が付着する。

40

【0060】

したがって、このような場合であっても、飛散物 3 1' の凝集および酸化が抑制されるため、バリア膜 2 0 をカバレッジよく形成することができる。また、下層配線 1 5 の表面側のビア 2 3 との接合領域に合金層 3 1 が設けられることで、EM 耐性および SM 耐性

50

も向上させることができる。したがって、第1実施形態と同様の効果を奏することができる。

【0061】

(第2実施形態)

次に、本発明の半導体装置の製造方法にかかる第2の実施形態について、図5の製造工程断面図を用いて説明する。なお、第1実施形態と同様の構成には同一の番号を付して説明し、詳細な説明は省略する。また、図2(e)を用いて説明した層間絶縁膜17に接続孔18に連通する状態の配線溝19を形成した後、接続孔18の底部のエッチングストッパー膜16を除去する工程までは、第1実施形態と同様であることとする。

【0062】

まず、図5(a)に示すように、配線溝19および接続孔18の内壁を覆う状態で、層間絶縁膜17上に、例えばTaNからなる第1のバリア層20aを10nmの膜厚で形成する。この際、プラズマによるダメージで接続孔18の側壁を構成する層間絶縁膜17は吸湿し易いことから、第1のバリア層20aは酸化され易い。

【0063】

次いで、図5(a)に示す領域Bの拡大図である図5(b)に示すように、Arを用いてスパッタエッチングにより、第1のバリア層20aを除去するとともに、合金層31を20nmの深さまで掘り込むことで、接続孔18を下層配線15の内部に達する状態にする。そして、接続孔18の底部の下層配線15の表面側に合金層31を残存させた状態でスパッタエッチングを終了する。これにより、第1のバリア層20aは接続孔18の側壁

【0064】

ここで、このスパッタエッチングの際、合金層31を構成するCuTa合金は飛散して、接続孔18の側壁を覆う第1のバリア層20a上に飛散物31'が付着する。この際、飛散物31'は合金であるため、Cu単体が飛散する場合と比較して、飛散物31'の凝集が防止され、接続孔18の側壁は凹凸が抑制された状態となる。また、CuTa合金が飛散することで、酸化した第1のバリア層20a上に付着したとしても、Cu単体が飛散する場合と比較して、飛散物31'の酸化も防止される。

【0065】

次いで、図5(c)に示すように、例えばスパッタリング法またはCVD法により、第1のバリア層20aが形成された配線溝19(前記図5(b)参照)および接続孔18の内壁を覆う状態で、第1のバリア層20a上に、例えばTaからなる第2のバリア層20bを5nmの膜厚で形成する。これにより、第1のバリア層20aと第2のバリア層20bとで構成されたバリア膜20が形成される。ただし、接続孔18の底部は第2のバリア層20bのみが設けられた状態となる。

【0066】

ここで、第2のバリア層20bは、第1実施形態で説明したバリア膜20と同様に、合金層31を構成する第2の金属材料と同一の金属材料を含むことが好ましく、ここでは、上記第2の金属材料としてTaを用いていることから、第2のバリア層20bは、Taで構成されることとする。このような材料を選択することで、第1のバリア層20aに付着する合金層31からの飛散物31'と、第1のバリア層20a上に形成される第2のバリア層20bとが同一材料を含むことから、背景技術で説明した飛散物がCu単体である場合と比較して、第1のバリア層20aと第2のバリア層20bとの密着性の低下が防止される。

【0067】

さらに、接続孔18の側壁は飛散物31'による凹凸が抑制された状態であり、かつ飛散物31'の酸化も防止されることから、第2のバリア層20bの成長が妨げられることなく、接続孔18の内壁を覆う状態で第1のバリア層20aを介して、カバレッジ性よく成膜することが可能となる。

【0068】

10

20

30

40

50

この後の工程は、図3(h)～図3(i)を用いて説明した第1実施形態と同様に行い、バリア膜20を介して、配線溝19に上層配線22を形成するとともに、接続孔18にビア23を形成する。

【0069】

このような半導体装置の製造方法および半導体装置であっても、接続孔18の内壁を覆う状態で第1のバリア層20aを形成した後、接続孔18の底部の下層配線15の表面側にCuTa合金からなる合金層31を形成し、第1のバリア層20aとともに合金層31をスパッタエッチングする。これにより、接続孔18の側壁を覆う第1のバリア層20a上に、CuTa合金からなる飛散物31'が付着した状態となることから、CuTa合金はCu単体よりも凝集し難く、酸化し難いため、Cu単体が飛散する場合と比較して、第2のバリア層20bのカパレッジ不良が防止される。

10

【0070】

また、下層配線15の表面側のビア23との接合領域に合金層31が設けられた状態となることから、下層配線15を構成するCuのマイグレーションが抑制され、EM耐性およびSM耐性を向上させることができる。したがって、第1実施形態と同様の効果を奏する。

【0071】

なお、本実施形態では、第1実施形態と同様に、イオン注入法により、Taを接続孔18の底部の下層配線15の表面側に導入することで、合金層31を形成する例について説明した。しかし、本発明はこれに限定されず、図5(a)を用いて説明した工程において、上記第1のバリア層20aを第2の金属材料を含む状態で形成した後、熱処理を行うことで、第1のバリア層20aを構成する第2の金属材料を下層配線15の表面側に拡散させることで合金層31を形成してもよい。この際、この熱処理は、下層配線15に用いるCuおよび層間絶縁膜17の耐熱性を考慮すると、400以下であることが好ましい。

20

【0072】**(第3実施形態)**

次に、本発明の半導体装置の製造方法にかかる第3の実施形態について、図6の製造工程断面図を用いて説明する。なお、第1実施形態で図1(a)を用いて説明したように、下層配線15上および層間絶縁膜12上に、例えばSiCNからなるエッチングストッパー膜16を形成する工程までは、第1実施形態と同様であることとする。

30

【0073】

まず、図6(a)に示すように、エッチングストッパー膜16上に、例えば化学増幅型ArFレジストを塗布した後、通常のリソグラフィ技術により、後工程で、エッチングストッパー膜16上の層間絶縁膜に形成する接続孔パターンが設けられたレジストマスクR'を形成する。

【0074】

次いで、図6(b)に示すように、このレジストマスクR'をマスクとし、第1実施形態と同様の条件で、イオン注入法により、Taからなる金属材料を、接続孔18の底部に露出されたエッチングストッパー膜16を介して、下層配線15の表面側に導入する。これにより、後工程で形成する接続孔の底部となる下層配線15の表面側に、合金層31が30nmの膜厚で形成される。その後、O₂系ガスを用いたアッシングにより、このレジストマスクR'を除去する。

40

【0075】

次に、図6(c)に示すように、エッチングストッパー膜16上に例えばMSQからなる層間絶縁膜17を形成した後、層間絶縁膜17上に例えば化学増幅型ArFレジストを塗布し、通常のリソグラフィ技術により、このレジストに例えば直径140nmの接続孔パターンを形成することで、レジストマスクR''を形成する。この際、レジストマスクR''の開口部は、合金層31上となるように調整されることとする。

【0076】

次に、このレジストマスクR''をマスクとし、CF系ガスを用いたドライエッチング

50

により、層間絶縁膜 17 にエッチングストッパー膜 16 に達する状態の接続孔 18 を形成する。その後、 O_2 系ガスを用いた低圧力条件下でのアッシングにより、このレジストマスク R' を除去する。

【0077】

この後の工程は、第1実施形態の図2(d)～図3(i)を用いて説明した工程と同様に行うこととする。すなわち、この層間絶縁膜 17 に、接続孔 18 に連通する配線溝 19 を形成した後、接続孔 18 の底部に露出されたエッチングストッパー膜 16 を除去し、下層配線 15 の表面側に設けられた合金層 31 を露出する。その後、有機系洗浄液にて露出した合金層 31 の表面を洗浄する。

【0078】

次いで、この合金層 31 を掘り込むことで、接続孔 18 を下層配線 15 の内部に達する状態にした後、配線溝 19 および接続孔 18 の内壁を覆う状態で、バリア膜 20 を形成し、配線溝 19 に上層配線 22 を形成するとともに、接続孔 18 にビア 23 を形成する。

【0079】

このような半導体装置の製造方法および半導体装置であっても、接続孔 18 の底部となる下層配線 15 の表面側に CuTa からなる合金層 31 を形成することから、第1実施形態と同様の効果を奏することができる。

【0080】

なお、本実施形態では、図6(c)を用いて説明した層間絶縁膜 17 に接続孔 18 を形成する工程の後、第1実施形態で図2(d)～図3(i)を用いて説明した工程を行う例について説明した。しかし、本発明はこれに限定されず、図6(c)を用いて説明した工程の後、層間絶縁膜 17 に接続孔 18 に連通する状態の配線溝を形成し、第2実施形態の図5(a)に示すように、配線溝および接続孔 18 の内壁を覆う状態で第1のバリア層 20a を形成してもよい。その後、第1のバリア層 20a と合金層 31 をスパッタエッチングした後、図5(c)に示すように、配線溝および接続孔 18 の内壁を覆う状態で第1のバリア層 20a 上に第2のバリア層 20b を形成してもよい。

【0081】

(変形例2)

なお、上述した第3実施形態では、イオン注入法により合金層 31 を形成する例について説明したが、合金層 31 を熱処理により形成してもよい。この場合の例について、図7の製造工程断面図を用いて説明する。なお、エッチングストッパー膜 16 上に、接続孔パターンの設けられたレジストマスク R' を形成する工程までは、第3実施形態と同様であることとする。

【0082】

まず、図7(a)に示すように、レジストマスク R' をマスクとして、CF系ガスを用いたエッチングにより、エッチングストッパー膜 16 を除去することで、後工程で、エッチングストッパー膜 16 上の層間絶縁膜に形成する接続孔の底部と連通する下層配線 15 の表面を露出する。これにより、エッチングストッパー膜 16 は、接続孔パターンが設けられた状態となり、後工程で熱処理により下層配線 15 の表面側に合金層を形成する際のマスクとなる。

【0083】

その後、図7(b)に示すように、 O_2 系ガスによりレジストマスク R' (前記図8(a)参照)を除去した後、下層配線 15 の表面を有機系洗浄液で洗浄する。

【0084】

次に、図7(c)に示すように、例えばスパッタエッチング法により、下層配線 15 上を含むエッチングストッパー膜 16 上に、例えば Ta からなる金属含有膜 32 を 50 nm の膜厚で形成する。続いて、350 で 30 分間の熱処理を行うことで、エッチングストッパー膜 16 から露出された下層配線 15 の表面側に Ta を拡散させることで、CuTa 合金からなる合金層 31 を形成する。この際、この熱処理は、下層配線 15 に用いる Cu の耐熱性を考慮すると、400 以下であることが好ましい。また、この熱処理後に合金

10

20

30

40

50

層 3 1 上に、金属含有膜 3 2 が T a 膜として残存するように、上記熱処理の温度および金属含有膜 3 2 の膜厚を調整することとする。この T a 膜が残存することで、後工程で、金属含有膜 3 2 上およびエッチングストッパー膜 1 6 上に層間絶縁膜を形成する際、合金層 3 1 から層間絶縁膜への C u の拡散が防止される。

【 0 0 8 5 】

次いで、図 7 (d) に示すように、例えば C M P 法により、エッチングストッパー膜 1 6 の表面が露出するまで、金属材料膜 3 2 を除去する。ここで、C M P 法を用いる理由としては、エッチングストッパー膜 1 6 を構成する S i C N と、T a とは C M P 法による選択性が高いためである。

【 0 0 8 6 】

続いて、図 7 (e) に示すように、金属材料膜 3 2 上およびエッチングストッパー膜 1 6 上に層間絶縁膜 1 7 を形成する。この後の工程は、第 3 実施形態と同様に行うこととする。

【 0 0 8 7 】

このような半導体装置の製造方法および半導体装置であっても、接続孔 1 8 の底部となる下層配線 1 5 の表面側に C u T a からなる合金層 3 1 を形成することから、第 1 実施形態と同様の効果を奏することができる。

【 0 0 8 8 】**(変形例 3)**

なお、上述した第 3 実施形態では、イオン注入法により合金層 3 1 を形成する例について説明したが、合金層 3 1 を埋め込み法により形成してもよい。この場合の例について、図 8 の製造工程断面図を用いて説明する。なお、エッチングストッパー膜 1 6 上にレジストマスク R ' を形成する工程までは、第 3 実施形態と同様であることとする。

【 0 0 8 9 】

まず、図 8 (a) に示すように、レジストマスク R ' をマスクとして、C F 系ガスを用いたエッチングにより、エッチングストッパー膜 1 6 を除去することで、後工程で、エッチングストッパー膜 1 6 上の層間絶縁膜に形成する接続孔の底部と連通する下層配線 1 5 の表面を露出する。

【 0 0 9 0 】

その後、図 8 (b) に示すように、O₂系ガスによりレジストマスク R ' (前記図 9 (a) 参照) を除去した後、下層配線 1 5 の表面を有機系洗浄液で洗浄する。

【 0 0 9 1 】

次に、図 8 (c) に示すように、接続孔パターンの設けられたエッチングストッパー膜 1 6 をマスクとして、ウェットエッチングにより、エッチングストッパー膜 1 6 から露出された下層配線 1 5 の表面側に、例えば 3 0 n m の深さの凹部 1 5 a を形成する。

【 0 0 9 2 】

次いで、図 8 (d) に示すように、例えばスパッタリング法または C V D 法により、上記凹部 1 5 a を埋め込む状態で、エッチングストッパー膜 1 6 上に、下層配線 1 5 を構成する C u と T a とからなる合金層 3 1 を形成する。

【 0 0 9 3 】

次いで、図 8 (e) に示すように、例えば C M P 法により、下層配線 1 5 および層間絶縁膜 1 2 の表面が露出するまで、合金層 3 1 をおよびエッチングストッパー膜 1 6 (前記図 8 (d) 参照) を除去する。その後、凹部 1 5 a 内に合金層 3 1 が設けられた状態の下層配線 1 5 上および層間絶縁膜 1 2 上に、再び、例えば S i C N からなるエッチングストッパー膜 1 6 ' を 5 0 n m の膜厚で形成する。これにより、エッチングストッパー膜 1 6 上に合金層 3 1 の研磨残りが生じた場合であっても、エッチングストッパー膜 1 6 を除去し、再びエッチングストッパー膜 1 6 ' を形成することで、エッチングストッパー膜 1 6 ' 上に形成する層間絶縁膜への C u の拡散が防止される。

【 0 0 9 4 】

この後の工程は、第 3 実施形態と同様に行うこととする。

10

20

30

40

50

【0095】

このような半導体装置の製造方法および半導体装置であっても、接続孔18の底部となる下層配線15の表面側にCuTaからなる合金層31を形成することから、第1実施形態と同様の効果を奏することができる。

【0096】

以上説明した第1実施形態～第3実施形態では、下層配線15および上層配線22ならびにビア23がCuで形成される例について説明したが、本発明はこれに限定されず、銀(Ag)、金(Au)、アルミニウム(Al)であってもよい。また、バリア膜20を介して配線溝19および接続孔18に上層配線22およびビア23が形成される例については、配線およびビアが層間絶縁膜中に拡散しないような材料である場合には、バリア膜20を介さなくてもよい。バリア膜20が設けられない場合であっても、下層配線15の表面側の接続孔18の底部となる領域に合金層31が設けられることで、接続孔18の側壁に付着した飛散物31'の凝集による凹凸が防止されることから、接続孔18内に配線材料を埋め込む際の埋め込み特性が向上する。

【0097】

また、上記実施形態では、層間絶縁膜17がMSQからなる低誘電率膜である例について説明したが、他の低誘電率膜であってもよく、SiO₂であってもよい。ただし、層間絶縁膜17にMSQのようなポラスな低誘電率膜を用いた場合には、層間絶縁膜17が吸湿し易く、スパッタエッチングの際に接続孔18の側壁に付着する下層配線材料も酸化し易い傾向にあることから、本発明が好適に適用される。また、接続孔18の孔径が150nm以下の場合には、接続孔18の内壁を覆う状態で形成するバリア膜20のカバレッジ性に問題が出易いことから、本発明が好適に適用される。

【0098】

また第1実施形態の変形例1は、第2実施形態および第3実施形態ならびに変形例2、変形例3でも適用可能である。

【実施例】

【0099】

さらに、本発明の具体的な実施例について説明する。

【0100】

実施例1として、上記第1実施形態で説明した製造方法により、半導体装置を製造した。また、実施例2として、上記第2実施形態で説明した製造方法により、半導体装置を製造した。実施例3として、上記第3実施形態で説明した製造方法により、半導体装置を製造した。また、実施例4として、上記第3実施形態の変形例2で説明した製造方法により、半導体装置を製造した。さらに、実施例5として、上記第3実施形態の変形例3で説明した製造方法により、半導体装置を製造した。

【0101】

一方、上記実施例に対する比較例1として、背景技術で説明した図10～図12に示す製造方法により半導体装置を製造した。この製造方法は、実施例1の製造方法において、合金層31を形成しない方法である。

【0102】

また、上記実施例に対する比較例2として、背景技術で説明した図13に示す製造方法により半導体装置を製造した。この製造方法は、実施例2の製造方法において、合金層31を形成しない方法である。

【0103】

さらに、上記実施例に対する比較例3として、図9に示すような方法により、下層配線15の表面全域に合金層31が設けられた半導体装置を製造した。まず、図9(a)に示すように、基板11上の層間絶縁膜12に設けられた配線溝13に、バリア膜14を介してCuからなる下層配線15を200nmの膜厚で形成した。

【0104】

次に、図9(b)に示すように、ウェットエッチングにより、下層配線15の表面側を

30 nmの深さで除去した後、下層配線15上および層間絶縁膜12上に、CuTa合金からなる合金層31を100 nmの膜厚で形成した。

【0105】

その後、図9(c)に示すように、CMP法により、層間絶縁膜12が露出するまで、合金層31を除去し、表面側に合金層31が設けられた下層配線15を形成した。この後の工程は、背景技術で説明した図10～図12に示す製造方法により、下層配線15上の表面側の全域に合金層31が設けられた半導体装置を製造した。

【0106】

上述した実施例1～5および比較例1～3の半導体装置について、ビア23の形状を確認するとともに、EM耐性およびSM耐性等の信頼性試験を行った。さらに、抵抗値を測定した。 10

【0107】

その結果、実施例1～5の半導体装置では、ビア23中にボイドの発生は認められず、SM耐性やEM耐性などの信頼性試験においても、十分な耐性を示すことが確認された。また、配線抵抗については、合金層31が設けられていない比較例1、2の半導体装置と比較して、2%程度の上昇が確認されたものの、半導体装置として許容可能な範囲であった。

【0108】

また、比較例1の半導体装置では、ビア23中に、図14(c)に示すような大きなボイドV'が確認され、EM耐性およびSM耐性の低下が確認された。比較例2の半導体装置では、比較例1の半導体装置と比較して、ビア23中のボイドはやや低減されるものの、EM耐性およびSM耐性の低下が確認された。比較例3の半導体装置では、ビア23中にボイドは確認されず、EM耐性およびSM耐性の信頼性試験も、十分な耐性を示すことが確認されたが、配線抵抗は実施例1の半導体装置と比較して30%以上上昇し、半導体装置として適用不可能であることが確認された。 20

【図面の簡単な説明】

【0109】

【図1】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断面図(その1)である。

【図2】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断面図(その2)である。 30

【図3】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断面図(その3)である。

【図4】本発明の半導体装置の製造方法に係る第1実施形態の変形例1を説明するための断面図である。

【図5】本発明の半導体装置の製造方法に係る第2実施形態を説明するための製造工程断面図である。

【図6】本発明の半導体装置の製造方法に係る第3実施形態を説明するための製造工程断面図である。

【図7】本発明の半導体装置の製造方法に係る第3実施形態の変形例2を説明するための製造工程断面図である。 40

【図8】本発明の半導体装置の製造方法に係る第3実施形態の変形例3を説明するための製造工程断面図である。

【図9】本発明の半導体装置の製造方法に係る実施例に対する比較例を説明するための製造工程断面図である。

【図10】従来の半導体装置の製造方法を説明するための製造工程断面図である(その1)。

【図11】従来の半導体装置の製造方法を説明するための製造工程断面図である(その2)。

【図12】従来の半導体装置の製造方法を説明するための製造工程断面図である(その3) 50

)。

【図13】従来の半導体装置の製造方法を説明するための製造工程断面図である(その4)。

【図14】従来の半導体装置の製造方法における課題を説明するための断面図である(その1)。

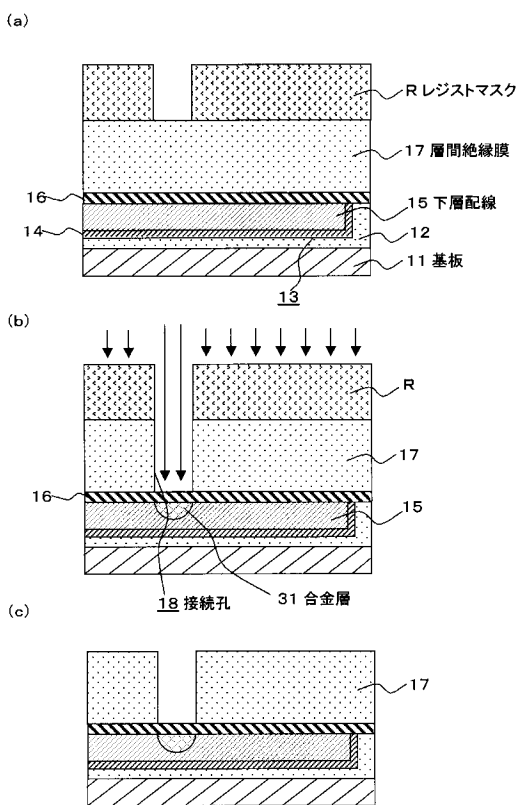
【図15】従来の半導体装置の製造方法における課題を説明するための断面図である(その2)。

【符号の説明】

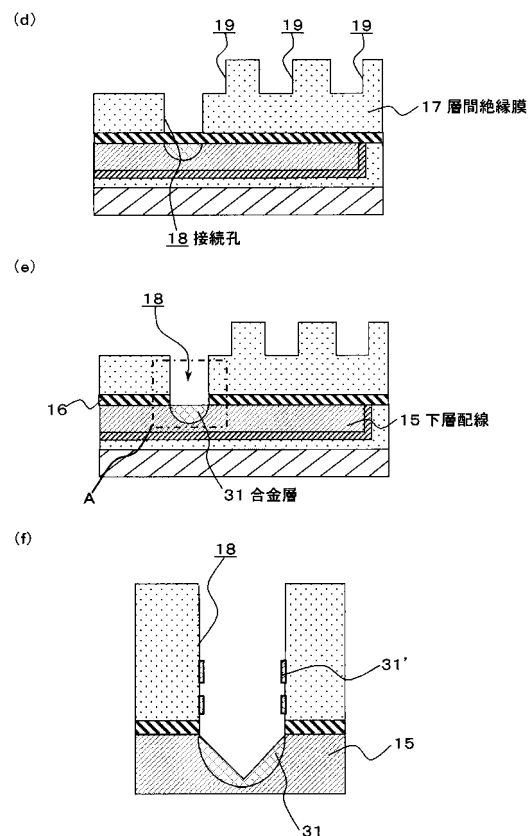
【0110】

11...基板、15...下層配線、17...層間絶縁膜、18...接続孔、20...バリア膜、31...合金層、R、R'...レジストマスク

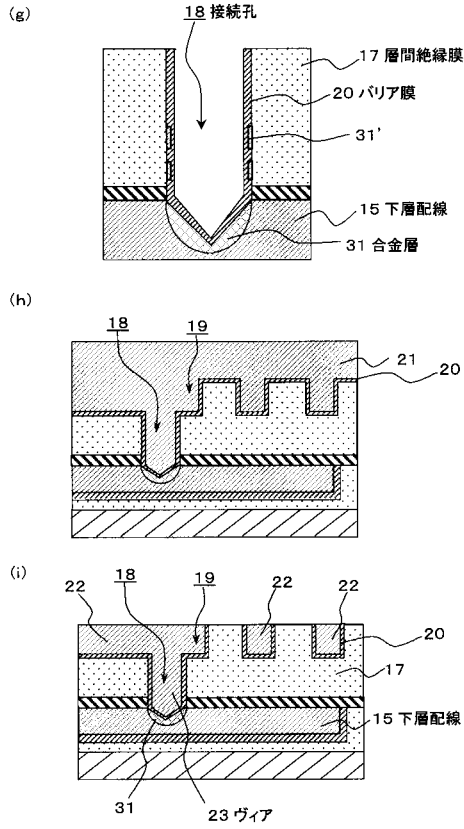
【図1】



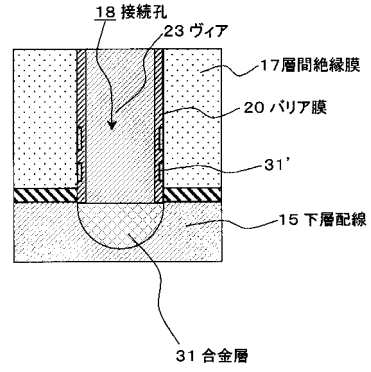
【図2】



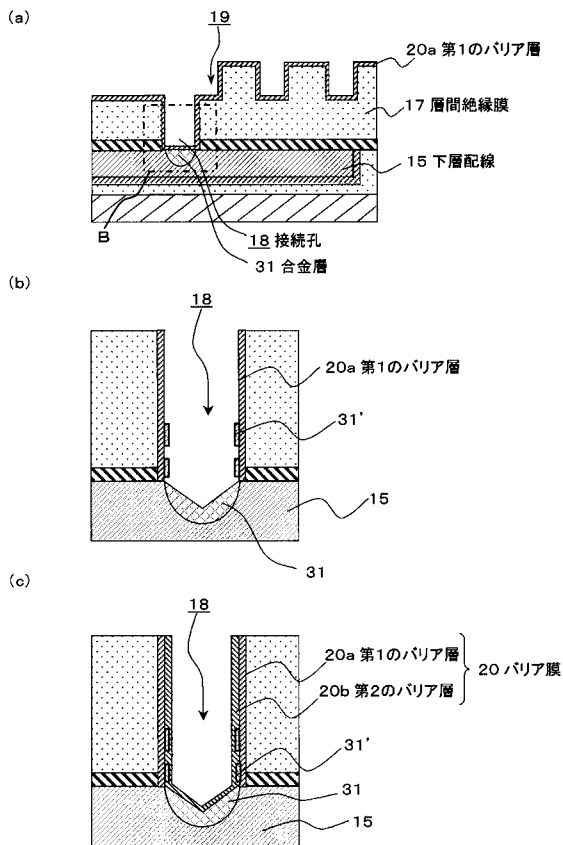
【図3】



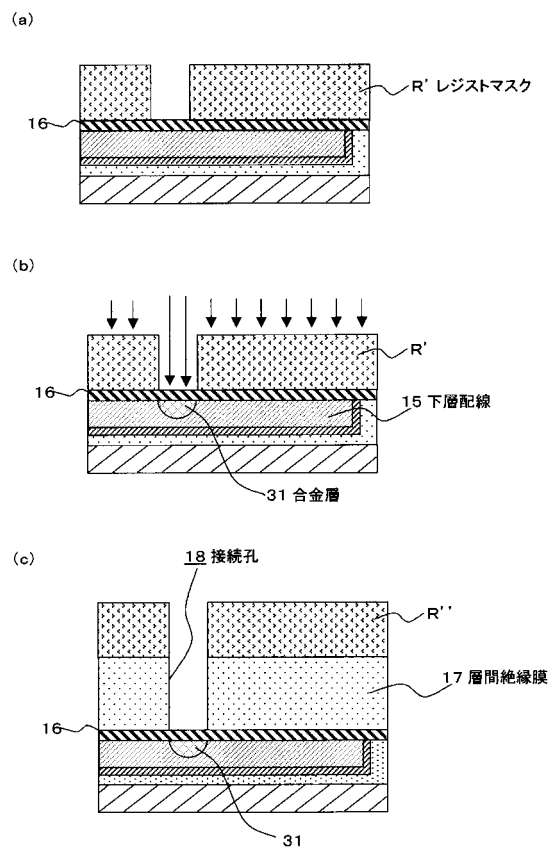
【図4】



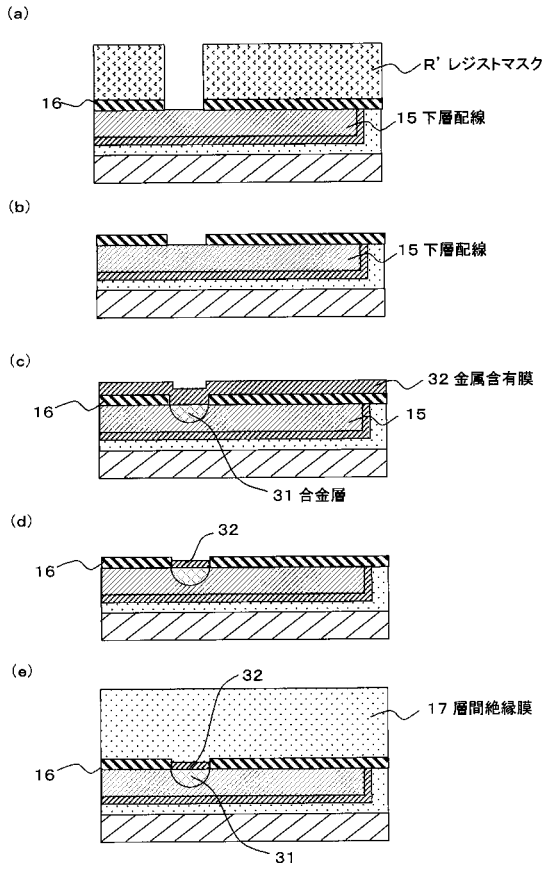
【図5】



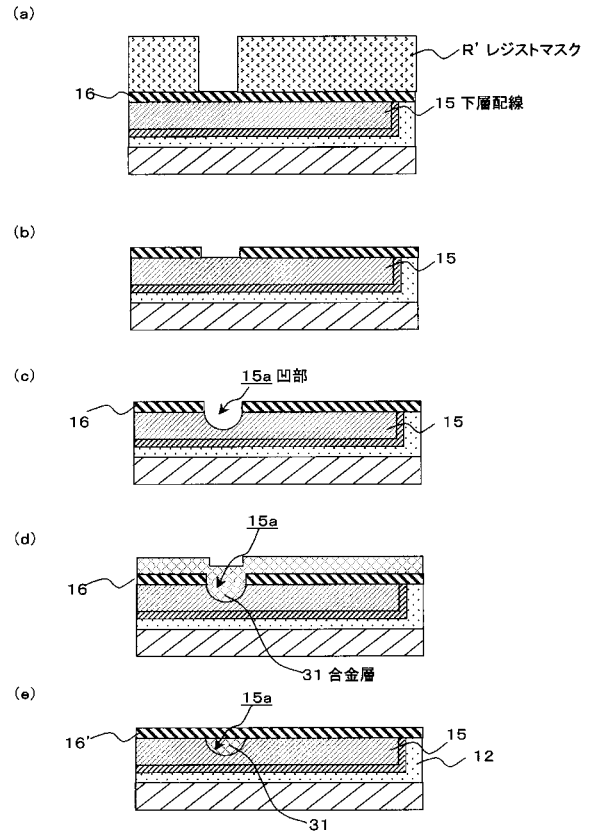
【図6】



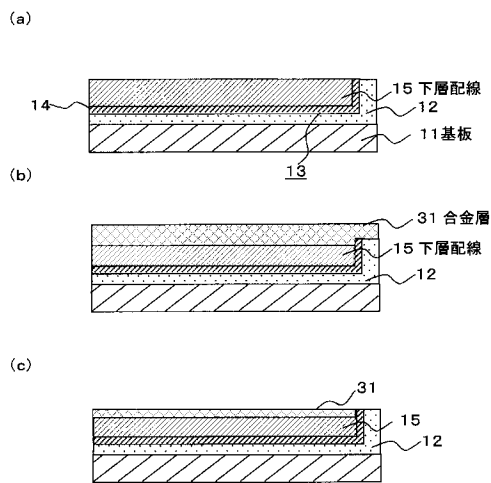
【図7】



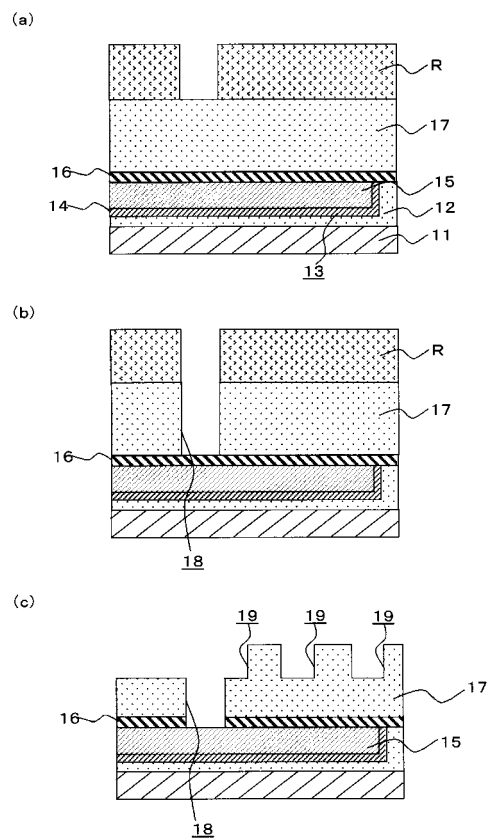
【図8】



【図9】

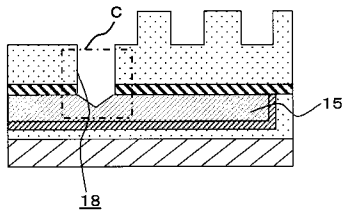


【図10】

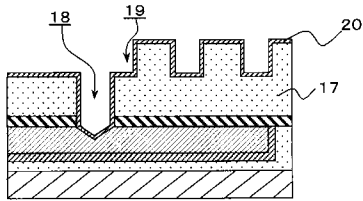


【 図 1 1 】

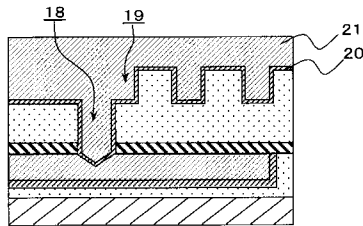
(d)



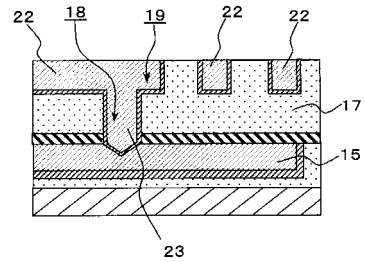
(e)



(f)

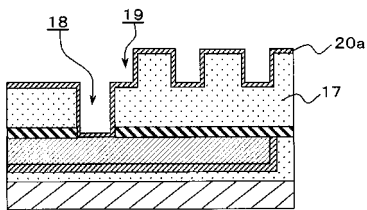


【 図 1 2 】

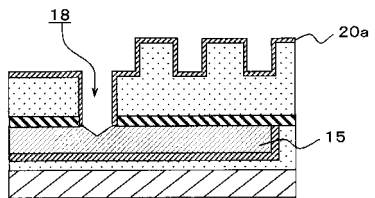


【 図 1 3 】

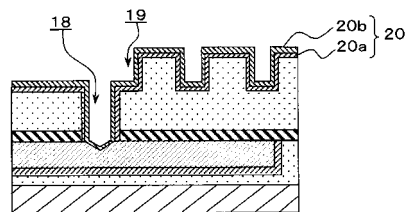
(a)



(b)

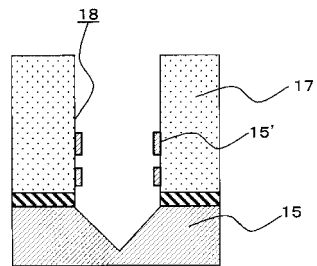


(c)

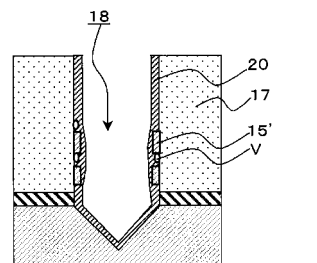


【 図 1 4 】

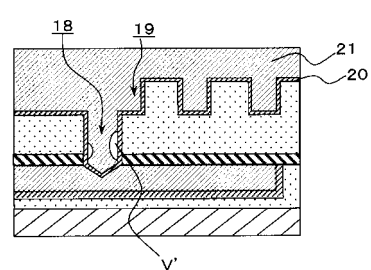
(a)



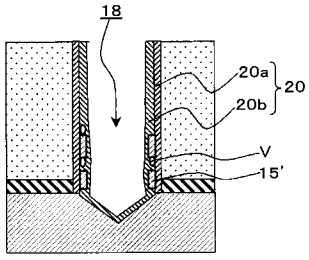
(b)



(c)



【 図 15 】



フロントページの続き

F ターム(参考) 5F033 HH11 HH21 HH32 JJ01 JJ11 JJ21 JJ32 KK11 MM01 MM02
MM12 MM13 NN06 NN07 NN13 PP06 PP15 PP27 QQ08 QQ09
QQ10 QQ12 QQ25 QQ37 QQ48 QQ59 QQ62 QQ92 RR01 RR04
RR21 RR25 RR29 SS11 SS15 SS21 XX05 XX06 XX09 XX14
XX20 XX21