

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-146601

(P2010-146601A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.

G 11 C 11/4099 (2006.01)
G 11 C 11/4091 (2006.01)

F 1

G 11 C 11/34 352 E
G 11 C 11/34 353 E

テーマコード(参考)

5M024

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号
(22) 出願日特願2008-319643 (P2008-319643)
平成20年12月16日 (2008.12.16)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100123788
 弁理士 宮崎 昭夫
 (74) 代理人 100106138
 弁理士 石橋 政幸
 (74) 代理人 100127454
 弁理士 緒方 雅昭
 (72) 発明者 佐藤 智彦
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内
 F ターム(参考) 5M024 AA37 BB13 BB14 BB35 CC18
 CC70 CC82 PP01 PP02 PP03
 PP04 PP05 PP07

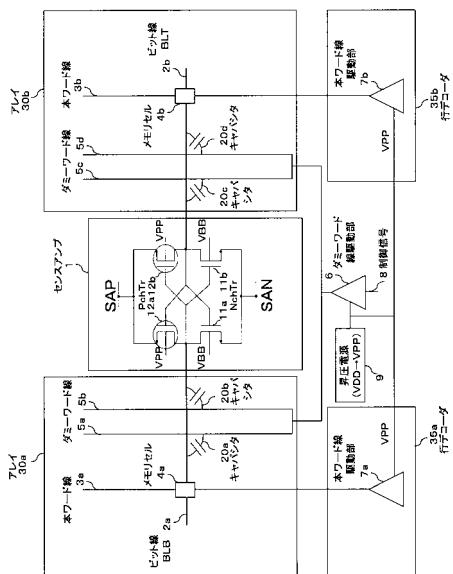
(54) 【発明の名称】半導体記憶装置及びその制御方法

(57) 【要約】

【課題】半導体記憶装置の駆動電圧の低下電圧化に伴い
 参照電位が低下しても十分なセンスマージンを確保する
 。

【解決手段】互いに相補に対成すビット線2a, 2b
 から成るビット線対と、該ビット線対のビット線2a,
 2bの各々に対して該ビット線2a, 2bと交差して配置
 される本ワード線3a, 3bと、ビット線2a, 2b
 と本ワード線3a, 3bの交点に配置されデータを電位
 として保持するメモリセル4a, 4bと、ビット線対の
 ビット線2a, 2bの各々と接続され、メモリセル4a
 , 4bに保持されているデータの読み出しにより、ビット
 線2a, 2bの一方の電位が変化して生じたビット線対
 間の電位差を増幅するセンスアンプ1とを有する半導体
 記憶装置において、ビット線対間に電位差が生じた後、
 センスアンプ1によって当該電位差を増幅する前にビッ
 ト線対のビット線2a, 2bの各々の電位を共に引き上
 げる電位上昇手段を有する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

互いに相補なビット線間の電位差を増幅するセンスアンプと、
アドレス入力によりワード線が活性化し、メモリセルに保持されているデータに応じて
前記相補なビット線の一方のビット線の電位が変化した後、前記センスアンプが活性化さ
れる前に前記相補なビット線の電位を共に上昇させる電位上昇手段とを備えることを特徴
とする半導体記憶装置。

【請求項 2】

請求項 1 に記載の半導体記憶装置において、
前記センスアンプの活性化の際に、前記センスアンプに対して低電位電源が印加された
後に高電位電源が印加される、半導体記憶装置。 10

【請求項 3】

請求項 1 又は請求項 2 に記載の半導体記憶装置において、
前記電位上昇手段が、ダミーワード線の電位遷移時における前記ダミーワード線と前記
ビット線との容量性カップリングを用いるものである、半導体記憶装置。

【請求項 4】

請求項 1 又は請求項 2 に記載の半導体記憶装置において、
前記ビット線に電気的導通を有するビットコンタクトが、絶縁層を介してダミーワード
線と隣接して設けられ、
前記電位上昇手段が、前記ダミーワード線の電位遷移時における前記ダミーワード線と
前記ビットコンタクトとの容量性カップリングを用いるものである、半導体記憶装置。 20

【請求項 5】

請求項 4 に記載の半導体記憶装置において、
前記ビットコンタクトが、互いに並行する前記ダミーワード線の間に設けられている、
半導体記憶装置。

【請求項 6】

請求項 5 に記載の半導体記憶装置において、
前記互いに並行するダミーワード線が、前記センスアンプと該センスアンプに最も近く
配置された本ワード線との間に設けられている、半導体記憶装置。

【請求項 7】

請求項 3 乃至請求項 6 のいずれか 1 項に記載の半導体記憶装置において、
前記相補なビット線の夫々に同じ本数の前記ダミーワード線が交差して設けられている
、半導体記憶装置。 30

【請求項 8】

互いに相補なビット線間の電位差を増幅するセンスアンプを備え、
アドレス入力によりワード線を活性化し、メモリセルに保持されているデータに応じて
前記相補なビット線の一方のビット線の電位を変化させる第 1 のステップと、
前記第 1 のステップの後、前記センスアンプが活性化される前に前記相補なビット線の
電位を共に上昇させる第 2 のステップと、を含むことを特徴とする半導体記憶装置の制御
方法。 40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体記憶装置及びその制御方法に関する。

【背景技術】**【0002】**

半導体記憶装置には、本ワード線とビット線が格子状に配置され、それらの交点にデータを記憶するためのメモリセルが設けられている。なお、メモリセルは‘0’もしくは‘1’に対応するデータを記憶するために、それらに対応付けられた高電位 H もしくは低電位 L を保持する。 50

【0003】

この様な半導体記憶装置においては、メモリセルからデータを読み出すために、データ読み出し前にビット線を参照電位にプリチャージする。そして、ビット線のプリチャージを解除してフローティング状態にした後、アドレス入力により決定される本ワード線を駆動して対応するメモリセルを選択する。これにより、選択したメモリセルに保持されている高電位Hもしくは低電位Lに基づいてビット線の電位が変化する。さらに、電位が変化したビット線と、そのビット線と相補に対を成すビット線との電位差をセンスアンプで増幅し、この増幅した電位差に基づいて、外部へ記憶データの読み出しが行われる。

【0004】

なお、通常、半導体装置においては、センスアンプは、2つのPチャネルMOSトランジスタPchTrと2つのNチャネルMOSトランジスタNchTrとを備えて構成されている。この様なセンスアンプにおいて、一般的にNチャネルMOSトランジスタNchTrの方がPチャネルMOSトランジスタPchTrよりもペアのトランジスタの閾値電圧Vtのアンバランスが小さいため、NチャネルMOSトランジスタNchTrを先に駆動し、ビット線間の電位差がPチャネルMOSトランジスタPchTrの閾値電圧Vtのアンバランスよりも大きくなつた時点でPチャネルMOSトランジスタPchTrを駆動する。

10

【0005】

また、低電圧で動作するダイナミック型半導体記憶装置(DRAM)において、動作速度を確保するためのビット線のプリチャージ方式として、例えば、特許文献1には、容量結合型のダミーセルを用いて適切なビット線の参照電位を設定する技術が記載されている。

20

【特許文献1】特開2001-307479号公報

【発明の開示】**【発明が解決しようとする課題】****【0006】**

近年、半導体記憶装置が携帯端末等にも搭載されるようになり、半導体記憶装置の駆動電圧(電源電圧)の低電圧化が求められており、駆動電圧の低電圧化に伴い参照電位も低下しつつある。つまり、参照電位が、徐々に、センスアンプを構成するNチャネルMOSトランジスタNchTrの閾値電圧Vtに近づきつつある。

30

【0007】

そのため、特に低電位Lのデータを保持しているメモリセルからの読み出しに基づいて変化したビット線間の電位差をセンスアンプで増幅する際に、先行して駆動させるこのNチャネルMOSトランジスタNchTrのゲート・ソース間電位差Vgsおよびドレインソース間電位差Vds自体が小さくなり、NチャネルMOSトランジスタNchTrのドレインソース間電流Idsが減少しており、ビット線間の電位差をセンスアンプで増幅するのに十分なセンスマージンを確保するのが難しくなつてきている。

【0008】

この問題に対して、NチャネルMOSトランジスタNchTrの閾値電圧Vtを低下させる手段が考えられるが、この場合、アクティブスタンバイ時のチャネル間リーク電流が増加する方向となるため、オフ電流Ioffの増加が懸念される。

40

【0009】

また、特許文献1に記載の技術は、参照電位の調整のために補助セルアレイを設けたり、または、予備ワード線を設けたりする必要があり、回路およびレイアウトの規模が大きくなつたり、制御が複雑になることが懸念される。

【課題を解決するための手段】**【0010】**

上記目的を達成するために本発明の半導体記憶装置は、

互いに相補なビット線間の電位差を増幅するセンスアンプを備え、

アドレス入力によりワード線が活性化し、メモリセルに保持されているデータに応じて

50

前記相補なビット線の一方のビット線の電位が変化した後、前記センスアンプが活性化される前に前記相補なビット線の電位を共に上昇させる電位上昇手段を備えることを特徴とする。

【発明の効果】

【0011】

この様に、互いに相補なビット線間の電位差を増幅するセンスアンプを備えており、メモリセルに保持されているデータに応じて相補なビット線の一方のビット線の電位が変化した後、センスアンプが活性化される前に相補なビット線の電位を共に上昇させる電位上昇手段を備えている。

【0012】

そのため、メモリセルからのデータの読み出しに基づくビット線間電位差の増幅時に、センスアンプを構成するNチャネルMOSトランジスタN_chT_rのゲート・ソース間電位V_{gs}およびドレインソース間電位V_{ds}が大きくなり、NチャネルMOSトランジスタN_chT_rのドレインソース間電流I_{ds}が増加するため、NチャネルMOSトランジスタN_chT_rの閾値電圧V_tを低下させなくても十分なセンスマージンを確保することが出来る。

【0013】

本発明は、従来より半導体記憶装置が備えているダミーワード線を用いて構成することが可能であり、大幅なハードウェアの追加を必要とせず効果的にセンスマージンの拡大を図れるものである。

10

20

【発明を実施するための最良の形態】

【0014】

以下に、本発明を実施するための最良の形態について図面を参照して説明する。

【0015】

(第1の実施形態)

図1は、本発明の半導体記憶装置の第1の実施形態の構成を示すブロック図である。

【0016】

なお、図1におけるアレイ30aには、本来、多数の本ワード線3aと一端が夫々センスアンプ1に接続される多数のビット線BLB2aとが格子状に配置され、その交点にはデータを記憶するメモリセルが設けられる。また、アレイ30bにも、多数の本ワード線3bと一端が夫々センスアンプ1に接続される多数のビット線BLT2bとが格子状に配置され、その交点にはデータを記憶するメモリセルが設けられる。しかし、図1ではセンスアンプを1つのみ表し、その両側に配置されるアレイ30a及び30bの構成についても、本ワード線1本と、センスアンプに一端が接続されるビット線1本で代表させている。

30

【0017】

図1に示すように、本実施形態の半導体記憶装置においては、センスアンプ1にビット線BLB2aおよびビット線BLT2bが接続されており、ビット線BLB2aと交差するように本ワード線3aが配置され、ビット線BLT2bと交差するように本ワード線3bが配置されている。また、ビット線BLB2aと本ワード線3aの交点にはメモリセル4aが設けられ、ビット線BLT2bと本ワード線3bの交点にメモリセル4bが設けられている。さらに、本ワード線3aと並行してダミーワード線5a, 5bが配置され、本ワード線3bと並行してダミーワード線5c, 5dが配置されている。また、ビット線BLB2aと、本ワード線3aと、メモリセル4aと、ダミーワード線5a, 5bとによりアレイ30aが構成され、ビット線BLT2bと、本ワード線3bと、メモリセル4bと、ダミーワード線5c, 5dとによりアレイ30bが構成されている。また、ダミーワード線5a～5dはダミーワード線駆動部6に接続されており、本ワード線3a, 3bは行デコーダ35a, 35bの一部を構成する本ワード線駆動部7a, 7bに接続されている。また、ダミーワード線駆動部6には、本ワード線駆動部7a, 7bと同様に、外部から供給された電源電圧VDD(例えば1.5V)を昇圧電源9で昇圧した昇圧電位VPP(

40

50

例えば 2 . 6 V) が供給されている。そして制御信号 8 によりダミーワード線駆動部 6 が活性化されると、その昇圧電源 9 で昇圧した昇圧電位 VPP をダミーワード線 5 a ~ 5 d に供給する。

【 0 0 1 8 】

なお、本発明におけるピット線の電位上昇手段は、ダミーワード線駆動部 6 とダミーワード線 5 a ~ 5 d とを含んで構成される。

【 0 0 1 9 】

また、ダミーワード線 5 a ~ 5 d は、センスアンプ 1 と本ワード線 3 a , 3 b との間に配置されている。これは、アレイ 30 a , 30 b のセンスアンプ 1 と接する側のアレイ端、つまりピット線 BLB2a 、ピット線 BLT2b がセンスアンプ 1 に接続される位置に隣接する領域では、セルアレイの繰り返しが途切れる為、露光装置等の形状に対する粗密の影響によりワード線やコンタクト等の形状が崩れ易い。その対策として、アレイ端に本ワード線の形状確保用のダミーワード線 5 a ~ 5 d を配置することで、本ワード線 3 a , 3 b に形状不良が生じるのを防ぐためである。通常、アレイ端にはこの様なダミーワード線が 2 ~ 4 本程度配置される。

10

【 0 0 2 0 】

ピット線 BLB2a とピット線 BLT2b とは、互いに相補を成すピット線対を構成している。ピット線 BLB2a およびピット線 BLT2b は、メモリセル 4 a , 4 b からのデータ読み出し前に参照電位 VBLP (例えは、0 . 55 V) にプリチャージされる。

20

【 0 0 2 1 】

メモリセル 4 a , 4 b は、‘ 1 ’ もしくは‘ 0 ’ に対応するデータを記憶するために、それらに対応付けられた高電位 H もしくは低電位 L を保持する。

【 0 0 2 2 】

本ワード線駆動部 7 a , 7 b は、メモリセル 4 a , 4 b からのデータの読み出しの際に対応する本ワード線 3 a , 3 b を駆動し、対応するメモリセル 4 a , 4 b に保持されている電位に基づいてピット線 BLB2a 又はピット線 BLT2b の電位を変化させる。

30

【 0 0 2 3 】

ダミーワード線 5 a とピット線 BLB2a との間には寄生容量 (静電容量) 20 a が存在し、ダミーワード線 5 b とピット線 BLB2a との間には寄生容量 (静電容量) 20 b が存在している。また、ダミーワード線 5 c とピット線 BLT2b との間には寄生容量 (静電容量) 20 c が存在し、ダミーワード線 5 d とピット線 BLT2b との間には寄生容量 (静電容量) 20 d が存在している。なお、これらダミーワード線とピット線との間に容量素子を設けてキャパシタ 20 a ~ 20 d としても良い。また、ダミーワード線駆動部 6 が活性化される前の非駆動時においては、ダミーワード線 5 a ~ 5 d の電位は低レベル電位の 0 V 或いは負電圧 (例えは、-0 . 4 V) とされている。そして、本ワード線駆動部 7 a (又は 7 b) には、外部から供給された電源電圧 VDD (例えは 1 . 5 V) を昇圧電源 9 で昇圧した昇圧電位 VPP が供給されている。

【 0 0 2 4 】

アドレスが入力されて行デコーダ 35 a により本ワード線駆動部 7 a (又は 7 b) が本ワード線 3 a (又は 3 b) を高レベル電位 H (例えは、VPP : 2 . 6 V) とし、メモリセル 4 a (又はメモリセル 4 b) からのデータの読み出しによりピット線 BLB2a (又はピット線 BLT2b) の電位が変化する。一般的には、続いて、センスアンプ 1 の N チャネル MOS トランジスタソース電位 SAN 及び P チャネル MOS トランジスタソース電位 SAP が印加されてセンスアンプ 1 が活性化される。しかし、ここでは、センスアンプ 1 が活性化されてピット線 BLB2a とピット線 BLT2b との間の電位差の増幅が開始される前に、制御信号 8 によりダミーワード線駆動部 6 が活性化され、ダミーワード線駆動部 6 はダミーワード線 5 a ~ 5 d を同時に駆動し、それらの電位を低レベル電位である 0 V から高レベル電位 VPP (例えは、2 . 6 V) に引き上げる。これにより、ピット線 BLB2a およびピット線 BLT2b の電位が、寄生容量 20 a ~ 20 d を介した容量性カップリングにより互いにほぼ同じ値分引き上げられる。つまり、各ピット線の電位変化

40

50

はほぼ同じとなる。

【0025】

ここで、アクティブコマンドと共にアドレス（ロウアドレス）が入力され、ロウアドレス系が活性化されてから所定の遅延時間後に、上記制御信号8が、例えば低レベル電位から高レベル電位（VDDレベル）に変化することで、ダミーワード線駆動部6が活性化される。

【0026】

なお、本実施形態においては、1つのダミーワード線駆動部6が、ダミーワード線5a～5dを全て駆動している。しかし、複数のダミーワード線駆動部6で駆動してもよい。この場合、ビット線BLB2aおよびビット線BLT2bの電位を期待する程度に十分引き上げることが出来るように、アレイ30aのビット線BLB2aに交差するダミーワード線の本数と、アレイ30bのビット線BLT2bに交差するダミーワード線の本数とを同数となる条件で調整し、複数のダミーワード線駆動部6を準備して駆動してもよい。10

【0027】

また、アレイ30aとアレイ30bとで同数のダミーワード線本数とし、アレイ30aのダミーワード線とアレイ30bのダミーワード線とを、夫々別個のダミーワード線駆動部6により駆動する構成としてもよい。

【0028】

さらに、各アレイにおいて、同数本のダミーワード線ずつ複数組に分け、各組毎にダミーワード線駆動部6を準備して駆動する構成としてもよい。20

【0029】

図1のように、センスアンプ1は、NチャネルMOSトランジスタNchTr11a, 11bと、PチャネルMOSトランジスタPchTr12a, 12bとを備えて構成されている。ダミーワード線駆動部6によりビット線BLB2aおよびビット線BLT2bの電位が引き上げられた後、センスアンプ1のNチャネルMOSトランジスタソース電位S_{AN}が先行して印加され、NチャネルMOSトランジスタNchTr11a, 11bが活性化され増幅を開始する。そして、その所定時間後にPチャネルMOSトランジスタソース電位S_{AP}が印加され、PチャネルMOSトランジスタPchTr12a, 12bが活性化されてセンスアンプ1全体が活性化される。これにより、メモリセル4a, 4bからのデータの読み出しにより生じたビット線BLB2aとビット線BLT2bとの間の電位差を増幅する。30

【0030】

具体的には、データ読み出しが行われると、メモリセルに保持されていた高電位Hまたは低電位Lに基づいてビット線BLB2a又はビット線BLT2bに僅かな電位変化（プリチャージ電位である参照電位V_{BLP}からS_{AP}側又はS_{AN}側のいずれかへ変化）が生じ、この電位変化をセンスアンプ1の活性化により増幅する。そして、最終的に、メモリセル4a, 4bからの読み出しデータに応じて、ビット線BLB2a及びビット線BLT2bの一方の電位はPチャネルMOSトランジスタソース電位S_{AP}まで増幅され、その他方の電位はNチャネルMOSトランジスタソース電位S_{AN}まで増幅される。その結果、ビット線BLB2aとビット線BLT2bとのビット線間の電位差は、S_{AP}-S_{AN}の値まで増幅されている。以下に、本実施形態の半導体記憶装置の動作について説明する。40

【0031】

図2は、図1に示した半導体記憶装置の動作を説明する図である。なお、図2においては、横軸は経過時間を、縦軸はダミーワード線5a～5dやビット線BLB2a、ビット線BLT2b等の電位をそれぞれ示している。

【0032】

ここでは、図1に示したメモリセル4aに低電位Lが保持されている状態において、メモリセル4aからデータを読み出す場合の本実施形態の半導体記憶装置の動作について説明する。50

【0033】

図2に示すように、ビット線B L B 2 a、ビット線B L T 2 bが参照電位V B L P（例えば、0.55V）にプリチャージされている状態において、入力されたアドレス（ロウアドレス）に基づいてタイミングT 0でロウアドレス系が活性化され、行デコーダ35aにより本ワード線駆動部7aが本ワード線3aを高レベル電位Hとする。これにより、メモリセル4aからビット線B L B 2 aにデータの読出しが行われてビット線B L B 2 aの電位が低下し、ビット線B L T 2 bとの間に電位差が生じる。

【0034】

なお、本ワード線3aの高レベル電位Hは、前記したように電源電圧V D Dを昇圧したV P P（例えば、2.6V）のレベルとしても良いし、電源電圧V D D（例えば、1.5V）そのもののレベルとしても良い。10

【0035】

ロウアドレス系が活性化してビット線間に電位差が生じた後、タイミングT 1で、制御信号8を、例えば低レベル電位（0V）から高レベル電位（V D D:例えば1.5V）に変化させることで、ダミーワード線駆動部6を活性化する。活性化されたダミーワード線駆動部6が、ダミーワード線5a～5dを駆動し、ダミーワード線5a～5dの電位を低レベル電位の0Vから昇圧電源9の出力である昇圧電位V P P（例えば、2.6V）の高レベル電位に引き上げる。

【0036】

このとき、寄生容量20a～20dを介したダミーワード線5a～5dとの容量性カップリングにより、ビット線B L B 2 a及びビット線B L T 2 bの電位がタイミングT 1以前の電位よりも高電位に引き上げられる。なお、図2に示すように、このとき、ビット線B L B 2 a、ビット線B L T 2 bに対してそれぞれ同数のダミーワード線5a～5dの電位が同時に高レベル電位に引き上げられるため、ビット線B L B 2 a及びビット線B L T 2 bの電位は互いにほぼ同じ値分引き上げられる。20

【0037】

次に、センスアンプ1において、ビット線B L B 2 aおよびビット線B L T 2 bの電位が引き上げられた後のタイミングT 2でNチャネルMOSトランジスタソース電位S A Nが印加され（例えば、0V）、NチャネルMOSトランジスタN c h T r 1 1 a, 1 1 bが活性化される。このとき、NチャネルMOSトランジスタN c h T r 1 1 aのソース電位はNチャネルMOSトランジスタソース電位S A Nに、ゲート電位はビット線B L T 2 bの電位に、ドレイン電位はビット線B L B 2 aの電位になる。また、NチャネルMOSトランジスタN c h T r 1 1 bのソース電位はNチャネルMOSトランジスタソース電位S A Nに、ゲート電位はビット線B L B 2 aの電位に、ドレイン電位はビット線B L T 2 bの電位になる。30

【0038】

そのため、ビット線B L B 2 aおよびビット線B L T 2 bの電位の引き上げを行わない場合と比較して、容量性カップリングにより引き上げられた値分だけNチャネルMOSトランジスタN c h T r 1 1 a, 1 1 bのゲート・ソース間電位差V g sおよびドレインソース間電位差V d sが大きくなり、ドレインソース間電流I d sを増加することが出来る。40

【0039】

なお、図2においては、ダミーワード線5a～5dの高レベル電位として、電源電圧V D D（例えば、1.5V）を昇圧電源9により昇圧した昇圧電位V P P（例えば、2.6V）を使用している。ダミーワード線5a～5dの高レベル電位として昇圧電位V P Pを使用する場合、電源電圧V D Dからの変換効率により消費電流が大きくなりやすいため、昇圧電源9を取り除き、電源電圧V D Dをそのまま高レベル電位として使用しても良い。この場合、昇圧電位V P Pを使用する場合よりも容量性カップリングによるビット線電位の引き上げ効果が小さくなる可能性があるため、配置するダミーワード線の本数を増やし、ダミーワード線駆動部6が駆動するダミーワード線の本数を増やす手段もある。50

【0040】

なお、図2には図示していないが、NチャネルMOSトランジスタソース電位S_{AN}が印加されてセンスアンプ1のNチャネルMOSトランジスタN_{chTr11a}, 11bが活性化されて増幅を開始した後、PチャネルMOSトランジスタソース電位S_{AP}が印加されてセンスアンプ1のPチャネルMOSトランジスタP_{chTr12a}, 12bが活性化される。これにより、PチャネルMOSトランジスタP_{chTr12a}, 12bによる増幅も開始されることになる。

【0041】

上述したように、本実施形態の半導体記憶装置においては、ダミーワード線駆動部6は、メモリセルからのデータ読出しにより生じたビット線B_LB_{2a}とビット線B_LT_{2b}との間の電位差をセンスアンプ1で増幅する前に、ダミーワード線5a～5dを駆動することで、ビット線B_LB_{2a}、ビット線B_LT_{2b}の電位を互いにほぼ同じ値分だけ引き上げることができる。10

【0042】

そのため、NチャネルMOSトランジスタソース電位S_{AN}が印加されてセンスアンプ1を構成するNチャネルMOSトランジスタN_{chTr11a}, 11bが活性化して増幅を開始する際に、これらNチャネルMOSトランジスタN_{chTr11a}, 11bのゲート・ソース間電位V_{gs}およびドレインソース間電位V_{ds}が大きくなり、NチャネルMOSトランジスタN_{chTr11a}, 11bのドレインソース間電流I_{ds}が増加する。これにより、センスアンプ1を構成するPチャネルMOSトランジスタP_{chTr12a}, 12bが増幅を開始する時に、これらPチャネルMOSトランジスタのうち少なくとも一方のPチャネルMOSトランジスタのゲート・ソース間電位V_{gs}が、これら2つのPチャネルMOSトランジスタ間の閾値電圧V_tのアンバランス以上の値に達することが容易となる。20

【0043】

このため、NチャネルMOSトランジスタN_{chTr}の閾値電圧V_tを低下させなくても十分なセンスマージンを確保することが出来る。

【0044】

(第2の実施形態)

本発明の半導体記憶装置の第2の実施形態は、第1の実施形態と比較して、本ワード線とダミーワード線の配置が異なる。30

【0045】

図3は、本発明の半導体記憶装置の第2の実施形態の構成を示すブロック図である。

【0046】

図3に示すように、本実施形態の半導体記憶装置においては、センスアンプ1にビット線B_LB_{2a}およびビット線B_LT_{2b}が接続されており、ビット線B_LB_{2a}と交差するように本ワード線3c～3fが配置され、ビット線B_LB_{2b}と交差するように本ワード線3g～3jが配置されている。また、ビット線B_LB_{2a}と本ワード線3c～3fの交点にはそれぞれメモリセル4c～4fが設けられ、ビット線B_LT_{2b}と本ワード線3g～3jの交点にはそれぞれメモリセル4g～4jが設けられている。また、本ワード線3c～3fと並行してダミーワード線5e, 5fが配置され、本ワード線3g～3jと並行してダミーワード線5g, 5hが配置されている。また、ビット線B_LB_{2a}と、本ワード線3c～3fと、メモリセル4c～4fと、ダミーワード線5e, 5fとを備えてアレイ30cが構成され、ビット線B_LT_{2b}と、本ワード線3g～3jと、メモリセル4g～4jと、ダミーワード線5g, 5hとを備えてアレイ30dが構成されている。また、ダミーワード線5e～5hはダミーワード線駆動部6に接続されており、本ワード線3c～3jは行デコーダ35c, 35dの一部を構成する本ワード線駆動部7c～7jに夫々接続されている。また、本ワード線駆動部7c～7jと同様に、ダミーワード線駆動部6には、外部から供給された電源電圧V_{DD}（例えば、1.5V）を昇圧電源9で昇圧した昇圧電位V_{PP}（例えば、2.6V）が供給されている。そして制御信号8によりダミ40

10

20

30

40

50

ワード線駆動部 6 が活性化されると、その昇圧電源 9 で昇圧した昇圧電位 VPP をダミーワード線 5 a ~ 5 d に供給する。

【0047】

なお、本実施形態の半導体記憶装置においては、アレイ 30c, 30d 内において本ワード線 3c ~ 3j 及びダミーワード線 5e ~ 5h をピット線方向に等間隔に配置することで、アレイ 30c, 30d 内の粗密を無くし規則性を維持している。特に、2 本の本ワード線 3c, 3d (3g, 3h) と 1 本のダミーワード線 5e (5g) を一組とし、2 本の本ワード線 3e, 3f (3i, 3j) と 1 本のダミーワード線 5f (5h) を他の一組としてピット線方向に等間隔で配置する本実施形態の構成は、6F2セル（本例ではワード線方向が 3F ピッチ、ピット線方向が 2F ピッチ）の設計ルールにおいてアレイ 30c, 30d 内の粗密を無くし規則性を維持するのに適している。また、本実施形態においては、2 本の本ワード線と 1 本のダミーワード線を一組としてピット線方向に等間隔で配置している。しかし、ピット線 BLB2a およびピット線 BLT2b に対して同数の本ワード線と同数のダミーワード線が配置されれば、アレイ 30c, 30d の各アレイに等間隔で配置される本ワード線の本数およびダミーワード線の本数は任意の本数でよい。

10

【0048】

各構成要素の動作については、図 1 に示した第 1 の実施形態の半導体記憶装置の同様の構成要素と同じであるため説明を割愛する。

【0049】

図 4 は、図 3 に示した半導体記憶装置の変形例の構成を示すブロック図である。

20

【0050】

図 4 に示すように、本変形例の半導体記憶装置においては、センスアンプ 1 にピット線 BLB2a およびピット線 BLT2b が接続されており、ピット線 BLB2a と交差するように本ワード線 3c ~ 3f が配置され、ピット線 BLT2b と交差するように本ワード線 3g ~ 3j が配置されている。また、ピット線 BLB2a と本ワード線 3c ~ 3f の交点にはそれぞれメモリセル 4c ~ 4f が設けられ、ピット線 BLT2b と本ワード線 3g ~ 3j の交点にはそれぞれメモリセル 4g ~ 4j が設けられている。また、本ワード線 3c ~ 3f と並行してダミーワード線 5a, 5b, 5e, 5f が配置され、本ワード線 3g ~ 3j と並行してダミーワード線 5c, 5d, 5g, 5h が配置されている。また、ピット線 BLB2a と、本ワード線 3c ~ 3f と、メモリセル 4c ~ 4f と、ダミーワード線 5a, 5b, 5e, 5f とを備えてアレイ 30e が構成され、ピット線 BLT2b と、本ワード線 3g ~ 3j と、メモリセル 4g ~ 4j と、ダミーワード線 5c, 5d, 5g, 5h とを備えてアレイ 30f が構成されている。また、ダミーワード線 5a ~ 5h はダミーワード線駆動部 6 に接続されており、本ワード線 3c ~ 3j は行デコーダ 35e, 35f の一部を構成する本ワード線駆動部 7c ~ 7j に夫々接続されている。また、本ワード線駆動部 7c ~ 7j と同様に、ダミーワード線駆動部 6 には、外部から供給された電源電圧 VDD (例えば、1.5V) を昇圧電源 9 で昇圧した昇圧電位 VPP (例えば、2.6V) が供給されている。制御信号 8 によりダミーワード線駆動部 6 が活性化されると、その昇圧電位 VPP をダミーワード線 5a ~ 5h に供給する。

30

【0051】

なお、本変形例においては、図 3 に示した半導体記憶装置と比較して、図 1 に示した第 1 の実施形態の半導体記憶装置と同様にアレイ 30e, 30f のセンスアンプ 1 側のアレイ端にダミーワード線 5a ~ 5d を配置している点が異なる。この様にすることで、アレイ端での本ワード線 3c ~ 3j の形状不良を防ぎつつ、アレイ 30e, 30f 内の粗密を無くし規則性を維持することができる。

40

【0052】

(第 3 の実施形態)

本発明の半導体記憶装置の第 3 の実施形態は、第 1、第 2 の実施形態と比較して、ピット線とダミーワード線の間に大きな静電容量（キャパシタとも言う）を得るためにダミーワード線に隣接してピットコンタクトを設ける点が異なる。

50

【0053】

図5は、本発明の半導体記憶装置の第3の実施形態の構成を示す図である。図5(a)は半導体記憶装置のアレイ30gの上面図を示しており、図5(b)は図5(a)のビット線上での断面図を示している。なお、図5(a)(b)においては、作図の都合上、各センスアンプ1に接続されるビット線対の一方のビット線2cを含むアレイ30gのみを記載し、他方のビット線を含むアレイや本ワード線駆動部、ダミーワード線駆動部、昇圧電源等を省略している。

【0054】

図5(a)に示すように、本実施形態の半導体記憶装置においては、アレイ30gのセンスアンプ1側のアレイ端からビット線の延在方向に対して、4本のダミーワード線5j～5mと、2本の本ワード線3k, 3lと、ダミーワード線5iと、が等間隔で配置されている。また、2本の本ワード線3k, 3lの間にビットコンタクト40aが設けられ、更に、ビット線とダミーワード線の間に大きな静電容量を得るため、アレイ端に配置された互いに隣接する2本のダミーワード線5k, 5lの間にビットコンタクト40bが設けられている。

10

【0055】

図6は、図5(b)に示したA部の拡大図である。

【0056】

図6に示すように、ビット線2cとビットコンタクト40bとが直接接続されて電気的な導通が取られており、また、ビットコンタクト40bとその両隣のダミーワード線5k, 5lとが絶縁膜50a, 50bを介して静電容量を形成している。この様にビットコンタクト40bを設けることにより、ダミーワード線5k, 5lとビット線2cとの間の間隔よりも、ダミーワード線5k, 5lとビットコンタクト40bとの間隔の方が短くなる。それによりダミーワード線5k, 5lとビット線2cとの間で得られる静電容量（寄生容量）20i, 20jよりも大きな静電容量20k, 20lをダミーワード線5k, 5lとビットコンタクト40bとの間で得ることができる。

20

【0057】

この構成において、図2のビット線間に電位差が生じたタイミングT1で制御信号8によりダミーワード線駆動部6を活性化して電源電圧VDDを昇圧電源9で昇圧した昇圧電位VPP（例えば、2.6V）をダミーワード線5i～5mに供給し、ダミーワード線5i～5mの電位を低レベル電位の0Vから高レベル電位VPPに引き上げる。このとき、大きな静電容量20k, 20lを介したダミーワード線5k～5lとの容量性カップリングにより、効果的にビット線2cの電位がタイミングT1以前の電位よりも高電位に引き上げられる。このように、ダミーワード線5k, 5lを駆動した際に、ダミーワード線5k, 5lとビットコンタクト40bとの間で大きな容量性カップリングの効果を得ることができ、ビットコンタクト40bを設けない場合よりもビット線2cの電位をより高い電位に引き上げることができる。

30

【0058】

なお、図6においては、大きな静電容量20k, 20lを得るために、ビットコンタクト40bとダミーワード線5k, 5lの夫々に、絶縁膜50a, 50bを介して対向する凸部を設けている。しかしながら、ビットコンタクト40b又はダミーワード線5k, 5lのいずれか一方のみに凸部を設けても良いし、凸部を設けなくても良い。ビットコンタクト40bとダミーワード線5k, 5lとの間隔は、製造プロセスに依存する最小設計寸法およびダミーワード線の駆動電位（高レベル電位）等を考慮しながら、ビット線の電位引き上げ値が所望の値となるように調節すれば良い。

40

【0059】

また、本実施形態においては、ビットコンタクト40bをアレイ30gのセンスアンプ1側のアレイ端に配置されるダミーワード線5k, 5lの間に配置しているが、これは、ビットコンタクト40bをセンスアンプ1に近い位置に配置したほうが、より大きなビット線2cの電位の引き上げ効果が期待できるためである。

50

【0060】

なお、図1に示した第1の実施形態の半導体記憶装置においても、本実施形態のようにアレイ端に配置されたダミーワード線5a、5bおよびダミーワード線5c、5dの間にビットコンタクトを設けることで同様の効果を得ることができる。

【図面の簡単な説明】

【0061】

【図1】本発明の半導体記憶装置の第1の実施形態の構成を示すブロック図である。

【図2】図1に示した半導体記憶装置の動作を説明する図である。

【図3】本発明の半導体記憶装置の第2の実地形態の構成を示すブロック図である。

【図4】図3に示した半導体記憶装置の変形例の構成を示すブロック図である。 10

【図5】本発明の半導体記憶装置の第3の実施形態の構成を示す図である。

【図6】図5(b)に示したA部の拡大図である。

【符号の説明】

【0062】

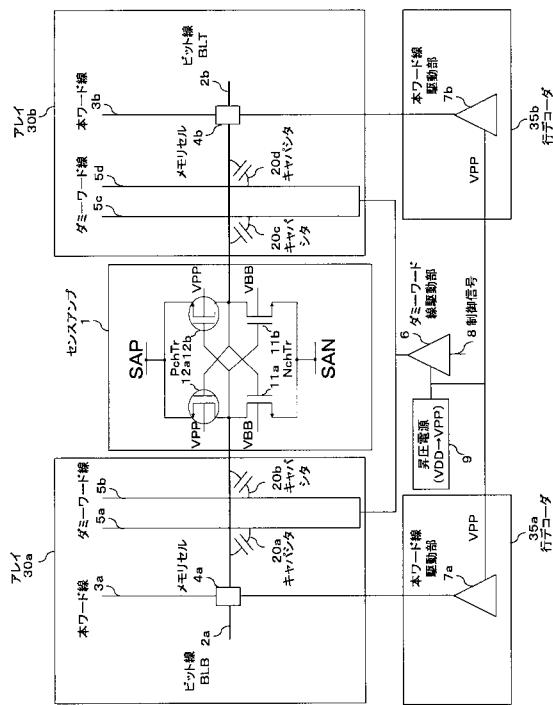
1	センスアンプ
2a ~ 2c	ビット線
3a ~ 3l	本ワード線
4a ~ 4j	メモリセル
5a ~ 5m	ダミーワード線
6	ビット線駆動部
7a ~ 7j	本ワード線駆動部
8	制御信号
9	昇圧電源
11a, 11b	NチャネルトランジスタNchTr
12a, 12b	PチャネルトランジスタPchTr
20a ~ 20l	静電容量(キャパシタ)
30a ~ 30g	アレイ
35a ~ 35f	行デコーダ
40a, 40b	ビットコンタクト
50a, 50b	絶縁膜

10

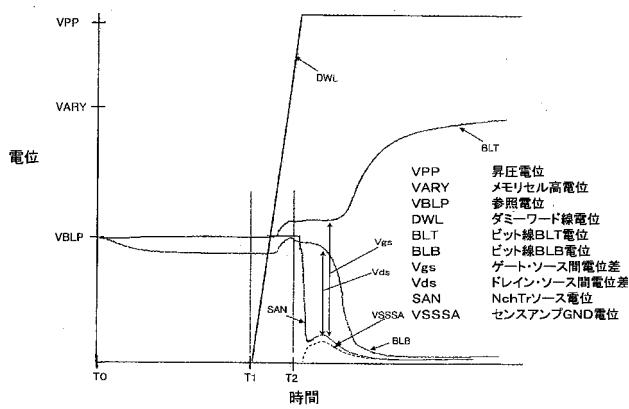
20

30

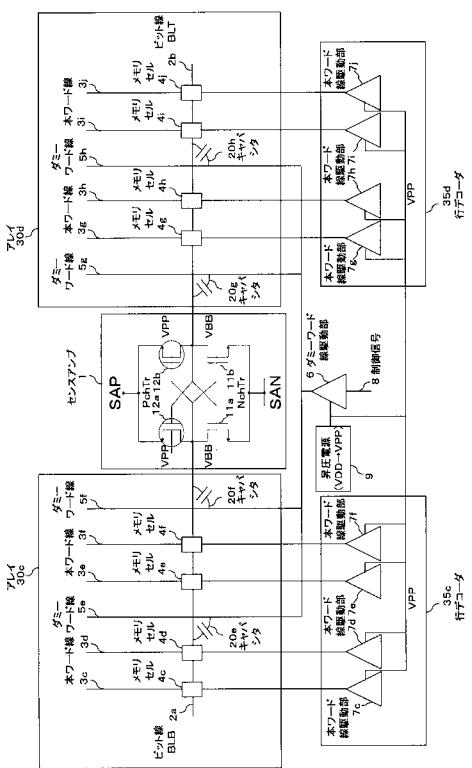
〔 図 1 〕



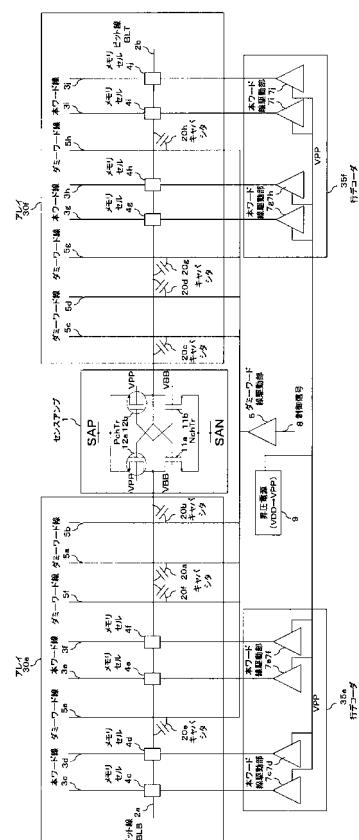
【 図 2 】



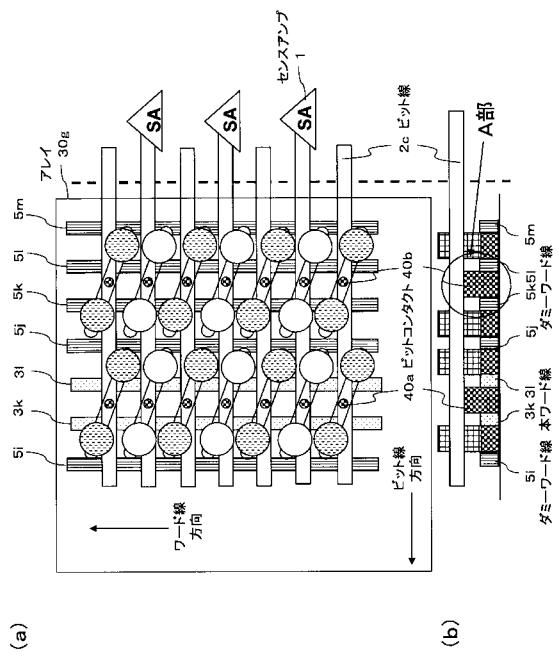
【 図 3 】



【 四 4 】



【図5】



【図6】

