

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-282510

(P2010-282510A)

(43) 公開日 平成22年12月16日(2010.12.16)

(51) Int.Cl.			F I	テーマコード (参考)		
G06F	12/00	(2006.01)	G06F	12/00	550K	5B060
H01L	25/04	(2006.01)	H01L	25/04	Z	
H01L	25/18	(2006.01)	G11C	5/00	303Z	
G11C	5/00	(2006.01)				

審査請求 未請求 請求項の数 11 O L (全 35 頁)

(21) 出願番号 特願2009-136648 (P2009-136648)
 (22) 出願日 平成21年6月5日 (2009.6.5)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100115738
 弁理士 鷲頭 光宏
 (74) 代理人 100121681
 弁理士 緒方 和文
 (74) 代理人 100130982
 弁理士 黒瀬 泰之
 (74) 代理人 100127199
 弁理士 三谷 拓也
 (72) 発明者 平石 厚
 東京都中央区八重洲二丁目2番1号エルピー
 ーダメモリ株式会社内

最終頁に続く

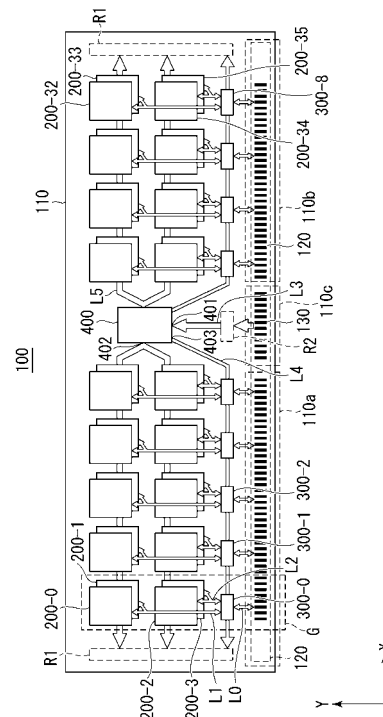
(54) 【発明の名称】 メモリモジュール

(57) 【要約】

【課題】高いデータ転送レートを実現可能なLoad Reduced型のメモリモジュールを提供する。

【解決手段】モジュール基板110に搭載された複数のメモリチップ200及びそれぞれ2個以上のメモリチップが割り当てられた複数のデータレジスタバッファ300を備える。複数のデータレジスタバッファ300のそれぞれは、データ配線L0を介してデータコネクタに接続されるM個(Mは1以上の整数)の入出力端子と、データ配線L1, L2を介して対応するメモリチップ200のデータ端子に接続されるN個(Nは2M以上の整数)の入出力端子とを有しており、これにより、データ配線L1, L2の数がデータ配線L0の数のN/M倍とされている。本発明によれば、データ配線L1, L2の負荷容量が大幅に低減されることから、非常に高いデータ転送レートを実現することが可能となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のデータコネクタを有するモジュール基板と、
前記モジュール基板に搭載され、それぞれ少なくとも一つのデータ端子を有する複数のメモリチップと、

前記モジュール基板に搭載され、それぞれ 2 個以上の前記メモリチップが割り当てられた複数のデータレジスタバッファと、を備え、

前記複数のデータレジスタバッファのそれぞれは、前記モジュール基板に形成された第 1 のデータ配線を介して前記データコネクタに接続される M 個 (M は 1 以上の整数) の第 1 の入出力端子と、前記モジュール基板に形成された第 2 のデータ配線を介して対応する前記メモリチップの前記データ端子に接続される N 個 (N は 2 M 以上の整数) の第 2 の入出力端子とを有しており、これにより、前記第 2 のデータ配線の数に前記第 1 のデータ配線の数に N / M 倍であることを特徴とするメモリモジュール。

10

【請求項 2】

前記データレジスタバッファは、前記第 1 のデータ配線を介して転送されるライトデータをバッファリングして前記第 2 のデータ配線のいずれかへ出力するとともに、いずれかの前記第 2 のデータ配線を介して転送されるリードデータをバッファリングして前記第 1 のデータ配線に出力することを特徴とする請求項 1 に記載のメモリモジュール。

【請求項 3】

前記第 1 のデータ配線を介して転送される前記ライトデータ及び前記リードデータの転送レートと、前記第 2 のデータ配線を介して転送される前記ライトデータ及び前記リードデータの転送レートとが互いに等しいことを特徴とする請求項 2 に記載のメモリモジュール。

20

【請求項 4】

前記第 2 のデータ配線は、それぞれ 2 個以上の前記メモリチップに接続されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載のメモリモジュール。

【請求項 5】

同じ前記第 2 のデータ配線に接続された 2 個以上の前記メモリチップは、互いに近接して配置されていることを特徴とする請求項 4 に記載のメモリモジュール。

【請求項 6】

同じ前記第 2 のデータ配線に接続された 2 個の前記メモリチップは、前記モジュール基板を介して互いに対向する位置に搭載されていることを特徴とする請求項 5 に記載のメモリモジュール。

30

【請求項 7】

同じ前記データレジスタバッファの異なる前記第 2 のデータ配線に接続された 2 個以上の前記メモリチップは、互いに近接して配置されていることを特徴とする請求項 1 乃至 6 のいずれか一項に記載のメモリモジュール。

【請求項 8】

前記複数のデータコネクタは前記モジュール基板の長辺に沿って配列されており、各データレジスタバッファと、これに対応する複数の前記データコネクタ及び複数の前記メモリチップは、前記モジュール基板の短辺方向に並べて配置されていることを特徴とする請求項 1 乃至 7 のいずれか一項に記載のメモリモジュール。

40

【請求項 9】

前記モジュール基板に搭載されたコマンド / アドレス / コントロールレジスタバッファをさらに備え、

前記モジュール基板は、複数のコマンド / アドレスコネクタをさらに有し、

前記コマンド / アドレス / コントロールレジスタバッファの入力端子は、前記複数のコマンド / アドレスコネクタに接続され、前記コマンド / アドレス / コントロールレジスタバッファの第 1 の出力端子は、前記複数のメモリチップに接続され、前記コマンド / アドレス / コントロールレジスタバッファの第 2 の出力端子は、前記複数のデータレジスタバ

50

ッファに接続されていることを特徴とする請求項 1 乃至 8 のいずれか一項に記載のメモリモジュール。

【請求項 10】

前記コマンド/アドレス/コントロールレジスタバッファは、前記入力端子を介して供給されるコマンド/アドレス信号をバッファリングするレジスタ回路と、前記入力端子を介して供給されるコマンド/アドレス信号に基づいてコントロール信号を生成するコントロール信号生成回路とを有しており、

前記レジスタ回路によってバッファリングされた前記コマンド/アドレス信号が前記第 1 の出力端子に供給され、

前記コントロール信号生成回路によって生成された前記コントロール信号が前記第 2 の出力端子に供給されることを特徴とする請求項 9 に記載のメモリモジュール。 10

【請求項 11】

前記コマンド/アドレス/コントロールレジスタバッファの前記第 1 の出力端子は、前記複数のメモリチップに対して共通接続されており、

前記コマンド/アドレス/コントロールレジスタバッファの前記第 2 の出力端子は、前記複数のデータレジスタバッファに対して共通接続されていることを特徴とする請求項 10 に記載のメモリモジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はメモリモジュールに関し、特に、Load Reduced型のメモリモジュールに関する。 20

【背景技術】

【0002】

D I M M (Dual Inline Memory Module) などのメモリモジュールは、モジュール基板上に D R A M (Dynamic Random Access Memory) などのメモリチップが多数搭載された構成を有している。このようなメモリモジュールは、マザーボード上に設けられたメモリスロットに装着され、これによってメモリコントローラとの間でデータの転送が行われる。近年においては、システムが要求するメモリ容量が非常に大きいため、1枚のメモリモジュールによって必要なメモリ容量を確保することは困難である。このため、通常は、マザーボード上に複数のメモリスロットが設けられており、これにより複数のメモリモジュールを装着可能であることがほとんどである。 30

【0003】

しかしながら、複数のメモリモジュールを装着すると、マザーボード上におけるデータ配線の負荷容量が大きくなり、信号品質が劣化する。このような問題は、メモリコントローラとメモリモジュール間のデータ転送レートがある程度低い場合には大きな問題とはならないが、メモリコントローラとメモリモジュール間のデータ転送レートが高くなると、信号品質の劣化によって正しくデータ転送を行うことができないという問題が生じる。近年においては、1.6 ~ 3.2 G b p s 程度のデータ転送レートが要求されており、このような高速転送を実現するためには、マザーボード上におけるデータ配線の負荷容量を十分に低減する必要がある。 40

【0004】

データ配線の負荷容量を低減することが可能なメモリモジュールとしては、いわゆるFully Buffered型のメモリモジュールが知られている(特許文献1)。Fully Buffered型のメモリモジュールにおいては、メモリコントローラから供給されるライトデータを一旦全てAdvanced Memory Buffer (A M B) と呼ばれる専用チップで受け、これを所定のメモリチップに供給する。リード動作はこの逆であり、メモリチップから出力されたリードデータが一旦全てA M B に供給され、A M B からメモリコントローラへ供給される。したがって、メモリコントローラからは各メモリチップの負荷容量が見えないことから、データ配線の負荷容量が大幅に低減する。 50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-135597号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、Fully Buffered型のメモリモジュールに用いられるAMBは高機能なチップであり、比較的高価であることから、メモリモジュールの価格が大幅に高くなるという問題がある。また、Fully Buffered型のメモリモジュールでは、メモリコントローラとAMBとの間におけるインターフェースが、メモリコントローラとメモリチップ間における通常のインターフェースとは異なることから、従来のメモリコントローラをそのまま使用することができないという問題もある。

10

【0007】

このような背景から、近年、Load Reduced型と呼ばれるメモリモジュールが提案されている。Load Reduced型のメモリモジュールは、AMBの代わりにレジスタバッファを用いるタイプのメモリモジュールである。レジスタバッファは、データやコマンド/アドレスなどの信号をバッファリングするだけのチップであることから、安価に提供することができる。しかも、メモリコントローラとレジスタバッファとの間におけるインターフェースは、メモリコントローラとメモリチップとの間における通常のインターフェースとは変わらないことから、従来のメモリコントローラをそのまま使用することができる。

20

【0008】

しかしながら、本発明者らは、Load Reduced型のメモリモジュールについて鋭意研究を重ねた結果、データ転送レートが非常に高くなると、単に1個のレジスタバッファを用いるのみではモジュール基板上における信号品質が不十分となることが明らかとなった。このため、本発明者らは、非常に高いデータ転送レートを実現可能なLoad Reduced型のメモリモジュールについてさらなる研究を行った。本発明は、このような研究の結果なされたものである。

【課題を解決するための手段】

【0009】

30

本発明によるメモリモジュールは、複数のデータコネクタを有するモジュール基板と、前記モジュール基板に搭載され、それぞれ少なくとも一つのデータ端子を有する複数のメモリチップと、前記モジュール基板に搭載され、それぞれ2個以上の前記メモリチップが割り当てられた複数のデータレジスタバッファと、を備え、前記複数のデータレジスタバッファのそれぞれは、前記モジュール基板に形成された第1のデータ配線を介して前記データコネクタに接続されるM個(Mは1以上の整数)の第1の入出力端子と、前記モジュール基板に形成された第2のデータ配線を介して対応する前記メモリチップの前記データ端子に接続されるN個(Nは2M以上の整数)の第2の入出力端子とを有しており、これにより、前記第2のデータ配線の数前記第1のデータ配線の数N/M倍であることを特徴とする。

40

【発明の効果】

【0010】

本発明によれば、モジュール基板上に複数のデータレジスタバッファを搭載するとともに、データレジスタバッファから見たコントローラ側及びメモリチップ側のデータ配線数を非対称としていることから、モジュール基板上におけるデータ配線の負荷容量が大幅に低減される。これにより、モジュール基板上における信号品質が高められ、その結果、非常に高いデータ転送レートを実現することが可能となる。

【図面の簡単な説明】

【0011】

【図1】本発明の好ましい実施形態によるメモリモジュール100の構成を示す模式図で

50

ある。

【図 2】メモリモジュール 100 を備える情報処理システム 10 の構成を示すブロック図である。

【図 3】メモリシステム 20 が形成された部分におけるマザーボードの構造を模式的に示す斜視図である。

【図 4】メモリチップ 200 の構成を示すブロック図である。

【図 5】データレジスタバッファ 300 の構成を示すブロック図である。

【図 6】コマンド / アドレス / コントロールレジスタバッファ 400 の構成を示すブロック図である。

【図 7】メモリモジュール 100 の配線図である。

10

【図 8】メモリモジュール 100 の 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【図 9】データ配線 L1, L2 を 1 本に纏めた場合における 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【図 10】2 本のデータ配線 L1, L2 を用いたインターリーブ動作を説明するためのタイミング図である。

【図 11】メモリモジュール 100 のリード動作を説明するためのタイミング図である。

【図 12】メモリモジュール 100 のライト動作を説明するためのタイミング図である。

【図 13】メモリモジュール 100 の起動時における初期化動作を説明するためのフローチャートである。

20

【図 14】データレジスタバッファ 300 とメモリチップ 200 との間のライトレベリング動作を説明するためのタイミング図であり、(a) はレベリング開始時におけるタイミング図、(b) レベリング終了時におけるタイミング図である。

【図 15】データレジスタバッファ 300 とメモリチップ 200 との間のリードレベリング動作を説明するためのタイミング図である。

【図 16】メモリコントローラ 12 とデータレジスタバッファ 300 との間のライトレベリング動作を説明するためのタイミング図であり、(a) はレベリング開始時におけるタイミング図、(b) レベリング終了時におけるタイミング図である。

【図 17】メモリコントローラ 12 とデータレジスタバッファ 300 との間のリードレベリング動作を説明するためのタイミング図である。

30

【図 18】DLL 回路を使用せずに ODT 動作を行う場合の問題点を説明するためのタイミング図である。

【図 19】ODT 機能及び DLL 回路ともオン状態とした場合のリード t_oリード動作を説明するためのタイミング図である。

【図 20】ODT 機能及び DLL 回路ともオフ状態とした場合のリード t_oリード動作を説明するためのタイミング図である。

【図 21】ODT 機能及び DLL 回路ともオン状態とした場合のライト t_oライト動作を説明するためのタイミング図である。

【図 22】ODT 機能及び DLL 回路ともオフ状態とした場合のライト t_oライト動作を説明するためのタイミング図である。

40

【図 23】変形例によるメモリモジュールの 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【図 24】他の変形例によるメモリモジュールの 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【図 25】さらに他の変形例によるメモリモジュールの構成を示す模式図である。

【図 26】サブモジュール 500 の構成を示す平面図である。

【図 27】図 26 に示す Y1 - Y1' 線に沿った断面図である。

【図 28】サブモジュール 500 の別の構成を示す平面図である。

【図 29】図 28 に示す Y2 - Y2' 線に沿った断面図である。

【発明を実施するための形態】

50

【 0 0 1 2 】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【 0 0 1 3 】

図 1 は、本発明の好ましい実施形態によるメモリモジュール 1 0 0 の構成を示す模式図である。

【 0 0 1 4 】

図 1 に示すように、本実施形態によるメモリモジュール 1 0 0 は、モジュール基板 1 1 0 と、モジュール基板 1 1 0 に搭載された複数のメモリチップ 2 0 0、複数のデータレジスタバッファ 3 0 0 及び 1 個のコマンド / アドレス / コントロールレジスタバッファ 4 0 0 とを備えている。

10

【 0 0 1 5 】

本実施形態では、メモリチップ 2 0 0 の搭載数は 3 6 個であり、各メモリチップを特に区別する必要があるときは、それぞれメモリチップ 2 0 0 - 0 ~ 2 0 0 - 3 5 と表記する。また、本実施形態では、データレジスタバッファ 3 0 0 の搭載数は 9 個であり、各データレジスタバッファを特に区別する必要があるときは、それぞれデータレジスタバッファ 3 0 0 - 0 ~ 3 0 0 - 8 と表記する。これに対し、コマンド / アドレス / コントロールレジスタバッファ 4 0 0 の搭載数は 1 個である。但し、本発明においてコマンド / アドレス / コントロールレジスタバッファ 4 0 0 の搭載数を 1 個とすることは必須でなく、2 個以上のコマンド / アドレス / コントロールレジスタバッファ 4 0 0 を搭載しても構わない。

20

【 0 0 1 6 】

モジュール基板 1 1 0 は多層配線が施されたプリント基板であり、その平面形状は、図 1 に示す X 方向を長辺とし、Y 方向を短辺とする略長方形である。モジュール基板 1 1 0 の一辺には、長辺である X 方向に沿って複数のデータコネクタ 1 2 0 及び複数のコマンド / アドレス / コントロールコネクタ 1 3 0 が設けられている。データコネクタ 1 2 0 及びコマンド / アドレス / コントロールコネクタ 1 3 0 は、後述するメモリスロットを介して、メモリコントローラとの電気的な接続を取るための端子である。

【 0 0 1 7 】

データコネクタ 1 2 0 は、メモリチップ 2 0 0 に書き込むべきライトデータ及びメモリチップ 2 0 0 から読み出されたリードデータを授受するためのコネクタである。特に限定されるものではないが、本実施形態ではデータコネクタ 1 2 0 のピン数は 7 2 個である。図 1 に示すように、これら 7 2 個のデータコネクタ 1 2 0 のうち、メモリチップ 2 0 0 - 0 ~ 2 0 0 - 1 9 に対応するデータコネクタは、これらメモリチップ 2 0 0 - 0 ~ 2 0 0 - 1 9 のほぼ真下に位置する領域 1 1 0 a に配置され、メモリチップ 2 0 0 - 2 0 ~ 2 0 0 - 3 5 に対応するデータコネクタは、これらメモリチップ 2 0 0 - 2 0 ~ 2 0 0 - 3 5 のほぼ真下に位置する領域 1 1 0 b に配置されている。

30

【 0 0 1 8 】

コマンド / アドレス / コントロールコネクタ 1 3 0 は、コマンド / アドレス / コントロールレジスタバッファ 4 0 0 に供給するコマンド信号、アドレス信号、コントロール信号及びクロック信号が供給されるコネクタである。図 1 に示すように、これらコマンド / アドレス / コントロールコネクタ 1 3 0 は、領域 1 1 0 a と領域 1 1 0 b との間に位置する領域 1 1 0 c に配置されている。

40

【 0 0 1 9 】

メモリチップ 2 0 0 は例えば D R A M であり、枝番号が偶数であるメモリチップ 2 0 0 - 0 , 2 0 0 - 2 . . . はモジュール基板 1 1 0 の一方の表面に搭載され、枝番号が奇数であるメモリチップ 2 0 0 - 1 , 2 0 0 - 3 . . . はモジュール基板 1 1 0 の他方の表面に搭載されている。そして、対応する 2 個のメモリチップ、例えばメモリチップ 2 0 0 - 0 と 2 0 0 - 1 は、モジュール基板 1 1 0 を介して互いに対向する位置に搭載されている。

【 0 0 2 0 】

50

本実施形態によるメモリモジュール100は、いわゆる4Rank構成である。Rank数とは、排他的に選択されるメモリ空間の数を指す。各Rank間には同じアドレスが割り当てられるものの、チップセレクト(CS)信号を排他的に活性化させたり、クロックイネーブル(CKE)信号を排他的に活性化させたりすることによって、いずれか1つのRankが選択される。

【0021】

本実施形態では、4個のメモリチップ200が一つの組を構成しており、これら4個のメモリチップ200が互いに異なるRankに属している。例えば、メモリチップ200-0~200-3が一つの組を構成しており、これらメモリチップ200-0~200-3が互いに異なるRankに属している。

10

【0022】

図1に示すように、このような組を構成する4個のメモリチップ200は、1つのデータレジスタバッファ300に接続されている。例えば、メモリチップ200-0~200-3からなる組は、データレジスタバッファ300-0に接続されている。このうち、上側に搭載されたメモリチップ200-0, 200-1は、データ配線L1を介してデータレジスタバッファ300-0に接続され、下側に搭載されたメモリチップ200-2, 200-3は、データ配線L2を介してデータレジスタバッファ300-0に接続されている。尚、図1に示すデータ配線L1, L2の矢印は、いずれも1バイト(8ビット)分の配線を示している。データ配線L1, L2は、いずれもモジュール基板110の内部に形成された配線である。

20

【0023】

メモリチップ200の動作は、コマンド/アドレス/コントロールレジスタバッファ400より供給されるコマンド信号、アドレス信号、コントロール信号及びクロック信号に基づいて制御される。メモリチップ200の詳細については後述する。

【0024】

データレジスタバッファ300は、上述の通り、4個のメモリチップ200に対して1個ずつ割り当てられており、9個のデータレジスタバッファ300が長辺であるX方向に配列されている。データレジスタバッファ300は、データ配線L0を介して転送されるライトデータをバッファリングしてデータ配線L1, L2のいずれかへ出力するとともに、いずれかのデータ配線L1, L2を介して転送されるリードデータをバッファリングしてデータ配線L0に出力するためのチップである。データ配線L0も、モジュール基板110の内部に形成された配線である。

30

【0025】

かかる構成により、1個のデータレジスタバッファ300と、これに対応するデータコネクタ120及び4個のメモリチップ200は、一つのグループGを構成している。同じグループに含まれるメモリチップ200、データレジスタバッファ300及びデータコネクタ120は、モジュール基板110の短辺であるY方向に並べて配置されており、このようなグループGが長辺であるX方向に並べて配置されている。したがって、各データレジスタバッファ300とこれに対応する4個のメモリチップ200との相対的な位置関係は、全てのグループGについて一定となる。

40

【0026】

これにより、データ配線L0の配線長を短くすることができるとともに、グループ間におけるデータ配線L0の配線長をほぼ等しくすることが可能となる。同様に、データ配線L1, L2の配線長を短くすることができるとともに、グループ間におけるデータ配線L1, L2の配線長をほぼ等しくすることが可能となる。

【0027】

データレジスタバッファ300の動作は、コマンド/アドレス/コントロールレジスタバッファ400より供給されるコントロール信号に基づいて制御される。データレジスタバッファ300の詳細については後述する。

【0028】

50

コマンド/アドレス/コントロールレジスタバッファ400は、モジュール基板110に1個だけ搭載されている。図1に示すように、コマンド/アドレス/コントロールレジスタバッファ400は、モジュール基板110の長辺であるX方向における略中央部に配置されている。

【0029】

コマンド/アドレス/コントロールレジスタバッファ400は、コマンド/アドレス/コントロールコネクタ130をから供給されるコマンド信号、アドレス信号、コントロール信号及びクロック信号(これらを纏めてコマンド/アドレス/コントロール信号と呼ぶことがある)を入力端子401で受け、これらをバッファリングしてメモリチップ200に供給するとともに、コントロール信号を生成する。メモリチップ200へ供給するコマンド/アドレス信号は、出力端子402を介して出力され、データバッファ300へ供給するコントロール信号は出力端子403を介して出力される。

10

【0030】

出力端子402はコマンド/アドレス/コントロールレジスタバッファ400の左側用と右側用にそれぞれ1セット用意され、例えば左側の出力端子402は、Rankの選択などに必要なコントロール信号を除き、メモリチップ200-0~200-19に対して共通接続されている。すなわち、コマンド信号、アドレス信号及びクロック信号は、メモリチップ200-0~200-19に対して共通に供給される。また、出力端子403においても、コマンド/アドレス/コントロールレジスタバッファ400の左側用と右側用にそれぞれ1セット用意され、例えば左側の出力端子402は、データレジスタバッファ300-0~300-4に対して共通接続されている。これにより、生成されたコントロール信号は、データレジスタバッファ300-0~300-4に対して共通に供給される。

20

【0031】

また、モジュール基板110には、コマンド/アドレス/コントロールレジスタバッファ400から出力されたコマンド/アドレス信号やコントロール信号の反射を防止すべく、X方向における端部に終端抵抗R1が設けられている。さらに、コマンド/アドレス/コントロールレジスタバッファ400に入力されるコマンド/アドレス/コントロール信号の反射波を吸収すべく、コマンド/アドレス/コントロールコネクタ130とコマンド/アドレス/コントロールレジスタバッファ400とを接続するコマンド/アドレス/コントロール配線L3の経路上には、スタブ抵抗R2が挿入されている。コマンド/アドレス/コントロールレジスタバッファ400の詳細については後述する。

30

【0032】

図2は、本実施形態によるメモリモジュール100を備える情報処理システム10の構成を示すブロック図である。

【0033】

図2に示す情報処理システム10は、CPU11と、メモリコントロールハブ(MCH)12及びインターフェースコントロールハブ(ICH)13を介してCPU11に接続された各種デバイスとを備えている。

【0034】

MCH12には、図1に示したメモリモジュール100及びグラフィックコントローラ15が接続されている。図2に示すように、メモリモジュール100とMCH12はメモリシステム20を構成し、MCH12はメモリモジュール100に対するコントローラ機能を有している。すなわち、メモリコントローラとして機能する。

40

【0035】

ICH13には、ストレージデバイス16、I/Oデバイス17、及びBIOS(Basic Input/Output System)18が接続されている。ストレージデバイス16は、ハードディスクドライブなどの磁気ドライブや、CD-ROMドライブなどの光学ドライブなどが含まれる。また、I/Oデバイス17は、キーボード、マウスなどの入力デバイスや、スピーカなどの出力デバイス、さらには、モデム、LANなどのネットワークデバイスが含

50

まれる。BIOS 18は、当該情報処理システム10に関する基本的な各種情報を記憶する一種のファームウェアであり、フラッシュメモリなどの不揮発性メモリによって構成される。

【0036】

図3は、メモリシステム20が形成された部分におけるマザーボードの構造を模式的に示す斜視図である。

【0037】

図3に示すように、マザーボード21にはメモリスロット22が設けられており、メモリスロット22にメモリモジュール100が挿入されている。一方、メモリコントローラ12は、マザーボード21に直接実装されている。既に説明したように、メモリモジュール100には複数のメモリチップ200が搭載されている。

10

【0038】

ここで、メモリコントローラ12とメモリチップ200との間の信号経路には、マザーボード21に形成された配線23と、モジュール基板110に形成されたデータ配線L0及びコマンド/アドレス/コントロール配線L3が存在する。しかしながら、図1を用いて説明したように、本実施形態によるメモリモジュール100では、データ配線L0にデータレジスタバッファ300が接続されているため、その先の信号経路に存在するメモリチップ200の負荷容量はメモリコントローラ12からは見えない。同様に、コマンド/アドレス/コントロール配線L3にはコマンド/アドレス/コントロールレジスタバッファ400が接続されているため、その先の信号経路に存在するメモリチップ200の負荷容量はメモリコントローラ12からは見えない。これにより、メモリコントローラ12とメモリモジュール100とを接続する信号経路の負荷容量が低減されるため、データ転送レートが高い場合であっても良好な信号品質を確保することが可能となる。

20

【0039】

尚、図3に示したメモリシステム20では、マザーボード21にメモリスロット22が1個だけ設けられているが、実際のメモリシステムでは、複数(例えば4個)のメモリスロットが設けられ、これらメモリスロットにそれぞれメモリモジュール100が装着される。複数のメモリモジュール100を装着すると信号経路の負荷容量はその分増大するが、本実施形態では、メモリモジュール1枚当たりの負荷容量が従来に比べて非常に小さいことから、複数のメモリモジュールを装着した場合であっても、高速なデータ転送を行うことが可能となる。

30

【0040】

次に、メモリチップ200の構成について説明する。

【0041】

図4は、メモリチップ200の構成を示すブロック図である。

【0042】

メモリチップ200はDRAMであり、図4に示すように、外部端子として、クロック端子201、コマンド端子202、コントロール端子206、アドレス端子203、データ入出力端子204及びデータストロープ端子205を備えている。このうち、クロック端子201、コマンド端子202及び、コントロール端子206、アドレス端子203については、図1に示したコマンド/アドレス/コントロール配線L5を介してコマンド/アドレスレジスタバッファ400に接続されている。また、データ入出力端子204及びデータストロープ端子205については、図1に示したデータ配線L1又はL2を介して、データレジスタバッファ300に接続されている。その他、電源端子なども備えられているが、これらについては図示を省略してある。

40

【0043】

クロック端子201はクロック信号CKが供給される端子であり、供給されたクロック信号CKは、内部クロック生成回路211に供給される。内部クロック生成回路211の出力である内部クロックICKは、各種内部回路に供給される。クロック信号CKはDLL回路212にも供給される。DLL回路212は、内部クロックLCLKを生成し、

50

これをデータ入出力回路213及びデータストロープ信号入出力回路214に供給する役割を果たす。ここで、内部クロックLCLKは、クロック信号CKに対して位相制御された信号であり、リードデータDQ及びデータストロープ信号DQSの位相がクロック信号CKの位相と一致するよう、クロック信号CKに対してやや位相が進められている。

【0044】

DLL回路212は、モードレジスタ215へのセット内容に応じて使用の可否が選択される。つまり、モードレジスタ215に「DLLオンモード」がセットされている場合には、DLL回路212は使用状態とされ、内部クロックLCLKはクロック信号CKに対して位相制御される。一方、モードレジスタ215に「DLLオフモード」がセットされている場合には、DLL回路212は不使用状態（クロック信号CKはショートカット）とされ、内部クロックLCLKはクロック信号CKに対して位相制御されなくなる。

10

【0045】

コマンド端子202は、ロウアドレスストロープ(RAS)信号、カラムアドレスストロープ(CAS)信号、ライトイネーブル(WE)信号などからなるコマンド信号CMDが供給される端子である。コントロール端子206は、チップセレクト(CS)信号、クロックイネーブル(CKE)信号、オンダイターミネーション(ODT)信号などの、Rankごとのコントロール信号CTRLが供給される端子である。チップセレクト(CS)信号により、コマンド発行対象となるDRAMが切り換えられ、DRAM内のクロック系の活性化や、オンダイターミネーション制御がなされる。コマンド信号CMDは、コマンドデコーダ216に供給される。コマンドデコーダ216は、内部クロックICKLKに同期して、コマンド信号の保持、デコード及びカウントなどを行うことによって、各種内部コマンドICMDを生成する回路である。生成された内部コマンドは、モードレジスタ215を含む各種制御回路(図示せず)に供給される。また、コントロール信号CTRLは、コントロール回路218に供給される。コントロール回路218は、コントロール信号CTRLに基づいてODT信号などの内部コントロール信号を生成する回路である。

20

【0046】

アドレス端子203は、アドレス信号ADDが供給される端子であり、供給されたアドレス信号ADDはアドレスラッチ回路217に供給される。アドレスラッチ回路217は、内部クロックICKLKに同期してアドレス信号ADDをラッチする回路である。アドレスラッチ回路217にラッチされたアドレス信号ADDのうち、ロウアドレスについてはロウデコーダ221に供給され、カラムアドレスについてはカラムデコーダ222に供給される。また、モードレジスタセットにエントリしている場合には、アドレス信号ADDはモードレジスタ215に供給され、これによってモードレジスタ215の内容が更新される。

30

【0047】

ロウデコーダ221は、メモリセルアレイ230に含まれるいずれかのワード線WLを選択する回路である。メモリセルアレイ230内においては、複数のワード線WLと複数のビット線BLが交差しており、その交点にはメモリセルMCが配置されている(図4では、1本のワード線WL、1本のビット線BL及び1個のメモリセルMCのみを示している)。ビット線BLは、センスアンプ列231に含まれるいずれかのセンスアンプSAに接続されている。センスアンプSAの選択は、カラムデコーダ222によって行われる。

40

【0048】

選択されたセンスアンプSAは、データ入出力回路213に接続される。データ入出力回路213には、内部クロックLCLK及び内部データストロープ信号PDQSが供給されており、リード動作時においては内部クロックLCLKに同期してリードデータを出力し、ライト動作時においては内部データストロープ信号PDQSに同期してライトデータを取り込む。これにより、リード動作時においては、メモリセルアレイ230から読み出されたリードデータがデータ入出力端子204から出力され、ライト動作時においては、データ入出力端子204から受信したライトデータがメモリセルアレイ230に供給される。

50

【 0 0 4 9 】

データストロープ端子 2 0 5 は、データストロープ信号 D Q S の入出力を行うための端子であり、データストロープ信号入出力回路 2 1 4 に接続されている。データストロープ信号入出力回路 2 1 4 は、上述した内部データストロープ信号 P D Q S を生成し、これをデータ入出力回路 2 1 3 に供給する。

【 0 0 5 0 】

また、データ入出力回路 2 1 3 及びデータストロープ信号入出力回路 2 1 4 には、コントロール回路 2 1 8 の出力である O D T 信号も供給されている。O D T 信号が活性化すると、データ入出力回路 2 1 3 及びデータストロープ信号入出力回路 2 1 4 は、いずれも終端抵抗として機能する。

10

【 0 0 5 1 】

以上がメモリチップ 2 0 0 の全体構成である。次に、データレジスタバッファ 3 0 0 の構成について説明する。

【 0 0 5 2 】

図 5 は、データレジスタバッファ 3 0 0 の構成を示すブロック図である。

【 0 0 5 3 】

図 5 に示すように、データレジスタバッファ 3 0 0 は、入出力端子 3 4 0 を介して供給されるデータ D Q を、入出力端子 3 5 0 を介して供給されるデータストロープ信号 D Q S でバッファリングする F I F O (W r i t e) 回路 3 0 1 と、入出力端子 3 4 1 又は 3 4 2 を介して供給されるデータ D Q を、入出力端子 3 5 1 又は 3 5 2 を介して供給されるデータストロープ信号 D Q S でバッファリングする F I F O (R e a d) 回路 3 0 2 とを備えている。ストロープ生成回路 3 7 6 は、D L L 回路 3 1 0 によって生成される内部クロック L C L K R に同期して、データコネクタ 1 2 0 へ供給すべきデータストロープ信号 D Q S を生成する。ストロープ生成回路 3 7 4 は、D L L 回路 3 1 0 によって生成される内部クロック L C L K W に同期して、メモリチップ 2 0 0 へ供給すべきデータストロープ信号 D Q S を生成する。

20

【 0 0 5 4 】

尚、図 5 に示す F I F O 回路 3 0 1 , 3 0 2 は、1 ビット分のデータの入出力を行う回路であり、実際には、入出力データ幅分の F I F O 回路 3 0 1 , 3 0 2 を用意しておく。本実施形態では、1 個のデータレジスタバッファ 3 0 0 が 1 バイト分のデータを入出力することから、8 組の F I F O 回路 3 0 1 , 3 0 2 が必要となる。

30

【 0 0 5 5 】

入出力端子 3 4 0 , 3 5 0 はデータ配線 L 0 を介してデータコネクタ 1 2 0 に接続される端子である。一方、入出力端子 3 4 1 , 3 5 1 はデータ配線 L 1 を介してメモリチップ 2 0 0 に接続される端子であり、入出力端子 3 4 2 , 3 5 2 はデータ配線 L 2 を介してメモリチップ 2 0 0 に接続される端子である。このように、データレジスタバッファ 3 0 0 は、メモリコントローラ 1 2 に接続される入出力端子の数 (M 個) と、メモリチップ 2 0 0 に接続される入出力端子の数 (N 個) の数が相違しており、本実施形態では、 $N = 2 M$ である。換言すれば、データ配線 L 1 , L 2 の数がデータ配線 L 0 の数の N / M 倍 (本実施形態では 2 倍) とされている。

40

【 0 0 5 6 】

F I F O (W r i t e) 回路 3 0 1 の出力動作タイミングは、D L L 回路 3 1 0 によって生成される内部クロック L C L K W によって規定される。F I F O (R e a d) 回路 3 0 2 の出力動作タイミングは、D L L 回路 3 1 0 によって生成される内部クロック L C L K R によって規定される。D L L 回路 3 1 0 は、コマンド / アドレス / コントロールレジスタバッファ 4 0 0 より供給されるクロック信号 C K に基づいて内部クロック L C L K W や L C L K R を生成する回路であり、メモリチップ 2 0 0 に設けられた D L L 回路 2 1 2 と同様の回路構成及び機能を有している。D L L 回路 3 1 0 の使用の可否については、データレジスタコントロール回路 3 2 0 の設定内容によって選択される。また、D L L 回路 3 1 0 の代わりに P L L 回路を用いても構わない。

50

【 0 0 5 7 】

データレジスタコントロール回路 3 2 0 は、コマンド / アドレス / コントロールレジスタバッファ 4 0 0 より供給されるコントロール信号 D R C に基づいて、データレジスタバッファ 3 0 0 の動作を制御する回路である。具体的には、バッファ制御信号 B C を生成することにより、入力バッファ I N B 及び出力バッファ O U T B の動作を制御するとともに、選択信号 S E L を生成することにより、セクタ 3 3 1 ~ 3 3 4 の動作を制御する。出力バッファ O U T B の制御内容としては、例えば出力インピーダンスの調整や O D T 動作のオンオフ制御が挙げられる。O D T 機能の使用の可否は、モードレジスタ 3 2 1 の設定内容によって選択される。

【 0 0 5 8 】

また、データレジスタコントロール回路 3 2 0 は、フィードバック信号 D R F を生成し、これをコマンド / アドレス / コントロールレジスタバッファ 4 0 0 に供給する。フィードバック信号 D R F は、データレジスタバッファ 3 0 0 の現在のステータスを示す信号である。

【 0 0 5 9 】

さらに、データレジスタコントロール回路 3 2 0 には、ライトレベリング回路 3 2 2 及びリードレベリング回路 3 2 3 が含まれている。ライトレベリング回路 3 2 2 はライトレベリング動作を行うための回路であり、リードレベリング回路 3 2 3 はリードレベリング動作を行うための回路である。ライトレベリング動作及びリードレベリング動作については後述する。

【 0 0 6 0 】

セクタ 3 3 3 は、F I F O (W r i t e) 回路 3 0 1 の出力であるデータ D Q を入出力端子 3 4 1 , 3 4 2 のいずれか一方に供給する回路である。また、セクタ 3 3 4 は、入出力端子 3 4 1 , 3 4 2 から入力されたデータ D Q を選択し、選択したデータ D Q を F I F O (R e a d) 回路 3 0 2 に供給する回路である。セクタ 3 3 1 , 3 3 2 についても、それぞれセクタ 3 3 3 , 3 3 4 と同様の機能を果たす。より具体的には、セクタ 3 3 2 は、入出力端子 3 5 1 , 3 5 2 から入力されるデータストロープ信号 D Q S を選択する。選択されたデータストロープ信号 D Q S は、遅延回路 3 7 2 によりおおよそ 9 0 ° 位相を遅らせて、F I F O (R e a d) 回路 3 0 2 に入力トリガ信号として供給される。セクタ 3 3 1 は、ストロープ生成回路 3 7 4 から供給されるデータストロープ信号 D Q S を入出力端子 3 5 1 , 3 5 2 のいずれかに供給する。ストロープ生成回路 3 7 4 により生成されるデータストロープ信号 D Q S は、遅延回路 3 7 0 により内部クロック L C L K W よりもおおよそ 9 0 ° 位相が遅れる。これらセクタ 3 3 1 ~ 3 3 4 による上記の選択は、データレジスタコントロール回路 3 2 0 の出力である選択信号 S E L によって指定される。

【 0 0 6 1 】

このように、データレジスタバッファ 3 0 0 は、データ配線 L 0 を介して転送されるライトデータをバッファリングしてデータ配線 L 1 , L 2 のいずれかへ出力するとともに、いずれかのデータ配線 L 1 , L 2 を介して転送されるリードデータをバッファリングしてデータ配線 L 0 に出力する役割を果たす。ここで、データレジスタバッファ 3 0 0 はデータのバッファリングを行っているだけであることから、データ配線 L 0 を介して転送されるライトデータ及びリードデータの転送レートと、データ配線 L 1 , L 2 を介して転送されるライトデータ及びリードデータの転送レートとは互いに等しい。

【 0 0 6 2 】

このため、データレジスタバッファ 3 0 0 は、Fully Buffered型のメモリモジュールに用いられる A M B のような高価なチップではなく、比較的安価に提供されるチップを用いることが可能となる。

【 0 0 6 3 】

以上がデータレジスタバッファ 3 0 0 の全体構成である。次に、コマンド / アドレス / コントロールレジスタバッファ 4 0 0 の構成について説明する。

10

20

30

40

50

【 0 0 6 4 】

図 6 は、コマンド / アドレス / コントロールレジスタバッファ 4 0 0 の構成を示すブロック図である。

【 0 0 6 5 】

図 6 に示すように、コマンド / アドレス / コントロールレジスタバッファ 4 0 0 は、コマンド / アドレス / コントロールコネクタ 1 3 0 に接続される入力端子 4 0 1 と、メモリチップ 2 0 0 に接続される出力端子 4 0 2 と、データレジスタバッファ 3 0 0 に接続される出力端子 4 0 3 及び入力端子 4 0 4 とを備えている。

【 0 0 6 6 】

入力端子 4 0 1 からは、メモリコントローラ 1 2 より供給されるコマンド / アドレス / コントロール信号が入力される。入力されたコマンド / アドレス / コントロール信号のうち、コマンド信号 C M D、アドレス信号 A D D 及びコントロール信号 C T R L についてはレジスタ回路 4 1 0 に供給され、クロック信号 C K については P L L 回路 4 2 0 に供給される。レジスタ回路 4 1 0 は、コマンド信号 C M D、アドレス信号 A D D 及びコントロール信号 C T R L をバッファリングする回路であり、バッファリングされたコマンド信号 C M D、アドレス信号 A D D 及びコントロール信号 C T R L は、出力端子 4 0 2 を介してメモリチップ 2 0 0 に供給される。

【 0 0 6 7 】

レジスタ回路 4 1 0 の動作タイミングは、P L L 回路 4 2 0 によって生成される内部クロック L C L K C A によって規定される。P L L 回路 4 2 0 は、メモリコントローラ 1 2 より供給されるクロック信号 C K に基づいて内部クロック L C L K C A を生成する回路であり、メモリチップ 2 0 0 に設けられた回路 2 1 2 と同様の回路構成及び機能を有している。P L L 回路 4 2 0 の使用の可否については、コントロール信号生成回路 4 3 0 に含まれるモードレジスタ 4 3 1 の設定内容によって選択される。また、P L L 回路 4 2 0 の代わりに D L L 回路を用いても構わない。

【 0 0 6 8 】

コントロール信号生成回路 4 3 0 は、入力端子 4 0 1 を介して供給されるコマンド / アドレス / コントロール信号に基づいて、データレジスタ 3 0 0 に供給するコントロール信号 D R C を生成する回路であり、その動作は内部クロック L C L K C A に同期して行われる。データレジスタ 3 0 0 用のコントロール信号 D R C は、出力端子 4 0 3 を介してデータレジスタバッファ 3 0 0 に供給される。また、データレジスタ 3 0 0 用のコントロール信号生成回路 4 3 0 には、入力端子 4 0 4 を介してデータレジスタバッファ 3 0 0 よりフィードバック信号 D R F が供給される。

【 0 0 6 9 】

コントロール信号 D R C には、データの送受信方向を示す信号、データレジスタバッファ 3 0 0 の L 0 側の O D T タイミングを制御する信号、L 1、L 2 側の O D T タイミングを制御する信号、D L L 回路のオン / オフ制御をする信号、データレジスタバッファ 3 0 0 のイネーブル / ディセーブル制御をする信号、データレジスタバッファ 3 0 0 のモード切り替えおよびモードレジスタセットを行う信号などが含まれている。これらの信号には、それぞれ別個の配線を割り当てても構わないし、複数の信号に 1 本の配線を割り当てても構わない。また、これらの信号をコマンドとしてデータレジスタバッファ 3 0 0 に送信しても構わない。

【 0 0 7 0 】

以上がコマンド / アドレス / コントロールレジスタバッファ 4 0 0 の全体構成である。

【 0 0 7 1 】

図 7 は、本実施形態によるメモリモジュール 1 0 0 の配線図である。

【 0 0 7 2 】

図 7 に示すように、本実施形態では、データコネクタ 1 2 0 とメモリチップ 2 0 0 との間にデータレジスタバッファ 3 0 0 が介在している。データコネクタ 1 2 0 とデータレジスタバッファ 3 0 0 はデータ配線 L 0 によって接続され、データレジスタバッファ 3 0 0

とメモリチップ200はデータ配線L1又はL2によって接続されている。図7では、データ配線L0によって転送される複数のデータをDQ-Preと表記し、データ配線L1, L2によって転送されるデータをDQ-Postと表記している。同様に、データ配線L0によって転送されるデータストロブ信号をDQS-Preと表記し、データ配線L1, L2によって転送されるデータストロブ信号をDQS-Postと表記している。

【0073】

データDQ-PreとデータDQ-Postの内容は同一であるが、データレジスタバッファ300によってバッファリングされる分、両者のタイミングにはずれが生じる。データストロブ信号DQS-Preとデータストロブ信号DQS-Postとの関係についても同様である。このため、本実施形態では、メモリチップ200とデータレジスタバッファ300との間のタイミング調整と、データレジスタバッファ300とメモリコントローラとの間のタイミング調整とは、それぞれ別個に行う必要がある。これらタイミング調整の具体的な方法については後述する。

10

【0074】

既に説明したとおり、本実施形態では、1個のデータレジスタバッファ300に4個のメモリチップ200が割り当てられている。これら4個のメモリチップ200は、互いに異なるRankを構成するメモリチップであり、コントロール信号CTRLに含まれるチップセレクト(CS)信号やクロックイネーブル(CKE)信号によって排他的に活性化される。アドレス/コマンド信号ADD, CMDについては、これら4個のメモリチップ200に対して共通に供給される。

20

【0075】

メモリチップ200に供給されるアドレス信号ADD、コマンド信号CMD、コントロール信号CTRL及びクロック信号CKは、コマンド/アドレス/コントロールレジスタバッファ400より供給される。また、データレジスタバッファ300に供給されるコントロール信号DRCについても、コマンド/アドレス/コントロールレジスタバッファ400より供給される。

【0076】

図7に示すように、コマンド/アドレス/コントロールコネクタ130とコマンド/アドレス/コントロールレジスタバッファ400はコマンド/アドレス/コントロール配線L3によって接続され、コマンド/アドレス/コントロールレジスタバッファ400とデータレジスタバッファ300はコントロール配線L4によって接続され、コマンド/アドレス/コントロールレジスタバッファ400とメモリチップ200はコマンド/アドレス/コントロール配線L5によって接続されている。図7では、コマンド/アドレス/コントロール配線L3によって転送されるコマンド/アドレス信号をADD/CMD-Preと表記し、コマンド/アドレス/コントロール配線L5によって転送されるコマンド/アドレス信号をADD/CMD-Postと表記している。同様に、コマンド/アドレス/コントロール配線L3によって転送されるコントロール信号をCTRL-Preと表記し、コマンド/アドレス/コントロール配線L5によって転送されるコントロール信号をCTRL-Postと表記している。

30

【0077】

また、メモリチップ200及びデータレジスタバッファ300に供給されるクロック信号CKは、全てコマンド/アドレス/コントロールレジスタバッファ400より供給される。図7では、コマンド/アドレス/コントロール配線L3によって転送されるクロック信号をCK-Preと表記し、コントロール配線L4及びコマンド/アドレス/コントロール配線L5によって転送されるクロック信号をCK-Postと表記している。

40

【0078】

図8は、本実施形態によるメモリモジュールの1ビット分のデータ伝送経路を説明するための模式図であり、(a)はレイアウト図、(b)は配線図である。

【0079】

図8(a), (b)に示すように、1ビットのデータはデータコネクタ120の所定の

50

コネクタ 1 2 1 を介して授受される。コネクタ 1 2 1 は、1 本のデータ配線 L 0 を介してデータレジスタバッファ 3 0 0 に接続される。図 5 を用いて説明したように、本実施形態では、1 本のデータ配線 L 0 に対して 2 系統のデータ配線 L 1 , L 2 が割り当てられている。具体的には、データ配線 L 1 については 2 個のメモリチップ 2 0 0 - 0 , 2 0 0 - 1 に共通接続され、データ配線 L 2 については 2 個のメモリチップ 2 0 0 - 2 , 2 0 0 - 3 に共通接続される。

【 0 0 8 0 】

かかる構成により、1 本のデータ配線 L 1 又は L 2 の負荷容量が小さくなるとともに、分岐点の数が少なくなり、さらに、分岐点からの配線長も短くなることから、データ配線 L 1 , L 2 上を伝送されるデータの信号品質が高められる。具体的には、1 本のデータ配線 L 1 に接続される端子は、メモリチップ 2 0 0 - 0 , 2 0 0 - 1 のデータ入出力端子と、データレジスタバッファ 3 0 0 のデータ出力端子の合計 3 端子だけである。しかも、図 8 (a) に示すように、メモリチップ 2 0 0 - 0 と 2 0 0 - 1 はモジュール基板 1 1 0 を介して互いに対向する搭載に配置されていることから、分岐点 P をメモリチップ 2 0 0 - 0 と 2 0 0 - 1 によって挟まれた領域に配置すれば、分岐点からメモリチップ 2 0 0 - 0 , 2 0 0 - 1 までの配線長が非常に短くなる。さらに、これらメモリチップ 2 0 0 - 0 ~ 2 0 0 - 3 は互いに近接した位置に搭載されており、これによりメモリチップ間における遠近端差についても最小限に抑えられている。

10

【 0 0 8 1 】

図 9 は、データ配線 L 1 , L 2 を 1 本に纏めた場合における 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

20

【 0 0 8 2 】

図 9 (a) , (b) に示すように、データ配線 L 1 , L 2 を 1 本に纏めた場合、データレジスタバッファ 3 0 0 と 4 個のメモリチップ 2 0 0 - 0 ~ 2 0 0 - 3 が 1 本のデータ配線 L 1 によって共通接続されることになる。このため、図 8 に示す構成と比べると、1 本のデータ配線 L 1 の負荷容量が大きくなるとともに、分岐点の数が多くなり、さらに、分岐点からの配線長も長くなる。具体的には、1 本のデータ配線 L 1 に接続される端子は、メモリチップ 2 0 0 - 0 ~ 2 0 0 - 3 のデータ入出力端子と、データレジスタバッファ 3 0 0 のデータ出力端子の合計 5 端子となる。しかも、分岐点 P 1 で 2 分岐し、分岐点 P 2 にてさらに 2 分岐する構成となることから、分岐点 P 1 からメモリチップ 2 0 0 - 0 ~ 2 0 0 - 3 までの配線長が長くなる。

30

【 0 0 8 3 】

これに対し、本実施形態においては、図 8 (a) , (b) に示したように 2 系統のデータ配線 L 1 , L 2 を用いていることから、モジュール基板内におけるデータの信号品質を高めることが可能となる。但し、2 系統のデータ配線 L 1 , L 2 を用いると、メモリチップ 2 0 0 とデータレジスタバッファ 3 0 0 とを接続する配線の本数が 2 倍に増加する。しかしながら、本実施形態では、図 1 を用いて説明したように、同じグループ G を構成するメモリチップ 2 0 0 とデータレジスタバッファ 3 0 0 がモジュール基板 1 1 0 の短辺方向に並べて配置されていることから、配線スペースには十分な余裕がある。このため、短辺方向に延びる配線の本数が 2 倍に増えても問題なく配線を施すことが可能である。

40

【 0 0 8 4 】

一方、Fully Buffered型のメモリモジュールのように、モジュール基板の中央にデータを集中させるようなレイアウトである場合、モジュール基板の長辺方向に長いデータ配線を多数形成する必要がある。このようなレイアウトにおいては、本実施形態のレイアウトと比べてデータ配線の総延長が大幅に長くなるため、データ配線の本数を 2 倍とするためには、モジュール基板を構成する絶縁層の積層数を大幅に増やすなどの対策が必要となる。これに対し、本実施形態では上記の問題が生じないことから、モジュール基板 1 1 0 を構成する絶縁層の積層数を増やすことなく、メモリチップ 2 0 0 とデータレジスタバッファ 3 0 0 とを接続する配線本数を 2 倍とすることが可能となる。

【 0 0 8 5 】

50

図10は、2本のデータ配線L1, L2を用いたインターリーブ動作を説明するためのタイミング図である。

【0086】

図10はRank0~Rank3からの連続したリード動作を示しており、バースト長が4ビット(BL=4)であるケース(或いは、バーストチョップによってバースト動作を4ビットで停止させたケース)を示している。図10に示す例では、クロック信号CKに同期した時刻T0, T2, T4, T6にてRank0, 2, 1, 3の順にリードコマンドが発行されている。これらリードコマンドに应答して、所定のCASレイテンシ(本例ではCL=12)が経過した後、4ビットのリードデータDQがバースト出力される。

【0087】

その結果、時刻T12~T14の期間は、Rank0のメモリチップ200からデータ配線L1を用いたデータ転送が行われ、時刻T14~T16の期間は、Rank2のメモリチップ200からデータ配線L2を用いたデータ転送が行われ、時刻T16~T18の期間は、Rank1のメモリチップ200からデータ配線L1を用いたデータ転送が行われ、時刻T18~T20の期間は、Rank3のメモリチップ200からデータ配線L2を用いたデータ転送が行われる。つまり、データ配線L1, L2が交互に使用される。

【0088】

このようにして次々と転送されるリードデータは、データレジスタバッファ300に供給され、データレジスタバッファ300に含まれるFIFO回路によってバッファリングされた後、データ配線L0へ出力される。図10に示す例では、データレジスタバッファ300にリードデータが入力されてから、1クロックサイクル遅れてリードデータが出力されている。

【0089】

このように、本実施形態では、2本のデータ配線L1, L2を用いたインターリーブ動作が可能であることから、複数のメモリチップに対するリード動作を途切れることなく連続的に実行することが可能となる。これにより、データレジスタバッファ300から出力されるリードデータも途切れることなくメモリコントローラへ供給することができ、バスの利用効率を高めることが可能となる。尚、本実施形態においてデータ配線L1とL2が同時に使用されることはないが、これらデータ配線L1, L2を1本に纏めると、異なるメモリチップから出力されるリードデータ間に1クロックサイクル以上の時間を空ける必要が生じる。これに対し、本実施形態では、2本のデータ配線L1, L2を交互に使用していることから、異なるメモリチップから出力されるリードデータ間に隙間を設ける必要が無い。

【0090】

尚、図10においてはリード動作を例に説明したが、ライト動作についても同様のインターリーブ動作が可能である。

【0091】

以下、本実施形態によるメモリモジュール100の動作について、より詳細に説明する。

【0092】

図11は、本実施形態によるメモリモジュール100のリード動作を説明するためのタイミング図である。

【0093】

リード動作においては、メモリコントローラ12からアクティブコマンドACT及びリードコマンドreadがこの順に発行される。図11に示す例では、クロック信号CKに同期した時刻T-5にてアクティブコマンドACTがコマンド/アドレス/コントロールコネクタ130に到達し、時刻T0にてリードコマンドreadがコマンド/アドレス/コントロールコネクタ130に到達している。

【0094】

コマンド/アドレス/コントロールコネクタ130に到達したこれらコマンドACT,

10

20

30

40

50

readは、コマンド/アドレス/コントロールレジスタバッファ400に入力される。ここで、これらコマンドACT, readがコマンド/アドレス/コントロールコネクタ130に到達するタイミングと、これらコマンドACT, readがコマンド/アドレス/コントロールレジスタバッファ400に入力されるタイミングとの間には所定の時間差(Flight Time)が生じる。

【0095】

コマンド/アドレス/コントロールレジスタバッファ400は、受信したコマンドACT, readを図6に示したレジスタ回路410にて、入力クロック信号によってレジスタリングした後、メモリチップ200に出力する。この時、クロック信号CK出力については追加の1/2クロックサイクル相当量の遅延を持たせることにより、コマンドACT, read出力との同期を図る。また、コマンド/アドレス/コントロールレジスタバッファ400は、リードコマンドReadをコントロール信号DRCの一部としてデータレジスタバッファ300にも供給する。

10

【0096】

そして、メモリチップ200はコマンドACT, readを受け、実際にリード動作を開始する。ここで、コマンドACT, readがコマンド/アドレス/コントロールレジスタバッファ400から出力されるタイミングと、コマンドACT, readがメモリチップ200に入力されるタイミングとの間には所定の時間差(Flight Time)が生じる。

【0097】

図11に示す例ではCL=5に設定されていることから、メモリチップ200はリードコマンドreadを受けてから5クロックサイクル後である時刻T5からリードデータDQのバースト出力を開始する。図11に示す例では、バースト長は8ビット(BL=8)である。メモリチップ200からバースト出力されるリードデータDQ及びデータストロープ信号DQSは、データレジスタバッファ300に供給される。

20

【0098】

データレジスタバッファ300は、メモリチップ200から出力されるリードデータDQを、一定位相量(たとえば、おおむね、90°の位相差分)だけ遅延させたデータストロープ信号DQSでFIFO回路302に取り込む。ここで、リードデータDQ及びデータストロープ信号DQSがメモリチップ200から出力されるタイミングと、リードデータDQ及びデータストロープ信号DQSがデータレジスタバッファ300に入力されるタイミングとの間には所定の時間差(Flight Time)が生じる。

30

【0099】

そして、データレジスタバッファ300は、FIFO回路302を用いて内部クロックLCLKRに同期したリタイミングを行い、CL=6に変換して出力する。これにより、メモリコントローラは、正しくリードデータを受信することが可能となる。

【0100】

以上が本実施形態によるメモリモジュール100のリード動作である。次に、ライト動作について説明する。

【0101】

図12は、本実施形態によるメモリモジュール100のライト動作を説明するためのタイミング図である。

40

【0102】

ライト動作においては、メモリコントローラからアクティブコマンドACT及びライトコマンドWriteがこの順に発行されるとともに、ライトコマンドWriteを発行してからライトレイテンシ(WL)が経過した後、ライトデータをバースト出力する。図12に示す例では、クロック信号CKに同期した時刻T-5にてアクティブコマンドACTがコマンド/アドレス/コントロールコネクタ130に到達し、時刻T0にてライトコマンドWriteがコマンド/アドレス/コントロールコネクタ130に到達している。また、本例ではWL=4に設定されており、データコネクタ120には時刻T4からライトデータが入力される。

50

【 0 1 0 3 】

コマンドの流れは図 1 1 に示したリード動作と同様であることから、重複する説明は省略する。一方、データコネクタ 1 2 0 に到達したこれらライトデータ D Q は、データレジスタバッファ 3 0 0 に入力される。ここで、ライトコマンドがコマンド / アドレス / コントロールコネクタ 1 3 0 に到達するタイミングと、ライトコマンド (Direction Control) がデータレジスタバッファ 3 0 0 に入力されるタイミングとの間には所定の時間差 (Flight Time) が生じる。これを考慮して、メモリコントローラは、この Flight Time 分だけ遅れてライトデータ D Q を出力する。

【 0 1 0 4 】

データレジスタバッファ 3 0 0 は、受け付けたライトデータ D Q を、一定位相量 (たとえば、おおむね、90° の位相差分) だけ遅延させたデータストロブ信号 D Q S で F I F O 回路 3 0 1 に取り込む。そして、データレジスタバッファ 3 0 0 は、F I F O 回路 3 0 1 を用いて内部クロック L C L K W に同期したリタイミングを行い、W L = 5 に変換して出力する。既に説明したとおり、データレジスタバッファ 3 0 0 からメモリチップ 2 0 0 へのライトデータの送信は、2 本のデータ配線 L 1 , L 2 のいずれか一方を用いて行われる。いずれのデータ配線を用いるかは、指定された R a n k によって決まる。

10

【 0 1 0 5 】

そして、メモリチップ 2 0 0 は、データレジスタバッファ 3 0 0 からバースト出力されるライトデータ D Q を受信し、これをメモリセルアレイに書き込む。ここで、ライトデータ D Q 及びデータストロブ信号 D Q S がデータレジスタバッファ 3 0 0 から出力されるタイミングと、ライトデータ D Q 及びデータストロブ信号 D Q S がメモリチップ 2 0 0 に入力されるタイミングとの間には所定の時間差 (Flight Time) が生じる。これを考慮して、データレジスタバッファ 3 0 0 は、この Flight Time 分だけ早くライトデータ D Q を出力する。これにより、メモリチップ 2 0 0 は正しくライトデータ D Q を受信することが可能となる。

20

【 0 1 0 6 】

次に、本実施形態によるメモリモジュール 1 0 0 の起動時における初期化動作について説明する。

【 0 1 0 7 】

図 1 3 は、メモリモジュール 1 0 0 の起動時における初期化動作を説明するためのフローチャートである。

30

【 0 1 0 8 】

まず、電源が投入されると (ステップ S 1)、メモリチップ 2 0 0、データレジスタバッファ 3 0 0 及びコマンド / アドレス / コントロールレジスタバッファ 4 0 0 は、それぞれ内部でリセット信号を活性化し、内部回路をリセットする (ステップ S 2)。これにより、メモリチップ 2 0 0、データレジスタバッファ 3 0 0 及びコマンド / アドレス / コントロールレジスタバッファ 4 0 0 は、それぞれ初期化動作を実行する。初期化動作にはモードレジスタの設定動作が含まれており、これにより、メモリチップ 2 0 0、データレジスタバッファ 3 0 0 及びコマンド / アドレス / コントロールレジスタバッファ 4 0 0 にそれぞれ含まれるモードレジスタ 2 1 5 , 3 2 1 , 4 3 1 に所定のモード情報が設定される (ステップ S 3)。

40

【 0 1 0 9 】

モードレジスタに対する設定動作が完了すると、次に、データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 との間のレベリング動作が行われる (ステップ S 4)。レベリング動作とは、信号の伝搬時間を考慮してライトタイミングやリードのタイミングを調整する動作である。ライトタイミングの調整はライトレベリング動作によって行われ、リードタイミングの調整はリードレベリング動作によって行われる。

【 0 1 1 0 】

データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 との間のレベリング動作が完了すると、次に、メモリコントローラとデータレジスタバッファ 3 0 0 との間のレベリング動

50

作が行われる（ステップ S 5）。

【 0 1 1 1 】

図 1 4 は、データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 との間のライトレベリング動作を説明するためのタイミング図であり、（ a ）はレベリング開始時におけるタイミング図、（ b ）レベリング終了時におけるタイミング図である。この動作は、図 5 に示したライトレベリング回路 3 2 2 によって行われる。

【 0 1 1 2 】

データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 との間のライトレベリング動作においては、まず、図 1 4 （ a ）に示すように、データレジスタバッファ 3 0 0 からクロック信号 C K に同期したデータストロブ信号 D Q S を出力する。クロック信号 C K はコマンド / アドレス / コントロールレジスタバッファ 4 0 0 から供給される信号であり、既に説明したとおり、メモリチップ 2 0 0 にも供給される。ここで、データストロブ信号 D Q S がメモリチップ 2 0 0 に伝達されるまでにはある程度の伝搬時間が必要であることから、メモリチップ 2 0 0 側においては、クロック信号 C K とデータストロブ信号 D Q S の入力タイミングは必ずしも一致しない。

10

【 0 1 1 3 】

図 1 4 （ a ）に示す例では、メモリチップ 2 0 0 側において、データストロブ信号 D Q S の立ち上がりエッジにおけるクロック信号 C K の論理レベルが「ハイレベル」であるケースを示している。これに回答して、メモリチップ 2 0 0 はデータ入出力端子 2 0 4 から「ハイレベル」の信号 D Q を出力する。かかる信号 D Q は、データレジスタバッファ 3 0 0 に入力され、これにより、データレジスタバッファ 3 0 0 は、クロック信号 C K とデータストロブ信号 D Q S の位相がどの方向にずれているのかを知ることができる。

20

【 0 1 1 4 】

データレジスタバッファ 3 0 0 のライトレベリング回路 3 2 2 は、位相のズレ方向に基づいて L C L K W を変位させ、データストロブ信号 D Q S の出力タイミングを変化させる。図 1 4 （ a ）に示す例では、メモリチップ 2 0 0 に到達するクロック信号 C K の立ち上がりエッジに比べて、データストロブ信号 D Q S の到達が遅れていることから、データレジスタバッファ 3 0 0 は、データストロブ信号 D Q S の出力タイミングを早める。

【 0 1 1 5 】

そして、上記の動作を繰り返すと、図 1 4 （ b ）に示すように、メモリチップ 2 0 0 側において、データストロブ信号 D Q S の立ち上がりエッジにおけるクロック信号 C K の論理レベルが「ローレベル」に変化する。これによりライトレベリング動作が終了し、データレジスタバッファ 3 0 0 は、入力されるクロック信号 C K を基準として、データストロブ信号 D Q S の出力すべきタイミングを知ることができる。ライトレベリング動作の結果は、データレジスタバッファ 3 0 0 内のデータレジスタコントロール回路 3 2 0 に記憶される。このようにしてライトレベリング動作が完了すると、メモリチップ 2 0 0 に入力されるクロック信号 C K とデータストロブ信号 D Q S の位相は実質的に一致することになる。

30

【 0 1 1 6 】

図 1 5 は、データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 との間のリードレベリング動作を説明するためのタイミング図である。この動作は、図 5 に示したリードレベリング回路 3 2 3 によって行われる。

40

【 0 1 1 7 】

データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 との間のリードレベリング動作においては、図 1 5 に示すように、コマンド / アドレス / コントロールレジスタバッファ 4 0 0 からクロック信号 C K を出力するとともに、アクティブコマンド A C T 及びリードコマンド R e a d を発行する。クロック信号 C K はメモリチップ 2 0 0 及びデータレジスタバッファ 3 0 0 に供給され、コマンド A C T , r e a d はメモリチップ 2 0 0 に供給される。また、リードコマンド R e a d については、コントロール信号 D R C の一部としてデータレジスタバッファ 3 0 0 にも供給される。

50

【 0 1 1 8 】

図 1 5 に示す例では、クロック信号 C K に同期した時刻 T - 5 にてアクティブコマンド A C T が発行され、時刻 T 0 にてリードコマンド R e a d が発行されている。つまり、R A S - C A S デレイ (t R C D) は 5 クロックサイクルである。

【 0 1 1 9 】

メモリチップ 2 0 0 は、リードコマンド R e a d を受けて実際にリード動作を実行する。図 1 5 に示す例では、C A S レイテンシが 5 クロックサイクル (C L = 5) に設定されており、したがって、時刻 T 5 からリードデータ D Q の出力が開始される。リードレベリング時におけるリードデータ D Q は、たとえば、ハイレベルとローレベルが交互に繰り返される信号などである。

10

【 0 1 2 0 】

メモリチップ 2 0 0 から出力されたリードデータ D Q は、データレジスタバッファ 3 0 0 に到達し、これにより、データレジスタバッファ 3 0 0 は、コントロール信号 D R C の一部として入力されたリードコマンド R e a d の入力タイミングから、リードデータ D Q が入力されるまでの時間 A を知ることができる。かかる時間はメモリチップ 2 0 0 ごとに測定され、データレジスタバッファ 3 0 0 内のデータレジスタコントロール回路 3 2 0 に記憶され、入力バッファ回路 I N B の活性化タイミングの調整等に使われる。図 1 5 には、リードコマンド R e a d の入力からリードデータ D Q の入力までの時間 A が短いケース (メモリチップ 2 0 0 - 0 とデータレジスタバッファ 3 0 0 - 0 との間) と、長いケース (メモリチップ 2 0 0 - 1 9 とデータレジスタバッファ 3 0 0 - 4 との間) の 2 つを示している。

20

【 0 1 2 1 】

図 1 6 は、メモリコントローラ 1 2 とデータレジスタバッファ 3 0 0 との間のライトレベリング動作を説明するためのタイミング図であり、(a) はレベリング開始時におけるタイミング図、(b) レベリング終了時におけるタイミング図である。この動作は、図 2 に示したライトレベリング回路 1 2 a によって行われる。

【 0 1 2 2 】

メモリコントローラ 1 2 とデータレジスタバッファ 3 0 0 との間のライトレベリング動作においては、まず、図 1 6 (a) に示すように、メモリコントローラ 1 2 からクロック信号 C K とデータストロブ信号 D Q S を出力する。このうち、クロック信号 C K についてはコマンド / アドレス / コントロールレジスタバッファ 4 0 0 を介してデータレジスタバッファ 3 0 0 に供給され、データストロブ信号 D Q S についてはデータレジスタバッファ 3 0 0 に直接供給される。したがって、データレジスタバッファ 3 0 0 側においては、クロック信号 C K とデータストロブ信号 D Q S の入力タイミングは必ずしも一致しない。

30

【 0 1 2 3 】

図 1 6 (a) に示す例では、データレジスタバッファ 3 0 0 側において、データストロブ信号 D Q S の立ち上がりエッジにおけるクロック信号 C K の論理レベルが「ローレベル」であるケースを示している。これに回答して、データレジスタバッファ 3 0 0 は入出力端子 3 4 0 から「ローレベル」の信号 D Q を出力する。かかる信号 D Q は、メモリコントローラ 1 2 に供給され、これにより、メモリコントローラ 1 2 はクロック信号 C K とデータストロブ信号 D Q S の位相がどの方向にずれているのかを知ることができる。

40

【 0 1 2 4 】

メモリコントローラ 1 2 は、位相のズレ方向に基づいてデータストロブ信号 D Q S の出力タイミングを変化させる。図 1 6 (a) に示す例では、データレジスタバッファ 3 0 0 に到達するクロック信号 C K の立ち上がりエッジに比べて、データストロブ信号 D Q S の到達が進んでいることから、メモリコントローラ 1 2 は、データストロブ信号 D Q S の出力タイミングを遅らせる。

【 0 1 2 5 】

そして、上記の動作を繰り返すと、図 1 6 (b) に示すように、データレジスタバッ

50

ァ 3 0 0 側において、データストロブ信号 D Q S の立ち上がりエッジにおけるクロック信号 C K の論理レベルが「ハイレベル」に変化する。これによりライトレベリング動作が終了し、メモリコントローラ 1 2 は、自ら出力するクロック信号 C K を基準として、データストロブ信号 D Q S の出力すべきタイミングを知ることができる。ライトレベリング動作の結果は、メモリコントローラ 1 2 の内部回路に記憶される。このようにしてライトレベリング動作が完了すると、データレジスタバッファ 3 0 0 に入力されるクロック信号 C K とデータストロブ信号 D Q S の位相は実質的に一致することになる。

【 0 1 2 6 】

図 1 7 は、メモリコントローラ 1 2 とデータレジスタバッファ 3 0 0 との間のリードレベリング動作を説明するためのタイミング図である。この動作は、図 2 に示したリードレベリング回路 1 2 b によって行われる。

10

【 0 1 2 7 】

メモリコントローラ 1 2 とデータレジスタバッファ 3 0 0 との間のリードレベリング動作においては、図 1 7 に示すように、メモリコントローラ 1 2 からクロック信号 C K を出力するとともに、アクティブコマンド A C T 及びリードコマンド R e a d を発行する。クロック信号 C K はデータレジスタバッファ 3 0 0 に供給され、コマンド A C T , r e a d は、コマンド / アドレス / コントロールレジスタバッファ 4 0 0 を介し、コントロール信号 D R C の一部としてデータレジスタバッファ 3 0 0 に供給される。

【 0 1 2 8 】

図 1 7 に示す例では、クロック信号 C K に同期した時刻 T - 5 にてアクティブコマンド A C T が発行され、時刻 T 0 にてリードコマンド R e a d が発行されている。つまり、R A S - C A S デレイ (t R C D) は 5 クロックサイクルである。

20

【 0 1 2 9 】

データレジスタバッファ 3 0 0 は、リードコマンド R e a d を受けて、あらかじめ定められた C A S レイテンシが経過した後、ダミーデータ D Q を出力する。ダミーデータ D Q は、メモリチップ 2 0 0 から読み出されたリードデータではなく、データレジスタバッファ 3 0 0 内のデータレジスタコントロール回路 3 2 0 によって自動生成されたデータである。図 1 7 に示す例では、C A S レイテンシが 6 クロックサイクル (C L = 6) に設定されており、したがって、時刻 T 6 からダミーデータ D Q の出力が開始される。ダミーデータ D Q は、たとえば、ハイレベルとローレベルが交互に繰り返される信号などである。

30

【 0 1 3 0 】

データレジスタバッファ 3 0 0 から出力されたダミーデータ D Q は、メモリコントローラ 1 2 に到達し、これにより、メモリコントローラ 1 2 はリードコマンド R e a d の発行タイミングから、リードデータ D Q が入力されるまでの時間 B を知ることができる。かかる時間はデータレジスタバッファ 3 0 0 ごとに測定され、メモリコントローラ 1 2 の内部回路に記憶され、入力バッファ回路 (図示せず) の活性化タイミングの調整等に用いられる。図 1 7 には、リードコマンド R e a d の発行からリードデータ D Q の入力までの時間 B が短いケース (メモリコントローラ 1 2 とデータレジスタバッファ 3 0 0 - 0 との間) と、長いケース (メモリコントローラ 1 2 とデータレジスタバッファ 3 0 0 - 4 との間) の 2 つを示している。

40

【 0 1 3 1 】

以上が本実施形態によるメモリモジュール 1 0 0 の起動時における初期化動作である。次に、本発明によるメモリモジュール 1 0 0 と D L L 回路及び O D T 機能との関係について説明する。

【 0 1 3 2 】

既に説明したように、D L L 回路とは、外部クロック信号に対して位相制御された内部クロック信号を生成する回路であり、リードデータ D Q 及びデータストロブ信号 D Q S の位相をクロック信号 C K の位相と一致させるために用いられる。D D R 3 型の D R A M のような近年の高速メモリにおいては、D L L 回路の使用はほぼ必須であり、D L L 回路を使用しなければ正常なデータ転送を行うことが困難となる。その一方で、D L L 回路は

50

消費電力が比較的大きいという問題を有している。

【0133】

一方、ODT機能とは、終端抵抗をメモリチップの内部に持たせる機能であり、反射による信号品質の劣化を防止するために用いられる。通常メモリモジュールは、1本のデータ配線に多数のメモリチップが共通接続されることから、近年の高速メモリにおいては、ODT機能の使用はほぼ必須であり、ODT機能をオフにすると信号波形が著しく劣化する。その一方で、ODT機能をオンにすると、消費電力が増大するという問題を有している。また、ODT動作は、データの入出力動作と同期している必要があるため、基本的に、DLL回路の使用が前提となる。

【0134】

図18は、DLL回路を使用せずにODT動作を行う場合の問題点を説明するためのタイミング図である。

【0135】

図18に示す例では、時刻T0の直前にODT信号をアクティブに変化させている。これに応答して、メモリチップ200の内部回路は、時刻T0のクロック信号CKに同期してODT機能をオンさせる。しかしながら、ODTインピーダンス(データ入出力端子204, 205のインピーダンス)は直ちに所望の値とはならず、 $t_{AONDFmin}$ が経過しないとハイインピーダンス状態(RTT_OFF)から変化しない。本例では、 $t_{AONDFmin}$ は約3クロックサイクルである。

【0136】

$t_{AONDFmin}$ が経過した後は、電源電圧やチップ温度の条件次第でハイインピーダンス状態ではなくなるが、条件によってはまだ所望のインピーダンスRTT_ONにはならない。最悪の条件下では、所望のインピーダンスRTT_ONが得られるのは、時刻T0から $t_{AONDFmax}$ が経過した後であり、本例では $t_{AONDFmax}$ は約8クロックサイクルである。

【0137】

したがって、ODTインピーダンスが不定状態となる時刻T3から、ODTインピーダンスが所望の値RTTとなる次のサイクルである時刻T9までの期間は、インピーダンスが不定な期間である。このため、この期間は他のメモリチップにアクセスできないロスサイクルとなる。このように、DLL回路を使用せずにODT動作を行うと、ODT機能のオン/オフの切り替えが非同期となることから、インピーダンスの不定期間が長くなり、その間のリードライト動作が妨げられる。

【0138】

このようなロスサイクルの問題を考慮すれば、DLL回路を使用しない場合にはODT機能も使用しないことが望ましいが、上述の通り、通常メモリモジュールにおいてODT機能はほぼ必須であり、これをオフにすることは困難である。

【0139】

しかしながら、本実施形態によるメモリモジュール100では、メモリチップ200に接続されたデータ配線L1, L2の負荷容量が非常に小さいことから、DDR3型のDRAMのような高速メモリを用いた場合であっても、ODT動作をオフ状態で使用することができる。しかも、メモリチップ200とデータレジスタバッファ300との距離が非常に短いことから、DLL回路を用いた同期制御を行わなくても、正しくデータ転送を行うことができる。すなわち、ODT機能及びDLL回路ともオフ状態とすることができるので、消費電力を大幅に低減することが可能となる。さらには、メモリチップ200からODT回路及びDLL回路を排除することもでき、この場合には、チップ面積を縮小することも可能となる。

【0140】

次に、ODT機能及びDLL回路の使用の有無による動作タイミングの違いについて説明する。

【0141】

10

20

30

40

50

図19は、ODT機能及びDLL回路ともオン状態とした場合のリードtoリード動作を説明するためのタイミング図である。

【0142】

図19に示すように、ODT機能及びDLL回路ともオン状態でのリード動作タイミングは、図11に示した動作タイミングと基本的に同じである。図19に示す例では、時刻T0においてRank0に対してリードコマンドReadが発行され、時刻T6においてRank1に対してリードコマンドReadが発行されている。Rank0のメモリチップ200とRank1のメモリチップ200は、データ配線L1に共通接続されているため、相互に影響を及ぼし合う。

【0143】

このため、Rank0のメモリチップ200からリードデータDQがバースト出力される時刻T5~T9の期間においては、Rank1のメモリチップ200のデータ入出力端子204は、ODT機能によってインピーダンスがRtt_Nomに設定される。同様に、Rank1のメモリチップ200からリードデータDQがバースト出力される時刻T11~T15の期間においては、Rank0のメモリチップ200のデータ入出力端子204は、ODT機能によってインピーダンスがRtt_Nomに設定される。

【0144】

このように、一方のメモリチップ200がリードデータDQを出力している間は、他方のメモリチップ200がODT動作を行うため、信号の反射が防止される。但し、上述の通り、DLL回路及びODT機能の使用による消費電流が発生する。

【0145】

図20は、ODT機能及びDLL回路ともオフ状態とした場合のリードtoリード動作を説明するためのタイミング図である。

【0146】

図20に示すように、DLL回路をオフ状態とすると、リードデータDQの出力タイミングはクロック信号CKに対して非同期となる。しかしながら、本実施形態では、メモリチップ200とデータレジスタバッファ300との距離が非常に近いことから、データレジスタバッファ300は非同期に出力されたリードデータDQを正しく受信することが可能である。また、Rank0のメモリチップとRank1のメモリチップは、データ配線L1のほぼ末端に配置されていることから、非動作側のメモリチップ200による信号の反射の影響も非常に少ない。このようにして非同期に出力されたリードデータDQは、データレジスタバッファ300においてリタイミングされ、メモリコントローラ12へ出力される。

【0147】

このように、本実施形態においては、メモリチップ200のODT機能及びDLL回路をいずれもオフ状態にした場合であっても、これらをオン状態とした場合と同様のリード動作を行うことが可能となる。むしろ、DLL回路によるタイミング調整が行われな分、リードデータDQの出力タイミングが早くなるため、より高速なアクセスが実現できる可能性がある。

【0148】

図21は、ODT機能及びDLL回路ともオン状態とした場合のライトtoライト動作を説明するためのタイミング図である。

【0149】

図21に示すように、ODT機能及びDLL回路ともオン状態でのライト動作タイミングは、図12に示した動作タイミングと基本的に同じである。図21に示す例では、時刻T0においてRank0に対してライトコマンドWriteが発行され、時刻T6においてRank1に対してライトコマンドWriteが発行されている。上述の通り、Rank0のメモリチップ200とRank1のメモリチップ200は、データ配線L1に共通接続されているため、相互に影響を及ぼし合う。

【0150】

10

20

30

40

50

このため、Rank 0のメモリチップ200へライトデータDQがバースト入力される時刻T5～T9の期間においては、Rank 1のメモリチップ200のデータ入出力端子204は、ODT機能によってインピーダンスがRtt_Nomに設定される。同様に、Rank 1のメモリチップ200へライトデータDQがバースト入力される時刻T11～T15の期間においては、Rank 0のメモリチップ200のデータ入出力端子204は、ODT機能によってインピーダンスがRtt_Nomに設定される。

【0151】

このように、一方のメモリチップ200がライトデータDQを受け付けている間は、他方のメモリチップ200がODT動作を行うため、信号の反射が防止される。但し、上述の通り、DLL回路及びODT機能の使用による消費電流が発生する。

10

【0152】

図22は、ODT機能及びDLL回路ともオフ状態とした場合のライトtoライト動作を説明するためのタイミング図である。

【0153】

図22に示すように、ODT機能をオフにすると、非動作側のメモリチップ200のデータ入出力端子204はハイインピーダンス状態となり、ここで信号の反射が生じる。しかしながら、本実施形態では、メモリチップ200とデータレジスタバッファ300との距離が非常に近く、且つ、Rank 0のメモリチップとRank 1のメモリチップは、データ配線L1のほぼ末端に配置されていることから、非動作側のメモリチップ200による信号の反射の影響は非常に少ない。したがって、各メモリチップ200は、ライトデータDQを正しく受信することが可能となる。

20

【0154】

このように、本実施形態においては、メモリチップ200のODT機能及びDLL回路をいずれもオフ状態、つまり、DLL回路及びODT機能による消費電流をゼロにした場合であっても、これらをオン状態とした場合と同様のライト動作を行うことが可能となる。むしろ、ODTインピーダンスの切り替え動作が不要であることから、ライトデータDQの入力タイミングを早めることも可能となる。実際、図22に示す動作タイミングでは、図21に示す動作タイミングよりも、ライトtoライト動作が1クロックサイクルだけ高速化されている。

30

【0155】

以下、本発明のいくつかの変形例について説明する。

【0156】

図23は、変形例によるメモリモジュールの1ビット分のデータ伝送経路を説明するための模式図であり、(a)はレイアウト図、(b)は配線図である。

【0157】

図23(a),(b)に示す例は、上述した実施形態とは異なり、データ配線L1,L2にそれぞれメモリチップ200が1個だけ接続されている。具体的には、データ配線L1にはメモリチップ200-0だけが接続され、データ配線L2にはメモリチップ200-1だけが接続されている。本発明はこのような態様も包含する。すなわち、データレジスタバッファ300とメモリチップ200とを接続する1本のデータ配線(L1又はL2)に割り当てられたメモリチップ200の数については特に限定されない。但し、データ配線L1,L2の負荷容量低減、分岐点の削減、配線長の短縮などを行うためには、1本のデータ配線に接続されるメモリチップ200の数は2個以下とすることが好ましい。

40

【0158】

図24は、他の変形例によるメモリモジュールの1ビット分のデータ伝送経路を説明するための模式図であり、(a)はレイアウト図、(b)は配線図である。

【0159】

図24(a),(b)に示す例は、上述した実施形態とは異なり、1本のデータ配線L0に対して4系統のデータ配線L1a,L1b,L2a,L2bが割り当てられている。具体的には、データ配線L1aにはメモリチップ200-0だけが接続され、データ配線

50

L 1 bにはメモリチップ200 - 1だけが接続され、データ配線L 2 aにはメモリチップ200 - 2だけが接続され、データ配線L 2 bにはメモリチップ200 - 3だけが接続されている。本発明はこのような態様も包含する。すなわち、1個のデータレジスタバッファ300に割り当てられるメモリチップ200の数は、2個以上であれば特に限定されない。

【0160】

図25は、さらに他の変形例によるメモリモジュールの構成を示す模式図である。

【0161】

図25に示すメモリモジュールは、同じグループを構成する複数のメモリチップ200と1個のデータレジスタバッファ300がサブモジュール500に集積された構成を有している。このようなサブモジュール500を用いることにより、データ配線L 1, L 2をサブモジュール基板上に形成することができるため、モジュール基板110の配線密度が緩和される。また、モジュール基板110への部品搭載点数が大幅に少なくなることから、モジュール基板110への実装工程が簡素化される。

10

【0162】

図26は、サブモジュール500の構成を示す平面図である。また、図27は、図26に示すY 1 - Y 1'線に沿った断面図である。尚、図26においては、裏面に形成された外部端子を透過的に示している。

【0163】

図26及び図27に示すサブモジュール500は、サブモジュール基板510と、サブモジュール基板510に搭載された2個のメモリチップ200と、1個のデータレジスタバッファ300と、サブモジュール基板510の裏面に形成された外部端子(ソルダボール)520によって構成されている。メモリチップ200とデータレジスタバッファ300は、封止材530によって封止されている。

20

【0164】

外部端子520は、データの授受を行うDQボール521と、データレジスタ300に供給すべきコントロール信号の受信を行うControlボール522と、コマンド/アドレス信号の受信を行うCAボール523からなる。DQボール521とControlボール522は、データレジスタバッファ300の搭載領域近傍における裏面に配置されている。一方、CAボール523は、メモリチップ200搭載領域近傍における裏面に配置されている。

30

【0165】

DQボール521及びControlボール522は、それぞれサブモジュール基板510に形成された内部配線511, 512を介してデータレジスタバッファ300に接続される。また、CAボール523は、サブモジュール基板510に形成された内部配線513を介してメモリチップ200に接続される。

【0166】

このようなサブモジュール500を用いれば、メモリチップ200とデータレジスタバッファ300を接続するデータ配線L 1, L 2をモジュール基板110に形成する必要がなくなる。このため、モジュール基板110の配線自由度が向上する。

40

【0167】

図28は、サブモジュール500の別の構成を示す平面図である。また、図29は、図28に示すY 2 - Y 2'線に沿った断面図である。尚、図28においては、裏面に形成された外部端子を透過的に示している。

【0168】

図28及び図29に示すサブモジュール500は、図26及び図27に示したサブモジュール500と基本的に同じ構成を有しているが、サブモジュール基板510に8個のメモリチップ200が搭載されている点において相違する。これら8個のメモリチップ200は2個ずつ積層されており、これら4つの積層体がサブモジュール基板510上に平面的に搭載されている。このようなサブモジュール500を用いれば、メモリモジュールの

50

記憶容量を高めることが可能となる。

【 0 1 6 9 】

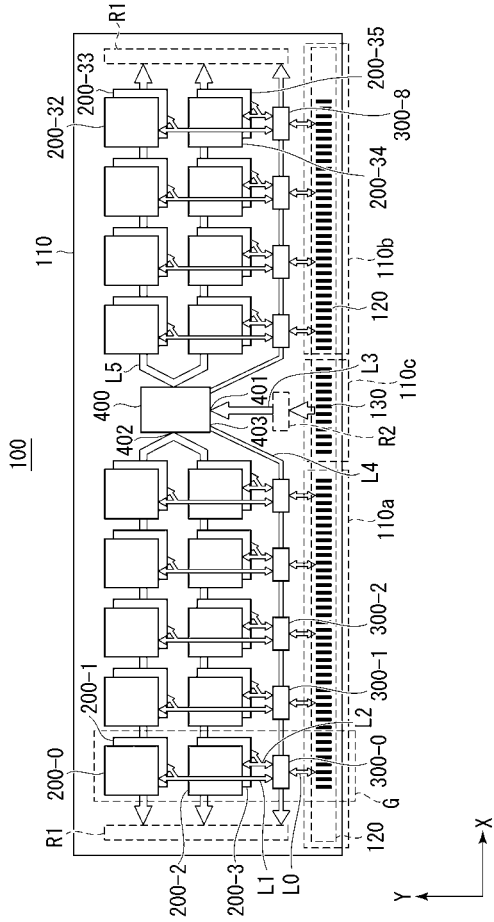
以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。例えば、上記の実施例では、メモリチップ 200 として内部に D L L 回路を有するものについて説明したが、内部に D L L 回路を備えていないメモリチップを用いることができる。この場合、データレジスタバッファ 300 が有する D L L 回路を用いて、入出力のタイミング調整を行なう。

【 符号の説明 】

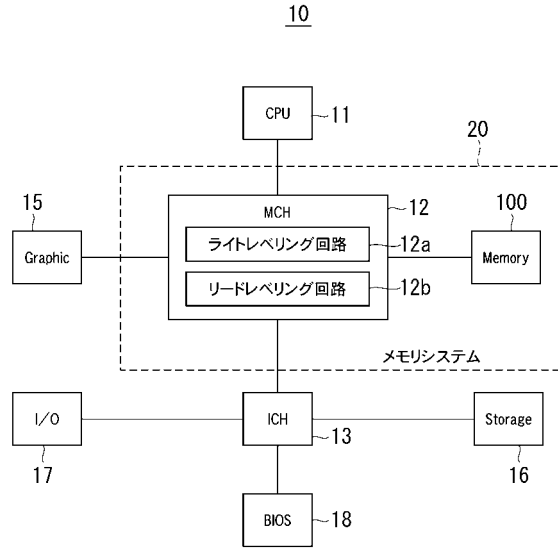
【 0 1 7 0 】

1 0	情報処理システム	
1 2	メモリコントローラ	
1 2 a	ライトレベリング回路	
1 2 b	リードレベリング回路	
2 0	メモリシステム	
2 1	マザーボード	
2 2	メモリスロット	
1 0 0	メモリモジュール	
1 1 0	モジュール基板	
1 2 0	データコネクタ	20
1 3 0	コマンド / アドレス / コントロールコネクタ	
2 0 0	メモリチップ	
3 0 0	データレジスタバッファ	
3 0 1 ~ 3 0 4	F I F O 回路	
3 2 0	データレジスタコントロール回路	
3 2 2	ライトレベリング回路	
3 2 3	リードレベリング回路	
3 3 1 ~ 3 3 4	セレクタ	
3 4 0 ~ 3 4 2 , 3 5 0 ~ 3 5 2	入出力端子	
4 0 0	コマンド / アドレス / コントロールレジスタバッファ	30
4 0 1 , 4 0 4	入力端子	
4 0 2 , 4 0 3	出力端子	
4 3 0	コントロール信号生成回路	
5 0 0	サブモジュール	
L 0	データ配線 (第 1 のデータ配線)	
L 1 , L 2	データ配線 (第 2 のデータ配線)	
L 3 , L 5	コマンド / アドレス / コントロール配線	
L 4	コントロール配線	

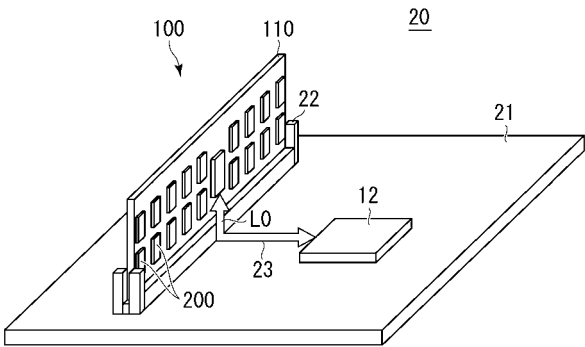
【図 1】



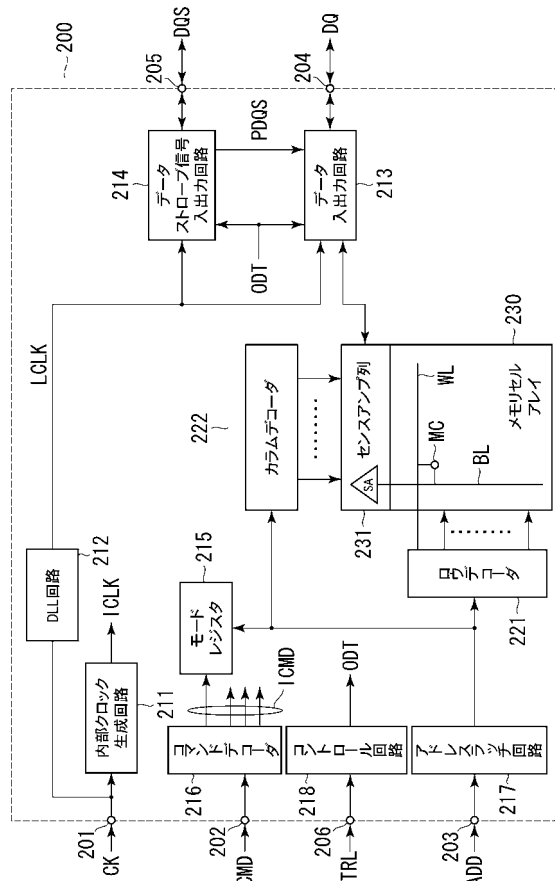
【図 2】



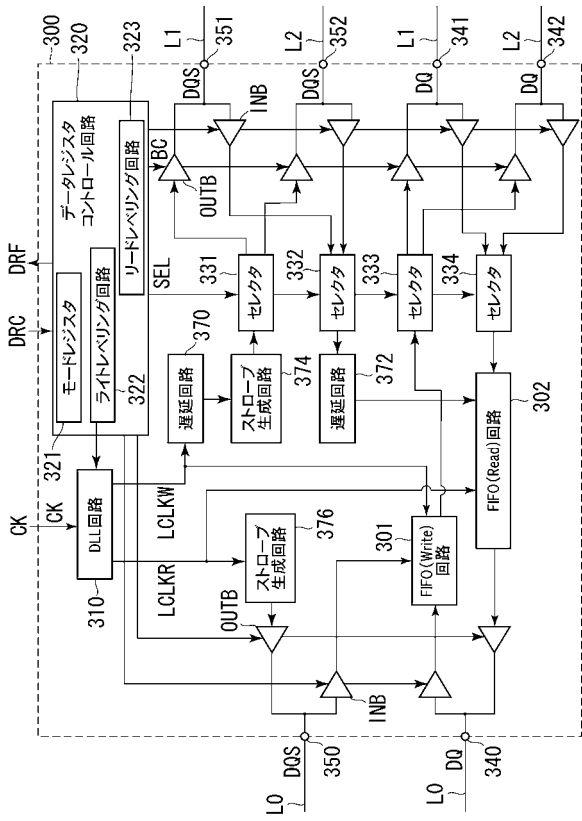
【図 3】



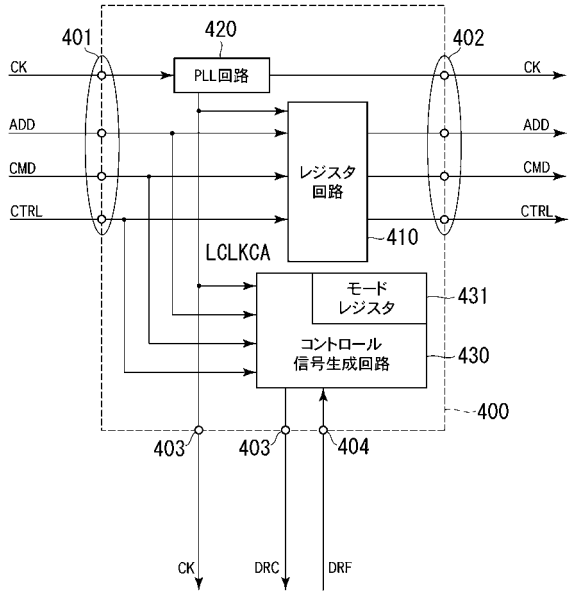
【図 4】



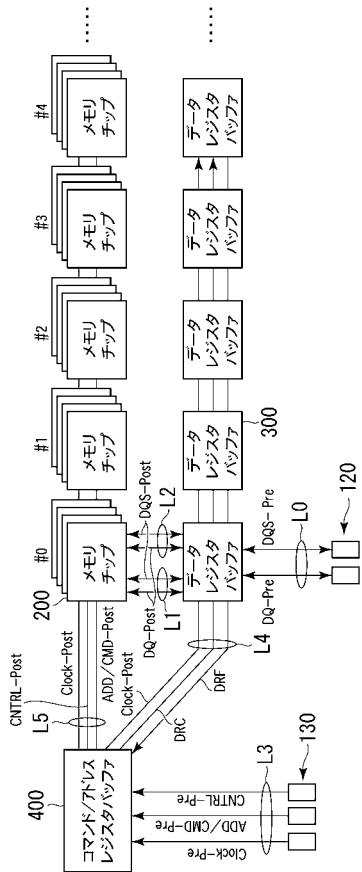
【図5】



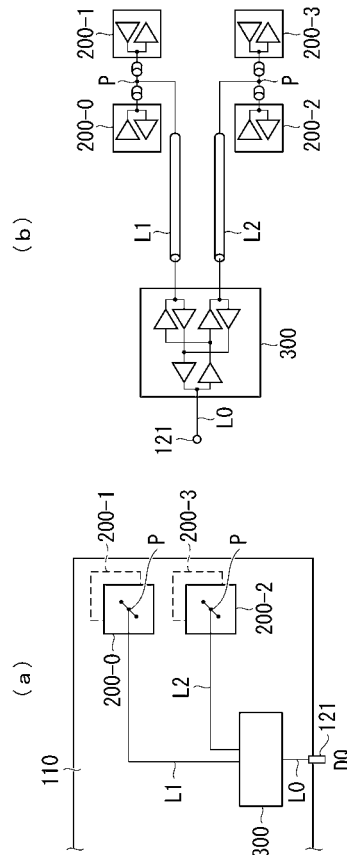
【図6】



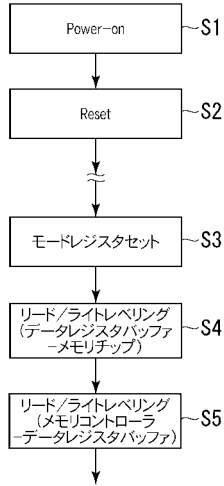
【図7】



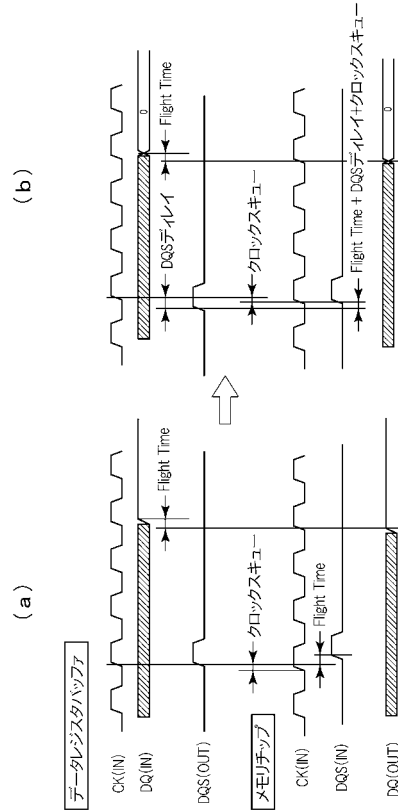
【図8】



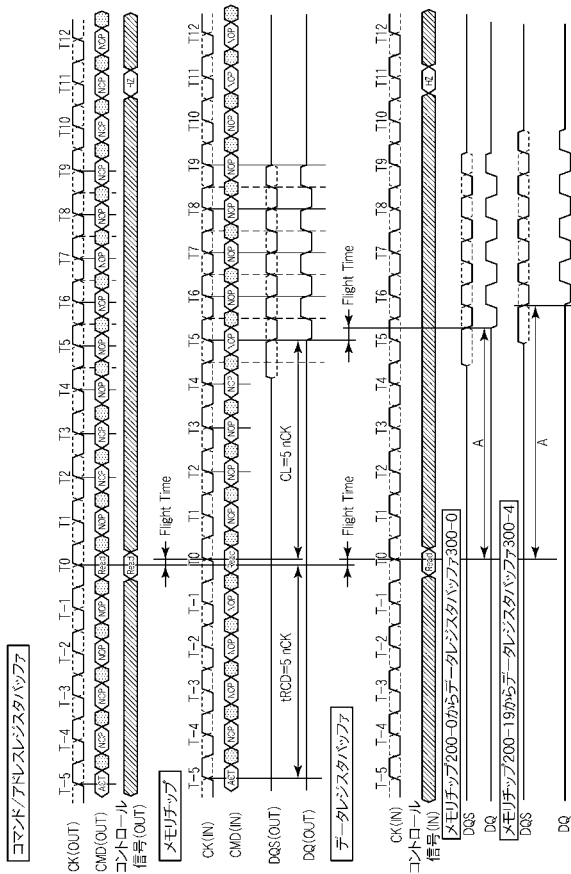
【 図 1 3 】



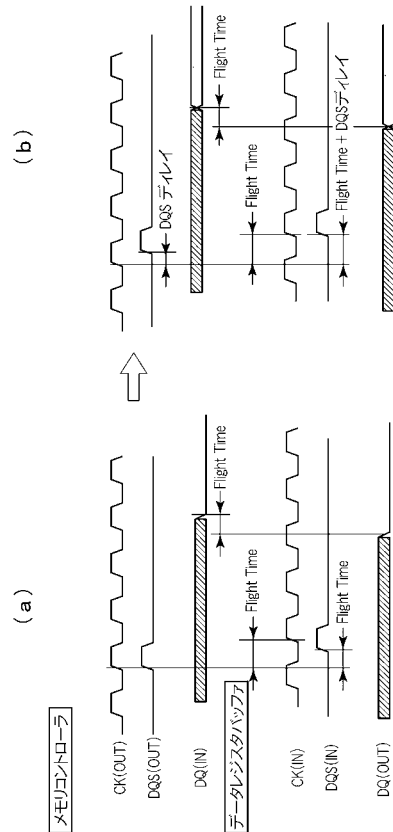
【 図 1 4 】



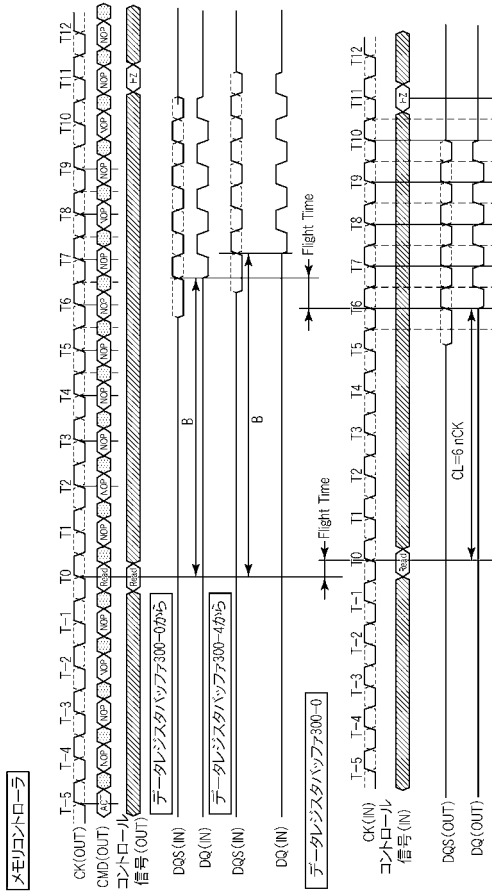
【 図 1 5 】



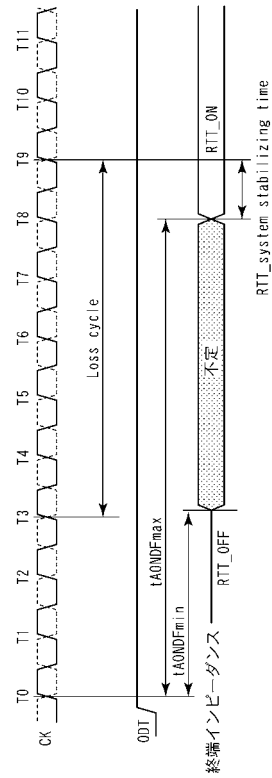
【 図 1 6 】



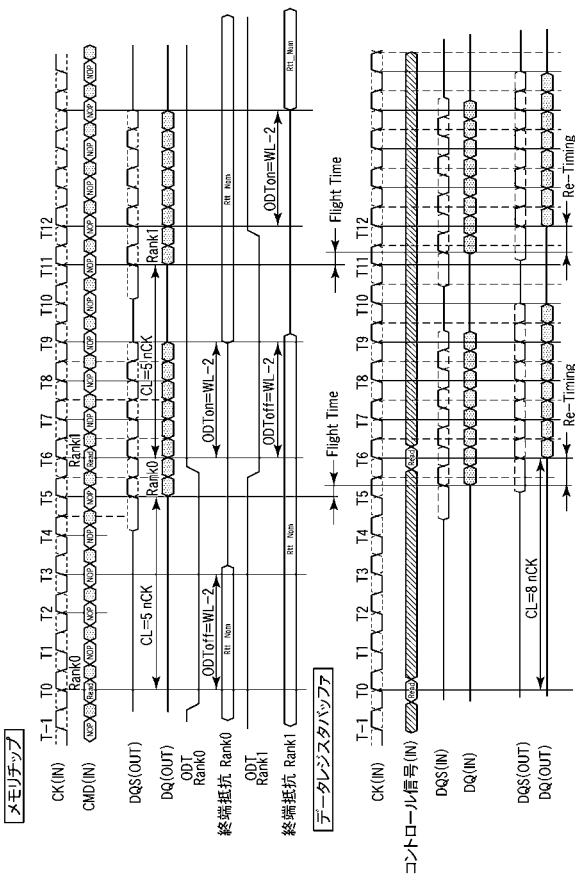
【図 17】



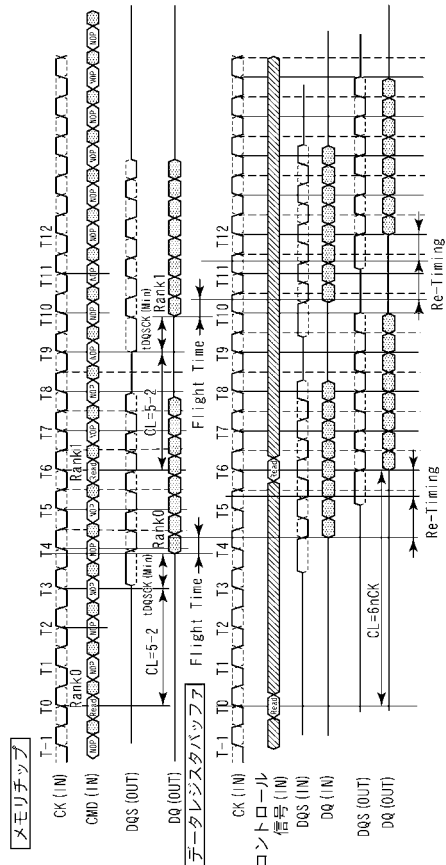
【図 18】



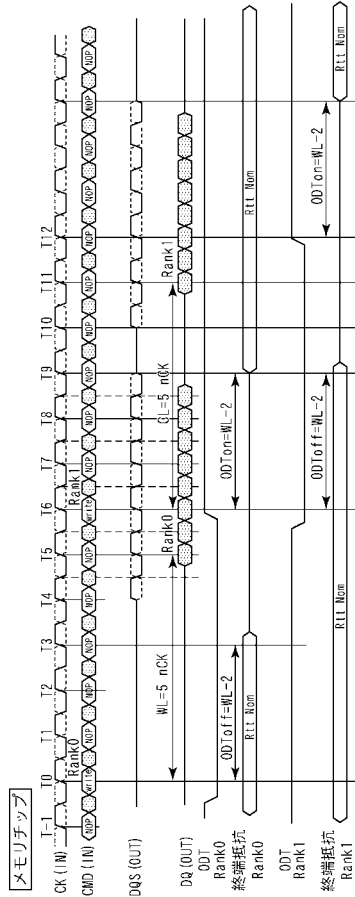
【図 19】



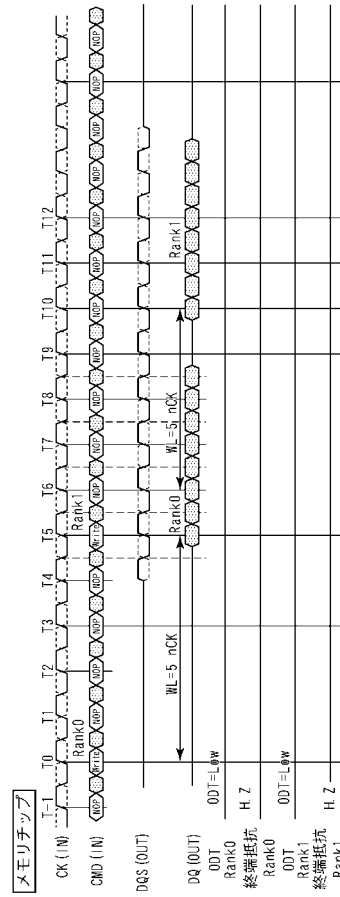
【図 20】



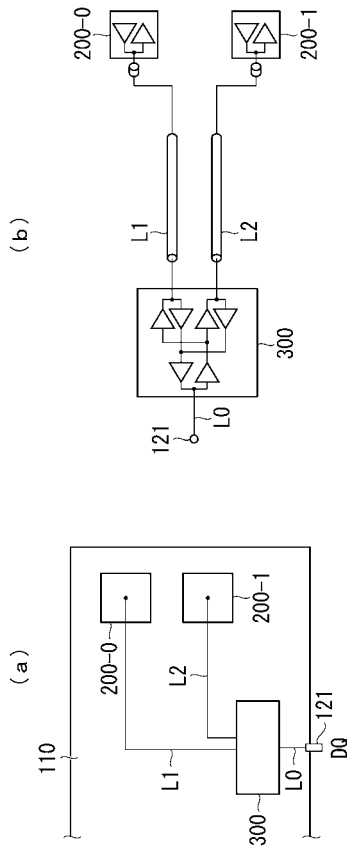
【図 2 1】



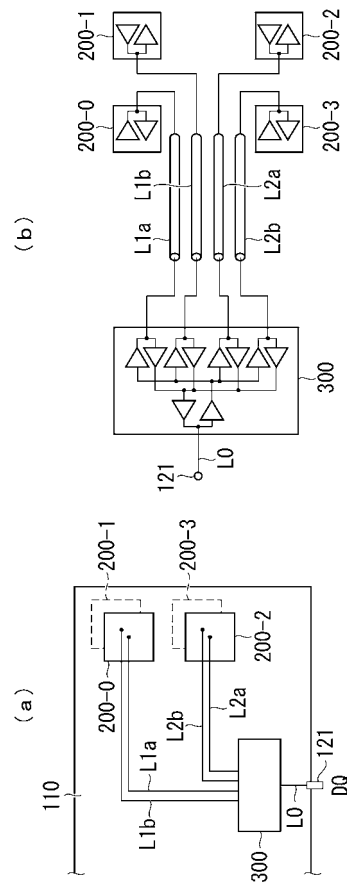
【図 2 2】



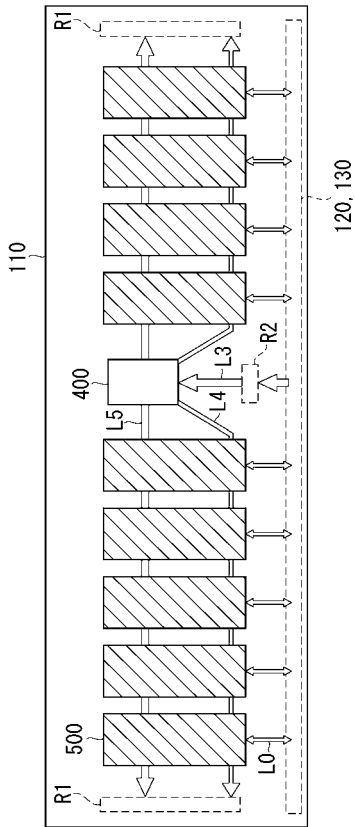
【図 2 3】



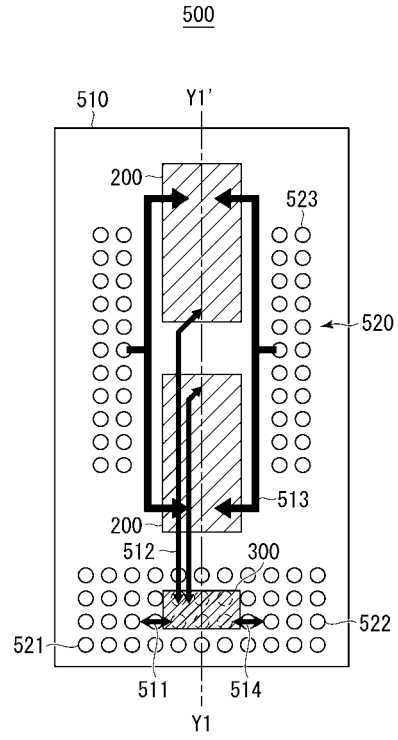
【図 2 4】



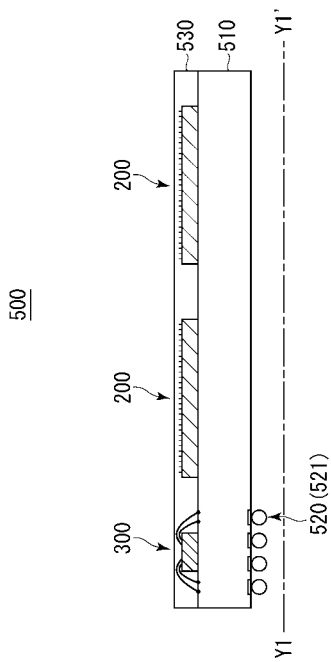
【 図 2 5 】



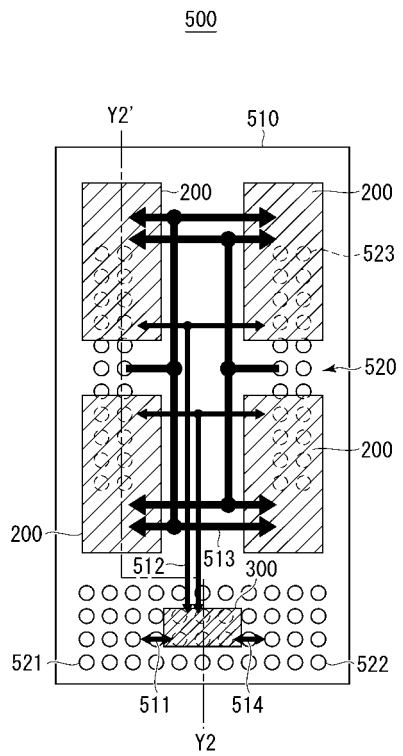
【 図 2 6 】



【 図 2 7 】

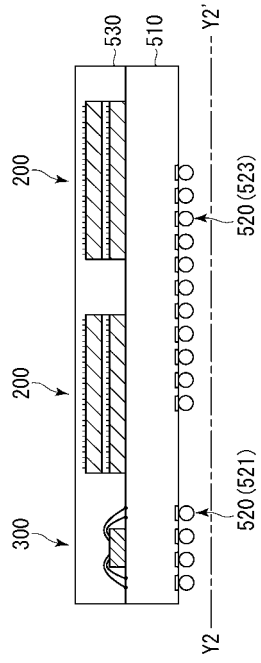


【 図 2 8 】



【 図 2 9 】

500



フロントページの続き

- (72)発明者 菅野 利夫
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
- (72)発明者 長内 文由紀
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
- (72)発明者 中村 正行
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
- (72)発明者 藤澤 宏樹
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
- (72)発明者 斉藤 俊一
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
- Fターム(参考) 5B060 MM09