(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0013987
(43) 공개일자 2011년02월10일

(51) Int. Cl.
H01L 21/66 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2009-0071711
(22) 출원일자 2009년08월04일
심사청구일자 2009년08월04일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
홍병학
충청북도 충주시 교현2동 632-25
황성우
서울특별시 강남구 대치동 511번지 한보미도맨션 105-1407
최루리
서울특별시 노원구 상계5동 벽산아파트 108-1011
(74) 대리인
리앤목특허법인

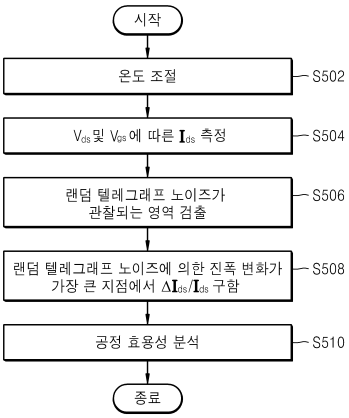
전체 청구항 수 : 총 22 항

(54) 반도체 트랜지스터의 공정 효용성을 분석하는 방법 및 분석 장치

(57) 요 약

본 발명의 실시예들은, 나노와이어 반도체 트랜지스터에서 관찰되는 랜덤 텔레그래프 노이즈를 관찰하여, 나노와이어 반도체 트랜지스터의 공정 효용성을 분석할 수 있는 장치 및 방법을 제공한다.

대 표 도 - 도5



특허청구의 범위

청구항 1

반도체 트랜지스터의 공정 효용성을 분석하는 방법에 있어서,

상기 반도체 트랜지스터가 배치된 영역의 온도를 미리 설정된 온도로 조절하는 단계;

상기 반도체 트랜지스터의 드레인-소스 간 전압(Vds) 및 게이트-소스 간 전압(Vgs)에 따른 드레인-소스 간 전류(Ids)를 측정하는 단계;

상기 드레인-소스 간 전류에서 랜덤 텔레그래프 노이즈(random telegraph noise)가 관찰되는 영역을 검출하는 단계; 및

상기 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 상기 드레인-소스 간 전류(Ids)의 특성에 따라 상기 반도체 트랜지스터의 공정 효용성을 분석하는 단계를 포함하고,

상기 반도체 트랜지스터는 나노와이어 반도체 트랜지스터인, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 2

제1항에 있어서, 상기 드레인-소스 간 전류의 특성은, 상기 랜덤 텔레그래프 노이즈에 의한 진폭 변화가 가장 큰 지점에서, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)인, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 3

제1항에 있어서, 상기 미리 설정된 온도는 0K 이상이고 120K 이하인, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 4

제2항에 있어서,

상기 공정 효용성을 분석하는 단계는, 상기 나노와이어 반도체 트랜지스터의 수율을 예측하며, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)이 클수록 상기 나노와이어 반도체 트랜지스터의 수율을 낮게 예측하는, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 5

제2항에 있어서,

상기 공정 효용성을 분석하는 단계는, 상기 나노와이어 반도체 트랜지스터의 수율을 예측하며, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)을 미리 저장된 데이터와 비교하여 상기 나노와이어 반도체 트랜지스터의 수율을 예측하는, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 6

제1항에 있어서,

상기 나노와이어 반도체 트랜지스터는 그 구조 또는 소자의 파라미터가 서로 다른 복수의 나노와이어 반도체 트랜지스터이며,

상기 공정 효용성을 분석하는 단계는, 상기 복수의 나노와이어 반도체 트랜지스터의 상기 드레인-소스 간 전류(Ids)의 특성을 비교하여, 상기 복수의 나노와이어 반도체 트랜지스터의 공정 효용성을 서로 비교하는, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 7

제2항에 있어서, 상기 공정 효용성을 분석하는 단계는, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인

-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)에 따라 상기 나노와이어 반도체 트랜지스터의 이동도(mobility)를 분석하는, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 8

제2항에 있어서,

상기 나노와이어 반도체 트랜지스터는 그 구조 또는 소자의 파라미터가 서로 다른 복수의 나노와이어 반도체 트랜지스터들이고,

상기 공정 효용성을 분석하는 단계는, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)을 비교하여, 상기 복수의 나노와이어 반도체 트랜지스터들 중 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)이 더 큰 것이 이동도가 더 작은 것으로 판단하는, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 9

제8항에 있어서,

상기 그 구조가 서로 다른 복수의 나노와이어 반도체 트랜지스터들은, 게이트-올-어라운드(gate-all-around) 나노와이어 트랜지스터, 오메가 게이트 나노와이어 반도체 트랜지스터, 트라이(tri) 게이트 나노와이어 반도체 트랜지스터, 또는 FinFET이고,

상기 소자의 파라미터는, 채널 길이 또는 채널 폭인, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 10

제2항에 있어서,

상기 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 Vds 및 Vgs로 상기 나노와이어 반도체 트랜지스터의 단자 전압을 설정하고, 상기 미리 설정된 온도로부터 온도를 증가시키는 단계; 및

온도가 증가함에 따라, 상기 ΔIds/Ids가 증가하면, 랜덤 텔레그래프 노이즈 특성이 관찰된 것으로 판단하는 단계를 더 포함하는, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 11

제2항에 있어서,

상기 미리 설정된 온도에서 상기 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 Vds로 상기 나노와이어 반도체 트랜지스터의 단자 전압을 설정하고, 상기 랜덤 텔레그래프 노이즈가 관찰되는 영역으로부터 Vgs를 증가시키는 단계; 및

Vgs가 증가함에 따라, 상기 ΔIds/Ids가 증가하면, 랜덤 텔레그래프 노이즈 특성이 관찰된 것으로 판단하는 단계를 더 포함하는, 반도체 트랜지스터의 공정 효용성을 분석하는 방법.

청구항 12

반도체 트랜지스터를 배치시키는 반도체 트랜지스터 배치부;

상기 반도체 트랜지스터의 온도를 미리 설정된 온도로 조절하는 온도 조절부;

상기 반도체 트랜지스터의 드레인-소스 간 전압(Vds) 및 게이트-소스 간 전압(Vgs)를 조절하는 전압 조절부;

상기 반도체 트랜지스터의 드레인-소스 간 전압(Vds) 및 게이트-소스 간 전압(Vgs)에 따른 드레인-소스 간 전류(Ids)를 측정하는 전류 측정부;

상기 드레인-소스 간 전류에서 랜덤 텔레그래프 노이즈(random telegraph noise)가 관찰되는 영역을 검출하는 검출부; 및

상기 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 상기 드레인-소스 간 전류(Ids)의 특성에 따라 상기 반도체 트랜지스터의 공정 효용성을 분석하는 분석부를 포함하고,

상기 반도체 트랜지스터는 나노와이어 반도체 트랜지스터인, 분석 장치.

청구항 13

제12항에 있어서, 상기 드레인-소스 간 전류의 특성은, 상기 랜덤 텔레그래프 노이즈에 의한 진폭 변화가 가장 큰 지점에서, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)인, 분석 장치.

청구항 14

제12항에 있어서, 상기 미리 설정된 온도는 0K 이상이고 120K 이하인, 분석 장치.

청구항 15

제13항에 있어서, 상기 분석부는, 상기 나노와이어 반도체 트랜지스터의 수율을 예측하며, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)이 클수록 상기 나노와이어 반도체 트랜지스터의 수율을 낮게 예측하는, 분석 장치.

청구항 16

제13항에 있어서,

상기 분석부는, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)에 따른 상기 나노와이어 반도체 트랜지스터의 수율에 대한 정보를 저장하는 저장부를 더 포함하고,

상기 분석부는, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)을 상기 저장부에 미리 저장된 데이터와 비교하여 상기 나노와이어 반도체 트랜지스터의 수율을 예측하는, 분석 장치.

청구항 17

제12항에 있어서,

상기 나노와이어 반도체 트랜지스터는 그 구조 또는 소자의 파라미터가 서로 다른 복수의 나노와이어 반도체 트랜지스터이고,

상기 분석부는, 상기 복수의 나노와이어 반도체 트랜지스터의 상기 드레인-소스 간 전류(Ids)의 특성을 비교하여, 상기 복수의 나노와이어 반도체 트랜지스터의 공정 효용성을 서로 비교하는, 분석 장치.

청구항 18

제13항에 있어서, 상기 분석부는, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)에 따라 상기 나노와이어 반도체 트랜지스터의 이동도(mobility)를 분석하는, 분석 장치.

청구항 19

제13항에 있어서,

상기 나노와이어 반도체 트랜지스터는 그 구조 또는 소자의 파라미터가 서로 다른 복수의 나노와이어 반도체 트랜지스터들이고,

상기 분석부는, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)을 비교하여, 상기 복수의 나노와이어 반도체 트랜지스터들 중 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)이 더 큰 것이 이동도가 더 작은 것으로 판단하는, 분석 장치.

청구항 20

제19항에 있어서,

상기 그 구조가 서로 다른 복수의 나노와이어 반도체 트랜지스터들은, 오메가 게이트 나노와이어 반도체 트랜지스터, 트라이(tri) 게이트 나노와이어 반도체 트랜지스터, 또는 나노와이어 FinFET이고,

상기 소자의 파라미터는, 채널 길이 또는 채널 폭인, 분석 장치.

청구항 21

제13항에 있어서,

상기 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 Vds 및 Vgs로 상기 나노와이어 반도체 트랜지스터의 단자 전압을 설정하도록 상기 전압 조절부를 제어하고, 상기 반도체 트랜지스터의 온도를 상기 미리 결정된 온도로부터 증가시키도록 상기 온도 조절부를 제어하는 조건 설정부; 및

온도가 증가함에 따라, 상기 ΔIds/Ids가 증가하면, 랜덤 텔레그래프 노이즈 특성이 관찰된 것으로 판단하는 노이즈 판별부를 더 포함하는, 분석 장치.

청구항 22

제13항에 있어서,

상기 미리 설정된 온도에서 상기 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 Vds로 상기 나노와이어 반도체 트랜지스터를 설정하도록 상기 전압 조절부를 제어하고, 상기 랜덤 텔레그래프 노이즈가 관찰되는 영역으로부터 Vgs를 증가시키도록 상기 전압 조절부를 제어하는 조건 설정부; 및

Vgs가 증가함에 따라, 상기 ΔIds/Ids가 증가하면, 랜덤 텔레그래프 노이즈 특성이 관찰된 것으로 판단하는 노이즈 판별부를 더 포함하는, 분석 장치.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 나노와이어 반도체 트랜지스터의 공정 효용성을 분석하기 위한 방법 및 장치에 관한 것이다.

배 경 기 술

[0002] 나노와이어 반도체 트랜지스터는 나노와이어를 이용하여 트랜지스터의 채널을 구현한 반도체 트랜지스터이다. 나노와이어는 나노 스케일의 직경을 갖는 반도체로서, 여기에 사용되는 소재는 반도체 실리콘이나 화학적으로 민감한 SiGe, SiN, TiN, Au, SiO_2, GaAs, InAs 등이 있다.

[0003] 나노와이어 반도체 트랜지스터는 기존의 반도체 소자들에 비해서 그 스케일이 작기 때문에, 기존의 특성 분석 방식을 이용해서는 나노와이어 반도체 트랜지스터의 소자 특성을 측정하기 어렵다. 또한 나노와이어 반도체 트랜지스터의 대량 생산을 위해서는 그 공정의 효용성을 분석해야하는데, 기존의 분석 방법으로는 나노와이어 반도체 트랜지스터의 공정 효용성을 분석하는데 어려움이 있다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명의 실시예들은 나노와이어 반도체 트랜지스터들의 공정 효용성을 분석하기 위한 방법 및 장치를 제공하는데 그 목적이 있다.

과제 해결수단

[0005] 본 발명의 일 실시예에 따른 반도체 트랜지스터의 공정 효용성을 분석하는 방법은, 상기 반도체 트랜지스터가 배치된 영역의 온도를 미리 설정된 온도로 조절하는 단계; 상기 반도체 트랜지스터의 드레인-소스 간 전압(Vds) 및 게이트-소스 간 전압(Vgs)에 따른 드레인-소스 간 전류(Ids)를 측정하는 단계; 상기 드레인-소스 간 전류에서 랜덤 텔레그래프 노이즈(random telegraph noise)가 관찰되는 영역을 검출하는 단계; 및 상기 랜덤 텔레그래

프 노이즈가 관찰되는 영역에서의 상기 드레인-소스 간 전류(Ids)의 특성에 따라 상기 반도체 트랜지스터의 공정 효용성을 분석하는 단계를 포함하고, 상기 반도체 트랜지스터는 나노와이어 반도체 트랜지스터이다.

[0006] 상기 드레인-소스 간 전류의 특성은, 상기 랜덤 텔레그래프 노이즈에 의한 진폭 변화가 가장 큰 지점에서, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)일 수 있다.

[0007] 상기 미리 설정된 온도는 0K 이상이고 120K 이하일 수 있고, 특히 액체 헬륨의 온도인 4K이거나, 액체 질소의 온도인 77K일 수 있다. 랜덤 텔레그래프 노이즈 특성은 상온(예를 들면, 300K)에서도 발생할 수 있다. 그러나 열적 노이즈(thremal noise)를 배제하고, 전류의 크기를 작게 하여 랜덤 텔레그래프 노이즈 특성에 의한 효과를 크게 확인할 수 있도록 하기 위하여, 본 발명의 실시예들은 저온에서 랜덤 텔레그래프 노이즈를 관찰할 수 있다.

[0008] 상기 공정 효용성은 상기 나노와이어 반도체 트랜지스터를 생성한 공정의 수율일 수 있다. 이러한 경우, 상기 공정 효용성을 분석하는 단계는, 상기 나노와이어 반도체 트랜지스터의 수율을 예측하며, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)이 클수록 상기 나노와이어 반도체 트랜지스터의 수율을 낮게 예측할 수 있다. 다른 예로서, 상기 공정 효용성을 분석하는 단계는, 상기 나노와이어 반도체 트랜지스터의 수율을 예측하고, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)을 미리 저장된 데이터와 비교하여 상기 나노와이어 반도체 트랜지스터의 수율을 예측할 수 있다.

[0009] 또한, 상기 나노와이어 반도체 트랜지스터는 그 구조 또는 소자의 파라미터가 서로 다른 복수의 나노와이어 반도체 트랜지스터이고, 상기 공정 효용성을 분석하는 단계는, 상기 복수의 나노와이어 반도체 트랜지스터의 상기 드레인-소스 간 전류(Ids)의 특성을 비교하여, 상기 복수의 나노와이어 반도체 트랜지스터의 공정 효용성을 서로 비교할 수 있다.

[0010] 상기 공정 효용성은 상기 나노와이어 반도체 트랜지스터의 이동도일 수 있으며, 상기 공정 효용성을 분석하는 단계는, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)에 따라 상기 나노와이어 반도체 트랜지스터의 이동도(mobility)를 분석할 수 있다.

[0011] 또한 상기 나노와이어 반도체 트랜지스터는 그 구조 또는 소자의 파라미터가 서로 다른 복수의 나노와이어 반도체 트랜지스터들이고,

[0012] 상기 공정 효용성을 분석하는 단계는, 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)을 비교하여, 상기 복수의 나노와이어 반도체 트랜지스터들 중 상기 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)이 더 큰 것이 이동도가 더 작은 것으로 판단할 수 있다.

[0013] 상기 그 구조가 서로 다른 복수의 나노와이어 반도체 트랜지스터들은, 게이트-올-어라운드(gate-all-around) 나노와이어 트랜지스터, 오메가 게이트 나노와이어 반도체 트랜지스터, 트라이(tri) 게이트 나노와이어 반도체 트랜지스터, 또는 FinFET이고, 상기 소자의 파라미터는, 채널 길이 또는 채널 폭일 수 있다.

[0014] 본 발명의 다른 실시예에 따르면, 상기 반도체 트랜지스터의 공정 효용성을 분석하는 방법은, 관찰된 노이즈가 랜덤 텔레그래프 노이즈인지 여부를 확인하는 과정을 더 포함할 수 있다. 이를 위해, 상기 반도체 트랜지스터의 공정 효용성을 분석하는 방법은, 상기 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 Vds 및 Vgs로 상기 나노와이어 반도체 트랜지스터의 단자 전압을 설정하고, 상기 미리 설정된 온도로부터 온도를 증가시키는 단계; 및 온도가 증가함에 따라, 상기 ΔIds/Ids가 증가하면, 랜덤 텔레그래프 노이즈 특성이 관찰된 것으로 판단하는 단계를 더 포함할 수 있다. 다른 예로서, 상기 반도체 트랜지스터의 공정 효용성을 분석하는 방법은, 상기 미리 설정된 온도에서 상기 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 Vds로 상기 나노와이어 반도체 트랜지스터의 단자 전압을 설정하고, 상기 랜덤 텔레그래프 노이즈가 관찰되는 영역으로부터 Vgs를 증가시키는 단계; 및 Vgs가 증가함에 따라, 상기 ΔIds/Ids가 증가하면, 랜덤 텔레그래프 노이즈 특성이 관찰된 것으로 판단하는 단계를 더 포함할 수 있다.

[0015] 본 발명의 일 실시예에 따른 분석 장치는, 반도체 트랜지스터를 배치시키는 반도체 트랜지스터 배치부; 상기 반도체 트랜지스터의 온도를 미리 설정된 온도로 조절하는 온도 조절부; 상기 반도체 트랜지스터의 드레인-소스 간 전압(Vds) 및 게이트-소스 간 전압(Vgs)를 조절하는 전압 조절부; 상기 반도체 트랜지스터의 드레인-소스 간 전압(Vds) 및 게이트-소스 간 전압(Vgs)에 따른 드레인-소스 간 전류(Ids)를 측정하는 전류 측정부; 상기 드레

인-소스 간 전류에서 랜덤 텔레그래프 노이즈(random telegraph noise)가 관찰되는 영역을 검출하는 검출부; 및 상기 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 상기 드레인-소스 간 전류(Ids)의 특성에 따라 상기 반도체 트랜지스터의 공정 효용성을 분석하는 분석부를 포함하고, 상기 반도체 트랜지스터는 나노와이어 반도체 트랜지스터일 수 있다.

효 과

[0016] 본 발명의 실시예들은 저온에서 랜덤 텔레그래프 노이즈를 측정하여, 이로부터 나노와이어 반도체 트랜지스터의 공정 효용성을 분석할 수 있는 방법 및 장치를 제공하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명한다. 하기의 설명 및 첨부된 도면은 본 발명에 따른 동작을 이해하기 위한 것이며, 본 기술 분야의 통상의 기술자가 용이하게 구현할 수 있는 부분은 생략될 수 있다.

[0018] 또한 본 명세서 및 도면은 본 발명을 제한하기 위한 목적으로 제공된 것은 아니고, 본 발명의 범위는 청구의 범위에 의하여 정해져야 한다. 본 명세서에서 사용된 용어들은 본 발명을 가장 적절하게 표현할 수 있도록 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 한다.

[0019] 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 설명한다.

[0020] 나노와이어 반도체 트랜지스터는 나노와이어를 이용하여 트랜지스터의 채널을 구현한 반도체 소자이다. 나노와이어 반도체 트랜지스터는 소스, 드레인, 채널, 게이트, 게이트 절연체의 배치에 따라 다양한 구조를 갖을 수 있다. 나노와이어 반도체 트랜지스터는 그 구조에 따라 예를 들면, 게이트-올-어라운드(gate-all-around) 나노와이어 반도체 트랜지스터, 오메가 게이트 나노와이어 반도체 트랜지스터, 트라이 게이트 나노와이어 반도체 트랜지스터, 및 FinFET 등이 있다.

[0021] 도 1은 게이트-올-어라운드 나노와이어 반도체 트랜지스터의 개략적인 구조를 도시한 도면이다. 게이트-올-어라운드 나노와이어 반도체 트랜지스터는 소스와 드레인 사이에 나노와이어가 배치되어 채널을 형성한다. 나노와이어는 게이트 절연체에 의하여 둘러싸이고, 다시 게이트 전극에 의하여 둘러싸인다.

[0022] 도 2는 게이트(206), 게이트 절연체(204), 및 채널(202)을 포함하는 면의 단면도이다.

[0023] 나노와이어 트랜지스터는 게이트-올-어라운드 나노와이어 반도체 트랜지스터와 같이, 채널 길이에 비해 게이트 절연체와 채널의 접촉 면적이 증가하고, 표면 거칠기 스캐터링(surface roughness scattering)에 의한 영향이 커져, 도 2에 도시된 바와 같이 채널(202)을 통과하는 전자 또는 정공(hole)이 게이트 절연체(204)의 트랩에 캡쳐되거나 에미션되는 현상이 발생할 수 있다. 또한 나노와이어 트랜지스터는 채널 직경이 작기 때문에, 수백 개 이하의 전자 또는 정공만이 채널을 통과한다. 따라서 나노와이어 반도체 트랜지스터에서는 채널에서의 전자 또는 정공의 트랩으로 인해, 게이트 효율(efficiency)이 변화하고, 트랩으로 인해 발생하는 Ids의 변화를 관찰할 수 있는데, 이러한 현상으로 인하여, Ids에서 랜덤 텔레그래프 노이즈가 관찰된다.

[0024] 도 3은 게이트-올-어라운드 나노와이어 반도체 트랜지스터의 온도에 따른 Ids 특성을 도시한 도면이다. 도 3의 그래프는 게이트-올-어라운드 PMOS NWFET(nanowire FET)를 이용했으며, 반지름 5nm의 원통형의 실리콘 나노와이어가 3.5nm 두께의 게이트 산화물 및 TiN 게이트 물질로 둘러싸인 구조이다. 채널의 길이는 300nm이다. 본 그래프는 4.2K<T<120K에서 게이트-올-어라운드 나노와이어 반도체 트랜지스터의 일정 시간동안 일정한 게이트 전압과 드레인 전압 하에서의 드레인 전류값을 측정함으로써 확인할 수 있는 랜덤 텔레그래프 노이즈를 보여준다. 온도가 높을수록 전자 또는 정공이 게이트 절연체의 트랩에 캡쳐되고 에미션되는 빈도가 높아지는 것을 보여준다. 이 그래프에서 각각의 온도에 대한 데이터 값은 서로 겹쳐 보이지 않도록 1μA 씩 offset 값을 부여하여 그렸다.

[0025] 도 4는 온도(T)의 함수로서, 드레인-소스 간 전류의 평균값에 대한 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)을 나타낸다. ΔIds/Ids는 온도가 감소함에 따라 증가하고, 저온에서 수렴하는 것을 보여준다. 이러한 온도 의존도는 표면 거칠기 산란(surface roughness scattering)이 지배적인 게이트-올-어라운드 소자에서 이동도의 수렴과 상응한다.

[0026] 본 발명의 실시예들은 저온에서 나노와이어 반도체 트랜지스터가 랜덤 텔레그래프 노이즈 특성을 보임을 이용하여, 저온에서 나노와이어 반도체 트랜지스터의 랜덤 텔레그래프 노이즈를 측정하여 나노와이어 반도체 트랜지스

터의 공정 효용성을 분석한다.

[0027] 도 5는 본 발명의 일 실시예에 따른 반도체 트랜지스터의 공정 효용성을 분석하는 방법을 나타낸 흐름도이다.

[0028] 본 발명의 일 실시예에 따르면, 공정 효용성을 분석하기 위한 반도체 트랜지스터를 배치시키고, Vds와 Vgs를 조절하고, Ids를 측정하기 위하여 반도체 트랜지스터를 세팅한다. 여기서 반도체 트랜지스터는 나노와이어 반도체 트랜지스터이다.

[0029] 본 발명의 실시예들은 저온에서 나노와이어 반도체 트랜지스터의 Ids 특성을 측정한다. 나노와이어 반도체 트랜지스터의 랜덤 텔레그래프 노이즈 특성은 저온에서 명확하게 관찰되기 때문이다. 본 발명의 일 실시예에 따르면, 나노와이어 반도체 트랜지스터의 Ids 특성은 0K이상 120K 이하의 온도 조건에서 측정될 수 있다. 예를 들면, 액체 헬륨의 온도인 4K 또는 액체 질소의 온도인 77K에서 측정될 수 있다.

[0030] 저온 상태에서 나노와이어 반도체 트랜지스터의 Ids 특성을 측정하기 위하여, 우선 나노와이어 반도체 트랜지스터가 배치된 영역의 온도를 미리 결정된 저온 상태로 조절한다(S502).

[0031] 다음으로 나노와이어 반도체 트랜지스터의 Vds 및 Vgs를 조절하며, Ids를 측정한다(S504). 도 6은 Vds 및 Vgs에 따른 Ids를 측정한 예를 나타낸 도면이다. Vds와 Vgs는 도 6에 도시된 바와 같이 조절될 수 있다. Vds가 증가함에 따라 나노와이어 반도체 트랜지스터가 파괴될 가능성이 높아지기 때문에, Vds는 나노와이어 반도체 트랜지스터가 파괴되지 않는 범위에서 조절할 수 있다. 나노와이어 반도체 트랜지스터가 파괴된 것은, Vgs를 변화시켜도 Ids가 변화하지 않는 것을 보고 알 수 있다.

[0032] 다음으로 측정된 데이터로부터 랜덤 텔레그래프 노이즈가 관찰되는 영역을 검출한다(S506). 랜덤 텔레그래프 노이즈는 Ids 곡선에서 파동을 관찰하여 검출할 수 있다. 예를 들면, 도 6의 Vds 500mV인 조건에서 파동이 나타나는 영역이 랜덤 텔레그래프 노이즈가 관찰되는 영역으로 검출될 수 있다.

[0033] 다음으로, 랜덤 텔레그래프 노이즈에 의한 진폭 변화가 가장 큰 지점에서, 드레인-소스 간 전류의 평균값에 대한 상기 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)을 구한다(S508). 예를 들면, ΔIds 값이 가장 큰 지점에서 ΔIds/Ids을 구할 수 있다. ΔIds는 도 6에 도시된 바와 같이, Ids 상에서 랜덤 텔레그래프 노이즈로 인해 발현되는 파동의 진폭이다. Ids의 평균값은 ΔIds/Ids를 구하는 지점에서의 Ids의 평균값이다.

[0034] 다음으로, ΔIds/Ids로부터 나노와이어 반도체 트랜지스터의 공정 효용성을 분석한다(S510). 게이트 절연체에 전자 또는 정공이 캡쳐되는 경우, Ids 전류의 변화량이 증가하게 되는데, 이 변화량의 폭을 분석하거나, 캡쳐와 에미션을 반복하는 빈도수 변화를 측정함으로써, 소자의 수율을 확률적으로 예측하거나, 이동도와 같은 파라미터를 계산할 수 있다. 나노와이어 반도체 트랜지스터의 공정 효용성을 분석하는 방법은 여러 실시예들을 가질 수 있다.

[0035] 일 실시예로, ΔIds/Ids를 서로 다른 종류의 나노와이어 반도체 트랜지스터로부터 측정하고, ΔIds/Ids값을 비교하여 서로 다른 종류의 나노와이어 반도체 트랜지스터들의 공정 효용성을 분석할 수 있다. 랜덤 텔레그래프 노이즈가 심해질수록, 전자 또는 정공이 채널을 통과하는 도중에 게이트 절연체에 캡쳐되고 에미션될 확률이 높아진다는 것이고, 트랩에 캡쳐되고 에미션되는 현상이 빈번하게 발생할수록 나노와이어 반도체 트랜지스터가 파괴될 확률이 높아진다. 그런데 ΔIds/Ids는 랜덤 텔레그래프 노이즈가 커질수록 증가한다. 따라서 서로 다른 종류의 나노와이어 반도체 트랜지스터 중에서 ΔIds/Ids가 더 작은 나노와이어 반도체 트랜지스터가 공정 효용성이 높은 것으로 판단할 수 있다.

[0036] 상기 공정 효용성은 나노와이어 반도체 트랜지스터의 수율(yield)일 수 있다. 수율은 예를 들면, ΔIds/Ids에 따라 수율을 확률적으로 예측하기 위한 미리 저장된 정보를 이용하여 ΔIds/Ids 값으로부터 예측될 수 있다. ΔIds/Ids의 값에 따른 수율에 대한 정보를 미리 저장하고, ΔIds/Ids값을 미리 저장된 정보와 비교하여, 수율을 확률적으로 예측할 수 있다. 또한, 다른 예로서, 서로 다른 종류의 나노와이어 반도체 트랜지스터들에 대한 ΔIds/Ids값을 서로 비교하여, 서로 다른 종류의 나노와이어 반도체 트랜지스터들의 수율을 비교할 수 있다. 이때, ΔIds/Ids값이 클수록 공정 효용성이 낮은 것으로 판단될 수 있다.

[0037] 상기 공정 효용성은 나노와이어 반도체 트랜지스터의 소자 특성일 수 있다. 소자의 특성은 채널 길이, 채널 폭, 도핑 농도 등 소자 파라미터에 의해 결정될 수도 있지만, 공정 특성에도 영향을 받는다. 따라서 이러한 복합적인 요인으로 인해 발현되는 소자 특성을 분석하기 위하여, 본 발명의 실시예들은 나노와이어 반도체 트랜지스터의 랜덤 텔레그래프 노이즈를 관찰한다.

[0038] 상기 소자 특성은 예를 들면, 나노와이어 반도체 트랜지스터의 이동도일 수 있다. 이동도는 수학식 1을 통하여

계산될 수 있다. 여기서 W_{eff}는 채널의 두께(effective channel width), L_{eff}는 채널의 길이(effective channel length), N은 단위 면적당 캐리어의 농도(areal carrier density), α는 스캐터링 상수(scattering coefficient), μ 는 이동도를 나타낸다.

수학식 1

[0039] $$\frac{\Delta I_{ds}}{I_{ds}} = -\frac{1}{W_{eff} \times L_{eff}} \left(\frac{1}{N} \pm \alpha\mu\right)$$

[0040] 다른 예로서, 본 발명의 일 실시예는 서로 다른 종류의 나노와이어 반도체 트랜지스터들에 대한 ΔIds/Ids값을 서로 비교하여, 서로 다른 종류의 나노와이어 반도체 트랜지스터들의 소자 특성을 예측할 수 있다. 예를 들면, ΔIds/Ids값이 클수록 이동도가 작은 것으로 판단될 수 있다.

[0041] 도 7은 본 발명의 다른 실시예에 따른 반도체 트랜지스터의 공정 효용성을 분석하는 방법을 나타낸 흐름도이다.

[0042] 본 발명의 다른 실시예는, 앞서 설명한 바와 같이, 온도를 조절하고(S702), Vds 및 Vgs에 따른 Ids를 측정하여(S704), 랜덤 텔레그래프 노이즈가 관찰되는 영역을 검출하고(S706), ΔIds/Ids를 구한다(S708). 본 발명의 다른 실시예에 따르면, 상기 반도체 트랜지스터의 공정 효용성을 분석하는 방법은, Ids에서 관찰된 노이즈가 랜덤 텔레그래프 노이즈인지 여부를 확인하는 과정을 더 포함한다(S710). Ids에서는 랜덤 텔레그래프 노이즈 이외의 다른 노이즈뿐만 아니라 다른 종류의 노이즈도 관찰될 수 있다. 따라서 본 발명의 다른 실시예는 Ids에서 관찰된 노이즈가 랜덤 텔레그래프 노이즈인지 여부를 확인하여, 랜덤 텔레그래프 노이즈로 확인되는 경우에만, 관측된 결과를 이용하여 공정 효용성을 분석한다.

[0043] 랜덤 텔레그래프 노이즈는 전자 또는 정공이 게이트 절연체에 캡쳐되는 빈도수가 높아질수록 증가하기 때문에, Vgs가 증가할수록 증가한다. 또한 랜덤 텔레그래프 노이즈는 온도가 증가할수록 증가한다. 따라서 본 발명의 다른 실시예는 이러한 랜덤 텔레그래프 노이즈의 특성을 이용하여, Ids에서 관찰된 노이즈가 랜덤 텔레그래프 노이즈인지 여부를 확인한다. 예를 들면, 상기 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 Vds 및 Vgs로 나노와이어 반도체 트랜지스터의 단자 전압을 설정하고, 나노와이어 반도체 트랜지스터의 ΔIds/Ids를 측정한 온도로부터 온도를 증가시키면서 ΔIds/Ids를 관찰하여, 온도가 증가함에 따라, ΔIds/Ids가 증가하면, 관찰된 노이즈가 랜덤 텔레그래프 노이즈인 것으로 판단할 수 있다. 다른 예로서, 온도와 Vds는 ΔIds/Ids를 측정한 조건으로 유지하고, Vgs를 증가시키면서 ΔIds/Ids를 관찰하여, Vgs가 증가함에 따라 ΔIds/Ids가 증가하면, 관찰된 노이즈가 랜덤 텔레그래프 노이즈인 것으로 판단할 수 있다.

[0044] 그러나 관찰된 노이즈가 랜덤 텔레그래프 노이즈인지 여부를 판단하는 단계(S710)는 도면에 도시된 순서로 한정되지 않는다. 예를 들면, 관찰된 노이즈가 랜덤 텔레그래프 노이즈인지 여부를 판단하는 단계(S710)는 랜덤 텔레그래프 노이즈가 관찰되는 영역을 검출한 후에(S706)에 실시될 수 있다.

[0045] 도 8은 본 발명의 일 실시예에 따른 분석 장치의 구조를 나타낸 도면이다. 본 발명의 일 실시예에 따른 분석 장치(800a)는 반도체 트랜지스터 배치부(802), 온도 조절부(804), 전압 조절부(806), 전류 측정부(808), 검출부(810), 및 분석부(812)를 포함한다.

[0046] 공정 효용성을 측정하게 될 나노와이어 반도체 트랜지스터는 반도체 트랜지스터 배치부(802)에 배치된다. 온도 조절부(804)는 상기 나노와이어 반도체 트랜지스터의 온도를 미리 설정된 저온 상태로 조절한다. 본 발명의 일 실시예에 따르면, 나노와이어 반도체 트랜지스터의 Ids 특성은 0K 이상 120K 이하의 온도 조건에서 측정될 수 있다. 온도 조절부(804)는 예를 들면, 전자식 온도 조절기로 구현되거나, 또는 액체 헬륨, 액체 질소 등을 이용하여 구현될 수 있다.

[0047] 전압 조절부(806)는 나노와이어 반도체 트랜지스터의 Vds 및 Vgs를 조절한다. 이를 위해 전압 조절부(806)는 나노와이어 반도체 트랜지스터의 게이트, 드레인, 및 소스 단자에 각각 전기적으로 연결되고, 각 단자의 전압을 조절할 수 있다. Vds는 Vgs는 도 6에 도시된 바와 같이 조절될 수 있다.

[0048] 전류 측정부(808)는 Vds 및 Vgs에 따른 Ids를 측정한다.

[0049] 검출부(810)는 측정된 Ids 데이터로부터 랜덤 텔레그래프 노이즈가 관찰되는 영역을 검출한다. 랜덤 텔레그래프

노이즈는 Ids 곡선에서 파동을 관찰하여 검출할 수 있다.

[0050] 분석부(812)는 ΔIds/Ids를 구하고, ΔIds/Ids로부터 나노와이어 반도체 트랜지스터의 공정 효용성을 분석한다. 앞서 설명된 바와 같이, 나노와이어 반도체 트랜지스터의 공정 효용성을 분석하는 방식은 여러 실시예들을 가질 수 있다. 즉, 분석부(812)는 ΔIds/Ids를 서로 다른 종류의 나노와이어 반도체 트랜지스터로부터 측정하고, ΔIds/Ids값을 비교하여 서로 다른 종류의 나노와이어 반도체 트랜지스터들의 공정 효용성을 분석할 수 있다.

[0051] 또한, 상기 공정 효용성은 나노와이어 반도체 트랜지스터의 수율일 수 있다. 예를 들면, 분석부(812)는 ΔIds/Ids에 따라 수율을 확률적으로 예측하기 위한 정보를 저장하는 저장부(814)를 더 포함하고, 저장부(814)에 미리 저장된 정보를 이용하여 ΔIds/Ids 값으로부터 상기 나노와이어 반도체 트랜지스터의 수율을 예측할 수 있다. 다른 예로서, 분석부(812)는 서로 다른 종류의 나노와이어 반도체 트랜지스터들에 대한 ΔIds/Ids값을 서로 비교하여, 서로 다른 종류의 나노와이어 반도체 트랜지스터들의 수율을 비교할 수 있다.

[0052] 상기 공정 효용성은 나노와이어 반도체 트랜지스터의 소자 특성일 수 있다. 상기 소자 특성은 예를 들면, 나노와이어 반도체 트랜지스터의 이동도일 수 있다. 이동도는 수학식 1을 통하여 계산될 수 있다. 다른 예로서, 본 발명의 일 실시예는 서로 다른 종류의 나노와이어 반도체 트랜지스터들에 대한 ΔIds/Ids값을 서로 비교하여, 서로 다른 종류의 나노와이어 반도체 트랜지스터들의 소자 특성을 예측할 수 있다.

[0053] 도 9는 본 발명의 다른 실시예에 따른 분석 장치의 구조를 도시한 도면이다.

[0054] 본 발명의 다른 실시예에 따른 분석 장치(800b)는 반도체 트랜지스터 배치부(802), 온도 조절부(804), 전압 조절부(806), 전류 측정부(808), 검출부(810), 분석부(812), 조건 설정부(902), 및 노이즈 판별부(904)를 포함할 수 있다. 본 발명의 다른 실시예에 따른 분석 장치(800b)는, Ids에서 관찰된 노이즈가 랜덤 텔레그래프 노이즈인지 여부를 확인하여, Ids에서 관찰된 노이즈가 랜덤 텔레그래프 노이즈인 경우에만, 관찰된 데이터를 이용하여 공정 효용성을 분석한다.

[0055] 조건 설정부(902)는 Ids에서 관찰된 노이즈가 랜덤 텔레그래프 노이즈인지 여부를 판별하기 위한 데이터를 얻기 위해서 나노와이어 반도체 트랜지스터의 온도, Vds, 및/또는 Vgs를 조절한다. 노이즈 판별부(904)는 조건 설정부(902)에서 설정한 조건에 따른 ΔIds/Ids의 변화를 관찰하여, 관찰된 노이즈가 랜덤 텔레그래프 노이즈인지 여부를 판단한다.

[0056] 예를 들면, 조건 설정부(902)는 랜덤 텔레그래프 노이즈가 관찰되는 영역에서의 Vds 및 Vgs로 나노와이어 반도체 트랜지스터의 단자 전압을 설정하도록 전압 조절부(806)를 제어하고, 나노와이어 반도체 트랜지스터의 ΔIds/Ids를 측정한 온도로부터 온도를 증가시키도록 온도 조절부(804)를 제어한다. 노이즈 판별부(904)는 온도가 증가함에 따라, ΔIds/Ids가 증가하면, 관찰된 노이즈가 랜덤 텔레그래프 노이즈인 것으로 판단한다.

[0057] 다른 예로서, 조건 설정부(902)는 온도와 Vds는 ΔIds/Ids를 측정한 조건으로 유지하고, Vgs는 증가시키도록 온도 조절부(804)와 전압 조절부(806)를 제어한다. 노이즈 판별부(904)는 Vgs가 증가함에 따라 ΔIds/Ids가 증가하면, 관찰된 노이즈가 랜덤 텔레그래프 노이즈인 것으로 판단한다.

[0058] 본 발명의 다른 실시예에 따른 분석부(812)는 관찰된 노이즈가 랜덤 텔래그래프 노이즈인 것으로 노이즈 판별부(904)에서 판단한 경우에만, 측정된 데이터를 이용하여 공정 효용성을 분석할 수 있다.

[0059] 이제까지 본 발명에 대하여 바람직한 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 본 발명을 구현할 수 있음을 이해할 것이다. 그러므로 상기 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 특허청구범위에 의해 청구된 발명 및 청구된 발명과 균등한 발명들은 본 발명에 포함된 것으로 해석되어야 한다.

도면의 간단한 설명

[0060] 도 1은 게이트-올-어라운드 나노와이어 반도체 트랜지스터의 개략적인 구조를 도시한 도면이다.

[0061] 도 2는 게이트(206), 게이트 절연체(204), 및 채널(202)을 포함하는 면의 단면도이다.

[0062] 도 3은 게이트-올-어라운드 나노와이어 반도체 트랜지스터의 온도에 따른 Ids 특성을 도시한 도면이다.

[0063] 도 4는 온도(T)의 함수로서, 드레인-소스 간 전류의 평균값에 대한 드레인-소스 간 전류의 진폭 변화값(ΔIds)의 비율(ΔIds/Ids)을 나타낸다.

[0064] 도 5는 본 발명의 일 실시예에 따른 반도체 트랜지스터의 공정 효용성을 분석하는 방법을 나타낸 흐름도이다.

[0065] 도 6은 Vds 및 Vgs에 따른 Ids를 측정한 예를 나타낸 도면이다.

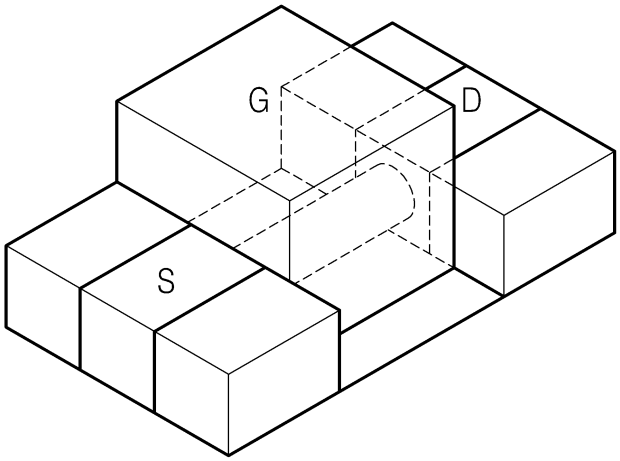
[0066] 도 7은 본 발명의 다른 실시예에 따른 반도체 트랜지스터의 공정 효용성을 분석하는 방법을 나타낸 흐름도이다.

[0067] 도 8은 본 발명의 일 실시예에 따른 분석 장치의 구조를 나타낸 도면이다.

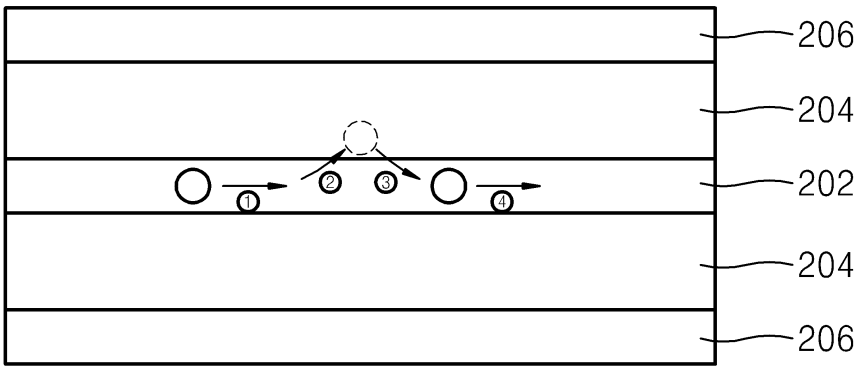
[0068] 도 9는 본 발명의 다른 실시예에 따른 분석 장치의 구조를 도시한 도면이다.

도면

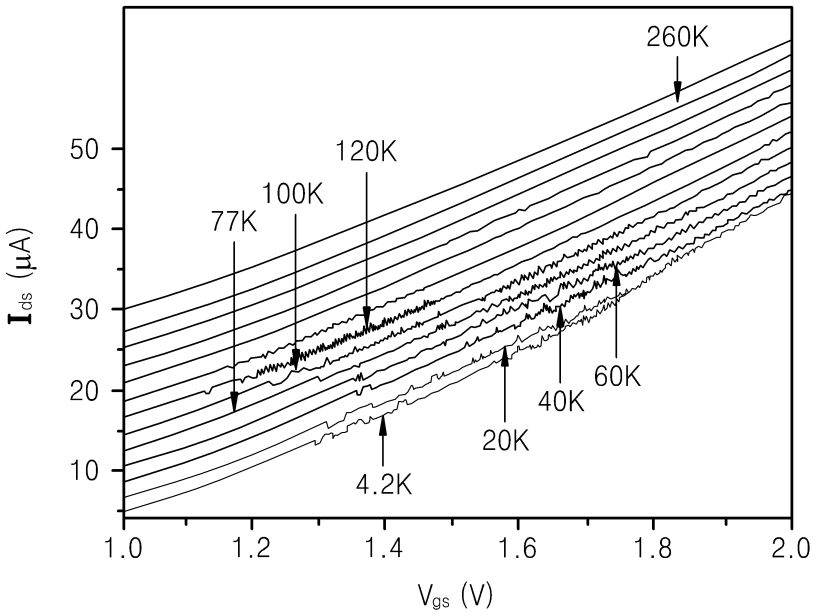
도면1



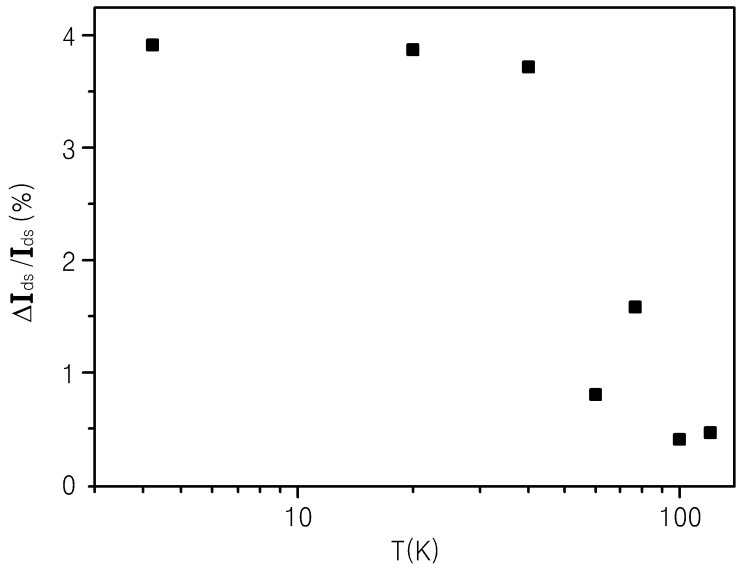
도면2



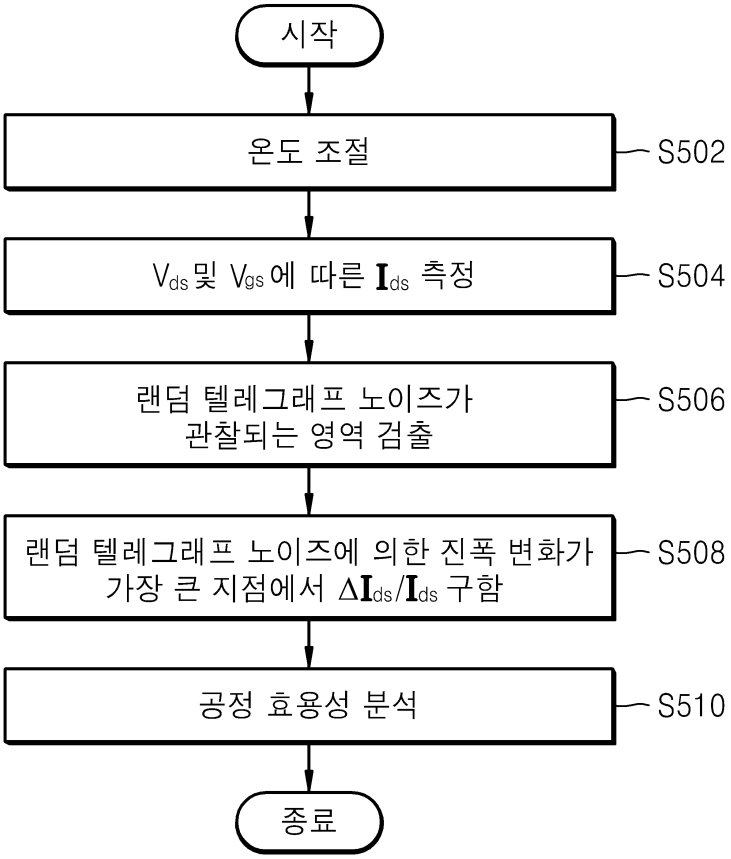
도면3


260K
120K
100K
77K
60K
40K
20K
4.2K
50
40
30
20
10
I_{ds} (μA)
1.0
1.2
1.4
1.6
1.8
2.0
V_{gs} (V)

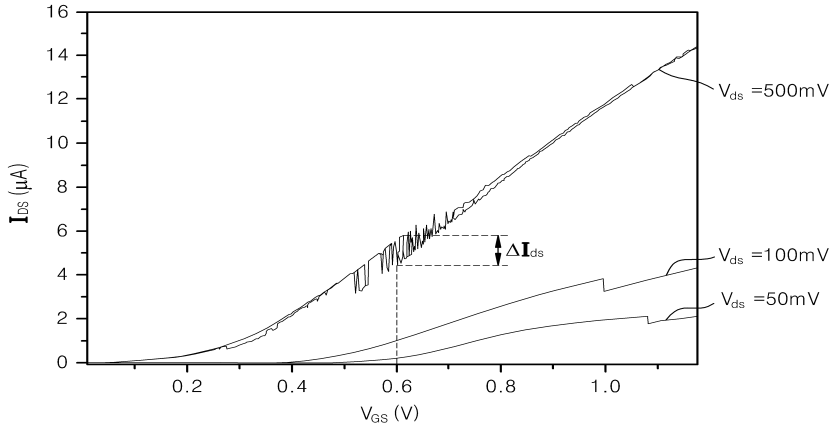
도면4


4
3
2
1
0
$\Delta I_{ds}/I_{ds}$ (%)
10
100
T(K)

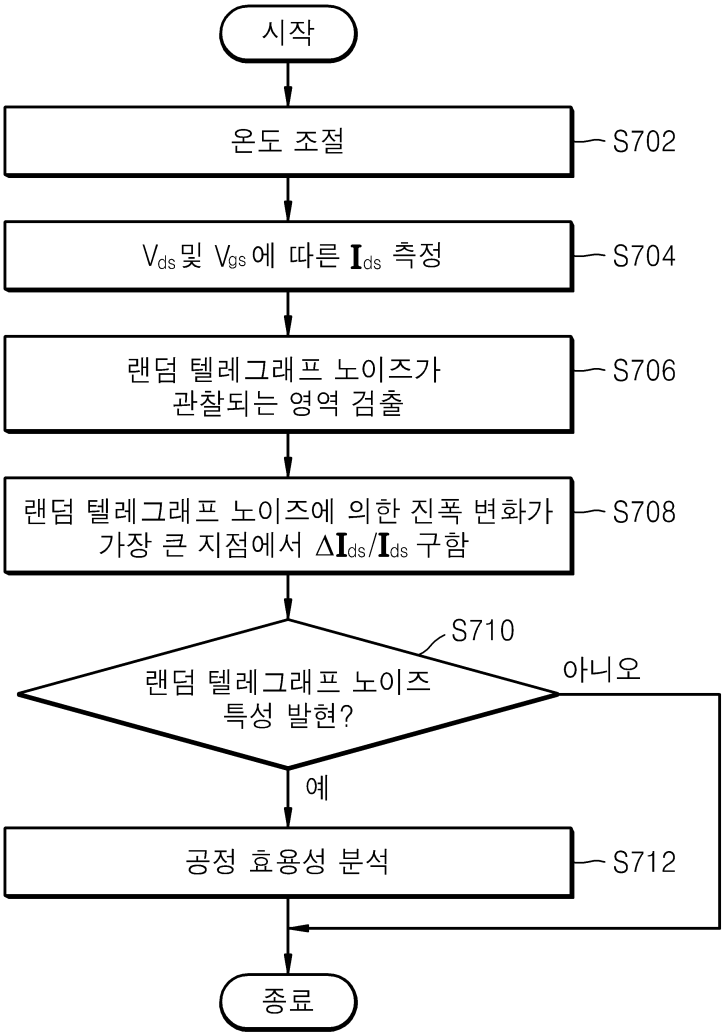
도면5


시작
온도 조절
S502
V_{ds} 및 V_{gs}에 따른 I_{ds} 측정
S504
랜덤 텔레그래프 노이즈가
관찰되는 영역 검출
S506
랜덤 텔레그래프 노이즈에 의한 진폭 변화가
가장 큰 지점에서 $\Delta I_{ds}/I_{ds}$ 구함
S508
공정 효용성 분석
S510
종료

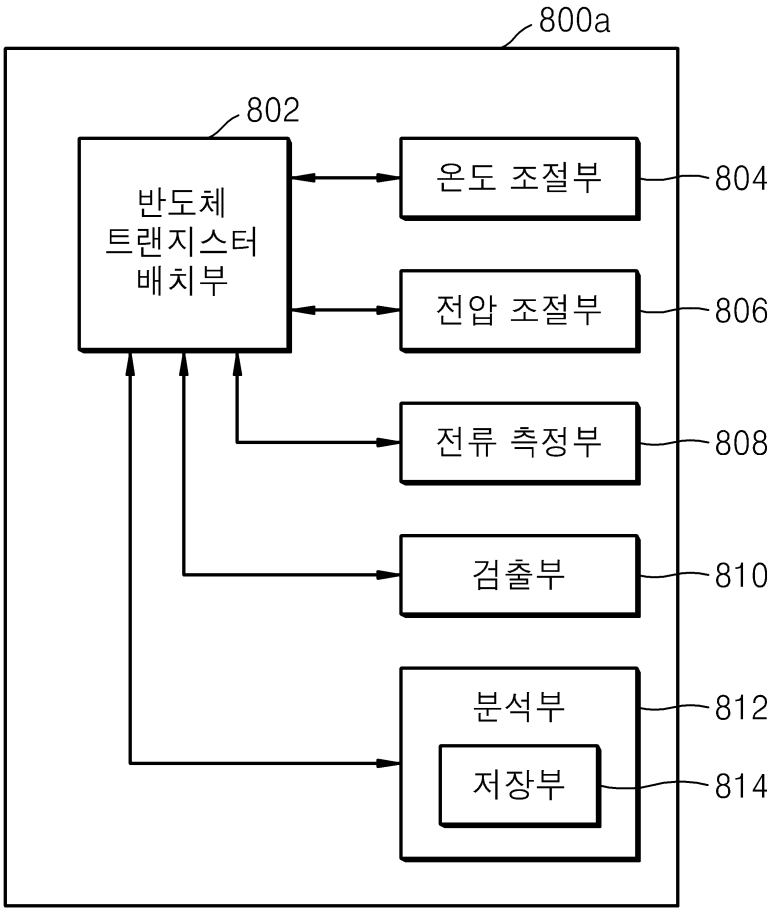
도면6


16
14
12
10
8
6
4
2
0
I_{DS} (μA)
0.2
0.4
0.6
0.8
1.0
V_{GS} (V)
ΔI_{ds}
V_{ds} =500mV
V_{ds} =100mV
V_{ds} =50mV

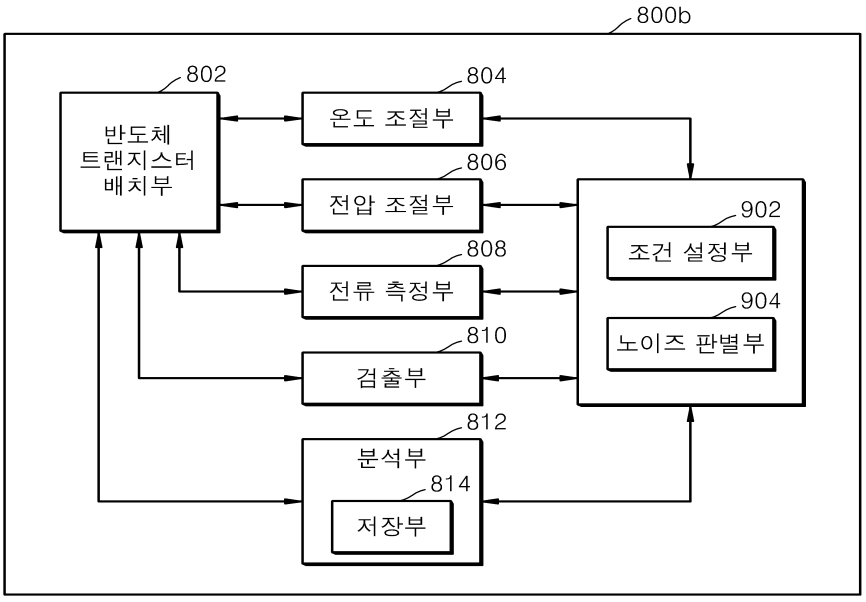
도면7


시작
온도 조절
S702
V_{ds} 및 V_{gs}에 따른 I_{ds} 측정
S704
랜덤 텔레그래프 노이즈가
관찰되는 영역 검출
S706
랜덤 텔레그래프 노이즈에 의한 진폭 변화가
가장 큰 지점에서 $\Delta I_{ds}/I_{ds}$ 구함
S708
S710
랜덤 텔레그래프 노이즈
특성 발현?
아니오
예
공정 효용성 분석
S712
종료

도면8


800a
802
반도체
트랜지스터
배치부
온도 조절부
804
전압 조절부
806
전류 측정부
808
검출부
810
분석부
812
저장부
814

도면9


800b
802
반도체
트랜지스터
배치부
804
온도 조절부
806
전압 조절부
808
전류 측정부
810
검출부
812
분석부
814
저장부
902
조건 설정부
904
노이즈 판별부