



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201611030 A

(43) 公開日：中華民國 105 (2016) 年 03 月 16 日

(21) 申請案號：104115932 (22) 申請日：中華民國 104 (2015) 年 05 月 19 日

(51) Int. Cl. : G11C7/10 (2006.01) G11C7/04 (2006.01)

(30) 優先權：2014/05/21 日本 2014-105195

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：新井鐵也 ARAI, TETSUYA (JP) ; 谷口淳紀 TANIGUCHI, JUNKI (JP)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：33 共 92 頁

(54) 名稱

包括具有多通道共享之校準電路之多通道的裝置

DEVICE HAVING MULTIPLE CHANNELS WITH CALIBRATION CIRCUIT SHARED BY MULTIPLE CHANNELS

(57) 摘要

一種設備包含一第一通道、一第二通道及一校準電路。該第一通道包含一第一命令控制電路。該第二通道包含獨立於該第一命令控制電路之一第二命令控制電路。該校準電路係由該第一通道及該第二通道共享以回應於一校準命令產生一校準碼，該校準命令係回應於來自該第一命令控制電路之一第一校準命令及來自該第二命令控制電路之一第二校準命令而產生。

An apparatus includes a first channel, a second channel and a calibration circuit. The first channel includes a first command control circuit. The second channel includes a second command control circuit independent of the first command control circuit. The calibration circuit is shared by the first channel and the second channel to generate a calibration code responsive to a calibration command generated responsive to a first calibration command from the first command control circuit and a second calibration command from the second command control circuit.

指定代表圖：

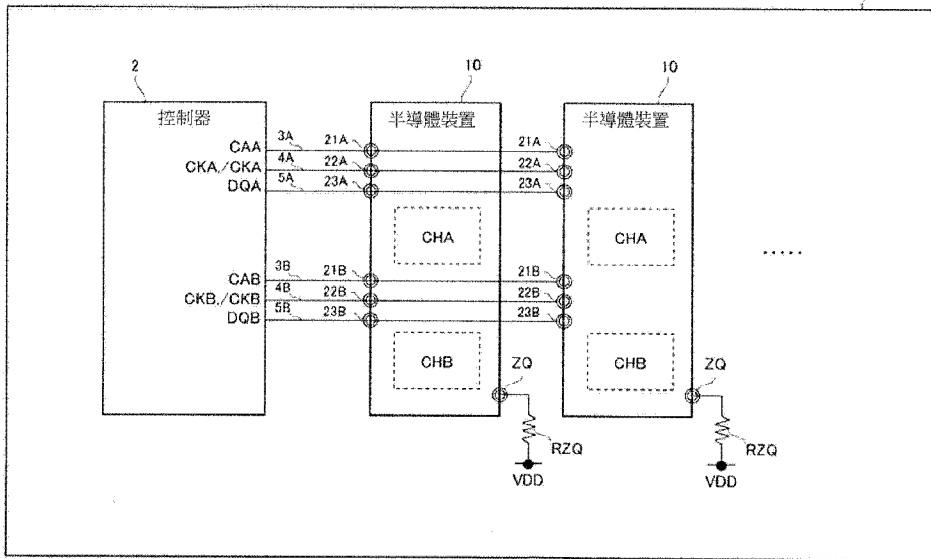


圖 1

符號簡單說明：

- 1 . . . 系統
- 2 . . . 控制器
- 3A . . . 命令/位址匯流排
- 3B . . . 命令/位址匯流排
- 4A . . . 時脈匯流排
- 4B . . . 時脈匯流排
- 5A . . . 資料匯流排
- 5B . . . 資料匯流排
- 10 . . . 半導體裝置
- 21A . . . 命令/位址終端
- 21B . . . 命令/位址終端
- 22A . . . 時脈終端
- 22B . . . 時脈終端
- 23A . . . 資料終端
- 23B . . . 資料終端
- CAA . . . 命令/位址信號
- CAB . . . 命令/位址信號
- CHA . . . 通道
- CHB . . . 通道
- CKA . . . 外部時脈信號
- /CKA . . . 外部時脈信號
- CKB . . . 外部時脈信號
- /CKB . . . 外部時脈信號
- DQA . . . 讀取資料/寫入資料
- DQB . . . 讀取資料/寫入資料

RZQ . . . 參考電阻
器/電阻值
VDD . . . 電源電位
ZQ . . . 校準終端

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

包括具有多通道共享之校準電路之多通道的裝置

DEVICE HAVING MULTIPLE CHANNELS WITH CALIBRATION
CIRCUIT SHARED BY MULTIPLE CHANNELS

本申請案係基於2014年5月21日申請之日本專利申請案第2014-105195號且主張該申請案之優先權利，該申請案之全部內容以引用的方式併入本文中。

【技術領域】

本發明係關於一種半導體裝置，特定言之係關於一種具有調整資料輸出電路之阻抗之校準電路之半導體裝置。

【先前技術】

諸如一DRAM (動態隨機存取記憶體)之一半導體裝置具備用於將資料輸出至外部之一資料輸出電路。該資料輸出電路經設計以便在啟動時獲得所要阻抗。然而，歸因於來自程序變動、溫度變化等之影響，並不總是獲得如所設計之阻抗。因此，在其中一資料輸出電路之阻抗必須依高精確度予以控制之一半導體裝置中，構建稱為一校準電路之一阻抗調整電路(參見專利文件1、2)。

順便提及，最近已提出被劃分成複數個通道之一類型之一半導體裝置。該等通道係可獨立存取之電路區塊且該等通道之各者具備一記憶體胞陣列、一存取控制電路、外部終端等。基本上全部電路在該等通道中分離，該等通道與互不相同之時脈信號同步操作且互不相同之外部終端亦用於接收命令/位址信號及輸入/輸出資料。因此，該等

通道之各者可視為一獨立單一半導體裝置且關於此點係與稱為一庫之一存取單元區分。

[專利文件1] 日本公開專利申請案第2011-119632號(英文等效專利為美國專利公開案第2011-0128038號)

[專利文件2] 日本公開專利申請案第2006-203405號(英文等效專利為美國專利公開案第2006-0158198號)

【發明內容】

在一項實施例中，提供一種包含一第一通道、一第二通道及一校準電路之設備。該第一通道包含：一第一命令控制電路；一第一記憶體胞陣列，其經組態以藉由該第一命令控制電路控制；及一第一資料輸出電路，其經組態以自該第一記憶體胞陣列輸出第一資料且具有回應於一第一校準碼予以控制之第一阻抗。該第二通道獨立於該第一通道提供且包含：一第二命令控制電路；一第二記憶體胞陣列，其經組態以藉由該第二命令控制電路控制；及一第二資料輸出電路，其經組態以自該第二記憶體胞陣列輸出第二資料且具有回應於一第二校準碼予以控制之第二阻抗。該校準電路經組態以回應於來自該第一命令控制電路之一第一校準控制信號提供該第一校準碼且回應於來自該第二命令控制電路之一第二校準控制信號提供該第二校準碼。

在另一實施例中，提供一種包含一控制器及一第一記憶體裝置之設備。該控制器包含包括一第一命令終端及一第一資料終端之一第一核心及包括一第二命令終端及一第二資料終端之一第二核心。該第一核心及該第二核心經組態以彼此獨立地發出一第一校準命令至該第一命令終端且發出一第二校準命令至該第二命令終端。該第一記憶體裝置包含一第一通道、一第二通道及一校準電路。該第一通道包含耦合至該第一命令終端之一第三命令終端、耦合至該第一資料終端之一第三資料終端及耦合至該第三資料終端之一第一資料輸出電路。該第

二通道包含耦合至該第二命令終端之一第四命令終端、耦合至該第二資料終端之一第四資料終端及耦合至該第四資料終端之一第二資料輸出電路。該校準電路經組態以回應於該第一校準命令及該第二校準命令之各者提供一校準碼。

在又另一實施例中，提供一種包含以下各者之設備：一校準電路，其經組態以回應於一命令信號產生一校準碼；及一仲裁器，其經組態以被供應彼此獨立之一第一校準命令及一第二校準命令且仲裁該第一校準命令及該第二校準命令以提供該命令信號。

【圖式簡單說明】

圖1係根據本發明之一實施例之一半導體裝置之一總體組態之一方塊圖；

圖2係用於解釋一半導體裝置10之一佈局之一示意平面圖；

圖3係用於解釋一校準電路之一佈局之一示意平面圖；

圖4係展示一通道CHA之一組態之一方塊圖；

圖5係展示一通道CHB之一組態之一方塊圖；

圖6係用於解釋取決於操作模式之讀取資料DQA之波形差異之一圖式；其中，一符號V30表示在其中指定一第一操作模式之一情況中的讀取資料DQA之波形且一符號V25表示在其中指定一第二操作模式之一情況中的讀取資料DQA之波形；

圖7(a)係用於解釋使讀取資料處於一高位準之一方法之一示意圖式，且圖7(b)係用於解釋使寫入資料處於一高位準之一方法之一示意圖式；

圖8係展示通道CHA中所含有之一資料輸出電路41A之一組態之一方塊圖；

圖9係一上拉單元PU之一電路圖；

圖10係一下拉單元PD之一電路圖；

圖11係提取且展示與一校準操作有關之一電路區塊的一方塊圖；

圖12係用於解釋重設請求之類型與校準電路中之用作重設對象之電路區塊之間的關係之一表；

圖13係一仲裁器200之一電路圖；

圖14係用於解釋一仲裁器200之操作之一第一操作波形圖；

圖15係用於解釋該仲裁器200之操作之一第二操作波形圖；

圖16係用於解釋該仲裁器200之操作之一第三操作波形圖；

圖17係用於解釋該仲裁器200之操作之一第四操作波形圖；

圖18係根據一修改實例之一促進電路250之一電路圖；

圖19係一常規設定-重設鎖存電路260之一電路圖；

圖20係用於解釋一設定-重設鎖存電路260之操作之一波形圖；

圖21係用於解釋促進電路250之操作之一波形圖；

圖22係一校準控制信號產生電路400之一電路圖；

圖23係用於解釋該校準控制信號產生電路400之操作之一波形圖；

圖24係一校準電路110之一方塊圖；

圖25係一多工器130之一電路圖；

圖26係一鎖存電路132之一電路圖；

圖27係展示一中繼電路300A之一組態之一方塊圖；

圖28係展示一中繼電路300B之一組態之一方塊圖；

圖29係用於解釋多工器130及中繼電路300A之操作之一時序圖；

圖30係展示保持於暫存器中之調整碼之變化之一實例的一圖式；

圖31係展示保持於暫存器中之調整碼之變化之另一實例的一圖式；

圖32係展示根據一修改實例之校準電路110之部分之一電路圖；

圖33係展示根據一修改實例之中繼電路300A之一組態的一方塊圖。

【實施方式】

在下文中，將參考隨附圖式詳細解釋本發明之一較佳實施例。

圖1係展示根據本發明之較佳實施例之具備半導體裝置10之一系統1之一組態的一方塊圖。

甚至具備複數個通道之一半導體裝置可採用其中共享電路(諸如一校準電路)之部分之一組態。在此情況中，因為可想像發出至各自通道之校準命令互相競爭，所以必須研究操作共享校準電路之方式。

圖1中所展示之系統1具備複數個半導體裝置10及控制該等半導體裝置10之一控制器2。該等半導體裝置10之各者並不特定限於而是整合於一單一半導體晶片上之一LPDDR4 (低功率雙倍資料速率4)類型DRAM。該等半導體裝置10之各者具備兩個通道CHA及CHB，互不相同之外部終端分配至該兩個通道CHA及CHB。該通道CHA基於自該控制器2之一第一核心部分供應之命令/位址信號CAA及外部時脈信號CKA及/CKA執行讀取操作及寫入操作，且該通道CHB基於自該控制器2之一第二核心部分供應之命令/位址信號CAB及外部時脈信號CKB及/CKB執行讀取操作及寫入操作。

該等命令位址信號CAA及該等外部時脈信號CKA及/CKA通常經由一命令/位址匯流排3A及一時脈匯流排4A分別供應至複數個半導體裝置10之命令/位址終端21A及時脈終端22A。該等命令位址信號CAA及該等外部時脈信號CKA及/CKA經供應至通道CHA，藉此相對於該等通道CHA中所含有之記憶體胞陣列執行存取操作。

該等命令位址信號CAB及該等外部時脈信號CKB及/CKB通常經由一命令/位址匯流排3B及一時脈匯流排4B分別供應至複數個半導體裝置10之命令/位址終端21B及時脈終端22B。該等命令/位址信號CAB

及該等外部時脈信號CKB及/CKB經供應至通道CHB，藉此相對於該等通道CHB中所含有之記憶體胞陣列執行存取操作。

然而，在命令/位址信號CAA及CAB中，一些該等信號(諸如晶片選擇信號)被個別供應至半導體裝置10之一者、兩者或多者。

自半導體裝置10之通道CHA讀取之讀取資料DQA經由資料終端23A輸出。該等資料終端23A連接至一資料匯流排5A，藉此將已自通道CHA讀取之讀取資料DQA傳送至控制器2。相反地，待寫入至通道CHA之寫入資料DQA經由一資料匯流排5A自控制器2輸入。

自半導體裝置10之通道CHB讀取之讀取資料DQB經由資料終端23B輸出。該等資料終端23B連接至一資料匯流排5B，藉此將已自通道CHB讀取之讀取資料DQB傳送至控制器2。相反地，待寫入至通道CHB之寫入資料DQB經由該資料匯流排5B自控制器2輸入至資料終端23B。

注意，本發明中之半導體裝置並不要求係能夠執行資料之輸入(寫入操作)之一半導體裝置，但可能夠僅執行資料之輸出(讀取操作)，如一基於ROM之半導體裝置。

半導體裝置10具備校準終端ZQ。僅單一校準終端ZQ提供於半導體裝置10之各者上且因此由通道CHA及CHB共享。該校準終端ZQ係經由提供於一記憶體模組基板或一主機板上之一參考電阻器RZQ連接至一電源電位VDD。該參考電阻器RZQ係在稍後描述之校準操作中參考之一電阻。注意，在本說明書中，參考電阻器RZQ之電阻值在一些情況中亦描述為「RZQ」。其他元件或電路之電阻值亦描述為「RZQ」，只要其等係與參考電阻器RZQ之電阻值相同之電阻值。

圖2係用於解釋半導體裝置10之一佈局之一示意平面圖。

如圖2中所展示，半導體裝置10係整合於具有一矩形平面形狀之一基板6上，且通道CHA及CHB係藉由使用在一Y方向上劃分該基板6

之一邊界線L作為一邊界而安置。該基板6具有在Y方向上沿著一第一側中之一邊緣EG1提供之一第一周邊區域PEA、在Y方向上沿著一第二側中之一邊緣EG2提供之一第二周邊區域PEB及經提供以便夾置於該第一周邊區域PEA與該第二周邊區域PEB之間的記憶體胞陣列區域ARY。

屬於通道CHA之外部終端及周邊電路安置於第一周邊區域PEA中且屬於通道CHB之外部終端及周邊電路安置於第二周邊區域PEB中。通道CHA及CHB中所含有之記憶體胞陣列安置於記憶體胞陣列區域ARY中。

屬於通道CHA之外部終端包含上文所描述之命令/位址終端21A、時脈終端22A及資料終端23A且該等終端配置於沿著一X方向延伸之一襯墊隊列PA中。類似地，屬於通道CHB之外部終端包含上文所描述之命令/位址終端21B、時脈終端22B及資料終端23B且該等終端配置於沿著該X方向延伸之一襯墊隊列PB中。

此外，提供於第一周邊區域PEA中之該襯墊隊列PA包含校準終端ZQ。該校準終端ZQ係由通道CHA及CHB共享。另一方面，提供於第二周邊區域PEB中之該襯墊隊列PB包含一重設終端26B。該重設終端26B係一重設信號RESET自控制器2輸入至之一終端且由通道CHA及CHB共享。

圖3係用於解釋一校準電路之一佈局之一平面示意圖。

如圖3中所展示，該校準電路包含一碼產生器100、一仲裁器200及兩個中繼電路300A及300B。其中，該碼產生器100、該仲裁器200及該中繼電路300A安置於第一周邊區域PEA中且該中繼電路300B安置於第二周邊區域PEB中。

該碼產生器100係藉由參考校準終端ZQ之電壓產生一調整碼OUTCODE之一電路且其之操作係藉由仲裁器200控制。該仲裁器200

接收自一命令解碼器33A供應之一校準執行信號ZQEXEA及一碼更新信號ZQLATA、接收自一命令解碼器33B供應之一校準執行信號ZQEXEB及一碼更新信號ZQLATB且基於該等信號控制碼產生器100之操作。稍後將描述碼產生器100及仲裁器200之細節。

藉由碼產生器100產生之調整碼OUTCODE係傳送至中繼電路300A及300B且藉由中繼電路300A及300B保持。接著，藉由中繼電路300A及300B保持之調整碼CODE分別被供應至資料輸出電路41A及41B，藉此調整該等資料輸出電路41A及41B之輸出阻抗。

在本文中，經由中繼電路300A及300B供應自碼產生器100輸出之調整碼OUTCODE而非將該調整碼OUTCODE直接供應至資料輸出電路41A及41B之原因之一在於，碼產生器100與資料輸出電路41B之間的距離長。更明確言之，雖然碼產生器100安置於接近基板6之邊緣EG1之第一周邊區域PEA中，但資料輸出電路41B安置於接近基板6之邊緣EG2之第二周邊區域PEB中；因此，連接碼產生器100與資料輸出電路41B之線之線長成為具有接近基板6在Y方向上之長度之一長度的一長距離線。因此，若碼產生器100及資料輸出電路41B彼此直接連接，則每當調整碼OUTCODE (稍後描述之CALCODE)之值在一校準操作期間改變時，該長距離線經充電/放電；且因此消耗的電流增加。為防止此，本發明實施例經組態以在完成校準操作之後將值判定之調整碼OUTCODE (CALCODE)自碼產生器100傳送至中繼電路300A及300B且基於保持於中繼電路300A及300B中之調整碼CODE調整資料輸出電路41A及41B之輸出阻抗。

圖4係展示通道CHA之一組態的一方塊圖。

如圖4中所展示，通道CHA具有一記憶體胞陣列11A。該記憶體胞陣列11A具備複數個字線WL及複數個位元線BL及/BL且具有其中記憶體胞MC安置於該等字線WL及位元線BL及/BL之交叉點處之一組

態。藉由一列解碼器12A執行該等字線WL之選擇且藉由一行解碼器13A執行該等位元線BL及/BL之選擇。

形成若干對之位元線BL及/BL連接至提供於記憶體胞陣列11A中之一感測放大器SAMP。該感測放大器SAMP放大在位元線BL與/BL之間產生之電壓差且將由於該電壓差而獲得之讀取資料供應至互補IO線LIOT/LIOB。供應至本地IO線LIOT/LIOB之該讀取資料經由一開關電路TG傳送至互補主IO線MIOT/MIOB。接著，該等主IO線MIOT/MIOB上之該讀取資料藉由一資料控制電路39A轉換至單端信號且經由一讀取/寫入匯流排RWBS供應至一資料輸入/輸出電路40A。該資料輸入/輸出電路40A包含資料輸出電路41A及一資料輸入電路42A。

通道CHA具備作為外部終端之命令/位址終端21A、時脈終端22A、資料終端23A、電壓終端24A及25A以及校準終端ZQ。

命令/位址信號CAA係自外部輸入至命令/位址終端21A。輸入至該等命令/位址終端21A之該等命令/位址信號CAA係供應至一命令/位址輸入電路31A。該等命令/位址信號CAA包含位址信號ADD及命令信號COM。其中，該等位址信號ADD係供應至一位址控制電路32A且該等命令信號COM係供應至命令解碼器33A。諸如命令/位址輸入電路31A、位址控制電路32A、命令解碼器33A、存取記憶體胞陣列11A之列解碼器12A及行解碼器13A之電路區塊構成一第一命令/位址控制電路CA1。

在位址信號ADD中，位址控制電路32A將其之列位址XADD供應至列解碼器12A且將其之行位址YADD供應至行解碼器13A。若存在一模式暫存器設定中之一項目，則將一模式信號MADD供應至一模式暫存器14A。

該模式暫存器14A係其中設定表示通道CHA之一操作模式之一參數之一電路。自該模式暫存器14A輸出之模式信號包含一輸出位準選

擇信號MRSVA。該輸出位準選擇信號MRSVA係供應至資料輸入/輸出電路40A。該輸出位準選擇信號MRSVA係用於選擇讀取資料DQA之輸出位準之一信號。

命令解碼器33A係藉由解碼命令信號COM產生各種內部命令之一電路。該等內部命令之實例包含作用中信號ACT、讀取信號READ、寫入信號WRITE、模式暫存器設定信號MRS、校準執行信號ZQEXEA、碼更新信號ZQLATA及重設信號RSTA。

該作用中信號ACT係在命令信號COM表示列存取(作用中命令)之情況下啟動之一信號。當啟動該作用中信號ACT時，將鎖存於位址控制電路32A中之列位址XADD供應至列解碼器12A。因此，選擇藉由該列位址XADD指定之字線WL。

該讀取信號READ及該寫入信號WRITE係在命令信號COM表示一讀取命令及一寫入命令之情況下啟動之一信號。當啟動該讀取信號READ或該寫入信號WRITE時，將鎖存於位址控制電路32A中之行位址YADD供應至行解碼器13A。因此，選擇藉由該行位址YADD指定之位元線BL或/BL。

因此，若輸入一作用中命令及一讀取命令且與其等同步輸入列位址XADD及行位址YADD；則因此，自藉由列位址XADD及行位址YADD指定之記憶體胞MC讀取讀取資料DQA。該讀取資料DQA係經由資料控制電路39A及資料輸入/輸出電路40A中所含有之資料輸出電路41A自資料終端23A輸出至外部。

另一方面，若輸入一作用中命令及一寫入命令且與其等同步輸入列位址XADD及行位址YADD，則將寫入資料DQA輸入至資料終端23A；因此，該寫入資料DQA經由資料輸入/輸出電路40A中所含有之資料輸入電路42A及資料控制電路39A供應至記憶體胞陣列11A且寫入至藉由列位址XADD及行位址YADD指定之記憶體胞MC。

模式暫存器設定信號MRS係在命令信號COM表示一模式暫存器設定命令之情況下啟動之一信號。因此，若輸入模式暫存器設定命令且與其同步地自命令/位址終端21A輸入模式信號MADD；則因此，可重新寫入模式暫存器14A之設定值。

校準執行信號ZQEXEA係在命令信號COM表示一校準命令之情況下啟動之一信號。當啟動該校準執行信號ZQEXEA時，碼產生器100執行一校準操作，藉此產生調整碼OUTCODE。在終止校準操作之後，將藉由碼產生器100產生之該調整碼OUTCODE傳送至中繼電路300A及300B。

碼更新信號ZQLATA係在命令信號COM表示一碼更新命令之情況下啟動之一信號。當啟動該碼更新信號ZQLATA時，將藉由中繼電路300A保持之一調整碼CODE供應至資料輸入/輸出電路40A。因此，根據該調整碼CODE改變資料輸入/輸出電路40A中所含有之資料輸出電路41A之輸出阻抗。

重設信號RSTA係在命令信號COM表示一重設命令之情況下啟動之一信號。該重設信號RSTA係輸入至一重設控制電路38A。基於半導體裝置10中之各種重設請求，該重設控制電路38A控制對應電路區塊之狀態。該等重設請求之實例除了包含上述重設信號RSTA之外亦包含自通道CHB供應之重設信號RSTB及RESET以及電力開啟重設信號PON。輸出位準選擇信號MRSVA亦輸入至重設控制電路38A。

外部時脈信號CKA及/CKA係輸入至時脈終端22A。該外部時脈信號CKA及該外部時脈信號/CKA係互補信號且其等皆係供應至一時脈輸入電路34A。該時脈輸入電路34A接收該等外部時脈信號CKA及/CKA且產生一內部時脈信號ICLKA。該內部時脈信號ICLKA係用作定義通道CHA中所含有之電路區塊(諸如位址控制電路32A及命令解碼器33A)之操作時序之一時序信號。

內部時脈信號ICLKA亦被供應至一內部時脈產生器35A且因此產生一相位控制內部時脈信號LCLKA。一DLL電路可用作該內部時脈產生器35A且其並不特定限於此。該內部時脈信號LCLKA係供應至資料輸入/輸出電路40A且用作用於判定讀取資料DQA之輸出時序之一時序信號。

電壓終端24A及25A係電源電位VDDA及VSSA所供應至之終端。供應至電壓終端24A及25A之該等電源電位VDDA及VSSA係供應至一內部電壓產生器36A。該內部電壓產生器36A基於該等電源電位VDDA及VSSA產生各種內部電位VPP、VOD、VARY及VPERI以及參考電位VREFDQ及VOH。內部電位VPP係主要用於列解碼器12A中之一電位，內部電位VOD及VARY係用於感測放大器SAMP中之電位且內部電位VPERI係用於許多其他電路區塊中之一電位。另一方面，參考電位VREFDQ及VOH係用於碼產生器100中之參考電位。

電壓終端24A及25A亦連接至電力開啟偵測器37A。該電力開啟偵測器37A係偵測對於電壓終端24A及25A開啟電力之一電路，且當偵測電力開啟時，啟動電力開啟重設信號PON。該電力開啟重設信號PON係供應至通道CHA及CHB之電路區塊且重設該等電路區塊之電路。

校準終端ZQ連接至碼產生器100。當藉由一校準狀態信號ZQACT啟動時，碼產生器100參考參考電阻器RZQ之阻抗及參考電位VREFDQ及VOH且執行一校準操作。藉由該校準操作獲得之調整碼OUTCODE係供應至資料輸入/輸出電路40A且因此指定該資料輸入/輸出電路40A中所含有之資料輸出電路41A之輸出阻抗。當終止校準操作時，自碼產生器100輸出一校準結束信號CALEND。

藉由一校準控制信號產生電路400產生校準控制信號ZQACT。儘管稍後將描述細節，然該校準控制信號產生電路400回應於自仲裁器

200供應之一校準起始信號CMD5B啟動該校準控制信號ZQACT且回應於自碼產生器100供應之校準結束信號CALEND撤銷啟動該校準控制信號ZQACT。

仲裁器200接收校準執行信號ZQEXEA、碼更新信號ZQLATA及自通道CHB供應之校準執行信號ZQEXEB及碼更新信號ZQLATB且基於該等信號產生校準起始信號CMD5B。稍後將描述仲裁器200之細節。

圖5係展示通道CHB之一組態之一方塊圖。

如圖5中所展示，通道CHB具有類似於圖4中所展示之通道CHA之電路組態的一電路組態，惟添加或刪除一些電路區塊之點除外。圖5中所展示之電路區塊之符號係在其等之端部處用「B」表示。此等電路區塊對應於在圖4中所展示之電路區塊中之在其等端部用「A」表示之對應電路區塊。諸如一命令/位址輸入電路31B、一位址控制電路32B、命令解碼器33B、存取一記憶體胞陣列11B之一列解碼器12B及一行解碼器13B之電路區塊構成一第二命令/位址控制電路CA2。

因為構成通道CHB之電路區塊之基本功能及連接關係與圖4中所展示之通道CHA之電路區塊之基本功能及連接關係相同，所以省略冗餘解釋且將集中於並解釋不同於通道CHA之部分。

在通道CHB之一區域中，並不提供對應於電力開啟偵測器37A、重設控制電路38A、碼產生器100及仲裁器200之電路區塊。該等電路係提供於通道CHA之一區域中且與通道CHB共享。代替性地，通道CHB具備重設信號RESET所輸入至之重設終端26B。該重設信號RESET係供應至通道CHA中所含有之重設控制電路38A。調整碼OUTCODE係自碼產生器100傳送至中繼電路300B。

電源電位VDDDB及VSSB係分別供應至屬於通道CHB之電壓終端24B及25B。電源電位VDDA及電源電位VDDDB係相同電位且在其等並

未特定要求彼此區分時僅描述為VDD。類似地，電源電位VSSA及電源電位VSSB係相同電位且在其等並未特定要求彼此區分時僅描述為VSS。

圖6係用於解釋取決於操作模式之讀取資料DQA之波形差異的一圖式；其中，一符號V30表示在其中指定一第一操作模式之一情況中的讀取資料DQA之波形且一符號V25表示在其中指定一第二操作模式之一情況中的讀取資料DQA之波形。

如圖6中所展示，當讀取命令READ經由命令/位址終端21A輸入時，在經過一預定延時之後，使讀取資料DQA經受自資料終端23A輸出之叢發。圖6展示自複數個資料終端23A中之任一資料終端23A輸出之讀取資料DQA。

讀取資料DQA係一二進制信號，且在圖6中所展示之實例中交替輸出一低位準(L)及一高位準(H)之讀取資料。在本文中，低位準(L)之特定電位係VSS且高位準(H)之特定電位係VOH。若指定第一操作模式，則VOH之位準係如藉由符號V30展示之 $VDD/3$ 之位準且若指定第二操作模式，則VOH之位準係如藉由符號V25展示之 $VDD/2.5$ 之位準。用作低位準(L)之VSS與用作高位準(H)之VOH之間的一中間電位係一參考電位VREFDQ。因此，若指定第一操作模式，則該參考電位VREFDQ之位準變為如藉由符號V30展示之 $VDD/6$ 之位準且若指定第二操作模式，則該參考電位VREFDQ之位準變為如藉由符號V25展示之 $VDD/5$ 之位準。因此，讀取資料DQA之振幅在其中指定第一操作模式之情況中及在其中指定第二操作模式之情況中係不同的。

藉由將資料終端23A驅動於一VSS位準，可實際上輸出低位準(L)之讀取資料。另一方面，藉由將執行一讀取操作之一半導體裝置10a之資料終端23A驅動於一VDD位準，可實際上輸出高位準(H)之讀取資料，此係因為執行一終止操作之控制器2之一資料終端7係如圖7(a)

中所展示般驅動於VSS位準。

在本文中，在其中選擇第一操作模式之一情況中，執行讀取操作之半導體裝置10a中之資料輸出電路41A之阻抗係 $2RZQ$ 且執行終止操作之控制器2中之資料輸出電路8之阻抗係 RZQ ；在此情況中，讀取資料之位準變為 $VDD/3$ 。另一方面，在其中選擇第二操作模式之一情況中，執行讀取操作之半導體裝置10a中之資料輸出電路41A之阻抗係 $1.5RZQ$ 且執行終止操作之控制器2中之資料輸出電路8之阻抗係 RZQ ；在此情況中，讀取資料之位準變為 $VDD/2.5$ 。

類似地，可藉由以下各者(如圖7(b)中所展示)執行相對於半導體裝置10a之一寫入操作：將執行終止操作之一半導體裝置10b中之資料輸出電路41A之阻抗設定至 RZQ ；將該電路驅動於VSS位準；將控制器2之資料輸出電路8之阻抗設定至 $2RZQ$ 或 $1.5RZQ$ ；及將該電路驅動於VDD位準。在本文中，接收寫入操作之半導體裝置10a本身可代替半導體裝置10b執行終止操作。

當一操作頻率為高(例如，1.6 GHz)時，較佳選擇第一操作模式。另一方面，當該操作頻率為低(例如，0.8 GHz)時，較佳選擇第二操作模式。藉由輸出位準選擇信號MRSVA指定操作模式且可藉由覆寫模式暫存器14A之設定值來改變操作模式。

圖8係展示通道CHA中所含有之資料輸出電路41A之一組態之一方塊圖且展示分配至單一資料終端23A之部分。

如圖8中所展示，資料輸出電路41A具備每單一資料終端23A七個上拉單元PU0至PU6及七個下拉單元PD0至PD6。該等上拉單元PU0至PU6及該等下拉單元PD0至PD6之輸出節點共同連接至資料終端23A。該等上拉單元PU0至PU6具有相互相同之電路組態且在無特定需要區分其等之情況下將僅統稱為「上拉單元PU」。類似地，該等下拉單元PD0至PD6具有相互相同之電路組態且在無特定需要區分其等之情況

下將僅統稱為「下拉單元PD」。

上拉單元 PU_i ($i=0$ 至 6)及下拉單元 PD_i ($i=0$ 至 6)形成一對。藉由自模式暫存器14A輸出之一阻抗選擇信號MODE來指定待使用之單元之數目。內部資料DATA係自資料控制電路39A供應至上拉單元 PU_0 至 PU_6 及下拉單元 PD_0 至 PD_6 。若該內部資料DATA指示一高位準，則在上拉單元 PU_0 至 PU_6 中啟動藉由該阻抗選擇信號MODE指定之一個、兩個或更多個上拉單元，且因此將資料終端23A驅動至該高位準。另一方面，若該內部資料DATA指示一低位準，則在下拉單元 PD_0 至 PD_6 中啟動藉由該阻抗選擇信號MODE指定之一個、兩個或更多個下拉單元，且因此將資料終端23A驅動至該低位準。

藉由一上拉碼CODEPU(其為調整碼CODE之部分)指定經啟動之上拉單元 PU_0 至 PU_6 之各者之阻抗。類似地，藉由一下拉碼CODEPD(其為調整碼CODE之部分)指定經啟動之下拉單元 PD_0 至 PD_6 之各者之阻抗。

在本發明實施例中，上拉單元 PU_0 至 PU_6 之一阻抗目標值係(例如) $2RZQ$ 且下拉單元 PD_0 至 PD_6 之一阻抗目標值係(例如) RZQ 。在此情況中，若根據阻抗選擇信號MODE使用 j 對單元，則在高位準輸出之情況中之阻抗變為 $2RZQ/j$ 且在低位準輸出之情況中之阻抗變為 RZQ/j 。

通道CHB中所含有之資料輸出電路41B亦具有類似於圖8中所展示之資料輸出電路41A之電路組態的一電路組態。因此，省略冗餘解釋。

圖9係上拉單元PU之一電路圖。

如圖9中所展示，該上拉單元PU係藉由由並聯連接之五個N通道型MOS電晶體 TNU_0 至 TNU_4 組成之一電晶體部分TRU及一高電阻線RW形成。該等電晶體 TNU_0 至 TNU_4 之汲極共同連接至供應電源電位

VDDQ之一電壓線VL且該等電晶體TNU0至TNU4之源極經由該高電阻線RW連接至資料終端23A。舉例而言，該高電阻線RW係由(例如)一鎢線組成之約 $40\ \Omega$ 之一電阻。

構成碼信號DCODEPU之位元DCODEPU0至DCODEPU4係分別輸入至電晶體TNU0至TNU4之閘電極。因此，五個電晶體TNU0至TNU4係基於碼信號DCODEPU之值個別地經受開/關控制。如圖9中所展示，碼信號DCODEPU係藉由使碼信號CODEPU之位元及內部資料DATA經受藉由AND閘電路之邏輯合成而獲得之信號。因此，若內部資料DATA指示低位準，則無關於碼信號CODEPU之值，構成碼信號DCODEPU之全部位元DCODEPU0至DCODEPU4變為低位準；因此，全部電晶體TNU0至TNU4關閉。另一方面，若內部資料DATA指示高位準，則碼信號CODEPU之值在無變化的情況下用作碼控制信號DCODEPU之值且開啟電晶體TNU0至TNU4之一些電晶體。

在本文中，電晶體TNU0至TNU4之通道寬度(W)與通道長度(L)之比率(W/L比率)(換言之，電流供應能力)係以2次冪加權。明確言之，若電晶體TNU0之W/L比率係 $1WL_{nu}$ ，則電晶體TNU k ($k=0$ 至 4)之W/L比率經設計為 $2^k \times WL_{nu}$ 。憑藉此，可至多以32個位準調整上拉單元PU之阻抗。

圖10係下拉單元PD之一電路圖。

如圖10中所展示，下拉單元PD係藉由由並聯連接之五個N通道類MOS電晶體TND0至TND4組成之一電晶體部分TRD及一高電阻線RW形成。該等電晶體TND0至TND4之源極共同連接至供應一接地電位VSSQ之一電壓線SL且該等電晶體TND0至TND4之汲極經由高電阻線RW連接至資料終端23A。

構成碼信號DCODEPD之位元DCODEPD0至DCODEPD4係分別輸入至電晶體TND0至TND4之閘電極。因此，五個電晶體TND0至TND4

係基於碼信號DCODEPD之值個別地經受開/關控制。如圖10中所展示，碼信號DCODEPD係藉由使碼信號CODEPD之位元及內部資料DATA之一反相信號經受藉由AND閘電路之邏輯合成而獲得之信號。因此，若內部資料DATA指示高位準，則無關於碼信號CODEPD之值，構成碼信號DCODEPD之全部位元DCODEPD0至DCODEPD4變為低位準；因此，全部電晶體TND0至TND4關閉。另一方面，若內部資料DATA指示低位準，則碼信號CODEPD之值在無變化的情況下變為碼信號DCODEPD之值且導通電晶體TND0至TND4之一些電晶體。

在本文中，電晶體TND0至TND4之通道寬度(W)與通道長度(L)之比率(W/L比率) (換言之，電流供應能力)係以2次冪加權。明確言之，若電晶體TND0之W/L比率係 $1WLnd$ ，則電晶體TNDk (k=0至4)之W/L比率經設計為 $2^k \times WLnd$ 。憑藉此，可至多以32個位準調整下拉單元PD之阻抗。

以此方式，可藉由碼信號CODEPU或CODEPD調整上拉單元PU及下拉單元PD之各者之阻抗。碼信號CODEPU及CODEPD係藉由憑藉圖3及圖4中所展示之碼產生器100之校準操作產生。

圖11係提取且展示與校準操作有關之電路區塊的一方塊圖。

如圖11中所展示，碼產生器100具備一校準電路110、碼暫存器121及122以及一多工器130。校準電路110係藉由實際執行校準操作而產生調整碼CALCODE之一電路。碼暫存器121係設定用作其中選擇第一操作模式之情況之調整碼CALCODE之一初始值之一預設碼DEFCODE1的一暫存器。碼暫存器122係設定用作其中選擇第二操作模式之情況之調整碼CALCODE之一初始值之一預設碼DEFCODE2的一暫存器。

自校準電路110及碼暫存器121及122輸出之調整碼CALCODE、DEFCODE1及DEFCODE2係輸入至多工器130。基於校準起始信號

CMDSB 及輸出位準選擇信號 MRSVA，多工器 130 將調整碼 CALCODE、DEFCODE1 及 DEFCODE2 之任一者輸出至中繼電路 300A 及 300B。

如圖 11 中所展示，一重設信號群組 ZQRST 係自重設控制電路 38A 供應至碼產生器 100 及中繼電路 300A 及 300B。該重設信號群組 ZQRST 係指示對應於重設請求之重設狀態之一信號群組。該等重設請求包含根據重設信號 RSTA、RSTB 及 RESET 之重設請求、根據電力開啟重設信號 PON 之一重設請求及根據輸出位準選擇信號 MRSVA 之切換之一重設請求。接著，重設控制電路 38A 根據此等重設請求啟動構成重設信號群組 ZQRST 之預定重設信號。該重設信號群組 ZQRST 亦輸入至仲裁器 200 及校準控制信號產生電路 400。

圖 12 係用於解釋重設請求之類型與校準電路中之用作重設對象之電路區塊之間的關係之一表。

首先，若藉由電力開啟重設信號 PON 或重設信號 RESET 請求重設，則重設構成校準電路之全部電路區塊。在此情況中，在中繼電路 300A 中，一預設暫存器 303A 之內容經覆寫至輸入暫存器 301A 及 302A 以及一輸出暫存器 304A。類似地，在中繼電路 300B 中，一預設暫存器 303B 之內容經覆寫至輸入暫存器 301B 及 302B 以及一輸出暫存器 304B。

另一方面，若藉由切換輸出位準選擇信號 MRSVA 請求重設，則重設仲裁器 200、校準電路 110 及中繼電路 300A 及 300B 之部分。在此情況中，並未重設剩餘電路區塊，諸如碼暫存器 121 及 122。

若藉由重設信號 RSTA 請求重設，則並不重設碼產生器 100 及仲裁器 200 且僅重設中繼電路 300A 中所含有之電路區塊之部分。類似地，若藉由重設信號 RSTB 請求重設，則並不重設碼產生器 100 及仲裁器 200 且僅重設中繼電路 300B 中所含有之電路區塊之部分。稍後將描述

中繼電路300A及300B之細節。

圖13係仲裁器200之一電路圖。

如圖13中所展示，仲裁器200具備分配至通道CHA之一設定-重設鎖存電路201及分配至通道CHB之一設定-重設鎖存電路202。該設定-重設鎖存電路201係藉由校準執行信號ZQEXEA設定且藉由碼更新信號ZQLATA重設。類似地，該設定-重設鎖存電路202係藉由校準執行信號ZQEXEB設定且藉由碼更新信號ZQLATB重設。

自設定-重設鎖存電路201輸出之一信號A1係輸入至一位準保持電路203。該位準保持電路203發揮作用以在設定該設定-重設鎖存電路201之後在直至將校準結束信號CALEND啟動至高位準之一週期期間將一信號A2維持於低位準。因此，即使在上述週期期間重設該設定-重設鎖存電路201，信號A2亦維持於低位準直至將校準結束信號CALEND啟動至高位準。

自設定-重設鎖存電路202輸出之一信號B1係輸入至一位準保持電路204。該位準保持電路204發揮作用以在設定該設定-重設鎖存電路202之後在直至將校準結束信號CALEND啟動至高位準之一週期期間將一信號B2維持於低位準。因此，即使在上述週期期間重設該設定-重設鎖存電路202，信號B2亦維持於低位準直至將校準結束信號CALEND啟動至高位準。

該等信號A2及B2係供應至一促進電路210。該促進電路210具備：一反相器211，其接收信號A2；一反相器212，其接收該反相器211之輸出且產生一信號GETA；一或非(NOR)電路213，其接收信號B2及反相器211之輸出信號；及一反相器214，其接收該NOR電路213之輸出且產生一信號GETB。

憑藉此一組態，若將信號A2啟動至低位準，則將信號GETA啟動至低位準；且若將信號B2啟動至低位準，則將信號GETB啟動至低位

準。然而，在其中信號A2已處於低位準之一情況中，即使信號B2改變至低位準，亦不啟動信號GETB。另一方面，相反情況並不生效，即使在其中信號B2已處於低位準之一情況中，若信號A2改變至低位準，則將信號GETB撤銷啟動至高位準，且啟動信號GETA。以此方式，在促進電路210中，信號A2之優先權高於信號B2之優先權。因此，即使校準執行信號ZQEXEA及ZQEXEB互相競爭，該校準執行信號ZQEXEA亦經組態而予以優先化。在本文中，此等信號GETA及GETB可經組態以輸出至一外部控制器。此係因為當採用此一組態時，控制器可辨識半導體裝置10之狀態。

信號GETA及GETB係輸入至一反及(NAND)電路221。自該NAND電路221輸出之一信號C4透過一延遲電路222改變至一信號C3且接著輸入至一單擊脈衝產生器223。該單擊脈衝產生器223回應於該信號C3之一上升邊緣產生單擊校準起始信號CMD5B。當因此設定該等設定-重設鎖存電路201及202之任一者時，啟動校準起始信號CMD5B。

自促進電路210輸出之信號GETA及GETB係回饋至設定-重設鎖存電路201及202。在更詳細解釋中，信號GETA係經由一反相器231及一NAND電路232回饋至設定-重設鎖存電路201之重設側，經由一NAND電路233回饋至設定-重設鎖存電路201之設定側，經由一NAND電路234回饋至設定-重設鎖存電路202之設定側且經由一反相器電路235及一NOR電路236進一步回饋至設定-重設鎖存電路202之重設側。此外，信號GETB係經由一反相器237及一NAND電路238回饋至設定-重設鎖存電路202之重設側、經由該NAND電路233回饋至設定-重設鎖存電路201之設定側且經由該NAND電路234進一步回饋至設定-重設鎖存電路202之設定側。

該NAND電路233接收校準執行信號ZQEXEA及信號GETA及GETB且藉由其之一輸出信號設定設定-重設鎖存電路201。因此，在

信號GETA及GETB兩者經撤銷啟動至高位準的條件下，回應於校準執行信號ZQEXEA之啟動設定設定-重設鎖存電路201且信號A1變為高位準。

NAND電路232接收信號GETA之反相信號及碼更新信號ZQLATA且藉由其之輸出信號重設設定-重設鎖存電路201。因此，在信號GETA經啟動至低位準的條件下，回應於碼更新信號ZQLATA之啟動重設設定-重設鎖存電路201且信號A1變為低位準。然而，因為重設信號群組ZQRST之部分(ZQRST1)係經由一反相器239輸入至設定-重設鎖存電路201之重設側，所以若啟動重設信號ZQRST1，則迫使重設設定-重設鎖存電路201。

NAND電路234接收校準執行信號ZQEXEB及信號GETA及GETB且藉由其之輸出信號設定設定-重設鎖存電路202。因此，在信號GETA及GETB兩者經撤銷啟動至高位準的條件下，回應於校準執行信號ZQEXEB之啟動設定該設定-重設鎖存電路202且信號B1變為高位準。

NAND電路238接收信號GETB之反相信號及碼更新信號ZQLATB且藉由其之輸出信號重設設定-重設鎖存電路202。因此，在信號GETB經啟動至低位準的條件下，回應於碼更新信號ZQLATB之啟動重設該設定-重設鎖存電路202且信號B1變為低位準。然而，因為NOR電路236之輸出信號係輸入至設定-重設鎖存電路202之重設側，所以若NOR電路236之輸出信號變為低位準，則迫使重設設定-重設鎖存電路202。因為重設信號群組ZQRST之部分(ZQRST1)及信號GETA之反相信號係輸入至NOR電路236，所以若啟動重設信號ZQRST1或信號GETA，則迫使重設設定-重設鎖存電路202。

另一方面，即使啟動信號GETB，亦不回應於此重設設定-重設鎖存電路201。此係因為設定-重設鎖存電路201之重設側並不具備對應

於NOR電路236之一電路。

憑藉此一組態，當啟動信號GETA時，迫使重設設定-重設鎖存電路202；另一方面，即使在啟動信號GETB時，亦不重設設定-重設鎖存電路201。因此，即使在校準執行信號ZQEXEA及ZQEXEB互相競爭時，該校準執行信號ZQEXEA亦經組態而予以優先化。

圖14係用於解釋仲裁器200之操作之一第一操作波形圖。

在圖14中所展示之實例中，在時間t11啟動校準執行信號ZQEXEA。當啟動校準執行信號ZQEXEA時，設定仲裁器200中所含有之設定-重設鎖存電路201，且因此信號A1變為高位準。因此，使信號A2改變至低位準且將信號GETA啟動至低位準。

當將信號GETA啟動至低位準時，啟動信號C4，且在經過由於延遲電路222之一延遲之後，啟動信號C3。因此，產生校準起始信號CMDSB之一單擊脈衝且起始藉由碼產生器100之校準操作。當起始該校準操作時，校準結束信號CALEND一次改變至低位準。該校準操作需要預定時間Tcal；且當完成該校準操作時，該校準結束信號CALEND返回至高位準。當該校準結束信號CALEND變為高位準時，判定調整碼CALCODE之值。

接著，當在時間t12啟動碼更新信號ZQLATA時，設定-重設鎖存電路201經重設且返回至時間t11之前的狀態。如稍後描述，當啟動碼更新信號ZQLATA時，將調整碼CODE供應至通道CHA之資料輸出電路41A且因此更新輸出阻抗。

當以此方式依序啟動校準執行信號ZQEXEA及碼更新信號ZQLATA時，更新資料輸出電路41A之輸出阻抗。

圖15係用於解釋仲裁器200之操作之一第二操作波形圖。

在圖15中所展示之實例中，在時間t21啟動校準執行信號ZQEXEB。當啟動校準執行信號ZQEXEB時，設定仲裁器200中所含

有之設定-重設鎖存電路202；因此，信號B1變為高位準。因此，使信號B2改變至低位準且將信號GETB啟動至低位準。

當將信號GETB啟動至低位準時，啟動信號C4。因此，產生校準起始信號CMD5B之一單擊脈衝且起始藉由碼產生器100之校準操作。

接著，當在時間t22啟動碼更新信號ZQLATB時，設定-重設鎖存電路202經重設且返回至時間t21之前的狀態。如稍後描述，當啟動碼更新信號ZQLATB時，將調整碼CODE供應至通道CHB之資料輸出電路41B且因此更新輸出阻抗。

當以此方式依序啟動校準執行信號ZQEXEB及碼更新信號ZQLATB時，更新資料輸出電路41B之輸出阻抗。

圖16係用於解釋仲裁器200之操作之一第三操作波形圖。

在圖16中所展示之實例中，在時間t31同時啟動校準執行信號ZQEXEA及ZQEXEB。該校準執行信號ZQEXEA係藉由通道CHA之命令解碼器33A產生且該校準執行信號ZQEXEB係藉由通道CHB之命令解碼器33B產生；因此，此等信號係相互非同步。因此，例如，若輸入至通道CHA之外部時脈信號CKA及/CKA及輸入至通道CHB之外部時脈信號CKB及/CKB之相位彼此近似匹配，則可想像如圖14中所展示其中同時啟動校準執行信號ZQEXEA及ZQEXEB之一情況。

當啟動校準執行信號ZQEXEA及ZQEXEB時，設定仲裁器200中所含有之設定-重設鎖存電路201及202之兩者；且因此，信號A1及B1之兩者變為高位準。信號A2及B2回應於此改變至低位準；然而，因為藉由上文所描述之促進電路210之功能優先化信號A2，所以將信號GETA啟動至低位準，而使信號GETB維持於高位準。

此外，當將信號GETA啟動至低位準時，經由NOR電路236重設設定-重設鎖存電路202。因此，信號B1返回至低位準。因此，在同時輸入之校準執行信號ZQEXEA及ZQEXEB中，啟用校準執行信號

ZQEXEA側且取消校準執行信號ZQEXEB。

當將信號GETA啟動至低位準時，啟動信號C4。因此，產生校準起始信號CMD5B之一單擊脈衝且起始藉由碼產生器100之校準操作。

在該週期期間，在圖16中所展示之實例中，輸入校準執行信號ZQEXEA及ZQEXEB以及碼更新信號ZQLATB。在其中如圖14中所展示待更新資料輸出電路41A之輸出阻抗之一情況中，必須依序輸入校準執行信號ZQEXEA及碼更新信號ZQLATA。然而，在圖16中所展示之實例中，在輸入校準執行信號ZQEXEA之後且在輸入碼更新信號ZQLATA之前，在時間t32及t34輸入非法校準執行信號ZQEXEA。在時間t32及t34，亦輸入校準執行信號ZQEXEB且在時間t33亦輸入碼更新信號ZQLATB。

然而，如藉由一符號240所展示取消此等信號。首先，因為信號GETA處於低位準，所以藉由NAND電路233及234取消在時間t32及t34輸入之校準執行信號ZQEXEA及ZQEXEB。因為信號GETB處於高位準，所以藉由NAND電路238取消在時間t33輸入之碼更新信號ZQLATB。

接著，當在時間t35啟動碼更新信號ZQLATA時，重設設定-重設鎖存電路201且狀態返回至時間t31之前的狀態。在圖16中所展示之實例中，在時間t35亦同時啟動碼更新信號ZQLATB。然而，因為信號GETB處於高位準，所以亦藉由NAND電路238取消在時間t35輸入之碼更新信號ZQLATB。

甚至在校準執行信號ZQEXEA及ZQEXEB如此情況般互相競爭之情況中或在輸入非法校準執行信號ZQEXEA及ZQEXEB或碼更新信號ZQLATA及ZQLATB之情況中，藉由仲裁器200執行此等信號之仲裁。在圖16中所展示之實例中，僅啟用在時間t31輸入之校準執行信號ZQEXEA及在時間t35輸入之碼更新信號ZQLATA，且因此更新資料輸

出電路41A之輸出阻抗。

甚至在仲裁器200中取消碼更新信號ZQLATA及ZQLATB之情況中，未取消碼更新命令本身(其等係碼更新信號ZQLATA及ZQLATB之起源)。因此，甚至在仲裁器200中取消碼更新信號ZQLATA之情況中，在中繼電路300A中啟用碼更新信號ZQLATA且執行一稍後描述之鎖存操作。類似地，甚至在仲裁器200中取消碼更新信號ZQLATB之情況中，在中繼電路300B中啟用碼更新信號ZQLATB且執行一稍後描述之鎖存操作。

圖17係用於解釋仲裁器200之操作之一第四操作波形圖。

在圖17中所展示之實例中，在時間t41啟動校準執行信號ZQEXEB不久之後，在時間t42啟動校準執行信號ZQEXEA。因為校準執行信號ZQEXEA及ZQEXEB係藉由通道CHA及CHB非同步地產生，所以亦可想像此一輸入型樣。

在此情況中，回應於校準執行信號ZQEXEB設定該設定-重設鎖存電路202，信號B1變為高位準，接著，回應於校準執行信號ZQEXEA設定該設定-重設鎖存電路201且信號A1變為高位準。因此，依序啟動信號GETB及GETA。接著，回應於首先啟動之信號GETB啟動信號C4。因此，產生校準起始信號CMD SB之一單擊脈衝且起始藉由碼產生器100之校準操作。

另一方面，當將信號GETA啟動至低位準時，NOR電路236之輸出信號變為低位準。因此，迫使重設設定-重設鎖存電路202。因此，實質上取消校準執行信號ZQEXEB且僅啟用校準執行信號ZQEXEA。

以此方式，不僅在同時輸入校準執行信號ZQEXEA及ZQEXEB之情況中，而且在以一短時滯輸入此等信號之情況中，優先化對應於通道CHA之校準執行信號ZQEXEA。然而，若在輸入校準執行信號ZQEXEB之後以一特定時滯或更大時滯輸入校準執行信號ZQEXEA，

則因為NAND電路233之輸出信號藉由信號GETB固定，所以取消校準執行信號ZQEXEA。

圖18係根據一修改實例之一促進電路250之一電路圖。

圖18中所展示之促進電路250係藉由信號A2設定且藉由信號B2重設之一類型之一設定-重設鎖存電路。輸出信號y及z對應於上文所描述之信號GETA及GETB。

該促進電路250具備：一反相器251，其接收信號A2；一反相器252，其接收信號B2；一NAND電路253，其接收反相信號A2及信號z；及一NAND電路254，其接收反相信號B2及信號y。該NAND電路253之輸出信號經由反相器255及256輸出為信號y。另一方面，該NAND電路254之輸出信號及反相器255之輸出信號係輸入至一NOR電路257。該NOR電路257之輸出信號經由一反相器258輸出為信號z。

憑藉此一組態，當信號A2改變至低位準時，信號y改變至低位準且NAND電路254之輸出信號經固定；因此，即使此後信號B2改變至低位準，信號z亦維持高位準。類似地，當信號B2改變至低位準時，信號z改變至低位準且NAND電路253之輸出信號經固定；因此，即使此後信號A2改變至低位準，信號y亦維持高位準。

然而，在信號A2及B2改變至低位準之間的時滯極短之一情況中，明確言之，在信號A2及B2兩者以小於信號y及z之回饋時間之一時滯改變至高位準之一情況中，優先化信號A2。例如，信號B2首先變為低位準且接著在將信號z回饋至NAND電路253之前信號A2改變至低位準；在此情況中，藉由NOR電路257取消信號z且有效接收信號A2。因此，信號y代替信號z變為低位準。

若信號A2及B2之輸入順序係相反的，則不發生此一操作。更明確言之，即使信號A2首先變為低位準且接著在將信號y回饋至NAND電路254之前信號B2改變至低位準，亦不取消改變至低位準之信號

y。換言之，與促進電路210相同，信號A2之優先權高於信號B2之優先權。

圖18中所展示之促進電路250不僅可用來代替圖13中所展示之促進電路210而且可用來代替整個仲裁器200。例如，若校準執行信號ZQEXEA及ZQEXEB係所謂之位準信號，則其等兩者可經受藉由圖18中所展示之促進電路250之仲裁。

圖19係一常規設定-重設鎖存電路260之一電路圖。

圖19中所展示之設定-重設鎖存電路260係藉由將輸入信號IN1及IN2反相之反相器261及262及接收該等反相器261及262之輸出信號且循環連接之NAND電路263及264形成。在如此之設定-重設鎖存電路260中，該等輸入信號IN1及IN2並不具有優先順序。因此，若以其等之間之一短時滯改變該等輸入信號IN1及IN2，則暫時獲得一亞穩狀態。

圖20係用於解釋設定-重設鎖存電路260之操作之一波形圖。

在圖20中，輸入信號IN1依預定時序自高位準改變至低位準，且輸入信號IN2自高位準改變至低位準之時序相對於輸入信號IN1改變。圖20亦展示圖19中所展示之節點n1至n4之位準。一輸出信號OUT係藉由憑藉一緩衝器265緩衝節點n4之位準而獲得之一信號。

如圖20中所展示，取決於輸入信號IN2之變化時序，通常並不改變節點n3及n4之位準且可理解獲得一所謂之亞穩狀態。因此，取決於輸入信號IN2之變化時序，顯著延遲改變輸出信號OUT之時序。

圖21係用於解釋促進電路250之操作之一波形圖。

又在圖21中，信號A2依預定時序自高位準改變至低位準，且信號B2自高位準改變至低位準之時序相對於信號A2改變。圖21亦展示圖18中所展示之節點n11至n16之位準。輸出信號OUT係藉由憑藉一緩衝器259緩衝輸出信號z而獲得之一信號。

如圖21中所展示，可理解，取決於信號B2之變化時序，通常並不改變節點之位準且幾乎獲得所謂之亞穩態狀態，但在一短時間週期中消除該亞穩狀態。因此，未延遲改變輸出信號OUT之時序。

圖22係校準控制信號產生電路400之一電路圖。

如圖22中所展示，校準控制信號產生電路400具備一設定-重設鎖存電路401。校準起始信號CMDSB係輸入至該設定-重設鎖存電路401之設定側且校準結束信號CALEND係經由一單擊脈衝產生器402輸入至該設定-重設鎖存電路401之重設側。根據此一組態，如圖23中所展示，在啟動單擊校準起始信號CMDSB之後，在直至校準結束信號CALEND改變至高位準之週期期間，校準控制信號ZQACT變為高位準。該校準控制信號ZQACT用作指示校準電路110正執行校準操作之一狀態信號。

重設信號群組ZQRST之部分(ZQRST1)亦經由一反相器403輸入至設定-重設鎖存電路401之重設側。因此，若啟動重設信號群組ZQRST1，則迫使重設該設定-重設鎖存電路401且校準控制信號ZQACT變為低位準。

圖24係校準電路110之一方塊圖。

如圖24中所展示，校準電路110具備一上拉單元PUR(其為上拉單元PU之一複本)及下拉單元PDR0至PDR5(其為下拉單元PD之複本)。該上拉單元PUR具有與上拉單元PU之電路組態實質上相同之電路組態且其之阻抗係藉由碼信號CODEPU加以控制。類似地，全部下拉單元PDR0至PDR5具有與下拉單元PD之電路組態實質上相同之電路組態且其之阻抗係藉由碼信號CODEPD加以控制。

如圖24中所展示，下拉單元PDR1至PDR5之輸出節點共同連接至校準終端ZQ且連接至一比較器COMP。回應於校準控制信號ZQACT之啟動，該比較器COMP比較該校準終端ZQ之電位與參考電位

VREFDQ且基於其結果產生一向上/向下信號UDD。該向上/向下信號UDD係供應至一計數器CNTD且基於此使碼信號CODEPD(其為該計數器CNTD之計數值)遞增或遞減。計數器CNTD之遞增或遞減係與一更新信號UPDATED同步執行。在啟動校準控制信號ZQACT之條件下，藉由一時序產生器TMD與一振盪器信號OSCCLK同步地產生更新信號UPDATED。該振盪器信號OSCCLK係由藉由校準控制信號ZQACT啟動之一振盪器OSC產生。該振盪器OSC係藉由校準結束信號CALEND撤銷啟動。

此外，上拉單元PUR及下拉單元PDR0之輸出節點連接至一連接節點A。該連接節點A連接至一比較器COMPU。回應於校準控制信號ZQACT之啟動，該比較器COMPU比較該連接節點A之電位與參考電位VOH且基於其結果產生一向上/向下信號UDU。該向上/向下信號UDU係供應至一計數器CNTU且基於此使碼信號CODEPU(其為該計數器CNTU之計數值)遞增或遞減。計數器CNTU之遞增或遞減係與一更新信號UPDATEU同步執行。在啟動校準控制信號ZQACT及一下拉結束信號ENDPD之條件下，藉由一時序產生器TMU與振盪器信號OSCCLK同步地產生更新信號UPDATEU。

使用校準電路110之校準操作係藉由以下程序執行。

首先，當啟動校準控制信號ZQACT時，啟動比較器COMPD且執行校準終端ZQ之電位與參考電位VREFDQ之間的比較。因此，若該校準終端ZQ之電位低於該參考電位VREFDQ，則藉由使用向上/向下信號UDD使計數器CNTD遞減且碼信號CODEPD之值減小。因此，下拉單元PDR1至PDR5之阻抗增加；因此，校準終端ZQ之電位增加。相反地，若該校準終端ZQ之電位高於該參考電位VREFDQ，則藉由使用向上/向下信號UDD使計數器CNTD遞增且碼信號CODEPD之值增加。因此，下拉單元PDR1至PDR5之阻抗減小；因此，校準終端ZQ之

電位減小。

當每次啟動更新信號UPDATED即執行此一操作時，校準終端ZQ之電位變為近似匹配參考電位VREFDQ之狀態。在本文中，參考電位VREFDQ之位準係(例如) $VDDQ/6$ 且五個下拉單元PDR1至PDR5並聯連接至校準終端ZQ；因此，當校準終端ZQ之電位變為近似匹配參考電位VREFDQ之狀態時，全部下拉單元PDR1至PDR5亦經調整至與參考電阻器RZQ之電阻值相同的電阻值(RZQ)。下拉單元PDR0之阻抗亦經調整至RZQ。

當完成下拉單元PDR1至PDR5之校準操作時，自計數器CNTD輸出下拉結束信號ENDPD且隨後起始上拉單元PUR之校準操作。

當啟動下拉結束信號ENDPD時，啟動比較器COMPU且執行連接節點A之電位與參考電位VOH之間的比較。因此，若該連接節點A之電位高於該參考電位VOH，則藉由使用向上/向下信號UDU使計數器CNTU遞減且碼信號CODEPU之值減小。因此，上拉單元PUR之阻抗增加；因此，連接節點A之電位減小。相反地，若該連接節點A之電位低於該參考電位VOH，則藉由使用向上/向下信號UDU使計數器CNTU遞增且碼信號CODEPU之值增加。因此，上拉單元PUR之阻抗減小；因此，連接節點A之電位增加。

當每次啟動更新信號UPDATEU即執行此一操作時，連接節點A之電位變為近似匹配參考電位VOH之狀態。在本文中，參考電位VOH之位準係(例如) $VDDQ/3$ 且下拉單元PDR0之阻抗已經調整至RZQ；因此，當連接節點A之電位變為近似匹配參考電位VOH之狀態時，上拉單元PUR經調整至電阻值(2RZQ) (其為參考電阻器RZQ之電阻值的兩倍)。

當完成上拉單元PUR之校準操作時，自計數器CNTU輸出校準結束信號CALEND且停止振盪器OSC之操作。因此，完成校準操作系

列。接著，將藉由校準操作產生之碼信號CODEPU及CODEPD（調整碼CALCODE）供應至圖11中所展示之多工器130。

圖25係多工器130之一電路圖。

如圖25中所展示，多工器130具備一選擇器131及一鎖存電路132。該選擇器131具備三個輸入節點0、1及2以及三個選擇節點0、1及2且輸出對應於經啟動之選擇節點之輸入節點之信號。自校準電路110供應之調整碼CALCODE係輸入至輸入節點0。自圖11中所展示之碼暫存器121及122供應之預設碼DEFCODE1及DEFCODE2係分別輸入至輸入節點1及2。該預設碼DEFCODE1係在選擇第一操作模式之情況中之調整碼CALCODE之初始值。該預設碼DEFCODE2係在選擇第二操作模式之情況中之調整碼CALCODE之初始值。

自選擇器131輸出之一調整碼ZQVALUEP係經由鎖存電路132輸出且傳送至中繼電路300A及300B。在圖23中，鎖存電路132之輸出信號係描述為調整碼OUTCODE。

圖26係鎖存電路132之一電路圖。如自圖26中所展示之電路組態清楚可見，若一選擇節點G處於高位準（且該選擇節點GB處於低位準），則鎖存電路132在無變化的情況下將輸入至一輸入節點D之信號輸出至一輸出節點Q。另一方面，若該選擇節點G處於低位準（且該選擇節點GB處於高位準），則該輸入節點D及該輸出節點Q彼此斷開連接且自該輸出節點Q輸出前一刻輸入之信號。

如圖25中所展示，校準控制信號ZQACT之反相信號係輸入至選擇節點G。因此，在將校準控制信號ZQACT啟動至高位準之週期期間，選擇節點G變為低位準且因此輸入節點D與輸出節點Q彼此斷開連接。因此，儘管調整碼CALCODE（換言之，調整碼ZQVALUEP）之值在校準操作期間同步於振盪器信號OSCCLK而時刻改變，然此未被直接傳送至中繼電路300A及300B。如上所述，因為連接碼產生器100與

中繼電路300B之線係一長距離線，所以該線之充電/放電電流為大；然而，因為該長距離線之位準在校準操作期間並不改變，所以可防止消耗電流之增加。

接著，當校準控制信號ZQACT由於校準操作終止而改變至低位準時，調整碼ZQVALUEP之值經反映至調整碼OUTCODE且傳送至中繼電路300A及300B。

輸入至選擇器131之選擇節點0、1及2之信號係藉由一邏輯電路133產生。首先，若將一預設選擇信號DEFCODESEL撤銷啟動至低位準，則回應於校準控制信號ZQACT啟動一選擇信號CALCODEG。因此，選擇藉由校準電路110產生之調整碼CALCODE。

另一方面，若將該預設選擇信號DEFCODESEL撤銷啟動至低位準，則回應於輸出位準選擇信號MRSVA啟動一選擇信號DEFCODE1G或DEFCODE2G。明確言之，在輸出位準選擇信號MRSVA處於高位準且選擇第一操作模式之一情況中，啟動選擇信號DEFCODE1G且因此選擇自碼暫存器121供應之預設碼DEFCODE1。另一方面，在輸出位準選擇信號MRSVA處於低位準且選擇第二操作模式之一情況中，啟動選擇信號DEFCODE2G且因此選擇自碼暫存器122供應之預設碼DEFCODE2。

在重設碼產生器100時啟動預設選擇信號DEFCODESEL且在此後起始校準操作時撤銷啟動該預設選擇信號DEFCODESEL。因此，在重設碼產生器100之後直至起始校準操作之週期期間，將預設碼DEFCODE1或DEFCODE2供應至中繼電路300A及300B。

圖27係展示中繼電路300A之一組態之一方塊圖。

如圖27中所展示，該中繼電路300A具備輸入暫存器301A及302A、預設暫存器303A及輸出暫存器304A。該等輸入暫存器301A及302A以及預設暫存器303A鎖存自碼產生器100傳送之調整碼

OUTCODE (CALCODE、DEFCODE1或DEFCODE2)。明確言之，在輸出位準選擇信號MRSVA處於高位準且選擇第一模式之一情況中，藉由輸入暫存器301A回應於校準控制信號ZQACT鎖存調整碼OUTCODE。另一方面，若輸出位準選擇信號MRSVA處於低位準且選擇第二操作模式，則藉由輸入暫存器302A回應於校準控制信號ZQACT鎖存調整碼OUTCODE。若輸出位準選擇信號MRSVA改變，則藉由一偵測器306A偵測此變化。在此情況中，藉由預設暫存器303A回應於校準控制信號ZQACT鎖存調整碼OUTCODE。

然而，在暫存器之選擇中，為調整操作時序，使用藉由延遲輸出位準選擇信號MRSVA獲得之一輸出位準選擇信號MRSVAD且使用藉由延遲校準控制信號ZQACT獲得之一校準控制信號ZQACTD。

藉由輸入暫存器301A及302A鎖存之調整碼OUTCODE係經由一多工器305A供應至輸出暫存器304A。若輸出位準選擇信號MRSVAD指示第一操作模式，則該多工器305A選擇自輸入暫存器301A輸出之調整碼OUTCODE。若輸出位準選擇信號MRSVAD指示第二操作模式，則該多工器305A選擇自輸入暫存器302A輸出之調整碼OUTCODE。

回應於碼更新信號ZQLATA之啟動，輸出暫存器304A鎖存輸入調整碼OUTCODE (CALCODE、DEFCODE1或DEFCODE2)。藉由輸出暫存器304A鎖存之調整碼CODE係供應至資料輸出電路41A且因此調整該資料輸出電路41A之輸出阻抗。因此，在完成校準操作之後，回應於碼更新信號ZQLATA之啟動，將更新之調整碼CODE供應至資料輸出電路41A。

圖28係展示中繼電路300B之一組態之一方塊圖。

如圖28中所展示，中繼電路300B具備輸入暫存器301B及302B、預設暫存器303B、輸出暫存器304B、一多工器305B及一偵測器

306B。惟使用碼更新信號ZQLATB來代替碼更新信號ZQLATA除外，中繼電路300B之操作與上文所描述之中繼電路300A之操作相同。因此，省略冗餘解釋。

因此，當在完成校準操作之後啟動碼更新信號ZQLATB時，將更新之調整碼CODE供應至資料輸出電路41B。

圖29係用於解釋多工器130及中繼電路300A之操作之一時序圖。

在圖29中所展示之實例中，在時間t53，輸出位準選擇信號MRSVA自高位準改變至低位準。因此，在時間t53之前指定第一操作模式且在時間t53之後指定第二操作模式。在其中指定第一操作模式之週期中，校準控制信號ZQACT在時間t51改變至高位準且接著該校準控制信號ZQACT在時間t52改變至低位準。在其中指定第二操作模式之週期中，校準控制信號ZQACT在時間t54改變至高位準且接著該校準控制信號ZQACT在時間t55改變至低位準。

當校準控制信號ZQACT在時間t51改變至高位準時，在經過預定延遲時間之後，選擇信號CALCODEG變為高位準。因為選擇器131因此選擇輸入節點0，所以自選擇器131輸出之調整碼ZQVALUEP變為藉由校準電路110產生之調整碼CALCODE。然而，因為校準控制信號ZQACT在此時間點處於高位準，所以自鎖存電路132輸出之調整碼OUTCODE指示預設碼DEF CODE1。

在其中校準控制信號ZQACT處於高位準之週期中，藉由校準電路110執行校準操作。在本發明實例中，因為在此情況中選擇第一操作模式，所以藉由將參考電位VREFDQ之位準設定至VDD/6且將參考電位VOH之位準設定至VDD/3來執行校準操作。

若延遲之校準控制信號ZQACTD改變至高位準，則預設暫存器303A及303B執行鎖存操作。因此，在預設暫存器303A中鎖存預設碼DEF CODE1。

接著，當校準控制信號ZQACT在時間t52改變至低位準時，自鎖存電路132輸出之調整碼OUTCODE自預設碼DEFPCODE1切換至調整碼CALCODE。因此，將調整碼CALCODE傳送至中繼電路300A及300B。接著，當延遲之校準控制信號ZQACTD改變至低位準時，輸入暫存器301A及301B執行鎖存操作。因此，在輸入暫存器301A及301B中鎖存調整碼CALCODE。

接著，選擇信號DEFPCODE1G變為高位準且狀態返回至時間t51之前的狀態。

接著，當輸出位準選擇信號MRSVA在時間t53改變時，選擇信號DEFPCODE2G代替選擇信號DEFPCODE1G變為高位準。因此，自選擇器131輸出之調整碼ZQVALUEP改變至預設碼DEFPCODE2且此在無變化的情況下經由鎖存電路132輸出為調整碼OUTCODE。

當延遲之輸出位準選擇信號MRSVA改變至高位準時，中繼電路300A中所含有之預設暫存器303A執行一鎖存操作。因此，在預設暫存器303A及303B中鎖存預設碼DEFPCODE2。

接著，當校準控制信號ZQACT在時間t54改變至高位準時，在經過預定延遲時間之後，選擇信號CALCODEG變為高位準。因此，選擇器131選擇輸入節點0。因此，自選擇器131輸出之調整碼ZQVALUEP變為藉由校準電路110產生之調整碼CALCODE。然而，因為校準控制信號ZQACT在此時間點處於高位準，所以自鎖存電路132輸出之調整碼OUTCODE指示預設碼DEFPCODE2。

在其中校準控制信號ZQACT處於高位準之週期中，藉由校準電路110執行校準操作。在本發明實例中，因為此時選擇第二操作模式，所以在將參考電位VREFDQ之位準設定至VDD/5且將參考電位VOH之位準設定至VDD/2.5時執行校準操作。

當延遲之校準控制信號ZQACTD改變至高位準時，中繼電路

300A中所含有之預設暫存器303A執行鎖存操作。因此，在預設暫存器303A及303B中鎖存預設碼DEFPCODE2。

接著，當校準控制信號ZQACT在時間t55改變至低位準時，自鎖存電路132輸出之調整碼OUTCODE自預設碼DEFPCODE2切換至調整碼CALCODE。因此，將調整碼CALCODE傳送至中繼電路300A及300B。接著，當延遲之校準控制信號ZQACTD改變至低位準時，輸入暫存器302A及302B執行鎖存操作。因此，在輸入暫存器302A及302B中鎖存調整碼CALCODE。

接著，選擇信號DEFPCODE2G變為高位準且狀態返回至時間t54之前的狀態。

以此方式，在本發明實施例中，因為預設暫存器303A及303B係提供於中繼電路300A及300B中，所以即使在重設碼產生器100不久之後，亦可立即供應預設碼DEFPCODE1或DEFPCODE2至資料輸出電路41A及41B。此外，因為針對第一操作模式之輸入暫存器301A及301B及針對第二操作模式之輸入暫存器302A及302B係提供於中繼電路300A及300B中，所以即使在切換操作模式時，亦保存藉由在先前操作模式中校準而獲得之調整碼CALCODE。

圖30展示保持在暫存器中之調整碼之變化之一實例。

首先，在時間t61在電力開啟之後之初始狀態中，選擇第一操作模式。接著，藉由一初始化操作，將預設碼DEFPCODE1儲存於碼暫存器121中且將預設碼DEFPCODE2儲存於碼暫存器122中。將預設碼DEFPCODE1傳送至碼產生器100及中繼電路300A及300B中所含有之全部其他暫存器。因此，將資料輸出電路41A及41B設定至藉由預設碼DEFPCODE1指定之輸出阻抗。

接著，當在時間t62藉由發出模式暫存器設定命令而將第一操作模式切換至第二操作模式時，將保持於碼暫存器122中之預設碼

DEFCODE2傳送至預設暫存器303A及303B且進一步傳送至輸出暫存器304A及304B。因此，將資料輸出電路41A及41B設定至藉由預設碼DEFCODE2指定之輸出阻抗。

接著，當在時間t63發出校準命令時，校準電路110執行校準操作且產生調整碼CALCODE。接著，當完成校準操作時，將調整碼CALCODE傳送至中繼電路300A及300B且保持於輸入暫存器302A及302B中。在此時間點，資料輸出電路41A及41B之輸出阻抗係藉由預設碼DEFCODE2指定之輸出阻抗。

此外，當在時間t64發出碼更新命令時，將保持於輸入暫存器302A及302B中之調整碼CALCODE傳送至輸出暫存器304A及304B。因此，將資料輸出電路41A及41B設定至藉由憑藉校準操作獲得之調整碼CALCODE指定之輸出阻抗。

接著，當在時間t65發出重設命令時，全部碼產生器100經重設且變為與在時間t61獲得之狀態相同的狀態。另一方面，未重設中繼電路300A及300B中所含有之輸入暫存器301A、302A、301B及302B以及預設暫存器303A及303B，且將保持於預設暫存器303A及303B中之預設碼DEFCODE2傳送至輸出暫存器304A及304B。因此，即使在重設之後，亦立即將資料輸出電路41A及41B設定至藉由預設碼DEFCODE2指定之輸出阻抗。

接著，當在時間t66藉由發出模式暫存器設定命令而將第二操作模式切換至第一操作模式時，將保持於碼暫存器121中之預設碼DEFCODE1傳送至預設暫存器303A及303B且進一步傳送至輸出暫存器304A及304B。因此，將資料輸出電路41A及41B設定至藉由預設碼DEFCODE1指定之輸出阻抗。

如上文所解釋，因為根據本發明實施例之半導體裝置10具備執行相互非同步產生之校準執行信號ZQEXEA及ZQEXEB之仲裁之仲裁

器 200。因此，即使在任何時序產生校準執行信號 ZQEXEA 及 ZQEXEB 時，亦可正常執行校準操作。

此外，在藉由校準操作判定調整碼 CALCODE 之值之後，將值判定之調整碼 CALCODE 傳送至中繼電路 300A 及 300B。因此，可抑制藉由在校準操作中之調整碼 CALCODE 之值變動引起之消耗電流的增加。

此外，因為儲存預設碼 DEFCODE1 及 DEFCODE2 之碼暫存器 121 及 122 係提供於碼產生器 100 中，所以即使在重設不久之後或在切換操作模式不久之後，亦可立即供應預設碼 DEFCODE1 或 DEFCODE2 至資料輸出電路 41A 及 41B。

碼暫存器 121 及 122 可安置於中繼電路 300A 及 300B 之側中。在該情況中，可自中繼電路 300A 及 300B 移除預設暫存器 303A 及 303B 且可提供碼暫存器 121 及 122 來代替該等預設暫存器 303A 及 303B。在圖 31 中展示在此情況中保持於暫存器中之調整碼之變化之一實例。

如圖 31 中所展示，在本發明實例中，當將第一操作模式切換至第二操作模式時(時間 t61)，將預設碼 DEFCODE2 自中繼電路 300A 及 300B 中之碼暫存器 122 傳送至輸出暫存器 304A 及 304B。類似地，當發出重設命令時(時間 t65)，將預設碼 DEFCODE2 自中繼電路 300A 及 300B 中之碼暫存器 122 傳送至輸出暫存器 304A 及 304B。接著，當將第二操作模式切換至第一操作模式時(時間 t66)，將預設碼 DEFCODE1 自中繼電路 300A 及 300B 中之輸入暫存器 301A 及 301B 傳送至輸出暫存器 304A 及 304B。其他操作基本上與圖 30 中所展示之操作相同。

圖 32 係展示根據一修改實例之校準電路 110 之部分的一電路圖。

圖 32 僅展示提供於根據該修改實例之校準電路 110 中之校準終端 ZQ 與下拉單元 PDR1 至 PDR5 之間的電路。因為其他電路部分與圖 24 中所展示之電路部分相同，所以省略圖解。

如圖32中所展示，根據修改實例之校準電路110具備介於校準終端ZQ與下拉單元PDR1至PDR5之間的一傳送閘118且具有將該等下拉單元PDR1至PDR5之輸出節點固定至電源電位VDD之一電晶體119。接著，當將校準控制信號ZQACT啟動至高位準時，開啟傳送閘118；因此，實現校準操作。另一方面，在其中校準控制信號ZQACT處於低位準之週期中關閉傳送閘118；因此，使校準終端ZQ與下拉單元PDR1至PDR5斷開連接且將該等下拉單元PDR1至PDR5之輸出節點固定至電源電位VDD。憑藉此，即使在由複數個晶片共享參考電阻器RZQ時，亦僅開啟執行校準操作之晶片之傳送閘118；因此，未執行校準操作之該(等)晶片之內部電路並未變為校準終端ZQ之負載能力、校準操作中之負載能力，明確言之，比較器CMPD之一比較操作中之負載能力變為恆定且可確保穩定校準操作。

圖33係展示根據一修改實例之中繼電路300A之一組態的一方塊圖。

根據該修改實例之中繼電路300A與圖27中所展示之中繼電路300A不同點在於，如圖33中所展示添加促進電路250、一或(OR)電路307A、一增補暫存器308A及一多工器309A。因為其他組態基本上與圖27中所展示之中繼電路300A之組態相同，所以相同元件係藉由相同符號表示且省略冗餘解釋。當使用本修改實例時，亦可對於中繼電路300B採用根據圖32之電路組態。

除了圖27中所展示之中繼電路300A之功能之外，根據修改實例之中繼電路300A亦具有即使在校準操作之結束時序與碼更新信號ZQLATA之啟動時序之間的差為小時仍正確輸出調整碼CODE之一功能。明確言之，其具有在緊接於終止校準操作之前啟動碼更新信號ZQLATA時輸出先前調整碼CODE來代替藉由當前校準操作產生之調整碼CODE的功能。另一方面，若在終止校準操作之後啟動碼更新信

號ZQLATA，則輸出藉由當前校準操作產生之調整碼CODE。

如圖 33 中所展示，OR 電路 307A 接收延遲之校準控制信號 ZQACTD 及碼更新信號 ZQLATA 且產生一碼更新信號 ZQACTLA。因此，若該延遲之校準控制信號 ZQACTD 及該碼更新信號 ZQLATA 之至少一者處於高位準，則該碼更新信號 ZQACTLA 維持於高位準。此意謂，在緊接於終止校準操作之前啟動碼更新信號 ZQLATA 時，該碼更新信號 ZQACTLA 維持於高位準。另一方面，在其中在終止校準操作之後啟動碼更新信號 ZQLATA 之一情況中，該碼更新信號 ZQACTLA 一次改變至低位準。該碼更新信號 ZQACTLA 係輸入至增補暫存器 308A。

促進電路 250 係圖 18 中所展示之電路。延遲之校準控制信號 ZQACTD 及反相之碼更新信號 ZQLATA 係輸入至該促進電路 250 且該促進電路 250 具有優先化該延遲之校準控制信號 ZQACTD 之電路組態。因此，若延遲之校準控制信號 ZQACTD 之衰減快於碼更新信號 ZQLATA 之上升，則一選擇信號 LATCMDFASTA 維持於低位準；且若碼更新信號 ZQLATA 之上升快於延遲之校準控制信號 ZQACTD 之衰減，則該選擇信號 LATCMDFASTA 變為高位準。

接著，因為促進電路 250 具有優先化延遲之校準控制信號 ZQACTD 之電路組態，所以若碼更新信號 ZQLATA 及延遲之校準控制信號 ZQACTD 兩者之時序重疊，則選擇信號 LATCMDFASTA 變為低位準。

選擇信號 LATCMDFASTA 係輸入至多工器 309A。若選擇信號 LATCMDFASTA 處於低位準，則該多工器 309A 選擇多工器 305A 之輸出。若選擇信號 LATCMDFASTA 處於高位準，則該多工器 309A 選擇增補暫存器 308A 之輸出。該增補暫存器 308A 係在碼更新信號 ZQLATA 處於低位準之情況下藉由容許信號通過而在無變化的情況下輸出輸入信

號且在碼更新信號ZQLATA改變至高位準之情況下鎖存該輸入信號之一電路。

憑藉以上組態，當選擇信號LATCMDFASTA改變至高位準時，選擇增補暫存器308A之輸出來代替多工器305A之輸出。因此，先前值可在無變化的情況下輸出為調整碼CODE。因此，在該值改變時未選擇多工器305A之輸出。此外，因為促進電路250本身之亞穩時間為短，所以改良電路操作之安全性。

當圖13之信號GETA及GETB之資訊輸入至半導體裝置10之外部時，該半導體裝置10之一使用者可藉由使用此資訊來判斷其狀態，且可執行更可靠仲裁操作。因此，根據此資訊，該使用者可區分當前運算結果是否根據藉由該使用者或根據其他人之指令。此外，在根據本發明實施例之半導體裝置10中，雖然一特定使用者具有一專有權，但該使用者可可靠地佔有一運算裝置。因此，若相對於本發明之組態之半導體裝置重複一序列「保持請求直至你獲得一專有權；且在你獲得該專有權之後，在特定時間之後提取運算結果且獲得值」，則使用該運算裝置之使用者可可靠地獲得所要計算結果。以此方式，共享半導體裝置中之運算元件之使用者可公平地使用該等運算元件。

在上文中，已解釋本發明之較佳實施例。然而，本發明並不限於上文所描述之實施例，可在不脫離本發明之要旨之範圍內作出各種修改，且不言而喻該等修改亦包含於本發明之範圍中。

【符號說明】

0	輸入節點/選擇節點
1	系統/輸入節點(圖25)/選擇節點
2	控制器/輸入節點(圖25)/選擇節點
3A	命令/位址匯流排
3B	命令/位址匯流排

4A	時脈匯流排
4B	時脈匯流排
5A	資料匯流排
5B	資料匯流排
6	基板
7	資料終端
8	資料輸出電路
10	半導體裝置
10a	半導體裝置
10b	半導體裝置
11A	記憶體胞陣列
11B	記憶體胞陣列
12A	列解碼器
12B	列解碼器
13A	行解碼器
13B	行解碼器
14A	模式暫存器
21A	命令/位址終端
21B	命令/位址終端
22A	時脈終端
22B	時脈終端
23A	資料終端
23B	資料終端
24A	電壓終端
24B	電壓終端
25A	電壓終端

25B	電壓終端
26B	重設終端
31A	命令/位址輸入電路
31B	命令/位址輸入電路
32A	位址控制電路
32B	位址控制電路
33A	命令解碼器
33B	命令解碼器
34A	時脈輸入電路
35A	內部時脈產生器
36A	內部電壓產生器
37A	電力開啟偵測器
38A	重設控制電路
39A	資料控制電路
40A	資料輸入/輸出電路
41A	資料輸出電路
41B	資料輸出電路
42A	資料輸入電路
100	碼產生器
110	校準電路
118	傳送閘
119	電晶體
121	碼暫存器
122	碼暫存器
130	多工器
131	選擇器

132	鎖存電路
133	邏輯電路
200	仲裁器
201	設定-重設鎖存電路
202	設定-重設鎖存電路
203	位準保持電路
204	位準保持電路
210	促進電路
211	反相器
212	反相器
213	或非(NOR)電路
214	反相器
221	反及(NAND)電路
222	延遲電路
223	單擊脈衝產生器
231	反相器
232	反及(NAND)電路
233	反及(NAND)電路
234	反及(NAND)電路
235	反相器電路
236	或非(NOR)電路
237	反相器
238	反及(NAND)電路
239	反相器
250	促進電路
251	反相器

252	反相器
253	反及(NAND)電路
254	反及(NAND)電路
255	反相器
256	反相器
257	或非(NOR)電路
258	反相器
259	緩衝器
260	設定-重設鎖存電路
261	反相器
262	反相器
263	反及(NAND)電路
264	反及(NAND)電路
265	緩衝器
300A	中繼電路
300B	中繼電路
301A	輸入暫存器
301B	輸入暫存器
302A	輸入暫存器
302B	輸入暫存器
303A	預設暫存器
303B	預設暫存器
304A	輸出暫存器
304B	輸出暫存器
305A	多工器
305B	多工器

306A	偵測器
306B	偵測器
307A	或(OR)電路
308A	增補暫存器
309A	多工器
400	校準控制信號產生電路
401	設定-重設鎖存電路
402	單擊脈衝產生器
403	反相器
A	連接節點
A1	信號
A2	信號
ACT	作用中信號
ADD	位址信號
ARY	記憶體胞陣列區域
B1	信號
B2	信號
BL	位元線
/BL	位元線
C3	信號
C4	信號
CA1	第一命令/位址控制電路
CA2	第二命令/位址控制電路
CAA	命令/位址信號
CAB	命令/位址信號
CALEND	校準結束信號

CALCODE	調整碼
CALCODEG	選擇信號
CHA	通道
CHB	通道
CKA	外部時脈信號
/CKA	外部時脈信號
CKB	外部時脈信號
/CKB	外部時脈信號
CMDSB	校準起始信號/單擊校準起始信號
CNTD	計數器
CNTU	計數器
CODE	調整碼
CODEPD	下拉碼/碼信號
CODEPU	上拉碼/碼信號
COM	命令信號
COMPD	比較器
COMPU	比較器
D	輸入節點
DATA	內部資料
DCODEPD	碼信號
DCODEPD0至DCODEPD4	位元
DCODEPU	碼信號/碼控制信號
DCODEPU0至DCODEPU4	位元
DEFCODE1	預設碼/調整碼
DEFCODE1G	選擇信號
DEFCODE2	預設碼/調整碼

DEFCODE2G	選擇信號
DEFCODESEL	預設選擇信號
DQA	讀取資料/寫入資料
DQB	讀取資料/寫入資料
EG1	邊緣
EG2	邊緣
ENDPD	下拉結束信號
G	選擇節點
GETA	信號
GETB	信號
ICLKA	內部時脈信號
IN1	輸入信號
IN2	輸入信號
L	邊界線
LATCMDFASTA	選擇信號
LCLKA	相位控制內部時脈信號/內部時脈信號
LIOT/LIOB	互補IO線/本地IO線
MADD	模式信號
MC	記憶體胞
MIOT/MIOB	互補主IO線
MODE	阻抗選擇信號
MRS	模式暫存器設定信號
MRSVA	輸出位準選擇信號
MRSVAD	輸出位準選擇信號
n1至n4	節點
n11至n16	節點

OSC	振盪器
OSCCLK	振盪器信號
OUT	輸出信號
OUTCODE	調整碼
PA	襯墊隊列
PB	襯墊隊列
PD	下拉單元
PD0至PD6	下拉單元
PDR0至PDR5	下拉單元
PEA	第一周邊區域
PEB	第二周邊區域
PON	電力開啟重設信號
PU	上拉單元
PUR	上拉單元
PU0至PU6	上拉單元
Q	輸出節點
READ	讀取信號
RESET	重設信號
RSTA	重設信號
RSTB	重設信號
RWBS	讀取/寫入匯流排
RW	高電阻線
RZQ	參考電阻器/電阻值
SAMP	感測放大器
SL	電壓線
TG	開關電路

TMD	時序產生器
TMU	時序產生器
TND0至TND4	N通道型MOS電晶體/電晶體
TNU0至TNU4	N通道型MOS電晶體/電晶體
TRD	電晶體部分
TRU	電晶體部分
UDD	向上/向下信號
UDU	向上/向下信號
UPDATED	更新信號
UPDATEU	更新信號
V25	波形
V30	波形
VARY	內部電位
VDD	電源電位
VDDA	電源電位
VDDB	電源電位
VDDQ	供應電源電位
VL	電壓線
VOD	內部電位
VOH	參考電位
VPERI	內部電位
VPP	內部電位
VREFDQ	參考電位
VSS	電源電位
VSSA	電源電位
VSSB	電源電位

WL	字線
WRITE	寫入信號
XADD	列位址
y	輸出信號/信號
YADD	行位址
z	輸出信號/信號
ZQ	校準終端
ZQACT	校準狀態信號/校準控制信號
ZQACTD	校準控制信號
ZQACTLA	碼更新信號
ZQEXEA	校準執行信號
ZQLATA	碼更新信號
ZQEXEB	校準執行信號
ZQLATB	碼更新信號
ZQRST	重設信號群組
ZQRST1	重設信號/重設信號群組
ZQVALUEP	調整碼

發明摘要

※ 申請案號：104115932

※ 申請日：104.5.19

※IPC 分類：

G11C 7/10 13000001
G11C 7/04 12000002

【發明名稱】

包括具有多通道共享之校準電路之多通道的裝置

DEVICE HAVING MULTIPLE CHANNELS WITH CALIBRATION
CIRCUIT SHARED BY MULTIPLE CHANNELS

● 【中文】

一種設備包含一第一通道、一第二通道及一校準電路。該第一通道包含一第一命令控制電路。該第二通道包含獨立於該第一命令控制電路之一第二命令控制電路。該校準電路係由該第一通道及該第二通道共享以回應於一校準命令產生一校準碼，該校準命令係回應於來自該第一命令控制電路之一第一校準命令及來自該第二命令控制電路之一第二校準命令而產生。

● 【英文】

An apparatus includes a first channel, a second channel and a calibration circuit. The first channel includes a first command control circuit. The second channel includes a second command control circuit independent of the first command control circuit. The calibration circuit is shared by the first channel and the second channel to generate a calibration code responsive to a calibration command generated responsive to a first calibration command from the first command control circuit and a second calibration command from the second command control circuit.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

1	系統
2	控制器
3A	命令/位址匯流排
3B	命令/位址匯流排
4A	時脈匯流排
4B	時脈匯流排
5A	資料匯流排
5B	資料匯流排
10	半導體裝置
21A	命令/位址終端
21B	命令/位址終端
22A	時脈終端
22B	時脈終端
23A	資料終端
23B	資料終端
CAA	命令/位址信號
CAB	命令/位址信號
CHA	通道
CHB	通道
CKA	外部時脈信號
/CKA	外部時脈信號
CKB	外部時脈信號
/CKB	外部時脈信號

DQA 讀取資料/寫入資料
DQB 讀取資料/寫入資料
RZQ 參考電阻器/電阻值
VDD 電源電位
ZQ 校準終端

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種設備，其包括：

一第一通道，其包含一第一命令控制電路、經組態以藉由該第一命令控制電路控制之一第一記憶體胞陣列及經組態以自該第一記憶體胞陣列輸出第一資料且具有回應於一第一校準碼予以控制之第一阻抗之一第一資料輸出電路；

一第二通道，其獨立於該第一通道提供，該第二通道包含一第二命令控制電路、經組態以藉由該第二命令控制電路控制之一第二記憶體胞陣列及經組態以自該第二記憶體胞陣列輸出第二資料且具有回應於一第二校準碼予以控制之第二阻抗之一第二資料輸出電路；及

一校準電路，其係共同提供至該第一通道及該第二通道以回應於來自該第一命令控制電路之一第一校準控制信號提供該第一校準碼且回應於來自該第二命令控制電路之一第二校準控制信號提供一第二校準碼。

2. 如請求項1之設備，其中該第一通道包含耦合至該第一資料輸出電路之一第一資料終端及耦合至該第二資料輸出電路之一第二資料終端。

3. 如請求項2之設備，其中該第一通道包含耦合至該第一命令控制電路之一第一命令終端且該第二通道包含耦合至該第二命令控制電路之一第二命令終端。

4. 如請求項3之設備，其中該第一命令控制電路經組態以回應於透過該第一命令終端接收一第一校準命令而提供該第一校準控制信號至該校準電路且該第二命令控制電路經組態以回應於透過該第二命令終端接收一第二校準命令而提供該第二校準控制信

號至該校準電路。

5. 如請求項4之設備，其中該校準電路包含一碼產生器及耦合至該碼產生器之一仲裁器，該仲裁器經組態以在該校準電路處於回應於該第一校準控制信號之一校準操作中時該仲裁器接收該第二校準控制信號的條件下取消該第二校準控制信號。
6. 如請求項5之設備，其中該仲裁器經組態以在該校準電路處於回應於該第二校準控制信號之一校準操作中時該仲裁器接收該第一校準控制信號的條件下取消該第一校準控制信號。
7. 如請求項6之設備，其中該仲裁器經組態以在該仲裁器在一實質上相同時間接收該第一校準控制信號及該第二校準控制信號時回應於該第一校準控制信號提供該第一校準碼。
8. 如請求項1之設備，其中該第一通道包含耦合於該第一資料輸出電路與該校準電路之間的一第一中繼電路且該第二通道包含耦合於該第二資料輸出電路與該校準電路之間的一第二中繼電路。
9. 如請求項8之設備，其中該第一中繼電路經組態以回應於自該第一命令控制電路提供之一第一更新控制信號而儲存該第一校準碼且該第二中繼電路經組態以回應於自該第二命令控制電路提供之一第二更新控制信號而儲存該第二校準碼。
10. 一種設備，其包括：
 - 一控制器，其包含：一第一核心，其包括一第一命令終端及一第一資料終端；及一第二核心，其包括一第二命令終端及一第二資料終端，該第一核心及該第二核心經組態以彼此獨立地發出一第一校準命令至該第一命令終端及發出一第二校準命令至該第二命令終端；及
 - 一第一記憶體裝置，其包含：一第一通道，其包括耦合至該

第一命令終端之一第三命令終端、耦合至該第一資料終端之一第三資料終端及耦合至該第三資料終端之一第一資料輸出電路；一第二通道，其包括耦合至該第二命令終端之一第四命令終端、耦合至該第二資料終端之一第四資料終端及耦合至該第四資料終端之一第二資料輸出電路；及一校準電路，其經組態以回應於該第一校準命令及該第二校準命令之各者提供一校準碼。

11. 如請求項10之設備，其進一步包括一參考電阻器，其中該第一記憶體裝置包含耦合於該參考電阻器與該校準電路之間的一校準終端。
12. 如請求項10之設備，其中該第一核心經組態以在該第一命令終端處發出一第一更新命令且該第二核心經組態以在該第二命令終端處獨立地發出一第二更新命令，回應於該第一更新命令根據該校準碼更新該第一資料輸出電路之阻抗且回應於該第二更新命令根據該校準碼更新該第二資料輸出電路之阻抗。
13. 如請求項10之設備，其進一步包括一第二記憶體裝置，該第二記憶體裝置包含：一第三通道，其包括耦合至該第一命令終端之一第五命令終端、耦合至該第一資料終端之一第五資料終端及耦合至該第五資料終端之一第三資料輸出電路；一第四通道，其包括耦合至該第二命令終端之一第六命令終端、耦合至該第二資料終端之一第六資料終端及耦合至該第六資料終端之一第四資料輸出電路；及一額外校準電路，其經組態以回應於該第一校準命令及該第二校準命令之各者提供一額外校準碼。
14. 如請求項13之設備，其進一步包括一額外參考電阻器，其中該第二記憶體裝置包含耦合於該額外參考電阻器與該額外校準電路之間的一額外校準終端。

15. 一種設備，其包括：
 - 一校準電路，其經組態以回應於一命令信號產生一校準碼；及
 - 一仲裁器，其經組態以被供應彼此獨立之一第一校準命令及一第二校準命令且仲裁該第一校準命令及該第二校準命令以提供該命令信號。
16. 如請求項15之設備，其中該仲裁器經組態以在該校準電路處於回應於該第一校準命令執行之一校準操作中的條件下不回應於該第二校準命令提供該命令信號。
17. 如請求項16之設備，其中該仲裁器經組態以在該校準電路處於回應於該第二校準命令執行之該校準操作中的條件下不回應於該第一校準命令提供該命令信號。
18. 如請求項15之設備，其進一步包括經組態以回應於一第一更新命令儲存該校準碼之一第一中繼電路及經組態以回應於一第二更新命令儲存該校準碼之一第二中繼電路。
19. 如請求項18之設備，其進一步包括經組態以回應於儲存於該第一中繼電路中之該校準碼改變阻抗之一第一資料輸出電路及經組態以回應於儲存於該第二中繼電路中之該校準碼改變阻抗之一第二資料輸出電路。
20. 如請求項19之設備，其中該第一資料輸出電路及該第二資料輸出電路之各者包括一n型上拉電晶體及一n型下拉電晶體。

