

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-266143

(P2007-266143A)

(43) 公開日 平成19年10月11日(2007. 10. 11)

(51) Int. Cl.	F I	テーマコード (参考)
H01L 21/8247 (2006.01)	H01L 27/10 434	5F083
H01L 27/115 (2006.01)	H01L 29/78 371	5F101
H01L 29/788 (2006.01)	H01L 27/10 481	
H01L 29/792 (2006.01)		
H01L 27/10 (2006.01)		

審査請求 未請求 請求項の数 50 O L (全 71 頁)

(21) 出願番号 特願2006-86674 (P2006-86674)
 (22) 出願日 平成18年3月27日 (2006. 3. 27)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 鬼頭 傑
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝横浜事業所内
 (72) 発明者 青地 英明
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝横浜事業所内
 (72) 発明者 勝又 電太
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝横浜事業所内

最終頁に続く

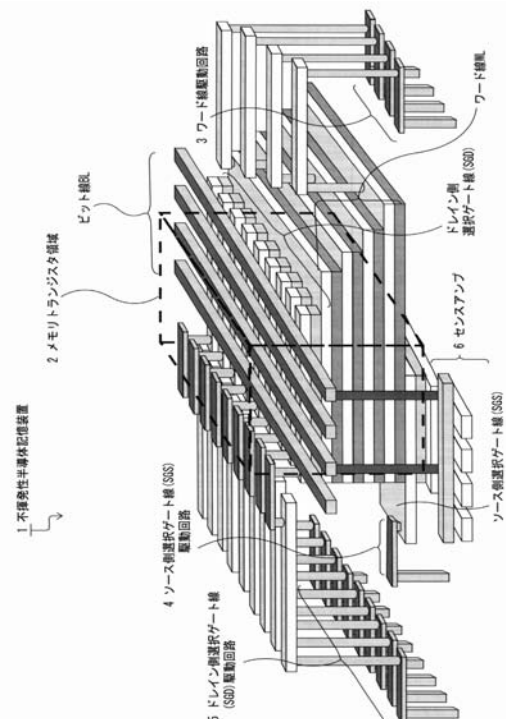
(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 メモリセルを3次元に積層した新規な構造を有し、チップ面積を縮小することのできる不揮発性半導体記憶装置を提供すること。

【解決手段】 本発明の不揮発性半導体記憶装置は、電気的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングスを有する不揮発性半導体記憶装置であって、前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第1の絶縁膜と、前記第1の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第2の絶縁膜と、前記第2の絶縁膜の周りに形成された第1乃至第nの電極 (nは2以上の自然数) とを有しており、前記メモリストリングスの前記第1乃至第nの電極と、別の前記メモリストリングスの前記第1乃至第nの電極とは、それぞれ、2次的に広がる第1乃至第nの導電体層であることを特徴している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングスを有する不揮発性半導体記憶装置であって、
前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第 1 の絶縁膜と、前記第 1 の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第 2 の絶縁膜と、前記第 2 の絶縁膜の周りに形成された第 1 乃至第 n の電極（n は 2 以上の自然数）とを有しており、
前記メモリストリングスの前記第 1 乃至第 n の電極と、別の前記メモリストリングスの前記第 1 乃至第 n の電極とは、それぞれ、2 次元的に広がる第 1 乃至第 n の導電体層であることを特徴とする不揮発性半導体記憶装置。 10

【請求項 2】

前記 2 次元的に広がる第 1 乃至第 n の導電体層は、それぞれ、板状の導電体層であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記複数のメモリストリングスは、前記柱状半導体に垂直な面内にマトリクス状に配置されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記 2 次元的に広がる第 1 乃至第 n の導電体層は、それぞれ、絶縁体を介して積層されており、前記前記 2 次元的に広がる第 1 乃至第 n の導電体層内に前記複数のメモリストリングスがアレイ状に配置されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。 20

【請求項 5】

前記電荷蓄積層は、絶縁膜であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記第 1 の絶縁膜は、酸化珪素膜であり、前記電荷蓄積層は、窒化珪素膜であり、且つ前記第 2 の絶縁膜は、酸化珪素膜であることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記柱状半導体は、円柱又は角柱であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。 30

【請求項 8】

前記柱状の半導体は、半導体基板に垂直に形成されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 9】

前記メモリストリングスの前記第 1 乃至第 n の電極を形成する導電体層は、端部において階段状に形成されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 10】

前記電荷蓄積層は、前記柱状半導体と前記メモリストリングスの前記第 1 乃至第 n の電極との間に局在することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。 40

【請求項 11】

前記電荷蓄積層は、導電体であることを特徴とする請求項 10 に記載の不揮発性半導体記憶装置。

【請求項 12】

前記メモリストリングスは、前記メモリストリングスの一端に接続された第 1 のトランジスタと、前記メモリストリングスの他端に接続された第 2 のトランジスタとを含むことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 13】

前記第 1 のトランジスタのゲート電極同士は、同一導電層によって形成されていることを 50

特徴とする請求項 1 2 に記載の不揮発性半導体記憶装置。

【請求項 1 4】

前記第 1 のトランジスタのソースが接続されている前記半導体基板の拡散層の部分は、 n -型であり、且つ n +拡散層に直接接続されていることを特徴とする請求項 1 2 に記載の不揮発性半導体記憶装置。

【請求項 1 5】

前記第 1 のトランジスタのソースが接続されている前記半導体基板の拡散層の部分は、 p -型であり、且つ p +拡散層に直接接続されていることを特徴とする請求項 1 2 に記載の不揮発性半導体記憶装置。

【請求項 1 6】

前記メモリストリングスのソースは、素子分離層が形成されていないことを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 1 7】

前記メモリストリングスのソースは、別の前記メモリストリングスのソースと素子分離層により電氣的に絶縁されていることを特徴とする請求項 1 6 に記載の不揮発性半導体記憶装置。

【請求項 1 8】

前記柱状半導体は、 n -型半導体であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 1 9】

前記複数のメモリセルは、ディプレッション型のトランジスタであることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 2 0】

更に、前記半導体基板の前記拡散層の上に絶縁膜を介してポリシリコンを備え、前記柱状半導体は、前記ポリシリコンと前記半導体基板上の前記 n +拡散層の両方と接続していることを特徴とする請求項 1 4 に記載の不揮発性半導体記憶装置。

【請求項 2 1】

前記電荷蓄積層は、ナノ結晶を含む膜を有することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置

【請求項 2 2】

前記メモリストリングスは、前記柱状半導体の中心軸に対して概略対称形状を有することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 2 3】

前記メモリストリングスの前記第 1 乃至第 n の電極は、それぞれ、ワード線であり、前記メモリストリングスの前記第 1 乃至第 n の電極は、それぞれ、同一のワード線駆動回路によって駆動されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 2 4】

前記複数のメモリストリングスのドレインに接続されたビット線は、それぞれ、同一のセンスアンプに接続されていることを特徴とする請求項 2 3 に記載の不揮発性半導体記憶装置。

【請求項 2 5】

前記メモリストリングスの前記第 1 乃至第 n の電極のそれぞれの間には、第 4 の絶縁膜が形成されており、

前記メモリストリングスの前記第 1 乃至第 n の電極及び前記第 4 の絶縁膜の端部は、階段状に形成されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 2 6】

前記メモリストリングスの前記第 1 乃至第 n の電極のそれぞれの間には、第 4 の絶縁膜が形成されており、

前記メモリストリングスの前記第 1 乃至第 n の電極及び前記第 4 の絶縁膜の端部は、階段状に形成されている端部と階段状に形成されていない端部とを含むことを特徴とする請求

10

20

30

40

50

項 1 に記載の不揮発性半導体記憶装置。

【請求項 27】

半導体基板上に導電性不純物の拡散領域を形成し、
前記半導体基板上に第 1 の絶縁膜と導電体とを交互に複数形成し、
前記複数の第 1 の絶縁膜と前記導電体とに複数のホールを形成し、
前記ホールの表面に第 2 の絶縁膜を形成し、
前記ホールの底部にある前記第 2 の絶縁膜をエッチングし、
前記ホールに柱状半導体を形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 28】

前記複数の導電体によって第 1 乃至第 n の電極が形成され、
前記柱状半導体、並びに交互に形成された複数の前記第 2 の絶縁膜及び前記第 1 乃至第 n の電極によって、電気的に書き換え可能な複数のメモリスルが直列に接続されたメモリスリングスを形成することを特徴とする請求項 27 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 29】

前記複数のメモリスリングスは、前記柱状半導体に垂直な面内にマトリクス状に配置されていることを特徴とする請求項 28 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 30】

前記複数の導電体は、それぞれ、2 次元的に広がっており、前記複数の導電体層に前記複数のメモリスリングスがアレイ状に配置されていることを特徴とする請求項 28 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 31】

前記第 2 の絶縁膜は、電荷蓄積層を含むことを特徴とする請求項 27 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 32】

前記第 2 の絶縁膜は、酸化珪素膜、窒化珪素膜及び酸化珪素膜が順に積層されてなることを特徴とする請求項 27 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 33】

前記柱状半導体は、円柱又は角柱であることを特徴とする請求項 27 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 34】

前記柱状の半導体は、前記半導体基板に垂直に形成されていることを特徴とする請求項 27 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 35】

前記メモリスリングスの前記第 1 乃至第 n の電極を形成する導電体層は、端部において階段状に形成されていることを特徴とする請求項 28 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 36】

前記メモリスリングスは、前記メモリスリングスの一端に接続された第 1 のトランジスタと、前記メモリスリングスの他端に接続された第 2 のトランジスタとを含むことを特徴とする請求項 28 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 37】

前記第 1 のトランジスタのゲート電極同士は、同一導電層によって形成されていることを特徴とする請求項 36 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 38】

前記第 1 のトランジスタのソースが接続されている前記半導体基板の拡散層の部分は、n 型であり、且つ前記半導体基板の n 型の拡散層に直接に接続されていることを特徴とする請求項 36 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 39】

10

20

30

40

50

前記第1のトランジスタのソースが接続されている前記半導体基板の拡散層の部分は、 n -型であり、且つ前記半導体基板の n +型の拡散層に直接に接続されていることを特徴とする請求項36に記載の不揮発性半導体記憶装置の製造方法。

【請求項40】

前記複数のメモリストリングスのソース間は、素子分離層が形成されていないことを特徴とする請求項30に記載の不揮発性半導体記憶装置の製造方法。

【請求項41】

前記メモリストリングスのソースは、別の前記メモリストリングスのソースと素子分離層により電氣的に絶縁されていることを特徴とする請求項40に記載の不揮発性半導体記憶装置の製造方法。

10

【請求項42】

前記柱状半導体は、 n -型半導体であることを特徴とする請求項28に記載の不揮発性半導体記憶装置の製造方法。

【請求項43】

前記複数のメモリセルは、ディプレッション型のトランジスタであることを特徴とする請求項28に記載の不揮発性半導体記憶装置の製造方法。

【請求項44】

更に、前記半導体基板の前記拡散層の上に絶縁膜を介してポリシリコンを備え、前記柱状半導体は、前記ポリシリコンと前記半導体基板上の前記 n +拡散層の両方と接続していることを特徴とする請求項39に記載の不揮発性半導体記憶装置の製造方法。

20

【請求項45】

前記電荷蓄積層は、ナノ結晶を含む膜を有することを特徴とする請求項31に記載の不揮発性半導体記憶装置の製造方法。

【請求項46】

前記メモリストリングスは、前記柱状半導体の中心軸に対して概略対称形状を有することを特徴とする請求項28に記載の不揮発性半導体記憶装置の製造方法。

【請求項47】

前記メモリストリングスの前記第1乃至第 n の電極は、それぞれ、ワード線であり、前記メモリストリングスの前記第1乃至第 n の電極は、それぞれ、同一のワード線駆動回路によって駆動され、且つ、前記メモリストリングスの前記第1乃至第 n の電極は、同一のセ

30

【請求項48】

前記複数のメモリストリングスのドレインに接続されたビット線は、それぞれ、同一のセンスアンプに接続されていることを特徴とする請求項47に記載の不揮発性半導体記憶装置の製造方法。

【請求項49】

前記メモリストリングスの前記第1乃至第 n の電極及び前記第1の絶縁膜の端部を階段状に加工する工程を含むことを特徴とする請求項28に記載の不揮発性半導体記憶装置。

【請求項50】

40

前記メモリストリングスの前記第1乃至第 n の電極及び第1の絶縁膜を前記半導体基板に対して水平方向に分離する工程を含むことを特徴とする請求項49に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電氣的にデータの書き換えが可能な半導体記憶装置に関し、半導体記憶装置の中でも、特に、不揮発性半導体記憶装置に関する。

【背景技術】

50

【0002】

小型で大容量な不揮発性半導体記憶装置の需要が急増し、高集積化、大容量化が期待できるNAND型フラッシュメモリが注目されている。

【0003】

NAND型フラッシュメモリの高集積化、大容量化を進めるためには、デザインルールを縮小することが必要となる。デザインルールを縮小するためには、配線パターン等の更なる微細加工が必要となる。配線パターン等の更なる微細加工を実現するためには、非常に高度な加工技術が要求されるため、デザインルールの縮小化が困難になってきている。

【0004】

そこで、近年、メモリの集積度を高めるために、メモリセルを3次元的に配置した半導体記憶装置が多数提案されている（特許文献1乃至3及び非特許文献1）。 10

【0005】

メモリセルを3次元的に配置した従来の半導体記憶装置の多くは、メモリセル部分1層毎に複数のフォトエッチングプロセス（Photo Etching Process、以下「PEP」という。いわゆるフォトレジストを使ったリソグラフィ工程とエッチングなどの加工工程とを用いてパターンニングを行うプロセス。）を行う必要がある。ここで、そのデザインルールの最小線幅で行うフォトエッチングプロセスを「クリティカルPEP」とし、そのデザインルールの最小線幅より大きな線幅で行うフォトエッチングプロセスを「ラフPEP」とする。メモリセルを3次元的に配置した従来の半導体記憶装置においては、メモリセル部分1層につきクリティカルPEP数が3以上必要である。また、従来の半導体記憶装置においては、メモリセルを単純に積層していくものが多く、3次元化によるコスト増大が避けられない。 20

【0006】

また、メモリセルを3次元的に配置した従来の半導体記憶装置の一つに、SGT（円柱型）構造のトランジスタを用いた半導体記憶装置がある（特許文献1乃至3）。SGT（円柱型）構造のトランジスタを用いた半導体記憶装置においては、積層メモリトランジスタのチャネル（ボディ）部をピラー（柱）状に形成した後に、側壁にゲート電極となるポリシリコンなどを形成するというプロセスを採用している。真上から見た構造は、串刺し団子のような構造となっているため、微細化に伴い、隣接ゲート間のショートなどの問題が発生する可能性が高い。 30

【0007】

さらに、非特許文献1に開示されているように、上層ピラー及び側壁ゲートを形成した後、そのピラー及び側壁ゲートをマスクに下層ピラーを形成し、下層ゲートを形成している。よって、下層に行くにしたがってピラー径が異なるため、層毎にトランジスタ特性のバラツキが生じてしまうだけでなく、最下層のピラー径で2次元配置時のピッチが確定されるため、上から見たセル面積は大きくなってしまう。また、2次元状に配置された隣接ピラー同士は完全に分離されており、各層のワード線を接続するプロセスが別途必要になるため、プロセスが煩雑なものとなる。

【0008】

従来の積層型の不揮発性半導体記憶装置は、階層毎に少なくともワード線が独立で存在しているため、必要なワード線ドライバの数が多くなり、チップ面積が大きくなっていた。 40

【特許文献1】特開2003-078044号

【特許文献2】米国特許第5,599,724号

【特許文献2】米国特許第5,707,885号

【非特許文献1】Masuoka et al., “Novel Ultrahigh-Density Flash Memory With a Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell”, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 50, NO4, pp945-951, April 2003

【発明の開示】

【発明が解決しようとする課題】

【0009】

そこで、本発明は、メモリセルを3次元に積層した新規な構造を有し、チップ面積を縮小することができ、安価で歩留まりの高い不揮発性半導体記憶装置を提供する。

【課題を解決するための手段】

【0010】

本発明の一実施態様によれば、電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングスを有する不揮発性半導体記憶装置であって、前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第1の絶縁膜と、前記第1の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第2の絶縁膜と、前記第2の絶縁膜の周りに形成された第1乃至第nの電極（nは2以上の自然数）とを有しており、前記メモリストリングスの前記第1乃至第nの電極と、別の前記メモリストリングスの前記第1乃至第nの電極とは、それぞれ、2次元的に広がる第1乃至第nの導電体層であることを特徴とする不揮発性半導体記憶装置が提供される。

【0011】

また、本発明の一実施態様によれば、半導体基板上に導電性不純物の拡散領域を形成し、前記半導体基板上に第1の絶縁膜と導電体とを交互に複数形成し、前記複数の第1の絶縁膜と前記導電体とに複数のホールを形成し、前記ホールの表面に第2の絶縁膜を形成し、前記ホールの底部にある前記第2の絶縁膜をエッチングし、前記ホールに柱状半導体を形成することを特徴とする不揮発性半導体記憶装置の製造方法が提供される。

【発明の効果】

【0012】

本発明の一実施形態に係る不揮発性半導体記憶装置及びその製造方法によると、ワード線を各層毎に共通の導電体層によって形成することにより、ワード線ドライバの数を減少させることができ、チップ面積の縮小化を実現することができる。

【0013】

また、本発明の一実施形態に係る不揮発性半導体記憶装置及びその製造方法は、メモリトランジスタの積層数に応じた積層膜をあらかじめ堆積しておき、ホールパターンを一括で形成することにより、直列に接続された複数の縦型トランジスタを1PEPで形成することができる。

【0014】

また、本発明の一実施形態に係る本発明の不揮発性半導体記憶装置及びその製造方法においては、直列に接続された複数の縦型トランジスタを動作させるためには、その上下に選択ゲートを接続する必要がある。その選択ゲートと直列に接続された複数の縦型トランジスタとの直列構造の形成についても、1又は2のPEP（メモリトランジスタ形成ホールPEP）と同時に行うことが可能である。

【0015】

また、本発明の一実施形態に係る不揮発性半導体記憶装置及びその製造方法は、直列に接続された複数の縦型トランジスタのソース側の選択ゲート線SGS及び各メモリトランジスタのワード線WLは、動作上、常に各層毎に共通電位とすることが可能である。よって、選択ゲート線SGS及びワード線WLには、いずれも層構造を採用することができる。このことにより、ワード線は、ラフPEPによって形成することが可能で、製造プロセスが簡略化され、コスト低減を実現することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の不揮発性半導体記憶装置及びその製造方法の実施形態について説明するが、本願発明は、以下の実施形態に限定されるわけではない。また、各実施形態において、同様の構成については同じ符号を付し、改めて説明しない場合がある。

【0017】

一実施形態に係る本発明の不揮発性半導体記憶装置1の概略構成図を図1に示す。本実施形態に係る本発明の不揮発性半導体記憶装置1は、メモリトランジスタ領域2、ワード線駆動回路3、ソース側選択ゲート線(SGS)駆動回路4、ドレイン側選択ゲート線(SGD)駆動回路5、センスアンプ6等を有している。図1に示すように、本実施形態に係る本発明の不揮発性半導体記憶装置1においては、メモリトランジスタ領域2を構成するメモリトランジスタは、半導体層を複数積層することによって形成されている。また、図1に示すとおり各層のワード線は、ある領域で2次元的に広がっている。各層のワード線は、それぞれ同一層からなる平面構造を有しており、板状の平面構造となっている。

【0018】

なお、図1に示す本実施形態に係る本発明の不揮発性半導体記憶装置1においては、ソース側選択ゲート線(SGS)は板状の平面配線構造を有しており、ドレイン側選択ゲート線(SGD)はそれぞれが絶縁分離された配線構造を有している。また、図87に示すように、本実施形態に係る本発明の不揮発性半導体記憶装置1において、ソース側選択ゲート線(SGS)をそれぞれが絶縁分離された配線構造を有するようにし、且つドレイン側選択ゲート線(SGD)を板状の平面配線構造を有するようにしてもよい。また、図88に示すように、本実施形態に係る本発明の不揮発性半導体記憶装置1において、ソース側選択ゲート線(SGS)をそれぞれが絶縁分離された配線構造を有するようにし、且つドレイン側選択ゲート線(SGD)もそれぞれが絶縁分離された配線構造を有するようにしてもよい。

【0019】

図2は、本実施形態に係る不揮発性半導体記憶装置1のメモリトランジスタ領域2の一部の概略構成図である。本実施形態においては、メモリトランジスタ領域2は、メモリトランジスタ(MTr1mn~MTr4mn)、選択トランジスタSSTrmn及びSDTrmnからなるメモリストリングス10をm×n個(m、nは自然数)有している。図2においては、m=3、n=4の例を示している。

【0020】

各メモリストリングス10のメモリトランジスタ(MTr1mn~MTr4mn)のゲートに接続されているワードライン(WL1~WL4)はそれぞれ同一の導電層によって形成されており、それぞれ共通である。即ち、各メモリストリングス10のメモリトランジスタMTr1mnのゲートの全てがワードラインWL1に接続されており、各メモリストリングス10のメモリトランジスタMTr2mnのゲートの全てがワードラインWL2に接続されており、各メモリストリングス10のメモリトランジスタMTr3mnのゲートの全てがワードラインWL3に接続されており、各メモリストリングス10のメモリトランジスタMTr4mnのゲートの全てがワードラインWL4に接続されている。本実施形態に係る本発明の不揮発性半導体記憶装置1においては、図1及び図2に示すとおり、ワードライン(WL1~WL4)は、それぞれ、2次元的に広がっており、板状の平面構造を有している。また、ワードライン(WL1~WL4)は、それぞれ、メモリストリングス10に概略垂直な平面構造を有している。なお、ソース側選択トランジスタSSTrmnを駆動するソース側選択ゲート線SGSは、動作上、常に各層毎に共通電位とすることが可能である。よって、本実施形態においては、ソース側選択ゲート線SGSには、板状の構造を採用している。

【0021】

各メモリストリングス10は、半導体基板のP-well領域に形成されたn+領域の上に柱状の半導体を有している。各メモリストリングス10は、柱状半導体に垂直な面内にマトリクス状に配置されている。なお、この柱状の半導体は、円柱状であっても、角柱状であってもよい。また、柱状の半導体とは、段々形状を有する柱状の半導体を含む。

【0022】

各ワード線WLは、隣り合う柱状半導体の間隔に柱状半導体の径を加えた距離の2倍以上の広がりをも有するようにしてもよい。言い換えると、各ワード線WLは、隣り合う前記柱状半導体の中心間距離の2倍以上の広がりをも有するのが好ましい。

10

20

30

40

50

【0023】

本実施形態に係る本発明の不揮発性半導体記憶装置1の一つのメモリストリングス10（ここでは、mn番目のメモリストリングス）の概略構造を図3（A）に、またその等価回路図を図3（B）に示す。本実施形態においては、メモリストリングス10は、4つのメモリトランジスタMT r 1 m n ~ MT r 4 m n並びに2つの選択トランジスタS S T r m n及びS D T r m nを有している。これら4つのメモリトランジスタMT r 1 m n ~ MT r 4 m n並びに2つの選択トランジスタS S T r m n及びS D T r m nは、図3に示すようにそれぞれ直列に接続されている。本実施形態の不揮発性半導体記憶装置1の1つのメモリストリングス10においては、半導体基板上のP⁻型領域（P⁻Well領域）14に形成されたN⁺領域15に柱状の半導体11が形成されている。また、柱状の半導体11の周りに形成された絶縁膜12と、絶縁膜12の周りに形成された複数の板状の電極13 a ~ 13 eが形成されている。この電極13 b ~ 13 eと絶縁膜12と柱状の半導体11とがメモリトランジスタMT r 1 m n ~ MT r 4 m nを形成する。なお、絶縁膜12は、電荷蓄積層として機能する絶縁膜（例えば、酸化珪素膜、窒化珪素膜、酸化珪素膜の積層膜）である。例えば、絶縁膜12が酸化珪素膜、窒化珪素膜、酸化珪素膜の積層膜、所謂ONO膜である場合、窒化珪素膜に離散分布したSi Nトラップに電荷が保持される。電極13 b ~ 13 eはそれぞれワード線WL 1 ~ WL 4及び、13 fは選択ゲート線S G D n及び、13 aはS G Sとなる。また、選択トランジスタS D T r m nのソース／ドレインの一端にはビット線B L mが接続されており、選択トランジスタS S T r m nのソース／ドレインの一端にはソース線S L（本実施形態においては、N⁺領域15）が接続されている。なお、前記電荷蓄積層は、MT r 1 m n ~ MT r 4 m nの柱状半導体層11の周りに形成するように（柱状の半導体層11と電極13 b ~ 13 eとの間に局在するように）してもよい。

【0024】

なお、この電荷蓄積層に導電体によって形成したフローティングゲートを採用してもよい。このときは、導電体は柱状半導体と各ワード線の間にのみ形成される。

【0025】

また、電極13 a及び13 fと柱状の半導体11との間には、ゲート絶縁膜として機能する絶縁膜14が形成される。

【0026】

なお、本実施形態においては、メモリストリングス10は4つのメモリトランジスタMT r 1 m n ~ MT r 4 m nを有しているが、1つのメモリストリングスにあるメモリトランジスタの数はこれに限定されるわけではなく、メモリ容量に応じて任意の数に適宜変更することが可能である。

【0027】

本発明の本実施形態メモリストリングスは、柱状半導体の中心軸に対して概略対称形状を有することになる。

【0028】

図4には、本実施形態における一つのメモリトランジスタMT r（例えば、MT r 4 m n）の断面構造を示す図である。なお、他のメモリトランジスタMT r 1 m n ~ MT r 3 m nについてもメモリトランジスタMT r 4 m nと同様の構成である。メモリトランジスタMT r 4 m nは、絶縁体12を介して柱状の半導体11を取り囲む導電体層13 eが制御ゲート電極として機能する。メモリトランジスタMT r 4のソース20及びドレイン21は、柱状の半導体11に形成される。ただし、メモリトランジスタMT r 1 m n並びに選択ゲートトランジスタS S T r m n及びS D T r m nがディプレッション型のトランジスタ構造を有する場合は、半導体11部分に明確なソース／ドレイン拡散層を持たないようにする場合もある。また、柱状の半導体11のうち、おおむね導電体層13 eで囲まれた領域をP型半導体にし、おおむね導電体層13 eで囲まれていない領域をN型半導体にしたいわゆるエンハンスメント型トランジスタにしてもよい。

【0029】

図 3 及び図 4 においては、1つのメモリストリングス 10 について説明したが、本実施形態に係る不揮発性半導体記憶装置 1 においては、全てのメモリストリングスが同様の構成を有している。

【0030】

(動作)

まず、本実施形態に係る一つのメモリストリングス 10 のメモリトランジスタ $MT r 1 m n \sim MT r 4 m n$ における「読み出し動作」、「書き込み動作」及び「消去動作」について図 3 を参照しながら説明する。なお、「読み出し動作」及び「書き込み動作」については、メモリトランジスタ $MT r 3 m n$ を例にとって説明している。

【0031】

また、本実施形態におけるメモリトランジスタ $MT r 1 m n \sim MT r 4 m n$ は、半導体 11 と電荷蓄積層として機能する絶縁膜（酸化珪素膜、窒化珪素膜、酸化珪素膜の積層膜）と導電体層（本実施形態においてはポリシリコン層）とからなる所謂 MONOS 型縦型トランジスタであり、ここでは、電荷蓄積層に電子が蓄積されていない状態のメモリトランジスタ $MT r$ のしきい値 V_{th} （以下「中性しきい値」という）が 0 V 付近にあるとして説明する。

【0032】

(読み出し動作)

メモリトランジスタ $MT r 3 m n$ からのデータの読み出し時には、ビット線 $BL m$ に V_{bl} （例えば 0.7 V）、ソース線 SL に 0 V、選択ゲート線 SGD 及び SGS に V_{dd} （例えば 3.0 V）、 $P-Well$ 領域に V_{PW} （例えば 0 V）を印加する。そして、読み出したいビット（ $MT r 3 m n$ ）が接続されているワード線 $WL 3$ を 0 V とし、それ以外のワード線 WL を V_{read} （例えば、4.5 V）に設定する。これにより、読み出したいビット（ $MT r 3 m n$ ）のしきい値 V_{th} が 0 V より大きいか小さいかで、ビット線 $BL m$ に電流が流れるかどうかが決まるため、ビット線 $BL m$ の電流をセンスすることによってビット（ $MT r 3 m n$ ）のデータ情報を読み出すことが可能となる。なお、同様の動作によって他のビット（メモリトランジスタ $MT r 1 m n$ 、 $MT r 2 m n$ 、 $MT r 4 m n$ ）のデータを読み出すことができる。

【0033】

(書き込み動作)

メモリトランジスタ $MT r 3 m n$ にデータ“0”を書き込む場合、即ち、メモリトランジスタ $MT r 3 m n$ の電荷蓄積層に電子を注入してメモリトランジスタのしきい値を上げる（しきい値を正の方向にシフトさせる）場合は、 $BL m$ に 0 V、ソース線 SL に V_{dd} 、選択ゲート線 $SGD n$ に V_{dd} （例えば 3.0 V）、選択ゲート線 SGS に V_{off} （例えば 0 V）、 $P-Well$ 領域に V_{PW} （例えば 0 V）を印加し、書き込みたいビット（ $MT r 3$ ）のワード線 $WL 3$ を V_{prog} （例えば 1.8 V）、それ以外のワード線 WL を V_{pass} （例えば 1.0 V）とすることで、所望ビット（ $MT r 3 m n$ ）のみ電荷蓄積層に印加される電界強度が強くなり電荷蓄積層に電子が注入され、メモリトランジスタ $MT r 3 m n$ のしきい値が正の方向にシフトする。

【0034】

メモリトランジスタ $MT r 3 m n$ にデータ“1”を書き込む場合、即ち、メモリトランジスタ $MT r 3 m n$ の消去状態からしきい値を上げない（電荷蓄積層に電子を注入しない）場合は、ビット線 $BL m$ に V_{dd} を印加することにより、選択トランジスタ $SDT r m n$ のゲート電位とそのソース電位とが同電位になるため、選択トランジスタ $SDT r m n$ が off 状態になり、メモリトランジスタ $MT r 3 m n$ のチャネル形成領域（ボディ部）とワード線 $WL 3$ との間の電位差が低減するため、メモリトランジスタ $MT r 3 m n$ の電荷蓄積層には電子の注入が起こらない。なお、同様の動作によって他のビット（メモリトランジスタ $MT r 1 m n$ 、 $MT r 2 m n$ 、 $MT r 4 m n$ ）へデータを書き込むことができる。

【0035】

(消去動作)

データの消去時には、複数のメモリストリングス10からなるブロック単位でメモリトランジスタMT r 1 m n ~ M T r 4 m n のデータの消去を行う。

【0036】

選択ブロック（消去したいブロック）において、P - w e l l 領域にV erase（例えば20 V）を印加し、ソース線S Lをフローティングに、そしてP - w e l l 領域にV eraseを印加するタイミングと若干時間をずらして（例えば4 μ sec程度ずらして）、選択ゲート線S G S 及びS G D n の電位を上昇（例えば15 V）させる。こうすることにより、選択トランジスタS S T r m n のゲート端付近でG I D L（G a t e I n d u c e d D r a i n L e a k）電流が発生し、生成したホールがメモリトランジスタMT r 1 m n ~ M T r 4 m n のボディ部である半導体層11内部に流れ、一方、電子がP - w e l l 方向に流れる。これにより、メモリトランジスタMT r のチャンネル形成領域（ボディ部）にはV eraseに近い電位が伝達するため、ワード線W L 1 ~ W L 4 を例えば0 Vに設定すると、メモリトランジスタMT r 1 m n ~ M T r 4 m n の電荷蓄積層の電子がP - w e l l に引き抜かれ、メモリトランジスタMT r 1 m n ~ M T r 4 m n のデータの消去を行うことができる。

【0037】

一方、選択ブロックのメモリトランジスタのデータ消去を行うとき、非選択ブロックにおいては、ワード線W L 1 ~ W L 4 をフローティングとすることにより、メモリトランジスタMT r 1 m n ~ M T r 4 m n のチャンネル形成領域（ボディ部）の電位の上昇とともに、カップリングによってワード線W L 1 ~ W L 4 の電位が上昇し、ワード線W L 1 ~ W L 4 とメモリトランジスタMT r 1 m n ~ M T r 4 m n の電荷蓄積層と間に電位差が生じないため、電荷蓄積層から電子の引き抜き（消去）が行われない。

【0038】

次に、メモリストリングス10を基板面に対して縦横2次元状に配置した本実施形態の不揮発性半導体記憶装置1の「読み出し動作」、「書き込み動作」及び「消去動作」について説明する。図5には、本実施形態に係る本発明の不揮発性半導体記憶装置1の等価回路図を示す。本実施形態の不揮発性半導体記憶装置1は、上述のとおり、各ワード線W L 1 ~ W L 4 の電位がそれぞれ同電位となっている。また、ここでは、選択ゲート線S G S 1 ~ S G S 3 は、それぞれ、独立して制御できるようにしているが、選択ゲート線S G S 1 ~ S G S 3 を同じ導電体層によって形成するなどして同電位にし、それらの電位を制御するようにしてもよい。

【0039】

また、ここでは、点線で示したメモリトランジスタMT r 3 2 1（ビット線B L 2 並びに選択ゲート線S G S 1 及びS G D 1 に接続されているメモリストリングスのMT r 3）における「読み出し動作」及び「書き込み動作」について説明する。また、メモリトランジスタの「消去動作」についても説明する。

【0040】

（読み出し動作）

図6は、本実施形態に係る本発明の不揮発性半導体記憶装置1において、点線で示したメモリトランジスタMT r 3 2 1 のデータの読み出し動作を行う場合のバイアス状態を示した図である。ここでも、本実施形態におけるメモリトランジスタMT r は、半導体11と電荷蓄積層として機能する絶縁膜（酸化珪素膜、窒化珪素膜、酸化珪素膜の積層膜）と導電体層（本実施形態においてはポリシリコン層）とからなる所謂M O N O S 型縦型トランジスタであり、電荷蓄積層に電子が蓄積されていない状態のメモリトランジスタMT r のしきい値V t h（中性しきい値）が0 V付近にあるとして説明する。

【0041】

メモリトランジスタMT r 3 2 1 からのデータの読み出し時には、メモリトランジスタMT r 3 2 1 が接続されているビット線B L 2 にV b l（例えば0.7 V）、それ以外のビット線B L に0 V、ソース線S L に0 V、メモリトランジスタMT r 3 2 1 が接続されている選択ゲート線S G D 1 及びS G S 1 にV d d（例えば3.0 V）、それ以外の選択ゲート

線SGD及びSGSにVoff（例えば0V）、Pwell領域にVPW（例えば0V。但し、VPWは、Pwell領域とメモリストリングスが順バイアスになっていなければ如何なる電位でもよい。）を印加する。そして、読み出したいビット（MT r 3 2 1）が接続されているワード線WL3を0Vとし、それ以外のワード線WLをVread（例えば、4.5V）に設定する。これにより、データを読み出すビット（MT r 3 2 1）のビット線BL2とソース線SL間に電位差が生じ、且つ、選択ゲート線SGD1がオンしている状態となっているため、読み出したいビット（MT r 3 2 1）のしきい値Vthが0Vより大きい小さいかで、ビット線BL2に電流が流れるかどうかが決まるため、ビット線BL2の電流をセンスすることによってビット（MT r 3 2 1）のデータ情報を読み出すことが可能となる。なお、同様の動作によって他のビット（メモリトランジスタMT r 1 m n）のデータを読み出すことができる。このとき、例えば、メモリトランジスタMT r 3 2 2は、そのしきい値Vthが何れの値であっても、即ちメモリトランジスタMT r 3 2 2に“1”が書き込まれていても“0”が書き込まれていても、SGD2がVoffとなっている為、メモリトランジスタMT r 3 2 2およびMT r 3 2 2が属しているメモリストリングス10に電流が流れることがない。これは、ビット線BL2に接続されているメモリストリングス10であって、選択ゲート線SGD1に接続されていない全てのメモリストリングス10において同様である。

【0042】

また、例えばメモリトランジスタMT r 3 3 1を例にとって説明すると、MT r 3 3 1が属するメモリストリングス10の場合、メモリトランジスタMT r 3 3 1のしきい値Vthが如何なる値であっても、即ち“1”が書き込まれていても“0”が書き込まれていても、ビット線BL3が0Vでありソース線SLと同電位の為、ビット線BL3に電流が流れることはない。このことは、ビット線BL2に接続されていない全てのメモリストリングス10において共通である。

【0043】

以上より、本実施形態に係る本発明の不揮発性半導体記憶装置1においては、ワード線WL1～WL4をそれぞれ共通電位で駆動し、且つ選択ゲート線SGS1～SGS3を共通電位で駆動させても、任意のビットのしきい値のデータを読むことが可能となる。

【0044】

（書き込み動作）

図7は、本実施形態に係る本発明の不揮発性半導体記憶装置1において、点線で示したメモリトランジスタMT r 3 2 1のデータの書き込み動作を行う場合のバイアス状態を示した図である。

【0045】

メモリトランジスタMT r 3 にデータ“0”を書き込む場合、即ち、メモリトランジスタMT r 3 2 1の電荷蓄積層に電子を注入してメモリトランジスタのしきい値を上げる（しきい値を正の方向にシフトさせる）場合は、メモリトランジスタMT r 3 2 1が接続されているビット線BL2に0V、それ以外のビット線BLにVdd、ソース線SLにVdd、メモリトランジスタMT r 3 2 1が接続されている選択ゲート線SGD1にVdd、それ以外の選択ゲート線SGDにVoff、選択ゲート線SGS1～SGS3にVoff、Pwell領域にVPW（例えば0V）を印加し、書き込みたいビット（MT r 3 2 1）のワード線WL3をVprog（例えば18V）、それ以外のワード線WLをVpass（例えば10V）とすることで、MT r 3 2 1が属するメモリストリングス10において、ソース側選択ゲート線SGS1が接続されている選択ゲートトランジスタSST r 2 1を除く全てのメモリトランジスタMT r 1 2 1、MT r 2 2 1、MT r 3 2 1及びMT r 4 2 1にチャネルが形成され、ビット線BL2の電位（0V）がチャネルに伝播される。このため、所望ビット（MT r 3 2 1）のワードラインと柱状半導体の間に存在する電荷蓄積層を含むONO膜に印加される電界強度が強くなり、電荷蓄積層に電子が注入され、メモリトランジスタMT r 3 2 1のしきい値が正の方向にシフトする。

【0046】

10

20

30

40

50

このとき、例えば、メモリトランジスタMTr 3 2 2に置いては、ソース側選択ゲート線SGD 2にはV_{off}が印加されているため、ビット線BL 2の電位がメモリトランジスタMTr 3 2 2のチャンネル部に伝播されることがなく、メモリトランジスタT r 3 2 2には電子の注入が起こらない。このことは、BL 2に接続されているメモリストリングス1 0であって、メモリトランジスタMTr 3 2 1が属していない全てのメモリストリングス1 0において同様である。

【0047】

また、例えば、メモリトランジスタMTr 3 3 1においては、MTr 3 3 1が属するメモリストリングス1 0において、選択ゲート線SGD 1が接続されている選択トランジスタSDTr 3 1のソース側電位がV_{dd}となりビット線BL 3の電位もV_{dd}となっているため、選択トランジスタSDTr 3 1のソースとゲートの電位が同電位となる。よって、選択トランジスタSDTr 3 1はオンせず、メモリトランジスタMTr 3 3 1のチャンネル部には外部電位が伝播されないため、電子注入が起こらない。このことは、BL 2に接続されていない全てのメモリストリングス1 0において同様である。

【0048】

メモリトランジスタMTr 3 2 1にデータ“1”を書き込む場合、即ち、メモリトランジスタMTr 3 2 1の消去状態からしきい値を上げない（電荷蓄積層に電子を注入しない）場合は、ビット線BL 2にV_{dd}を印加することにより、選択トランジスタSDTr 2 1のゲート電位とソース電位とが同電位になるため、選択トランジスタSDTr 2 1がoff状態になり、メモリトランジスタMTr 3のチャンネル形成領域（ボディ部）とワード線WL 3との間の電位差が低減するため、メモリトランジスタMTr 3 2 1の電荷蓄積層には電子の注入が起こらない。なお、同様の動作によって他のビット（メモリトランジスタMTr 1 mn、図7に示す例においては、lは1～4、mは1～3、nは1～3）のデータを書き込むことができる。

【0049】

また、各ビット線BLの電位を適切に0 VかV_{dd}に設定することで、ある選択ゲート線SGDによって選択された共通のワード線WL上のビット（MTr）に同時に書き込み、即ちページ書き込みを行うことが可能となる。

【0050】

（消去動作）

データの消去時には、複数のメモリストリングスからなるブロック単位でメモリトランジスタMTrのデータの消去を行う。図8は、本実施形態に係る本発明の不揮発性半導体記憶装置1において、選択したブロックのメモリトランジスタMTrのデータの消去動作を行う場合のバイアス状態を示した図である。

【0051】

選択ブロック（消去したいブロック）において、P-well領域にV_{erase}（例えば20 V）を印加し、ソース線SLをフローティングに、そしてP-well領域にV_{erase}を印加するタイミングと若干時間をずらして（例えば4 μsec程度ずらして）、選択ゲート線SGS及びSGDの電位を上昇（例えば15 V）させる。こうすることにより、選択トランジスタSSTrのゲート端付近でGIDL（Gate Induced Drain Leak）電流が発生し、生成したホールがメモリトランジスタMTrのボディ部である半導体層1 1内部に流れ、一方、電子がP-well方向に流れる。これにより、メモリトランジスタMTrのチャンネル形成領域（ボディ部）にはV_{erase}に近い電位が伝達するため、ワード線WL 1～WL 4を例えば0 Vに設定すると、メモリトランジスタMTrの電荷蓄積層の電子がP-wellに引き抜きが行われ、データの消去を行うことができる。

【0052】

一方、選択ブロックのメモリトランジスタのデータ消去を行うとき、非選択ブロックにおいては、ワード線WL 1～WL 4をフローティングとすることにより、メモリトランジスタMTr 1～MTr 4のチャンネル形成領域（ボディ部）の電位の上昇とともに、カップリ

ングによってワード線WL1～WL4の電位が上昇し、ワード線WL1～WL4とメモリトランジスタMT r 1～MT r 4の電荷蓄積層と間に電位差が生じないため、電荷蓄積層から電子の引き抜き（消去）が行われない。

【0053】

ここで、本実施形態に係る本発明の不揮発性半導体記憶装置1の「読み出し動作」、「書き込み動作」及び「消去動作」における電位の関係を纏めたものを表1に示す。

【表1】

	Read	Write"0"	Write"1"	Erase(選択)	Erase(非選択)
BL	Vbl	0	Vdd	Verase	Verase
SGD	Vdd	Vdd	Vdd	Vera del	Vera del
WL4	Vread	Vpass	Vpass	0	open
WL3	0	Vprog	Vprog	0	open
WL2	Vread	Vpass	Vpass	0	open
WL1	Vread	Vpass	Vpass	0	open
SGS	Vdd	Voff	Voff	Vera del	Vera del
SL	0	Vdd	Vdd	open	open
PW	0	0	0	Verase	Verase

10

【0054】

（消去動作シミュレーション）

20

本実施形態に係る本発明の不揮発性半導体記憶装置1の消去動作シミュレーションの設定条件及び結果を図10～図13に示す。

【0055】

図10（A）は、本実施形態に係る本発明の不揮発性半導体記憶装置の一つのメモリストリングスの消去動作のシミュレーションの条件設定を示す図である。また、図10（B）は、図10（A）の条件設定に基づくメモリストリングスの構造を示す。図10（A）及び（B）においては、P-wellの不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 、ソース線SLの不純物濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 、柱状の半導体層（ボディ）の直径及び不純物濃度はそれぞれ 19 nm 、 $1 \times 10^{15} \text{ cm}^{-3}$ 、ビット線BLの不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ （下層部）、 $5 \times 10^{19} \text{ cm}^{-3}$ （上層部）、ワード線WLの厚さは 50 nm 、各ワード線WL間の距離は 25 nm 、選択ゲート線SGSのポリシリコンの厚さは 100 nm 、柱状の半導体層が埋め込まれるホール（以下「メモリプラグホール」と言う場合がある。）の直径は 35 nm 、電荷蓄積層FGの厚さは 16 nm とした。（ただし、シミュレーションではFGの電位はフローティングではなく、ワード線電位VCGである）。なお、データの消去時にP-wellに印加する電圧Veraseを 20 V まで上昇させ、ビット線BLに印加する電圧Vddを 20 V まで上昇させ、選択ゲート線SGDに印加される電圧VSGを 15 V まで上昇させ、ワード線に印加する電圧VCGを 0 V とした。

30

【0056】

図12及び図13に、図10に示すシミュレーション条件に基づく計算結果を示す。図12は、電位の変化を示し、図13はホール濃度を示している。P-wellの電圧を上昇していくと、柱状の半導体層（ボディ）の電位（potential）が少し遅れて上がり始め、それに伴って柱状の半導体層（ボディ）のホール濃度も上昇している。これは、SGSゲート端部でGIDL電流が発生し柱状の半導体層（ボディ）にホールが注入され、電位が伝播することにより、柱状半導体層（ボディ）とワードライン間に電界が掛かり消去が可能となることを示している。

40

【0057】

ここで、本実施形態に係る本発明の不揮発性半導体記憶装置において、消去動作を実現するための構造の例を図14から図16に示す。

【0058】

図14においては、ソース側選択ゲート線SGSに接続されている選択ゲートトランジス

50

タ S S T r の柱状の半導体層（ボディ）の濃度を高くした例である。こうすることにより、G I D L を増加させることができるため、消去動作に必要な十分なホールを供給することができる。図 1 4 は前述のシミュレーションで示した G I D L 電流を用いた消去方法が実現可能な構造である。尚、G I D L を利用しない消去方法でも本発明の実施形態を実現可能である。その例を図 1 5 と図 1 6 に示す。

【0059】

図 1 5 においては、柱状の半導体層（ボディ）と半導体基板の P - w e l l 領域とを直接接続した例である。この場合、ホールが P - w e l l から直接注入され得る。また、ソース線 S L と柱状の半導体層（ボディ）とのコンタクトも必要なため、柱状の半導体層（ボディ）と n + 拡散領域とがオーバーラップ構造であることを必要とする。

10

【0060】

図 1 6 においては、基板の P ドープポリシリコン層から柱状の半導体層にホールを直接注入する方式を示した。n + 拡散領域上に p 型ポリシリコンからなるコンタクト層を形成し、柱状の半導体層（ボディ）が n + 拡散領域及び p 型ポリシリコンからなるコンタクト層とコンタクトをとる構成である。

【0061】

図 1 4 ～図 1 6 の何れの構造であっても、本実施形態に係る本発明の不揮発性半導体記憶装置の消去動作を実現することができる。なお、本実施形態において説明した構造は、本発明の不揮発性半導体記憶装置の一例であって、これらの構造に限定されるわけではない。

20

【0062】

（製造方法）

本実施形態に係る本発明の不揮発性半導体記憶装置 1 の鳥瞰図を図 1 7 に示す。本実施形態に係る本発明の不揮発性半導体記憶装置 1 は、半導体基板上にメモリトランジスタが積層された構造を有している。メモリトランジスタが積層されている領域（メモリトランジスタ領域）においては、メモリトランジスタの積層数に関係なく、5 回のフォトエッチングプロセス（3 回のクリティカル P E P、及び 2 回のラフ P E P）によって製造することが可能である。

【0063】

図 1 7 に示すように、各ワード線 W L 1 ～ W L 4 がそれぞれ板状で階段状の構造を有している。各ワード線 W L 1 ～ W L 4 がそれぞれ板状で階段状の構造を有しているため、各ワード線 W L 1 ～ W L 4 の側端部には、段差が発生する。その段差を利用することにより、同一フォトエッチングプロセスによりワード線ドライバと各ワード線 W L 1 ～ W L 4 とを接続するためのコンタクトホールを加工することができる。また、前記フォトエッチングプロセスによって同時に形成されたコンタクトホールを用いて、ビット線 B L はセンスアンプに、選択ゲート線 S G D は選択ゲート線 S G D ドライバに接続されている。

30

【0064】

本発明の一実施形態に係る不揮発性半導体記憶装置は、メモリトランジスタの積層数に応じた積層膜をあらかじめ堆積しておき、ホールパターンを同時に形成することにより、直列に接続された複数の縦型トランジスタを 1 P E P で形成することができる。

40

【0065】

また、本実施形態に係る本発明の不揮発性半導体記憶装置 1 においては、直列に接続された複数の縦型トランジスタを動作させるためには、その上下に選択ゲートを接続する必要がある。その選択ゲートと直列に接続された複数の縦型トランジスタとの直列構造の形成についても、1 又は 2 の P E P（メモリトランジスタ形成ホール P E P）と同時に行うことが可能である。

【0066】

さらに、直列に接続された複数の縦型トランジスタのソース側の選択ゲート線 S G S 及び各メモリトランジスタのワード線 W L は、動作上、常に各層毎に共通電位とすることが可能である。よって、選択ゲート線 S G S 及びワード線 W L には、いずれも板状構造を採用

50

することができる。このことにより、ワード線は、ラフPEPによって形成することが可能で、製造プロセスが簡略化され、コスト低減を実現することができる。

【0067】

図18～図44を用いて本実施形態に係る本発明の不揮発性半導体記憶装置1の製造プロセスについて説明する。図18～図44においては、左側にワード線ドライバ回路やセンスアンプ回路等の周辺回路が形成される周辺回路領域を示し、右側にメモリトランジスタ領域を示す。また、メモリトランジスタ領域においては、図17に示す本実施形態に係る本発明の不揮発性半導体記憶装置1の領域Aの部分、領域Bの部分、X-X'及びY-Y'の断面に相当する部分を図示している。

【0068】

まず、図18を参照する。半導体基板1上に薄い酸化珪素膜(SiO_2)を形成し(図示せず)、続いて、窒化珪素膜(Si_3N_4)を堆積し(図示せず)、STI(Shallow Trench Isolation)を形成する領域102a、102b、102c、102d、102eにドライエッチング法で300nm程度の浅い溝を形成する。その後、熱CVD法又はプラズマCVD法によって酸化珪素膜を堆積し、酸化珪素膜で溝を完全に埋め込み、溝以外の部分の酸化珪素膜を化学機械的研磨(CMP)により除去することにより、STI(Shallow Trench Isolation)102a、102b、102c、102d、102eを形成する(図18)。その後、残存している窒化珪素膜を熱リン酸等で除去する。

【0069】

次に、基板表面を犠牲酸化し(図示せず)、所望の領域を開口するフォトレジストパターンを形成し、ボロン(B)イオンを注入し、P-well領域104を形成したのちレジストを除去する(図19)。次に、所望の領域を開口するフォトレジストパターンを形成し基板100の表面付近にボロン(B)イオンを注入し、トランジスタのしきい値 V_{th} を調整するチャンネルインプラ領域106a及び106bを形成する。なお、ここでは、周辺回路領域に形成するトランジスタは、Nチャンネル型トランジスタの例を示しているが、所望の領域にN型を付与するイオンを注入することにより、N-well領域を形成し、Pチャンネル型トランジスタを形成している(図示せず)。

【0070】

次に、メモリトランジスタ領域のみ開口するフォトレジストパターンを形成し、メモリセルトランジスタ領域にのみリン(P)イオンを注入し、 n^+ 拡散領域107を形成する(図20)。この n^+ 拡散領域106cは、ソース線SLとなる。

【0071】

次に、犠牲酸化膜(図示せず)を除去し、第1のゲート絶縁膜(図示せず)を形成する。

【0072】

次に、所望のパターンにフォトレジストマスク108a及び108bを形成して、ウェットエッチングすることにより、所望の位置の第1のゲート絶縁膜並びにSTI102a及び102bの一部をエッチング除去する(図21)。この領域に高速動作用の薄膜ゲートトランジスタを形成し、ウェットエッチングに晒されていない領域に高耐圧用の厚膜ゲートトランジスタを形成することになる。

【0073】

次に、フォトレジストマスク108a及び108bを除去し、第2のゲート絶縁膜(図示せず)を形成する。そして、基板上にP(リン)等の導電型不純物を添加したポリシリコン(p-Si)膜110を形成する(図22)。そして、ポリシリコン膜110を所定のパターンにエッチングし、周辺回路領域のトランジスタのゲート電極を110a及び110bを形成する(図23)。次に、周辺回路領域のPチャンネル型トランジスタの領域及びメモリトランジスタ領域にフォトレジストを形成し(図示せず)、周辺回路領域のNチャンネル型トランジスタの領域にPイオン又はAsイオンなどを注入し、ゲート電極110a及び110bと自己整合的に浅いN型領域112a、112b、112c及び112dを形成し(図23)、その後、フォトレジストを除去する。

10

20

30

40

50

【0074】

次に、周辺回路領域のNチャネル型トランジスタの領域及びメモリトランジスタ領域にフォトレジストを形成し（図示せず）、周辺回路領域のPチャネル型トランジスタの領域にBイオンなどを注入し、ゲート電極（図示せず）と自己整合的に浅いP型領域（図示せず）を形成し、その後、フォトレジストを除去する。

【0075】

次に、基板全面に窒化珪素膜を形成し、異方性エッチングすることにより、ゲート電極110a及び110bの両端部のみ窒化珪素膜を残し、サイドウォール114a、114b、114c及び114dを形成する（図24）。

【0076】

次に、周辺回路領域のPチャネル型トランジスタの領域及びメモリトランジスタ領域にフォトレジストを形成し（図示せず）、周辺回路領域のNチャネル型トランジスタの領域に砒素（As）イオンを注入し、サイドウォール114a、114b、114c及び114dと自己整合的にソース／ドレイン領域116a、116b、116c及び116dを形成し（図25）、その後、フォトレジストを除去する。

【0077】

次に、周辺回路領域のNチャネル型トランジスタの領域及びメモリトランジスタ領域にフォトレジストを形成し（図示せず）、周辺回路領域のPチャネル型トランジスタの領域にBイオンを注入し、サイドウォール（図示せず）と自己整合的にソース／ドレイン領域（図示せず）を形成し、その後、フォトレジストを除去する。

【0078】

次に、基板全面に窒化珪素膜（バリア窒化珪素膜）118を形成する（図25）。

【0079】

次に、基板全面にBPSSG（Boron Phospho Silicate Glass）膜120を形成し、CMP処理することにより、BPSSG膜120を平坦化する（図26）。そして、スパッタリング法により基板全面にコバルト（Co）膜を形成し、加熱処理を行うことにより、コバルトシリサイド（CoSi₂）122a及び122bを形成する（図26）。その後、不要なCoを除去する。ここで、ゲート電極にはコバルトシリサイドを形成しても良いし、別の金属を用いたシリサイド（Ti、Niなど）を形成しても良い。さらに全くシリサイドを形成しなくても良い。またこの場合、ゲート電極のポリシリコン110を堆積する時にポリシリコンの上にタングステンシリサイド及びSiNを連続性膜したのちゲートの加工及びトランジスタの形成を行っても良い。

【0080】

次に、基板全面にBPSSG膜124を形成する（図27）。

【0081】

次に、基板全面にP（リン）等の導電型不純物を添加したポリシリコン膜126及び窒化珪素膜128を形成する（図28）。その後、フォトレジスト工程によりホール（以下「トランジスタプラグホール」と言う場合がある。）130aを形成する。このポリシリコン膜126は、メモリトランジスタ領域の選択ゲート線SGSとなる。

【0082】

次に、基板を加熱することにより、熱酸化膜132a及び132bを形成する（図29）。熱酸化膜132a及び132bは、選択ゲートトランジスタSSTrのゲート絶縁膜となる。次に、基板全面に窒化珪素膜を形成し、異方性エッチングすることにより、ブロック窒化珪素膜134を形成する（図29）。

【0083】

次に、フッ酸を用いたウェットエッチング、又はフッ素系のガスを用いたドライエッチングにより、熱酸化膜132bの一部を除去し、熱酸化膜132cを形成する（図30）。

【0084】

次に、ブロック窒化珪素膜134を除去し、基板全面にアモルファスシリコン（a-Si）膜を形成した後、アモルファスシリコン膜をCMPすることによって、a-Si膜13

10

20

30

40

50

6を形成する(図31)。なお、このアモルファスシリコン膜の代わりに、単結晶シリコンをエピタキシャル成長させることにより、シリコン膜136a及び136bを形成するようにしてもよい。

【0085】

次に、フォトレジスト138を形成し、フォトエッチングプロセスを行う(図32)。

【0086】

次に、チタン(Ti)膜を形成し、加熱処理を行うことにより、チタンシリサイド(TiSi)140a及び140bを形成する(図33)。なお、チタンシリサイド(TiSi)140a及び140bの代わりに、コバルトシリサイド(CoSi₂)を形成するようにしてもよい。なお、このシリサイド140a及び140bは形成しなくても良い。

10

【0087】

次に、プリメタル絶縁膜(PMD)として酸化珪素膜142を形成する。そして、フォトエッチングプロセスによりコンタクトホールを形成し、その後、配線用の溝を酸化珪素膜142に形成した後、タングステン(W)膜を埋め込み、タングステン(W)プラグ144a、144b及び144cと、配線146a及び146bを形成する。次に、TEOS(Tetraethoxysilane)を用いて酸化珪素膜148を形成する(図33)。以下、TEOSを用いて形成した酸化珪素膜を「TEOS膜」ということがある。

【0088】

次に、P(リン)等の導電性不純物を添加したポリシリコン膜(もしくはアモルファスシリコン膜)と酸化珪素膜を交互に形成することによって、ポリシリコン膜150、154、158、162及び166並びに酸化珪素膜152、156、160及び164を形成する(図34)。更に、窒化珪素膜168を形成する(図34)。

20

【0089】

次に、メモリトランジスタ領域において、メモリトランジスタの柱状の半導体(ボディ部)を形成するためのメモリプラグホール170を形成する(図35)。なお、本実施形態においては、このメモリプラグホール170を「メモリプラグホール170」と呼ぶ。

【0090】

なお、このメモリプラグホール170を形成するときのエッチングガスの切り替え、堆積物の除去、膜150～168の材料などの種々の要因によって、図81及び82に示すように、メモリプラグホール170の表面に凹凸が生じる場合がある。図81には、メモリプラグホール170の表面のポリシリコン膜150、154、158、162及び166が過剰にエッチングされ、メモリプラグホール170の表面に凹凸が生じている例を示している。なお、このようにメモリプラグホール170の表面に凹凸が生じる場合であっても、本実施形態に係る不揮発性半導体記憶装置1のメモリトランジスタ領域の断面形状は、メモリプラグホール170の中心軸に対して概略対称である。

30

【0091】

図82には、メモリプラグホール170の表面の酸化珪素膜148、152、156、160及び164が過剰にエッチングされ、メモリプラグホール170の表面に凹凸が生じている例を示している。なお、このようにメモリプラグホール170の表面に凹凸が生じる場合であっても、本実施形態に係る不揮発性半導体記憶装置1のメモリトランジスタ領域の断面形状は、メモリプラグホール170の中心軸に対して概略対称である。

40

【0092】

また、メモリプラグホール170の表面に窒化珪素膜340a、340b、340c及び340dを形成し、本実施形態に係る不揮発性半導体記憶装置1のワード線WLとなるポリシリコン膜150、154、158、162及び166それぞれの間にある膜の誘電率を向上させるようにしてもよい(図83)。こうすることによって、ワード線WLの電位の変化の影響を、後にメモリプラグホール170に形成される柱状の半導体層に効率よく伝達させることができる。

【0093】

また、本実施形態においては、酸化珪素膜152、156、160及び164を形成した

50

が（図 3 4）、その代わりに、酸化珪素膜／窒化珪素膜／酸化珪素膜の積層膜 1 5 2、1 5 6、1 6 0 及び 1 6 4 を形成するようにしてもよい（図 8 4）。こうすることによって、ワード線 W L の電位の変化の影響を、後にメモリプラグホール 1 7 0 に形成される柱状の半導体層に効率よく伝達させることができる。

【0 0 9 4】

なお、このメモリプラグホール 1 7 0 を形成するときのエッチングガスの切り替え、堆積物の除去、膜 1 5 0 ～ 1 6 8 の材料などの種々の要因によって、メモリプラグホール 1 7 0 の形状が順テーパ状（図 8 5）又は樽状（図 8 6）となる場合がある。

【0 0 9 5】

次に、酸化珪素膜、窒化珪素膜、酸化珪素膜を順に堆積し、所謂 O N O 膜 1 7 2 を形成する（図 3 6）。この O N O 膜 1 7 2 中の窒化珪素膜は、メモリトランジスタの電荷蓄積層となる。

【0 0 9 6】

次に、フォトレジストを形成し、エッチバックすることにより、周辺回路領域の O N O 膜 1 7 2 とメモリトランジスタ領域の O N O 膜の一部を除去する。メモリトランジスタ領域のメモリプラグホール 1 7 0 には、選択ゲートトランジスタ S D T r が形成される層（ポリシリコン 1 6 6）及びその下部の酸化珪素膜 1 6 4 の一部を除いて、O N O 膜 1 7 2 a 及びフォトレジスト 1 7 4 が残存する（図 3 7）。

【0 0 9 7】

次に、フォトレジスト 1 7 4 を除去し、加熱処理することにより、選択ゲートトランジスタ S D T r が形成される層（ポリシリコン 1 6 6）に熱酸化膜 1 7 6 を形成する（図 3 8）。なお、この熱酸化膜を形成する代わりに、C V D 法により、酸化珪素膜 1 7 6 を形成するようにしてもよい。

【0 0 9 8】

次に、基板全面に窒化珪素膜を形成し、異方性エッチングすることにより、スペーサ窒化珪素膜 1 7 8 を形成する（図 3 9）。

【0 0 9 9】

次に、スペーサ窒化珪素膜 1 7 8 を除去した後、アモルファスシリコン膜を堆積し、C M P 処理することにより、柱状のアモルファスシリコン層 1 8 0 を形成する（図 4 0）。なお、アモルファスシリコン膜を堆積する代わりに、多結晶シリコン膜をエピタキシャル成長させて、多結晶シリコン層 1 8 0 を形成するようにしてもよい。また、下層選択ゲートトランジスタ S S T r の内部のシリコンに選択エピタキシャル成長によって形成した場合には、同様に選択エピタキシャル成長法により単結晶シリコン 1 8 0 を形成することができる。

【0 1 0 0】

窒化珪素膜 1 6 8、ポリシリコン膜 1 5 0、1 5 4、1 5 8、1 6 2 及び 1 6 6 並びに酸化珪素膜 1 5 2、1 5 6、1 6 0 及び 1 6 4 を各層の端部が階段状になるようにテーパエッチングし、窒化珪素膜 1 6 8 a、ポリシリコン膜 1 5 0、1 5 4 a、1 5 8 a、1 6 2 a 及び 1 6 6 a 並びに酸化珪素膜 1 5 2 a、1 5 6 a、1 6 0 a 及び 1 6 4 a を形成する（図 4 1）。

【0 1 0 1】

次に、層間絶縁膜（B P S G）1 8 2 を形成し、C M P 処理し、平坦化する（図 4 2）。

【0 1 0 2】

ここで、メモリトランジスタ領域を図 8 0（B）、図 9 0 若しくは、図 1 1 に示すように分割してもよい。そのときは、層間絶縁膜（B P S G）1 8 2 を形成し C M P で平坦化した後、メモリトランジスタの分割パターンをフォトリソグラフィ法で形成し、導電体膜 1 5 0、1 5 4、1 5 8、1 6 2、1 6 6 及び層間絶縁膜 1 5 2、1 5 6、1 6 0、1 6 4 及び 1 6 8 をエッチングする。その後再度層間絶縁膜（B P S G）を堆積し平坦化する事で、図 8 0（B）若しくは図 9 0 のようなアレイ分割が形成される。尚、アレイ分割する場合は、あらかじめメモリ領域のシリコン基板 1 0 0 を S T I 1 0 2 によって分割される

10

20

30

40

50

アレイと同程度の領域に分割しておいても良いし、シリコン基板100を分割しなくてもよい。

【0103】

次に、フォトエッチング工程により、選択ゲートトランジスタSDTrの層を分離し、領域186a及び186bに層間絶縁膜を堆積する。(図43)。

【0104】

次に、層間絶縁膜(BPSG)182を除去し、チタン膜を形成し、加熱処理することによりチタンシリサイド膜を形成する。なお、チタンシリサイド膜の代わりにコバルトサリサイド、ニッケルサリサイドなどを用いても良いし、サリサイドを形成しなくても良い。そして、プリメタル絶縁膜(PMD)として酸化珪素膜187を形成し、CMP処理し、平坦化する(図44)。その後、フォトエッチング工程により、コンタクトホールを形成し、タングステン膜を形成し、CMP処理することによって、タングステンプラグ188a、188b、188c、188d及び188eを形成する(図44)。

10

【0105】

次に、アルミニウム(Al)膜を形成し、フォトエッチング工程を経て、電極190a、190b、190c、190d、190e及び190fを形成する(図44)。

【0106】

次に、層間絶縁膜(BPSG)192を形成し、CMP処理し、平坦化する(図44)。その後、フォトエッチング工程により、コンタクトホールを形成し、タングステン膜を形成し、CMP処理することによって、タングステンプラグ196a及び196bを形成する(図44)。そして、アルミニウム(Al)膜を形成し、フォトエッチング工程を経て、電極196a及び196bを形成する(図44)。

20

【0107】

以上の工程により、本実施形態に係る本発明の不揮発性半導体記憶装置1を製造することができる。

【0108】

(実施形態2)

本実施形態においては、図45～図77を用いて本発明の不揮発性半導体記憶装置の別の例について、その製造プロセスを説明する。なお、図45～図77においては、実施形態1と同様、左側にワード線ドライバ回路やセンスアンプ回路等の周辺回路が形成される周辺回路領域を示し、右側にメモリトランジスタ領域を示し、メモリトランジスタ領域においては、領域Aの部分、領域Bの部分、X-X'及びY-Y'の断面に相当する部分を図示している。

30

【0109】

まず、図45を参照する。実施形態1と同様の方法により、半導体基板200上にSTI202a、202b、202c、202d、202eを形成する(図45)。

【0110】

次に、基板表面を犠牲酸化し(図示せず)、所望の位置にフォトレジストパターンを形成した後、ボロン(B)イオンを注入し、Pwell領域204を形成する(図46)。また、所望の位置にフォトレジストパターンを形成した後、基板200の表面付近にボロン(B)イオンを注入し、トランジスタのしきい値 V_{th} を調整するチャネルインプラ領域206a及び206bを形成する。なお、ここでは、実施形態1と同様、周辺回路領域に形成するトランジスタは、Nチャネル型トランジスタの例を示しているが、所望の領域にN型を付与するイオンを注入することにより、Nwell領域を形成し、Pチャネル型トランジスタを形成している(図示せず)。

40

【0111】

次に、メモリトランジスタ領域のみを開口するフォトエッチング工程を行い、メモリトランジスタ領域の所望の位置にリン(P)イオンを注入し、濃い n^+ 領域208を形成する(図46)。この n^+ 拡散領域208は、ソース線SLとなる。

【0112】

50

次に、基板全面に窒化珪素膜（バリア窒化珪素膜）209を形成し、続いて、基板全面にTEOS膜又はBPSG膜210を形成する（図46）。

【0113】

次に、基板全面にP等の導電型不純物を添加したポリシリコン（p-Si）膜212を形成し、続いて、基板全面に窒化珪素膜214を形成する（図46）。

【0114】

次に、所望のパターンにフォトレジストを形成し、フォトリソグラフィ工程により、ポリシリコン膜212及び窒化珪素膜214をエッチングし、ポリシリコン膜212a及び窒化珪素膜214aを形成する。

【0115】

次に、フォトレジストマスク（図示せず）を周辺回路領域以外に形成し、そのフォトレジストマスクを用いて、酸化珪素膜210および窒化珪素膜（バリア窒化珪素膜）209をエッチングし、メモリトランジスタ領域の酸化珪素膜210aを残し、周辺回路領域の酸化珪素膜210および窒化珪素膜（バリア窒化珪素膜）209を除去する（図48）。その後、フォトレジストマスク（図示せず）を除去する。

【0116】

次に、犠牲酸化膜（図示せず）を除去し、加熱処理することにより、第1の熱酸化膜（図示せず）を形成する。

【0117】

次に、所望のパターンにフォトレジストマスク216a及び216bを形成して、ウェットエッチングすることにより、第1の熱酸化膜、STI202a及び202bの一部をエッチング除去する（図49）。このエッチング除去された領域に高速動作の薄膜トランジスタを形成し、また、エッチング除去されていない部分に高耐圧用の厚膜ゲートトランジスタを形成することになる。

【0118】

その後、フォトレジストマスク216a及び216bを除去し、加熱処理を行うことによって第2の熱酸化膜（図示せず）を形成する。

【0119】

次に、P（リン）等の導電性不純物が添加されたポリシリコン膜218を形成する（図50）。そして、ポリシリコン膜218を所定のパターンにエッチングし、周辺回路領域のトランジスタのゲート電極218a及び218bを形成する（図51）。このとき、メモリトランジスタ領域においては、エッチング条件によりポリシリコン膜218c、218d、218e及び218fが残存する（図51）場合もあり、また、残存しない場合もある。

【0120】

次に、周辺回路領域のPチャネル型トランジスタの領域及びメモリトランジスタ領域にフォトレジストを形成し（図示せず）、周辺回路領域のNチャネル型トランジスタの領域にAsイオン又はPイオンを注入し、ゲート電極218a及び218bと自己整合的に浅いN型領域220a、220b、220c及び220dを形成し（図51）、その後、フォトレジストを除去する。

【0121】

次に、周辺回路領域のNチャネル型トランジスタの領域及びメモリトランジスタ領域にフォトレジストを形成し（図示せず）、周辺回路領域のPチャネル型トランジスタの領域に、例えばBイオンを注入し、ゲート電極（図示せず）と自己整合的に浅いP型領域（図示せず）を形成し、その後、フォトレジストを除去する。

【0122】

次に、基板全面に窒化珪素膜を形成し、異方性エッチングすることにより、ゲート電極218a及び218bの両端部のみ窒化珪素膜を残し、サイドウォール222a、222b、222c及び222dを形成する（図52）。なお、メモリトランジスタ領域においては、エッチング条件によりポリシリコン膜218c、218d、218e及び218fの

10

20

30

40

50

側部に、それぞれ、サイドウォール 2 2 2 e、2 2 2 f、2 2 2 g 及び 2 2 2 h が形成される（図 5 2）場合もあり、形成されない場合もある。

【0 1 2 3】

次に、周辺回路領域の P チャネル型トランジスタの領域及びメモリトランジスタ領域にフォトレジストを形成し（図示せず）、周辺回路領域の N チャネル型トランジスタの領域に砒素（As）イオンを注入し、サイドウォール 2 2 4 a、2 2 4 b、2 2 4 c 及び 2 2 4 d と自己整合的にソース／ドレイン領域 2 2 4 a、2 2 4 b、2 2 4 c 及び 2 2 4 d を形成し（図 5 3）、その後、フォトレジストを除去する。

【0 1 2 4】

次に、周辺回路領域の N チャネル型トランジスタの領域及びメモリトランジスタ領域にフォトレジストを形成し（図示せず）、周辺回路領域の P チャネル型トランジスタの領域に B イオンを注入し、サイドウォール（図示せず）と自己整合的にソース／ドレイン領域（図示せず）を形成し、その後、フォトレジストを除去する。 10

【0 1 2 5】

次に、基板全面に窒化珪素膜（バリア窒化珪素膜）2 2 6 を形成する（図 5 3）

【0 1 2 6】

次に、基板全面に B P S G 膜 2 2 8 を形成し、CMP 処理することにより、B P S G 膜 2 2 8 を平坦化する（図 5 4）。

【0 1 2 7】

次に、プリメタル層として酸化珪素膜 2 3 0 を形成する。続いて、フォトエッチング工程により酸化珪素膜 2 3 0 にコンタクトホール 2 3 2 a、2 3 2 b 及び 2 3 2 c を形成する（図 5 5）。そして、フォトエッチング工程により酸化珪素膜 2 3 0 に配線用溝を形成し、タングステン（W）プラグ 2 3 4 a、2 3 4 b 及び 2 3 4 c 及び、配線 2 3 5 a、2 3 5 b 及び 2 3 5 c を形成する（図 5 6）。次に、T E O S 膜 2 3 6 を形成する（図 5 6）。 20

【0 1 2 8】

次に、P 等の導電性不純物を添加したポリシリコン膜と T E O S 膜を交互に形成することによって、ポリシリコン膜 2 3 8、2 4 2、2 4 6 及び 2 5 0 並びに酸化珪素膜 2 4 0、2 4 4、2 4 8 及び 2 5 2 を形成する（図 5 7）。

【0 1 2 9】

次に、メモリトランジスタ領域の各層の端部が階段状になるようにテーパエッチング工程を行う。まず、メモリトランジスタ領域の所定の位置にフォトレジストマスク 2 5 4 を形成する（図 5 8）。 30

【0 1 3 0】

次に、フォトレジストマスク 2 5 4 を用いて、酸化珪素膜 2 5 2 をエッチングし、酸化珪素膜 2 5 2 a を形成する（図 5 9）。

【0 1 3 1】

次に、フォトレジストマスク 2 5 4 を用いて、ポリシリコン膜 2 5 0 a をエッチングし、ポリシリコン膜 2 5 0 a を形成する（図 6 0）

【0 1 3 2】

次に、フォトレジストマスク 2 5 4 をシニングし、フォトレジストマスク 2 5 4 a を形成する（図 6 1）。そして、フォトレジストマスク 2 5 4 a を用いて、酸化珪素膜 2 5 2 a 及び 2 4 8 をエッチングし、酸化珪素膜 2 5 2 b 及び 2 4 8 a を形成する（図 6 1）。 40

【0 1 3 3】

次に、フォトレジストマスク 2 5 4 a を用いて、ポリシリコン膜 2 5 0 a 及び 2 4 6 をエッチングし、ポリシリコン膜 2 5 0 b 及び 2 4 6 a を形成する（図 6 2）。

【0 1 3 4】

次に、フォトレジストマスク 2 5 4 a をシニングし、フォトレジストマスク 2 5 4 b を形成する（図 6 3）。そして、フォトレジストマスク 2 5 4 b を用いて、酸化珪素膜 2 5 2 b 及び 2 4 8 a をエッチングし、酸化珪素膜 2 5 2 c、2 4 8 b 及び 2 4 4 a を形成する 50

(図 6 3)。

【0 1 3 5】

次に、フォトレジストマスク 2 5 4 b を用いて、ポリシリコン膜 2 5 0 b、2 4 6 b 及び 2 4 2 をエッチングし、ポリシリコン膜 2 5 0 c、2 4 6 b 及び 2 4 2 a を形成する (図 6 4)。

【0 1 3 6】

次に、フォトレジストマスク 2 5 4 b をシニングし、フォトレジストマスク 2 5 4 c を形成する (図 6 4)。そして、フォトレジストマスク 2 5 4 c を用いて、酸化珪素膜 2 5 2 b、2 4 8 b、2 4 4 a 及び 2 4 0 をエッチングし、酸化珪素膜 2 5 2 d、2 4 8 c、2 4 4 b 及び 2 4 0 a を形成する (図 6 5)。

10

【0 1 3 7】

次に、フォトレジストマスク 2 5 4 c を用いて、ポリシリコン膜 2 5 0 c、2 4 6 b、2 4 2 a 及び 2 3 8 をエッチングし、ポリシリコン膜 2 5 0 d、2 4 6 c、2 4 2 b 及び 2 3 8 a を形成する (図 6 6)。こうすることによって、各層の端部が階段状に形成することができる。

【0 1 3 8】

なお、上述の実施形態 1 においても、本実施形態 2 において説明したテーパーエッチングの工程を用いて、図 4 1 に示すように、窒化珪素膜 1 6 8 a、ポリシリコン膜 1 5 0、1 5 4 a、1 5 8 a、1 6 2 a 及び 1 6 6 a 並びに酸化珪素膜 1 5 2 a、1 5 6 a、1 6 0 a 及び 1 6 4 a を形成するようにしてもよい。

20

【0 1 3 9】

次に、フォトレジストマスク 2 5 4 c を除去し、基板全面に窒化珪素膜 (バリア窒化珪素膜) 2 5 5 を形成する (図 6 7)。

【0 1 4 0】

次に、基板全面に B P S G 膜 2 5 6 を形成し、加熱処理 (リフロー処理) することによって、B P S G 膜の表面を平坦化する (図 6 7)。さらに、B P S G 膜を C M P 処理することにより、B P S G 膜の表面の平坦性を高くする。ここで、メモリトランジスタ領域を図 8 0 (B) 図 9 0 若しくは、図 1 1 に示すように分割してもよい。そのときは、層間絶縁膜 (B P S G) 2 5 6 を形成し C M P で平坦化した後、メモリトランジスタ領域の分割パターンをフォトリソグラフィ法で形成し、導電体膜 2 3 8 a、2 4 2 b、2 4 6 c、2 5 0 d、及び層間絶縁膜 2 4 0 a、2 4 4 b、2 4 8 c、2 5 4 d をエッチングする。その後再度層間絶縁膜 (B P S G) を堆積し平坦化する事で、図 8 0 (B) 図 9 0 若しくは図 1 1 のようなアレイ分割が形成される。尚、アレイ分割する場合は、あらかじめメモリトランジスタ領域のシリコン基板 1 0 0 を S T I 2 0 2 によって分割されるアレイと同程度の領域に分割しておいても良いし、シリコン基板 2 0 0 を分割しなくてもよい。その後、P 等の導電性不純物が添加されたポリシリコン膜 2 5 8 及び窒化珪素膜 2 6 0 を形成する (図 6 7)。

30

【0 1 4 1】

次に、メモリトランジスタ領域において、メモリトランジスタの柱状の半導体 (ボディ部) を形成するためのホール 2 6 2 を形成する (図 6 8)。なお、本実施形態においては、ホール 2 6 2 を「メモリプラグホール 2 6 2」と言う。

40

【0 1 4 2】

なお、このメモリプラグホール 2 6 2 を形成するときのエッチングガスの切り替え、堆積物の除去、膜 2 3 8 ~ 2 5 2 の材料などの種々の要因によって、上述の実施形態 1 の図 8 1 及び 8 2 に示すと同様に、メモリプラグホール 2 6 2 の表面に凹凸が生じる場合がある。なお、このようにメモリプラグホール 2 6 2 の表面に凹凸が生じる場合であっても、本実施形態に係る不揮発性半導体記憶装置 1 のメモリトランジスタ領域の断面形状は、メモリプラグホール 2 6 2 の中心軸に対して概略対称である。

【0 1 4 3】

また、上述の実施形態 1 の図 8 3 に示すと同様に、メモリプラグホール 2 6 2 の表面に窒

50

化珪素膜を形成し、本実施形態に係る不揮発性半導体記憶装置1のワード線WLとなるポリシリコン膜238、242、246及び250それぞれの間にある膜の誘電率を向上させるようにしてもよい。こうすることによって、ワード線WLの電位の変化の影響を、後にメモリプラグホール262に形成される柱状の半導体層に効率よく伝達させることができる。

【0144】

また、上述の実施形態1の図84に示すと同様に、本実施形態においては、酸化珪素膜／窒化珪素膜／酸化珪素膜の積層膜をそれぞれ形成するようにしてもよい。こうすることによって、ワード線WLの電位の変化の影響を、後にメモリプラグホール262に形成される柱状の半導体層に効率よく伝達させることができる。

10

【0145】

なお、このメモリプラグホール262を形成するときのエッチングガスの切り替え、堆積物の除去、膜238～252の材料などの種々の要因によって、メモリプラグホール262の形状が上述の実施形態1の図85及び図86に示すと同様に順テーパ状又は樽状となる場合がある。

【0146】

また、メモリプラグホール262を形成したあと、基板全面にリン(P)イオンを注入し、ソース線SLとなる n^+ 拡散領域208にリンイオンを再度注入するようにしてもよい(図示せず)。

【0147】

次に、基板全面にTEOS膜264を形成する(図69)。このTEOS膜264は、図69に示すとおりに、メモリプラグホール262の底部まで形成される。ここでTEOS膜264を形成する代わりに、熱酸化方により酸化膜を形成しても良い、この場合は、実施形態1と同様に、メモリプラグホール262の側壁のポリシリコン部分及びメモリプラグホール262底部のシリコン基板上にのみ酸化膜が形成される。

20

【0148】

次に、TEOS膜264を異方性エッチングし、TEOS膜246aを形成する(図70)。このとき、TEOS膜264は、メモリプラグホール262の底部がエッチングされるようにする。

【0149】

次に、アモルファスシリコン膜266を形成する(図70)。

30

【0150】

次に、アモルファスシリコン膜266をエッチバックし、アモルファスシリコン膜268aとなるまで後退させる(図71)。次に、メモリプラグホール262内部のTEOS膜264aを除去し、その後、酸化珪素膜、窒化珪素膜、酸化珪素膜を順に堆積し、所謂ONO膜270を形成する(図71)。このONO膜270は、メモリトランジスタの電荷蓄積層となる。なお、ONO膜270の酸化珪素膜は、TEOS膜でなるようにしてもよい。

【0151】

次に、ONO膜270を異方性エッチングすることにより、ONO膜270の底部を除去し、ONO膜270aを形成する(図72)。次に、アモルファスシリコン膜272を形成し、エッチバックし、アモルファスシリコン膜272aとなるまで後退させる(図72)。次に、メモリプラグホール262内部側壁のONO膜270aの上部露出した領域を酸化珪素膜252の一部が露出する程度まで除去する(図72)。その後、基板全面にTEOS膜274を形成する(図72)。またTEOSの代わりに熱酸化膜を形成しても良い、この場合、メモリプラグホール262の側壁のポリシリコン上と底部のポリシリコン部分にのみ酸化膜が形成される。

40

【0152】

次に、TEOS膜274を異方性エッチングすることにより、TEOS膜274の底部を除去し、TEOS膜274aを形成する(図73)。

50

【0153】

次に、アモルファスシリコン膜276を形成し、CMP処理することにより、アモルファスシリコン膜276を平坦化する（図74）。

【0154】

次に、フォトリソング工程により、選択ゲートトランジスタSDTrの層を分離し（図75）、領域278a及び186bにBPSG膜280を堆積し、CMP処理する（図76）。

【0155】

次に、フォトリソング工程により、コンタクトホール282a、282b、282c、282d、282e、282f及び282gを形成する（図76）。

10

【0156】

次に、チタン及び窒化チタンの積層膜（図示せず）を形成した後、タングステン膜を形成し、CMP処理することにより、コンタクトホール282a、282b、282c、282d、282e、282f及び282gにタングステンプラグ284a、284b、284c、284d、284e、284f及び284gを形成する（図77）。

【0157】

次に、アルミニウム・銅（AlCu）膜を形成し、フォトリソングマスク（図示せず）を形成し、フォトリソング工程により、パターンニングすることによって、配線286a、286b、286c、286d、286e、286f、286g及び286hを形成する（図78）。その後、フォトリソングマスクを除去する。

20

【0158】

以上の工程により、本実施形態に係る本発明の不揮発性半導体記憶装置1を製造することができる。

【0159】

（実施形態3）

本実施形態においては、本発明の不揮発性半導体記憶装置の電荷蓄積層にナノ結晶膜を含む膜を用いる。例えば、電荷蓄積層を、酸化珪素膜、ナノ結晶膜、酸化珪素膜の積層構造とする。ナノ結晶膜としては、シリコンのナノ結晶を含む酸化珪素膜を用いることができる。本実施形態に係る不揮発性半導体記憶装置においては、このナノ結晶膜中に離散分布したシリコンのナノ結晶に電荷が保持される。

30

【0160】

なお、本実施形態においては、シリコンのナノ結晶を含む酸化珪素膜でなるナノ結晶膜を用いたが、コバルト（Co）、タングステン（W）、銀（Ag）、金（Au）、白金（Pt）等の金属のナノ結晶又はその他の導電性物質のナノ結晶を用いてもよい。なお、ナノ結晶は、「メタル・ナノ・ドット」や「ナノクリスタル」とも言う。

【0161】

また、本実施例においては、電荷蓄積層を、酸化珪素膜、ナノ結晶膜、酸化珪素膜の三層積層構造を採用したが、これらの三層を連続的に形成し、シリコン、金属その他導電性物質のナノ結晶を含有する酸化珪素膜等の絶縁膜の一層構造としてもよい。

【0162】

40

（実施形態4）

本実施形態においては、本発明の不揮発性半導体記憶装置のメモリトランジスタ領域の構成の別の例について説明する。なお、その他の構成については、上述の実施形態1、2及び3と同様であるので、ここでは、改めて説明しない。

【0163】

本発明の一実施形態に係る不揮発性半導体記憶装置においては、ワード線WLとなる導電体層とその層間膜とをテーパ状にエッチングし、段差を形成している。ここで、隣接する2個のメモリトランジスタ領域を形成する例を図79に示す。図79は、本実施形態に係る本発明の不揮発性半導体記憶装置のメモリトランジスタ領域の導電体層を上部から見た図である。導電体層300～306は、1つのメモリトランジスタ領域を示しており、3

50

00は1層目の導電体層、302は2層目の導電体層、304は3層目の導電体層、306は4層目の導電体層を示している。また、導電体層308～314は、隣接するメモリトランジスタ領域を示しており、308は1層目の導電体層、310は2層目の導電体層、312は3層目の導電体層、314は4層目の導電体層を示している。なお、“A”は、この隣接する2つのメモリトランジスタのY'－Y方向の長さであり、“B”は、X'－X方向の長さである。

【0164】

このように、隣接するメモリトランジスタ領域を形成する場合は、それぞれのメモリトランジスタ領域を別々に形成するようにしてもよい。

【0165】

また、図80には、本実施形態に係る不揮発性半導体記憶装置の2メモリトランジスタ領域の別の例を示している。図80(A)は、本実施形態に係る本発明の不揮発性半導体記憶装置のメモリトランジスタ領域の導電体層を上部から見た図である。320は1層目の導電体層、322は2層目の導電体層、324は3層目の導電体層、326及び328は4層目の導電体層を示している。

【0166】

図80に示すメモリトランジスタ領域において、中央付近でX'－X方向に沿って導電体層320、324及び326をエッチング除去することにより、導電体層320a、322a、324a及び326からなるメモリトランジスタ領域と、電体層320b、322b、324b及び328からなるメモリトランジスタ領域との2つのメモリトランジスタ領域を形成することができる。図80に示すメモリトランジスタ領域は、図79に示すメモリトランジスタ領域と比較して、Y'－Y方向の長さを短くすることができ、メモリトランジスタ領域の面積を縮小することができる。

【0167】

次に、隣接する10個のメモリトランジスタ領域を形成する例を図89に示す。図89は、本実施形態に係る本発明の不揮発性半導体記憶装置のメモリトランジスタ領域の導電体層を上部から見た図である。なお、“A”は、図79で示した隣接する2つのメモリトランジスタのY'－Y方向の長さに相当し、“B”は、X'－X方向の長さに相当する。

【0168】

図89に示す本実施形態に係る不揮発性半導体記憶装置において、330は1層目の導電体層、332は2層目の導電体層、334は3層目の導電体層、336a～336jは4層目の導電体層を示している。

【0169】

図89に示すメモリトランジスタ領域において、図90に示すとおり、4層目の導電体層336a～336jの間でX'－X方向に沿って導電体層330、332及び334をエッチング除去することにより、導電体層330a～330j、導電体層332a～332j、導電体層334a～334j、導電体層336a～336jを形成する。

【0170】

図89に示すメモリトランジスタ領域において、4層目の導電体層336a～336jの間でX'－X方向に沿って導電体層330、332及び334をエッチング除去し、10個のメモリトランジスタ領域を形成した上面図を図90に示す。導電体層330a、332a、334a及び336aからなるメモリトランジスタ領域と、電体層330b、332b、334b及び336bからなるメモリトランジスタ領域と、導電体層330c、332c、334c及び336cからなるメモリトランジスタ領域と、導電体層330d、332d、334d及び336dからなるメモリトランジスタ領域と、導電体層330e、332e、334e及び336eからなるメモリトランジスタ領域と、導電体層330f、332f、334f及び336fからなるメモリトランジスタ領域と、導電体層330g、332g、334g及び336gからなるメモリトランジスタ領域と、導電体層330h、332h、334h及び336hからなるメモリトランジスタ領域と、導電体層330i、332i、334i及び336iからなるメモリトランジスタ領域と、導電体

10

20

30

40

50

層 3 3 0 j、3 3 2 j、3 3 4 j 及び 3 3 6 j からなるメモリトランジスタ領域とが形成され、合計 1 0 個のメモリトランジスタ領域が形成される。図 9 0 に示すメモリトランジスタ領域は、図 7 9 に示すメモリトランジスタ領域と比較して、Y' - Y 方向の長さを短くすることができ、メモリトランジスタ領域の面積を縮小することができる。

【0 1 7 1】

なお、本実施形態においては、4 層の導電体層を積層することによって形成され、また 1 0 個のメモリトランジスタ領域を形成した場合の本発明の不揮発性半導体記憶装置の例について説明したが、本発明の不揮発性半導体記憶装置は、これに限定されるわけではなく、任意の数の導電体層を積層し、任意の数のメモリトランジスタ領域を同時に形成するようにしてもよい。

10

【0 1 7 2】

また、隣接する 7 個のメモリトランジスタ領域が 2 列に形成される例を図 9 1 及び図 9 2 に示す。図 9 1 は、本実施形態に係る本発明の不揮発性半導体記憶装置のメモリトランジスタ領域の導電体層を上部から見た図である。なお、“A”は、図 7 9 で示した隣接する 2 つのメモリトランジスタの Y' - Y 方向の長さに相当し、“B”は、X' - X 方向の長さに相当する。

【0 1 7 3】

図 9 1 に示す本実施形態に係る不揮発性半導体記憶装置において、3 4 0 は 1 層目の導電体層、3 4 2 は 2 層目の導電体層、3 4 4 は 3 層目の導電体層、3 4 6 a ~ 3 4 6 j は 4 層目の導電体層を示している。

20

【0 1 7 4】

図 9 1 に示すメモリトランジスタ領域において、図 9 2 に示すとおり、4 層目の導電体層 3 4 6 a ~ 3 4 6 n の間で X' - X 方向及び Y' - Y に沿って導電体層 3 4 0、3 4 2 及び 3 4 4 をエッチング除去することにより、導電体層 3 4 0 a ~ 3 4 0 n、導電体層 3 4 2 a ~ 3 4 2 n、導電体層 3 4 4 a ~ 3 4 4 n、導電体層 3 4 6 a ~ 3 4 6 n を形成する。

【0 1 7 5】

図 9 2 には、導電体層 3 4 0 a、3 4 2 a、3 4 4 a 及び 3 4 6 a からなるメモリトランジスタ領域と、導電体層 3 4 0 b、3 4 2 b、3 4 4 b 及び 3 4 6 b からなるメモリトランジスタ領域と、導電体層 3 4 0 c、3 4 2 c、3 4 4 c 及び 3 4 6 c からなるメモリトランジスタ領域と、導電体層 3 4 0 d、3 4 2 d、3 4 4 d 及び 3 4 6 d からなるメモリトランジスタ領域と、導電体層 3 4 0 e、3 4 2 e、3 4 4 e 及び 3 4 6 e からなるメモリトランジスタ領域と、導電体層 3 4 0 f、3 4 2 f、3 4 4 f 及び 3 4 6 f からなるメモリトランジスタ領域と、導電体層 3 4 0 g、3 4 2 g、3 4 4 g 及び 3 4 6 g からなるメモリトランジスタ領域と、導電体層 3 4 0 h、3 4 2 h、3 4 4 h 及び 3 4 6 h からなるメモリトランジスタ領域と、導電体層 3 4 0 i、3 4 2 i、3 4 4 i 及び 3 4 6 i からなるメモリトランジスタ領域と、導電体層 3 4 0 j、3 4 2 j、3 4 4 j 及び 3 4 6 j からなるメモリトランジスタ領域とが形成され、合計 1 4 個のメモリトランジスタ領域が形成される。図 9 2 に示すメモリトランジスタ領域は、図 7 9 に示すメモリトランジスタ領域と比較して、Y' - Y 方向の長さを短くすることができ、メモリトランジスタ領域の面積を縮小することができる。

30

40

【0 1 7 6】

なお、ここでは、4 層の導電体層を積層することによって形成され、また 1 4 個のメモリトランジスタ領域を形成した場合の本発明の不揮発性半導体記憶装置の例について説明したが、本発明の不揮発性半導体記憶装置は、これに限定されるわけではなく、任意の数の導電体層を積層し、任意の数のメモリトランジスタ領域を同時に形成するようにしてもよい。

【0 1 7 7】

さらに、図 1 1 には、上述の図 9 2 に示すメモリトランジスタ領域を複数個形成した例を示している。図 1 1 に示すように、本実施形態に係る本発明の不揮発性半導体記憶装置に

50

においては、複数のメモリトランジスタ領域を効率よく配置することができる。

【0178】

なお、ここでは、4層の導電体層を積層することによって形成され、また14個のメモリトランジスタ領域を2つ形成した場合の本発明の不揮発性半導体記憶装置の例について説明したが、本発明の不揮発性半導体記憶装置は、これに限定されるわけではなく、任意の数の導電体層を積層し、任意の数のメモリトランジスタ領域を同時に形成するようにしてもよい。

【図面の簡単な説明】

【0179】

【図1】一実施形態に係る本発明の不揮発性半導体記憶装置1の概略構成図である。

10

【図2】一実施形態に係る不揮発性半導体記憶装置1のメモリトランジスタ領域2の一部の概略構成図である。

【図3】一実施形態に係る本発明の不揮発性半導体記憶装置1の一つのメモリストリングス10の概略構造を示す図である。

【図4】一実施形態における一つのメモリトランジスタMT_rの断面構造を示す図である。

【図5】一実施形態に係る本発明の不揮発性半導体記憶装置1の等価回路図である。

【図6】一実施形態に係る本発明の不揮発性半導体記憶装置1において、点線で示したメモリトランジスタMT_r3のデータの読み出し動作を行う場合のバイアス状態を示す図である。

20

【図7】一実施形態に係る本発明の不揮発性半導体記憶装置1において、点線で示したメモリトランジスタMT_r3のデータの書き込み動作を行う場合のバイアス状態を示した図である。

【図8】一実施形態に係る本発明の不揮発性半導体記憶装置1において、選択したブロックのメモリトランジスタMT_rのデータの消去動作を行う場合の選択ブロックのバイアス状態を示した図である。

【図9】一実施形態に係る本発明の不揮発性半導体記憶装置1において、選択したブロックのメモリトランジスタMT_rのデータの消去動作を行う場合の非選択ブロックのバイアス状態を示した図である。

【図10】(A)は、一本実施形態に係る本発明の不揮発性半導体記憶装置の一つのメモリストリングスの消去動作のシミュレーションの条件設定を示す図であり、(B)は、(A)の条件設定に基づくメモリストリングスの構造を示す図である。

30

【図11】一実施形態に係る本発明の不揮発性半導体記憶装置1において、隣接する複数のメモリトランジスタ領域を示す図である。

【図12】図10に示すシミュレーション条件に基づく計算結果を示す図である。

【図13】図10に示すシミュレーション条件に基づく計算結果を示す図である。

【図14】一実施形態に係る本発明の不揮発性半導体記憶装置の消去動作のモデルを示した図である。

【図15】一実施形態に係る本発明の不揮発性半導体記憶装置の消去動作のモデルを示した図である。

40

【図16】一実施形態に係る本発明の不揮発性半導体記憶装置の消去動作のモデルを示した図である。

【図17】一実施形態に係る本発明の不揮発性半導体記憶装置1の鳥瞰図である。

【図18】一実施形態に係る本発明の不揮発性半導体記憶装置1の製造プロセスを示す図である。

【図19】一実施形態に係る本発明の不揮発性半導体記憶装置1の製造プロセスを示す図である。

【図20】一実施形態に係る本発明の不揮発性半導体記憶装置1の製造プロセスを示す図である。

【図21】一実施形態に係る本発明の不揮発性半導体記憶装置1の製造プロセスを示す図

50

である。

【図 7 2】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 7 3】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 7 4】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 7 5】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 7 6】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。 10

【図 7 7】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 7 8】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 7 9】一実施形態に係る本発明の不揮発性半導体記憶装置 1 において、隣接する 2 つのメモリトランジスタ領域を示す図である。

【図 8 0】一実施形態に係る本発明の不揮発性半導体記憶装置 1 において、隣接する 2 つのメモリトランジスタ領域を示す図である。

【図 8 1】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。 20

【図 8 2】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 8 3】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 8 4】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 8 5】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。

【図 8 6】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の製造プロセスを示す図である。 30

【図 8 7】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の概略構成図である。

【図 8 8】一実施形態に係る本発明の不揮発性半導体記憶装置 1 の概略構成図である。

【図 8 9】一実施形態に係る本発明の不揮発性半導体記憶装置 1 において、隣接する複数のメモリトランジスタ領域を示す図である。

【図 9 0】一実施形態に係る本発明の不揮発性半導体記憶装置 1 において、隣接する複数のメモリトランジスタ領域を示す図である。

【図 9 1】一実施形態に係る本発明の不揮発性半導体記憶装置 1 において、隣接する複数のメモリトランジスタ領域を示す図である。

【図 9 2】一実施形態に係る本発明の不揮発性半導体記憶装置 1 において、隣接する複数のメモリトランジスタ領域を示す図である。 40

【符号の説明】

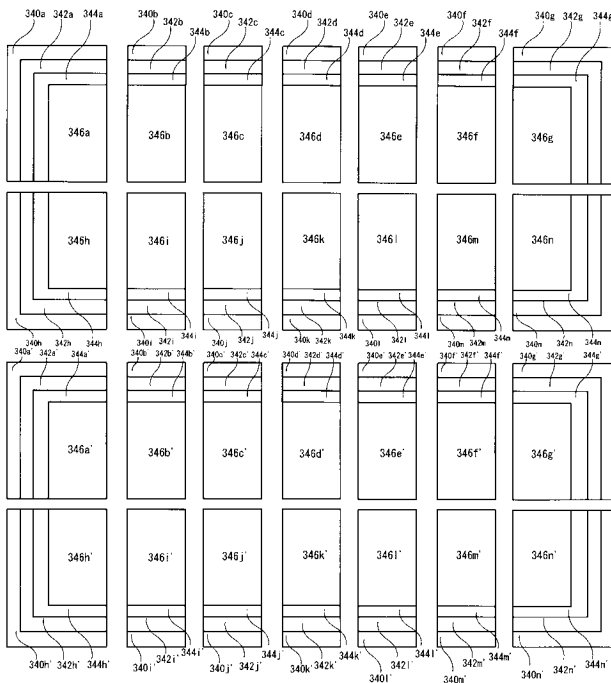
【0 1 8 0】

- 1 不揮発性半導体記憶装置
- 2 メモリトランジスタ領域
- 3 ワード線駆動回路
- 4 ソース側選択ゲート線 (SGS) 駆動回路
- 5 ドレイン側選択ゲート線 (SGD) 駆動回路
- 6 センスアンプ
- 10 メモリストリングス

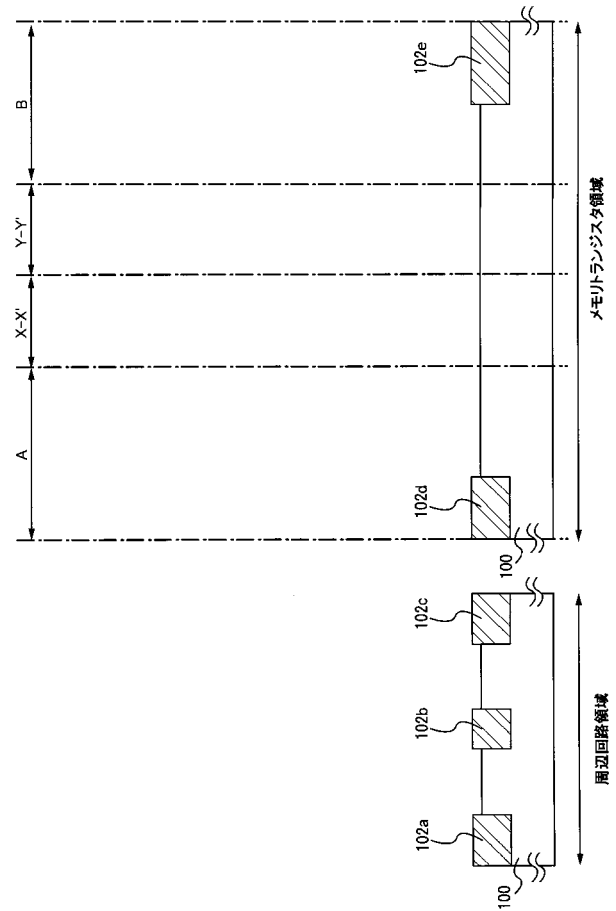
1 1	柱状の半導体層	
1 2	絶縁膜	
1 3 a ~ 1 3 f	電極	
1 4	P ⁻ 型領域 (P-W e l l 領域)	
1 5	N ⁺ 領域 1 5	
1 0 0	半導体基板	
1 0 2 a、1 0 2 b、1 0 2 c、1 0 2 d、1 0 2 e 1 0 4	S T I	
1 0 4	P-w e l l 領域	
1 0 6 a、1 0 6 b	チャネルインプラ領域	
1 0 6 c	n ⁺ 拡散領域	10
1 0 8 a 及び 1 0 8 b	フォトレジストマスク	
1 1 0 a、1 1 0 b	ゲート電極	
1 1 2 a、1 1 2 b、1 1 2 c 及び 1 1 2 d	浅いN型領域	
1 1 4 a、1 1 4 b、1 1 4 c、1 1 4 d	サイドウォール	
1 1 6 a、1 1 6 b、1 1 6 c、1 1 6 d	ソース/ドレイン領域	
1 1 8	窒化珪素膜	
1 2 0	B P S G 膜	
1 2 2 a 及び 1 2 2 b	コバルトシリサイド	
1 2 4	B P S G 膜	
1 2 6	ポリシリコン膜	20
1 3 2 a、1 3 2 b、1 3 2 c	熱酸化膜	
1 3 4	窒化珪素膜	
1 3 6 a、1 3 6 b	シリコン膜	
1 3 8	フォトレジスト	
1 4 0 a、1 4 0 b	チタンシリサイド	
1 4 2	酸化珪素膜	
1 4 4 a、1 4 4 b、1 4 4 c	タングステンプラグ	
1 4 6 a 及び 1 4 6 b	配線	
1 4 8	酸化珪素膜	
1 5 0、1 5 4、1 5 8、1 6 2、1 6 6	ポリシリコン膜	30
1 5 2、1 5 6、1 6 0、1 6 4	酸化珪素膜	
1 6 8	窒化珪素膜	
1 7 0	メモリプラグホール	
1 7 2	O N O 膜	
1 7 4	フォトレジスト	
1 7 6	酸化珪素膜	
1 7 8	窒化珪素膜	
1 8 0	柱状のアモルファスシリコン層	
1 8 2	層間絶縁膜 (B P S G)	
1 8 7	酸化珪素膜	40
1 8 8 a、1 8 8 b、1 8 8 c 1 8 8 d、1 8 8 e	タングステンプラグ	
1 9 6 a、1 9 6 b	タングステンプラグ	
2 0 0	半導体基板	
2 0 2 a、2 0 2 b、2 0 2 c、2 0 2 d、2 0 2 e	S T I	
2 0 4	P-w e l l 領域	
2 0 6 a、2 0 6 b	チャネルインプラ領域	
2 0 8	濃い n + 領域	
2 1 0	B P S G 膜	
2 1 0	酸化珪素膜	
2 1 2	ポリシリコン膜	50

2 1 4	窒化珪素膜	
2 1 6、2 1 6 b	フォトレジストマスク	
2 1 8	ポリシリコン膜	
2 1 8 a、2 1 8 b	ゲート電極	
2 2 0 a、2 2 0 b、2 2 0 c、2 2 0 d	浅いN型領域	
2 2 2 a、2 2 2 b、2 2 2 c、2 2 2 d	サイドウォール	
2 2 4 a、2 2 4 b、2 2 4 c、2 2 4 d	サイドウォール	
2 2 6	窒化珪素膜	
2 2 8	B P S G 膜	
2 3 0	酸化珪素膜	10
2 3 2 a、2 3 2 b、2 3 2 c	コンタクトホール	
2 3 4 a、2 3 4 b、2 3 4 c	タングステン (W) プラグ	
2 3 8、2 4 2、2 4 6、2 5 0	ポリシリコン膜	
2 3 8、2 4 2、2 4 6、2 5 0	ポリシリコン膜	
2 4 0、2 4 4、2 4 8、2 5 2	酸化珪素膜	
2 4 6 a、2 4 6 b、	ポリシリコン膜	
2 4 8	酸化珪素膜	
2 5 0 a、2 5 0 c、2 4 2 a	ポリシリコン膜	
2 5 0 c、2 4 6 b、2 4 2 a、2 3 8	ポリシリコン膜	
2 5 2	酸化珪素膜	20
2 5 4、2 5 4 a、2 5 4 b	フォトレジストマスク	
2 5 6	B P S G 膜	
2 6 2	メモリプラグホール	
2 6 4	T E O S 膜	
2 6 6	アモルファスシリコン膜	
2 7 0	O N O 膜	
2 7 7、2 7 2 a	アモルファスシリコン膜	
2 7 4、2 7 4 a	T E O S 膜	
2 8 2 a、2 8 2 b、2 8 2 c、2 8 2 d、2 8 2 e、2 8 2 f、2 8 2 g	コ	30
ンタクトホール		
2 8 4 a、2 8 4 b、2 8 4 c、2 8 4 d、2 8 4 e、2 8 4 f、2 8 4 g	タ	
ングステンプラグ		
3 2 0 a、3 2 2 a、3 2 4 a、3 2 6	導電体層	
3 3 0 a、3 3 2 a、3 3 4 a、3 3 6 a	導電体層	
3 3 0 a～3 3 0 j、	導電体層	
3 3 0 c、3 3 2 c、3 3 4 c、3 3 6 c	導電体層	
3 3 0 e、3 3 2 e、3 3 4 e、3 3 6 e	導電体層	
3 3 0 g、3 3 2 g、3 3 4 g、3 3 6 g	導電体層	
3 3 0 i、3 3 2 i、3 3 4 i、3 3 6 i	導電体層	
3 3 6 a～3 3 6 j	導電体層	40
3 4 0 a、3 4 0 b、3 4 0 c、3 4 0 d	窒化珪素膜	
B L m	ビット線	
S L	ソース線	
M T r 1 m n～M T r 4 m n	メモリトランジスタ	
S S T r m n、S D T r m n	選択トランジスタ	

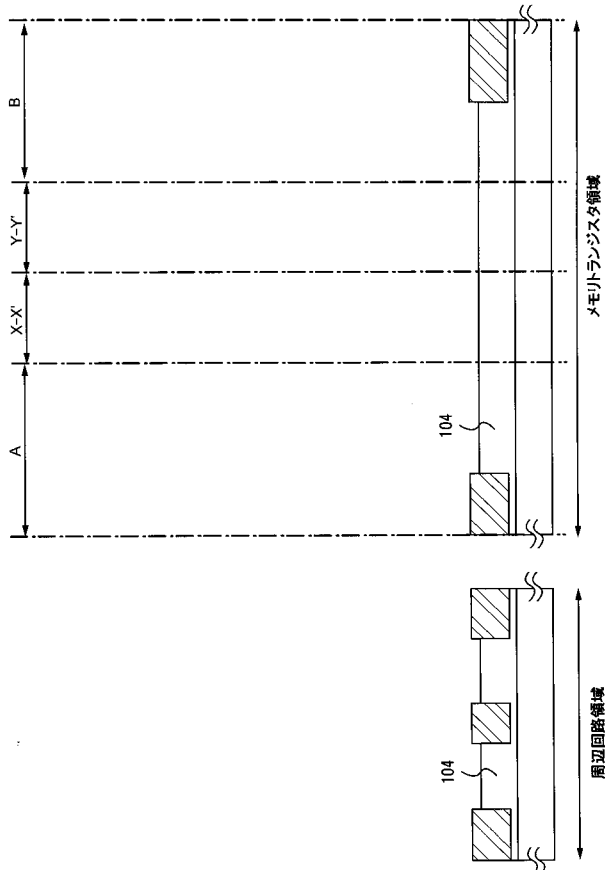
【図 11】



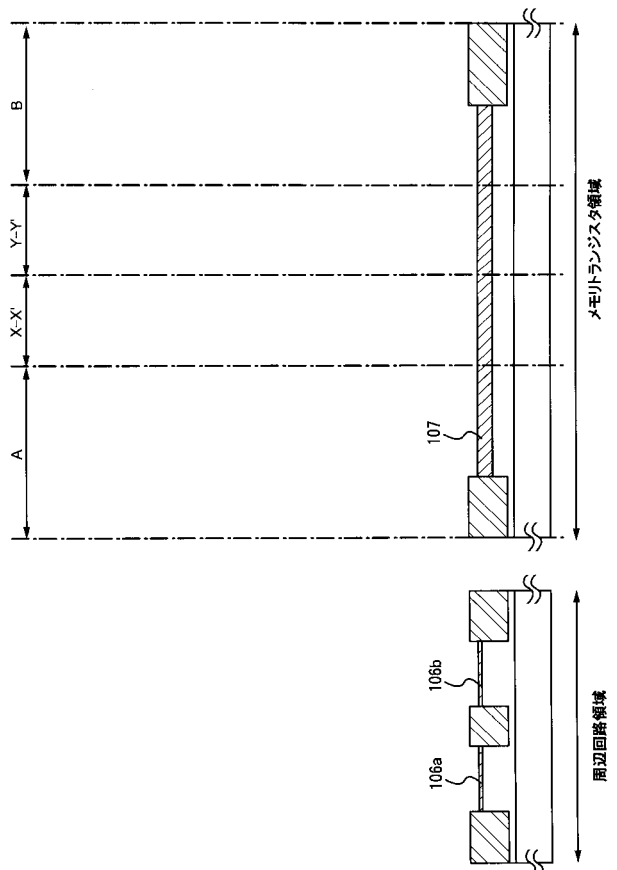
【図 18】



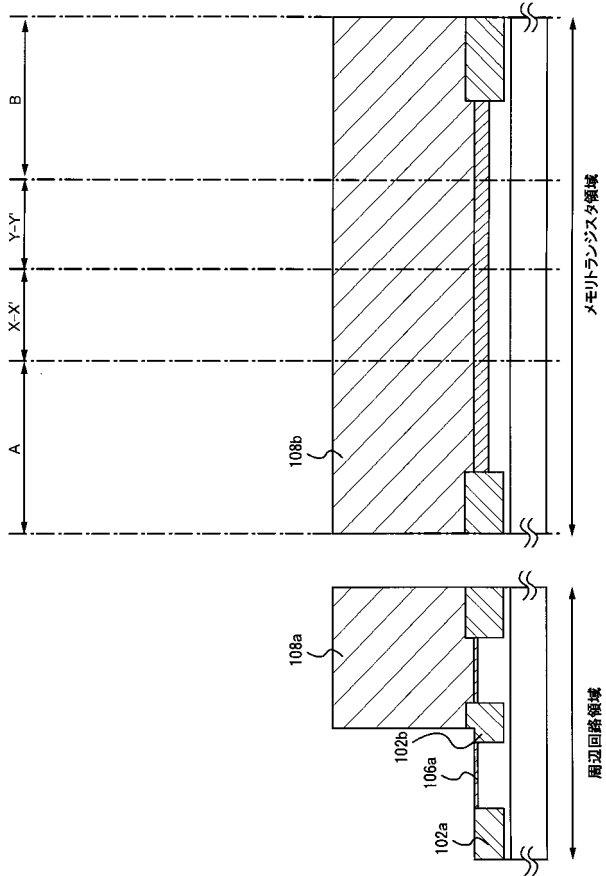
【図 19】



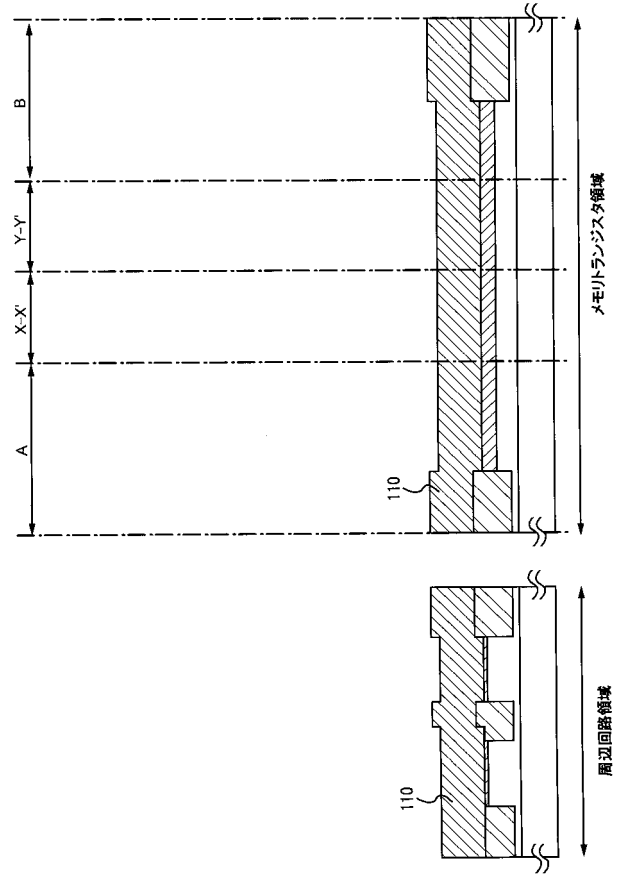
【図 20】



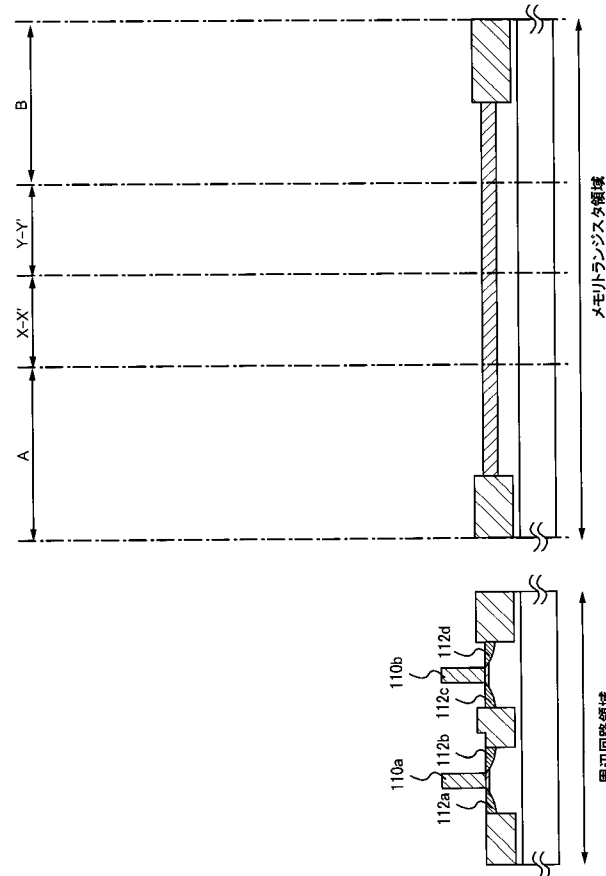
【図 2 1】



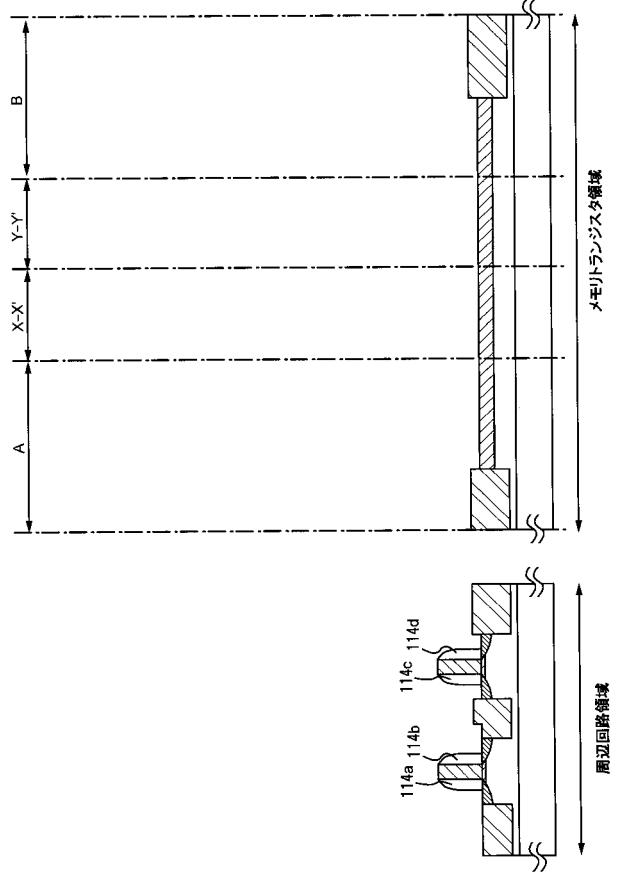
【図 2 2】



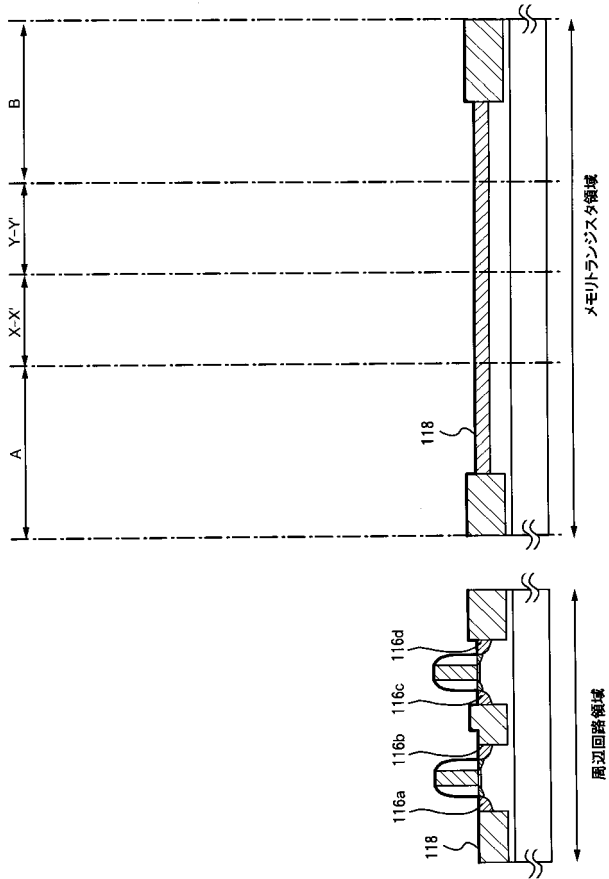
【図 2 3】



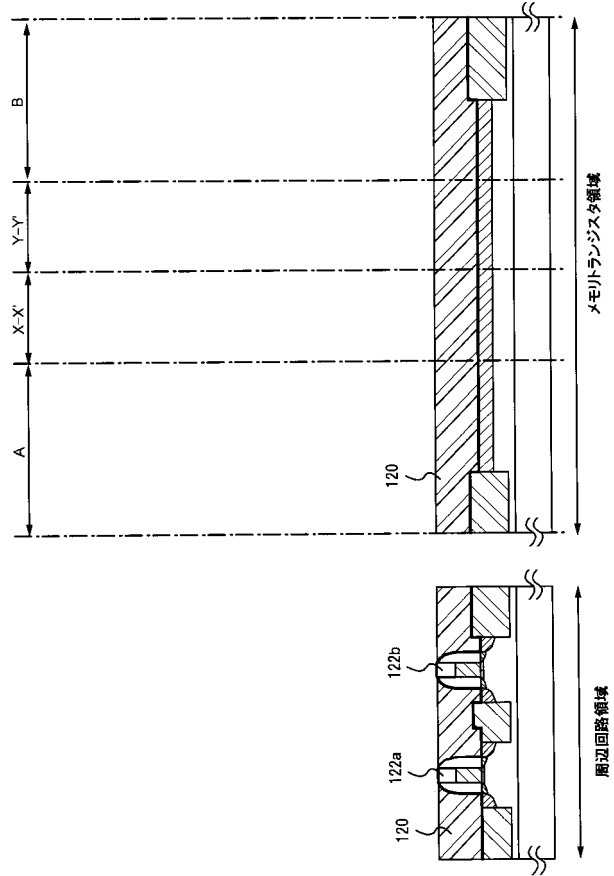
【図 2 4】



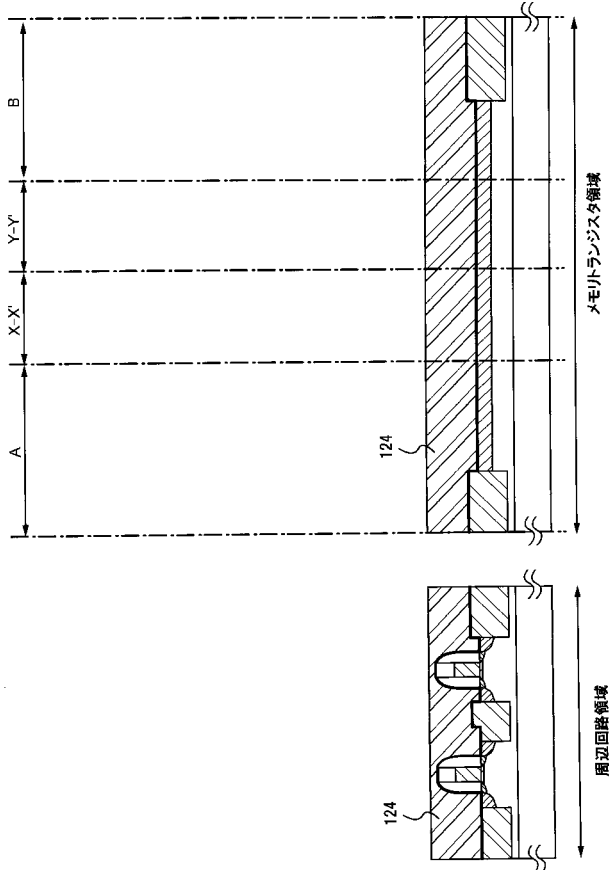
【図 25】



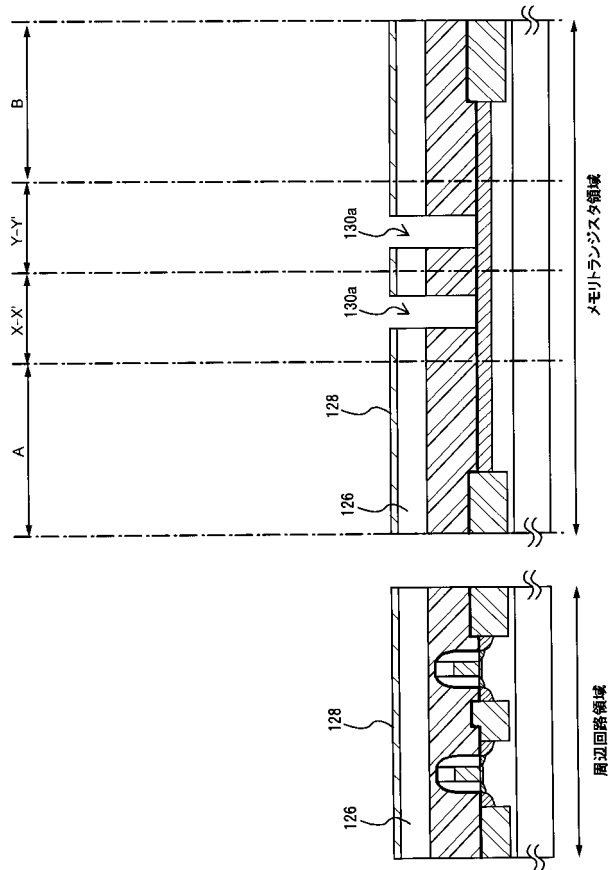
【図 26】



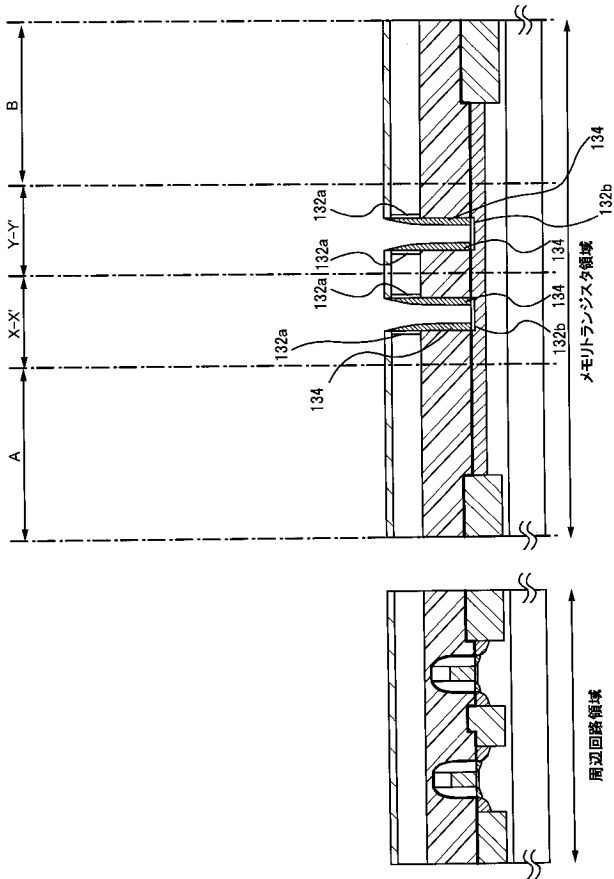
【図 27】



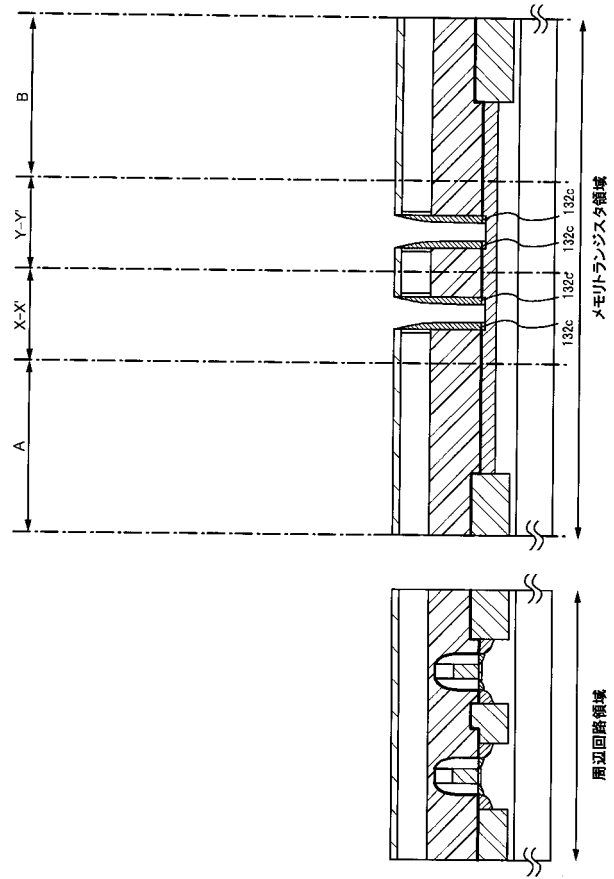
【図 28】



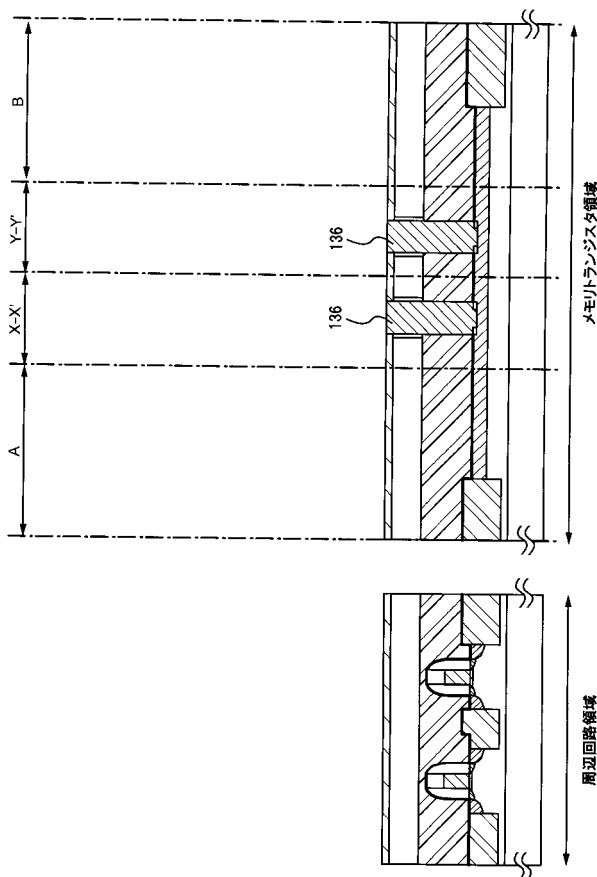
【図 29】



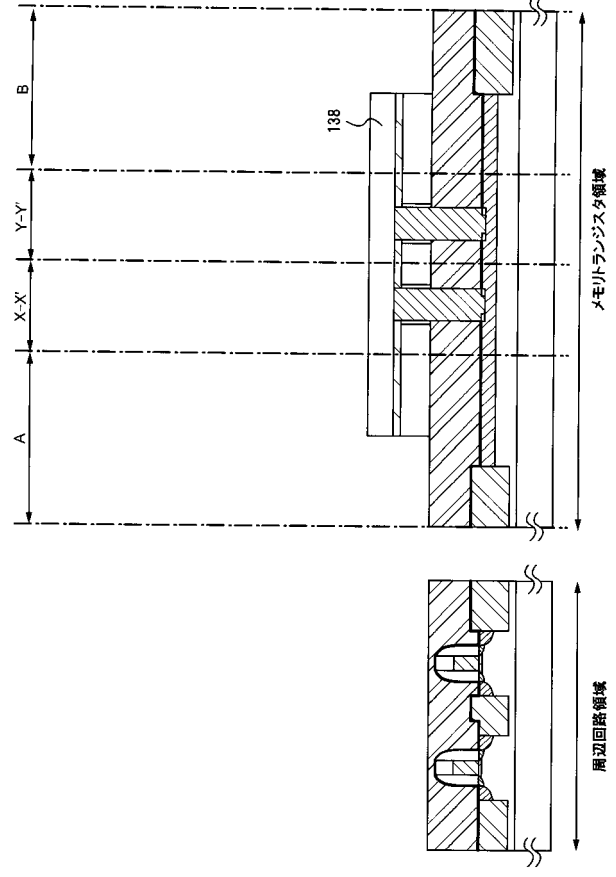
【図 30】



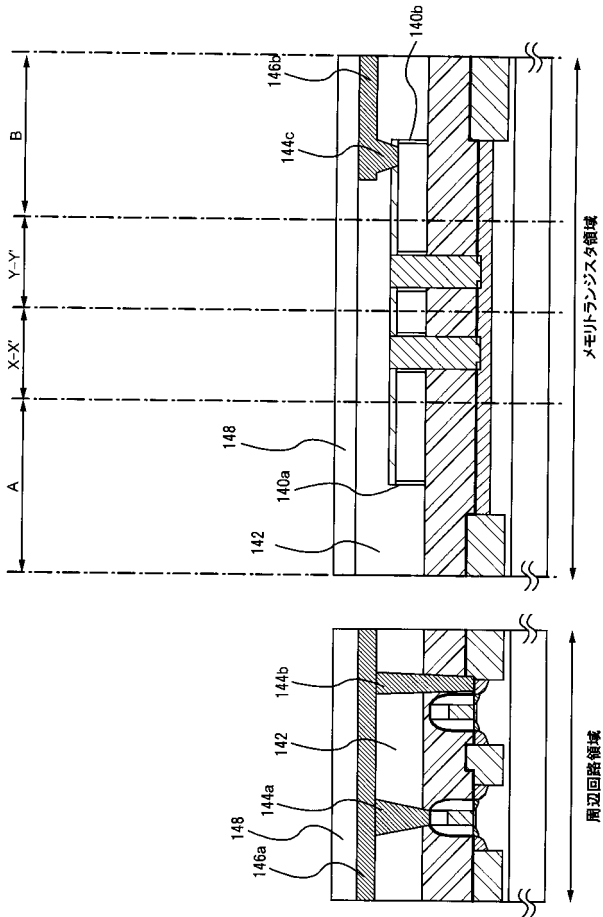
【図 31】



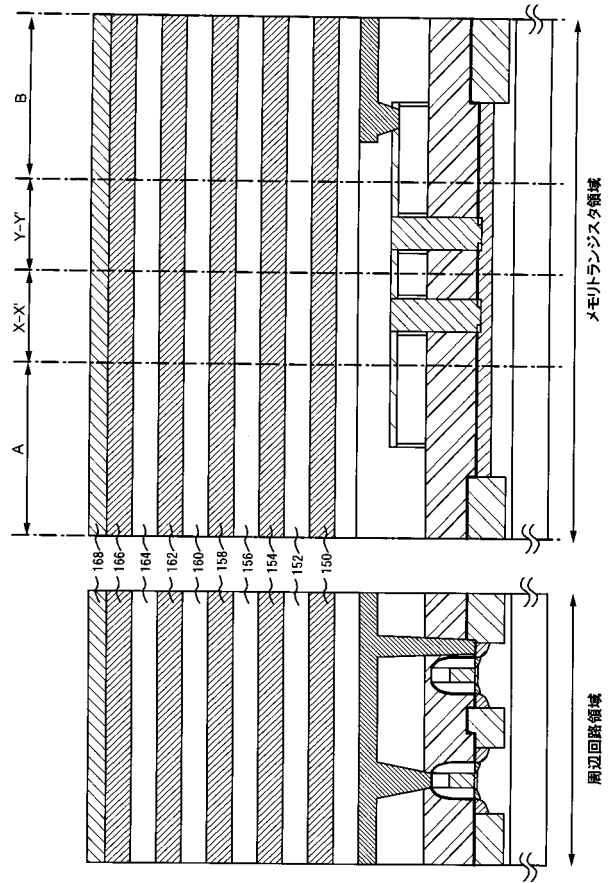
【図 32】



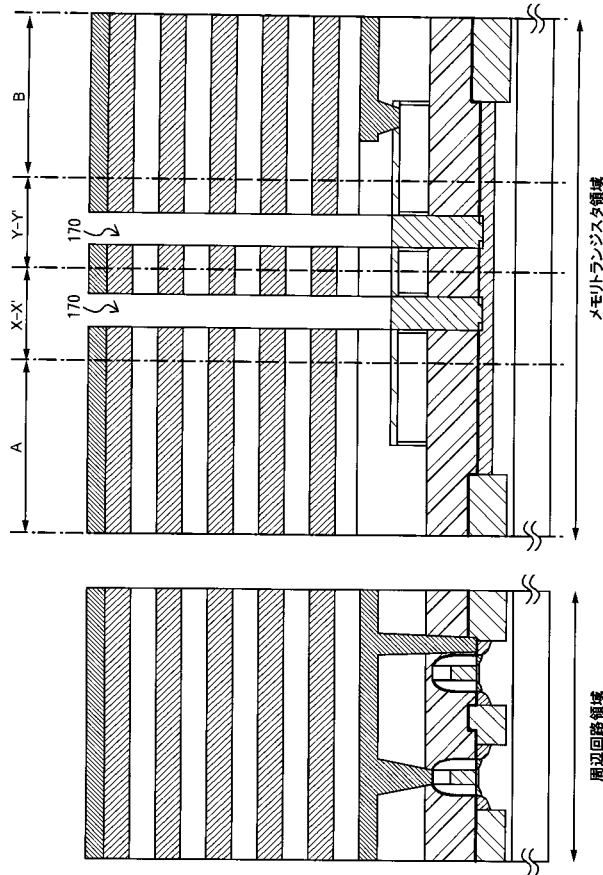
【図 3 3】



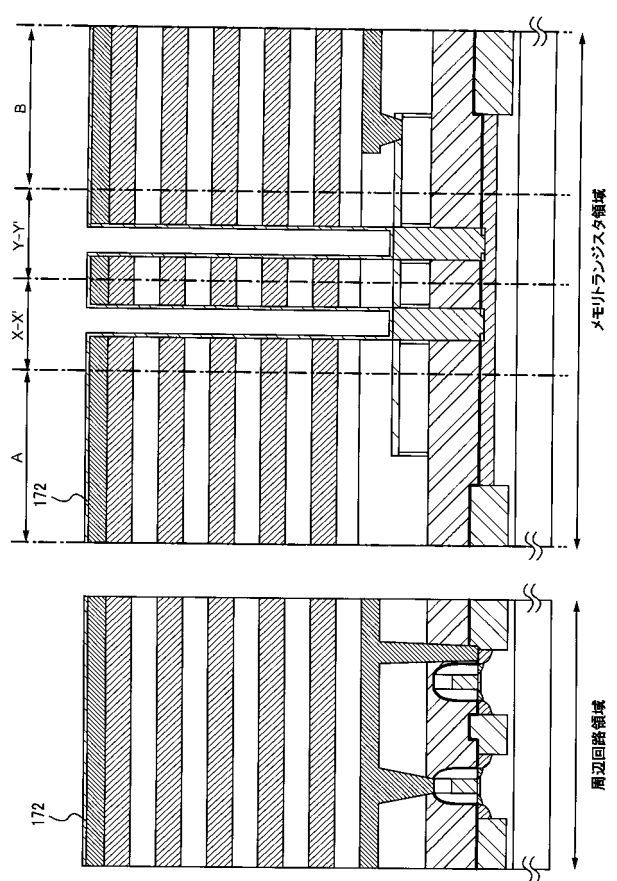
【図 3 4】



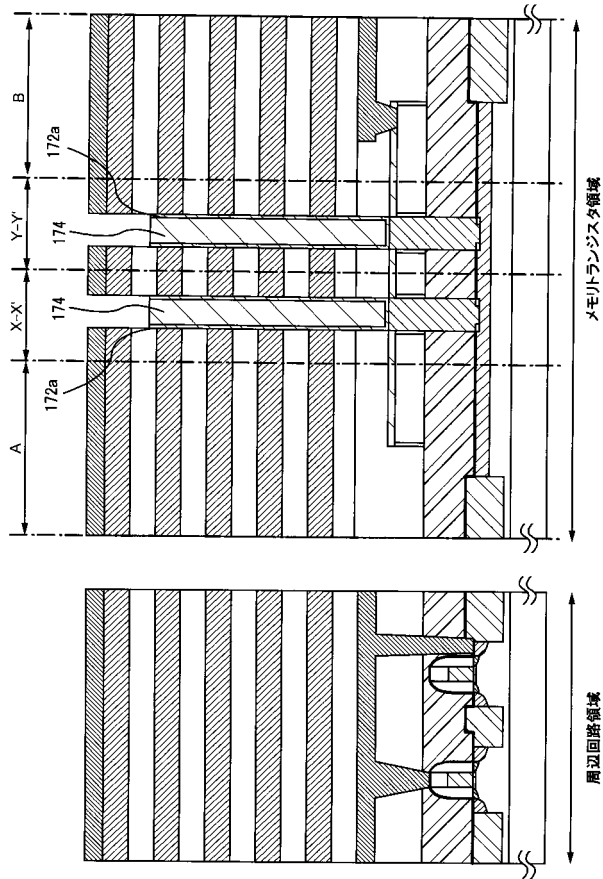
【図 3 5】



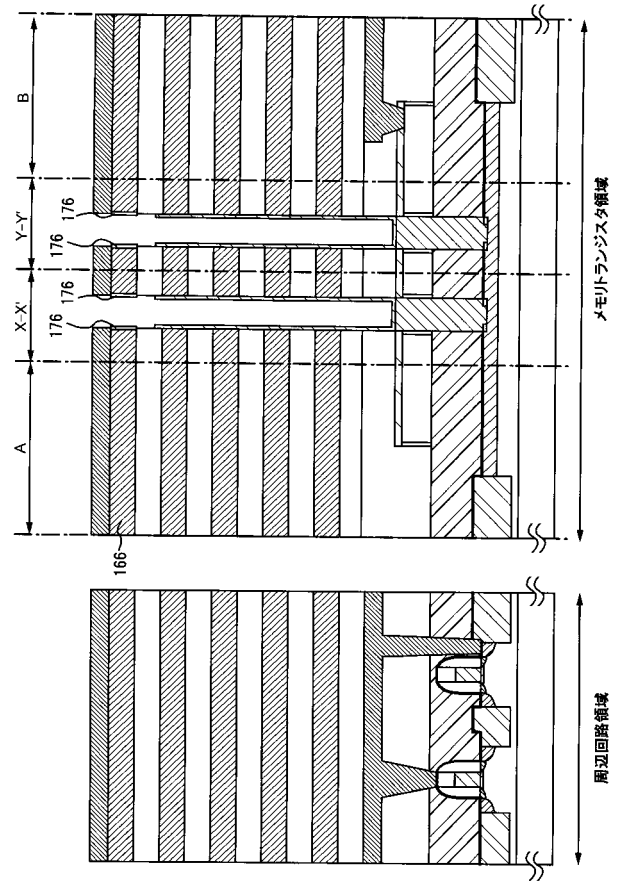
【図 3 6】



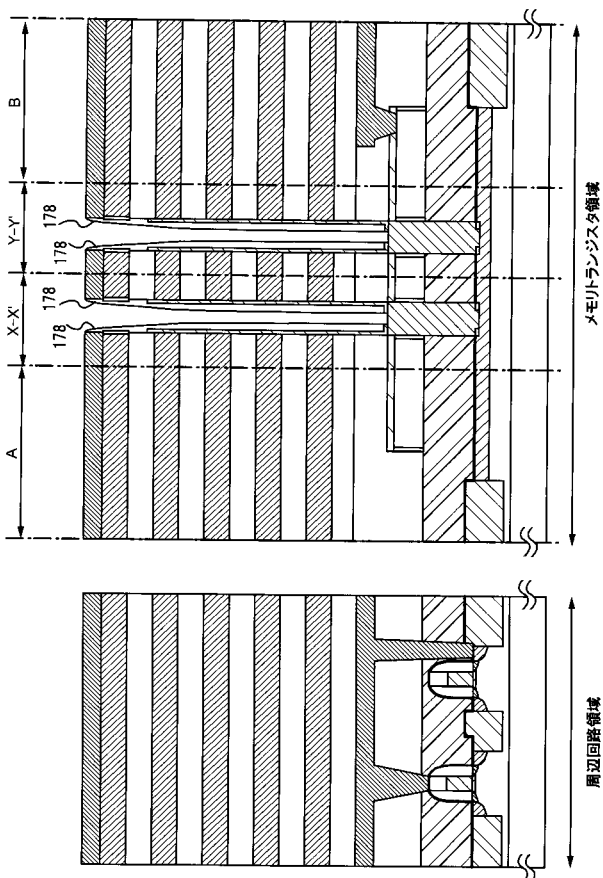
【図 37】



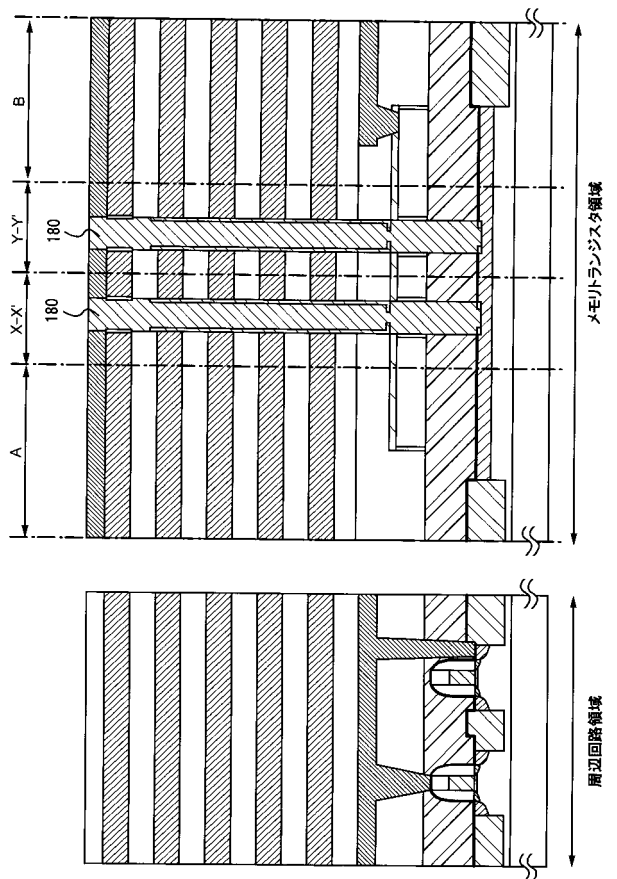
【図 38】



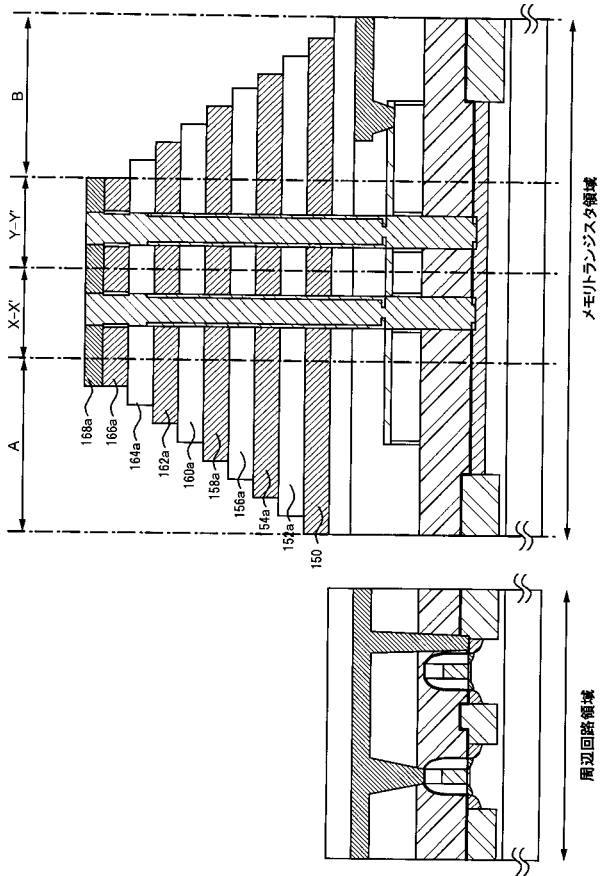
【図 39】



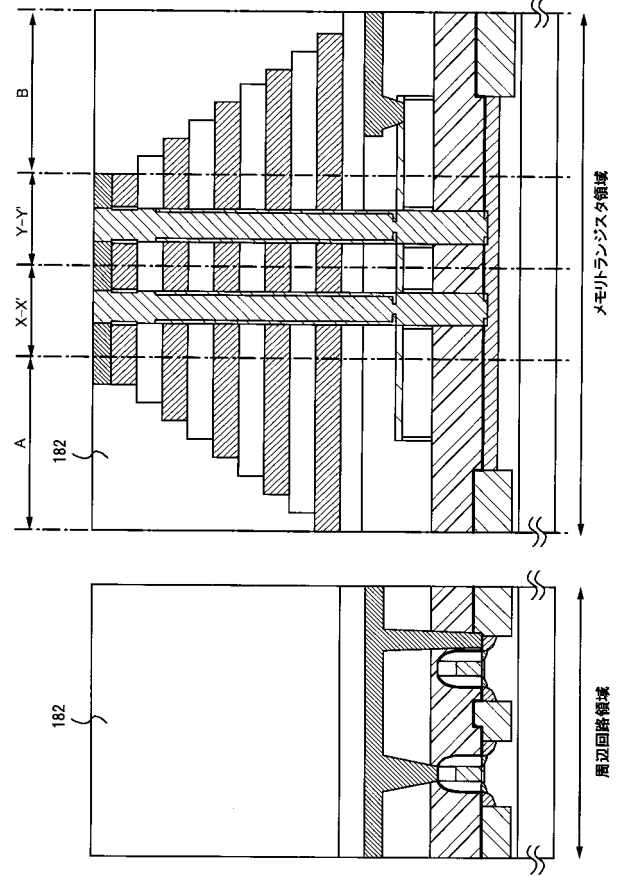
【図 40】



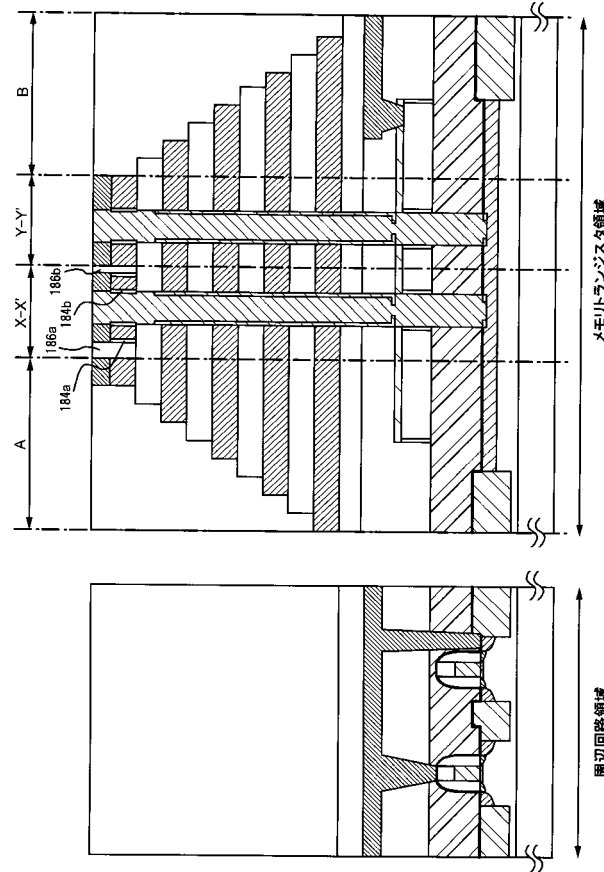
【図 4 1】



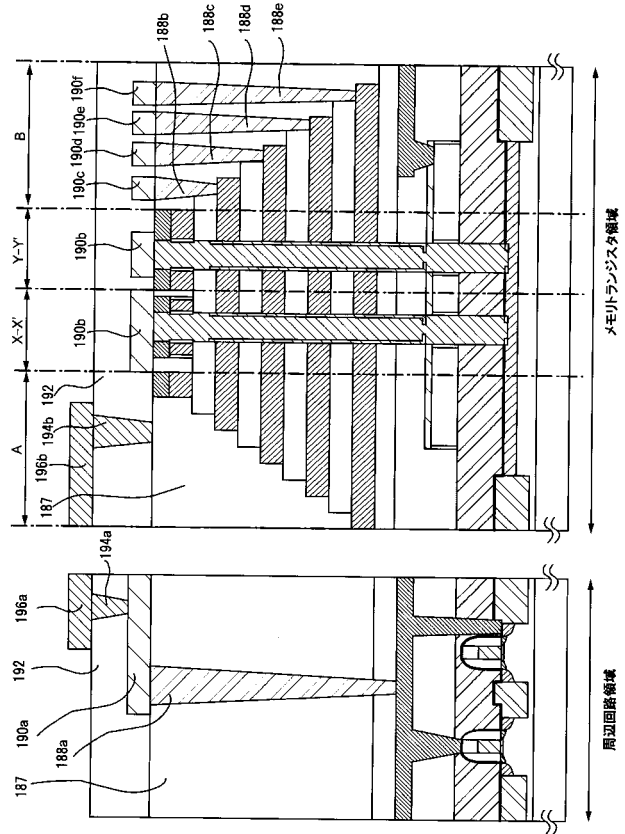
【図 4 2】



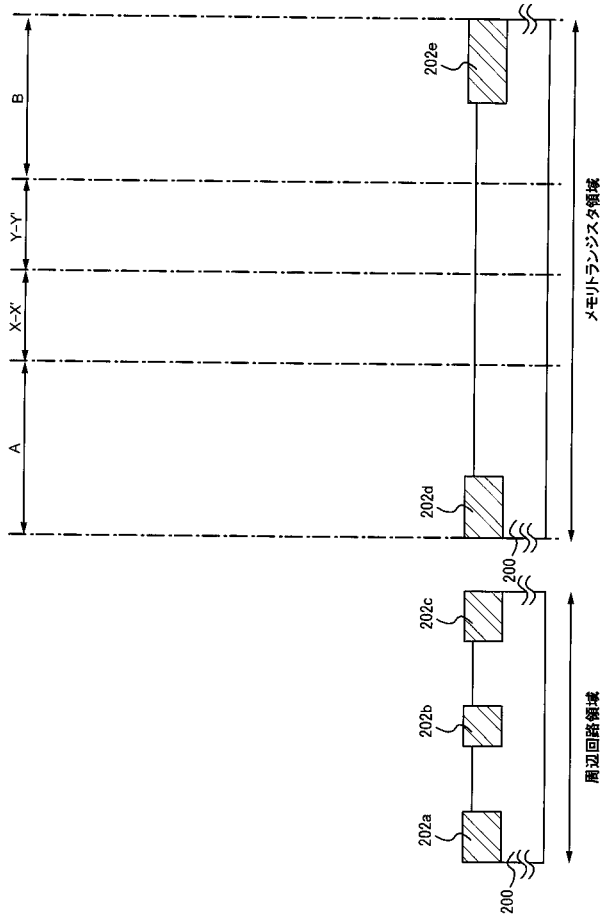
【図 4 3】



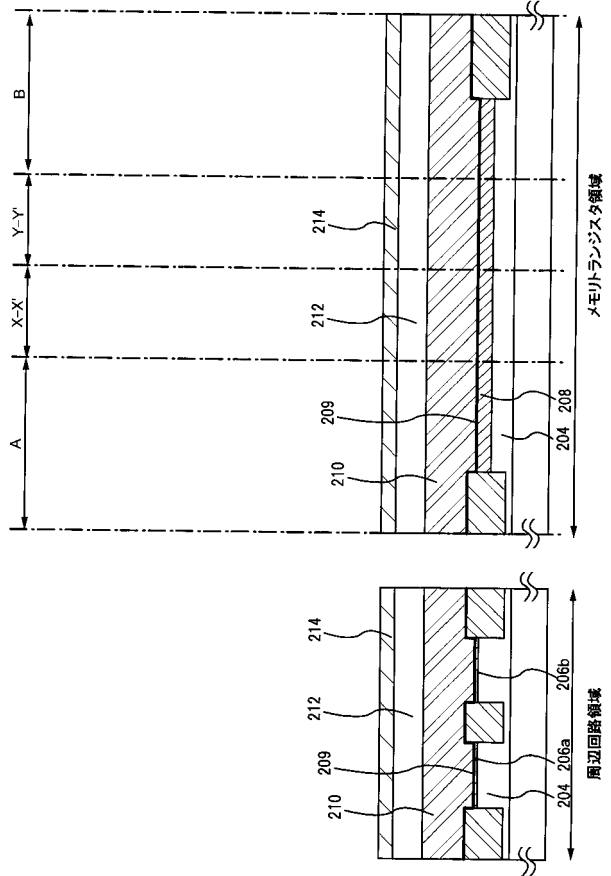
【図 4 4】



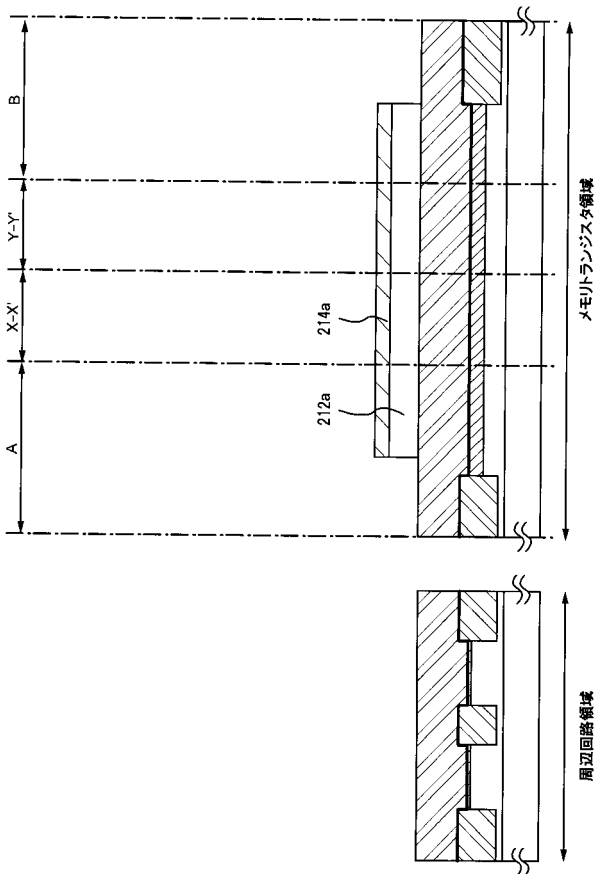
【図 45】



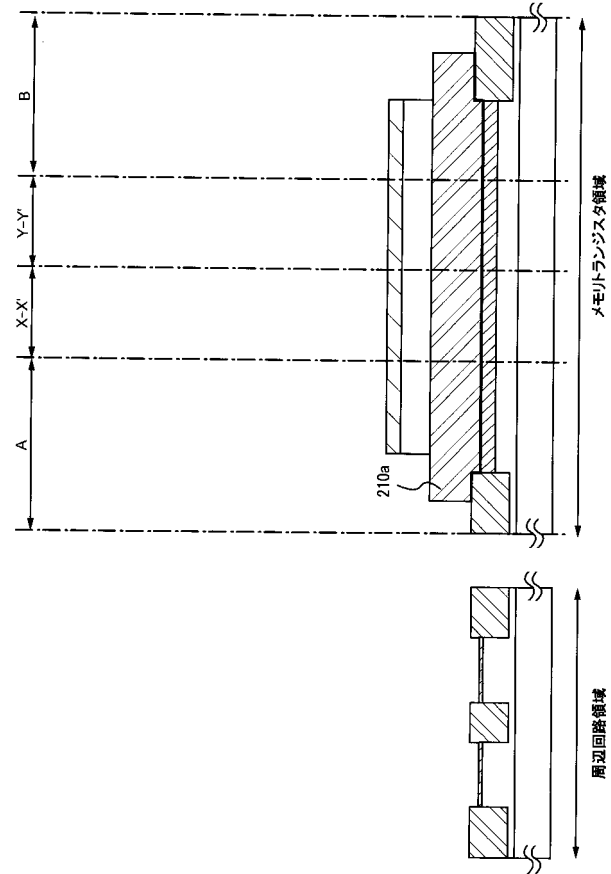
【図 46】



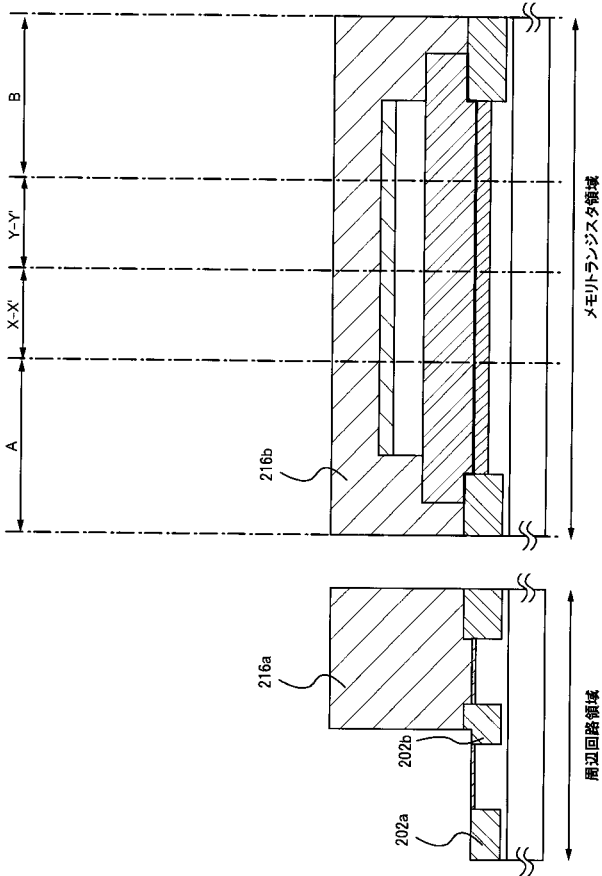
【図 47】



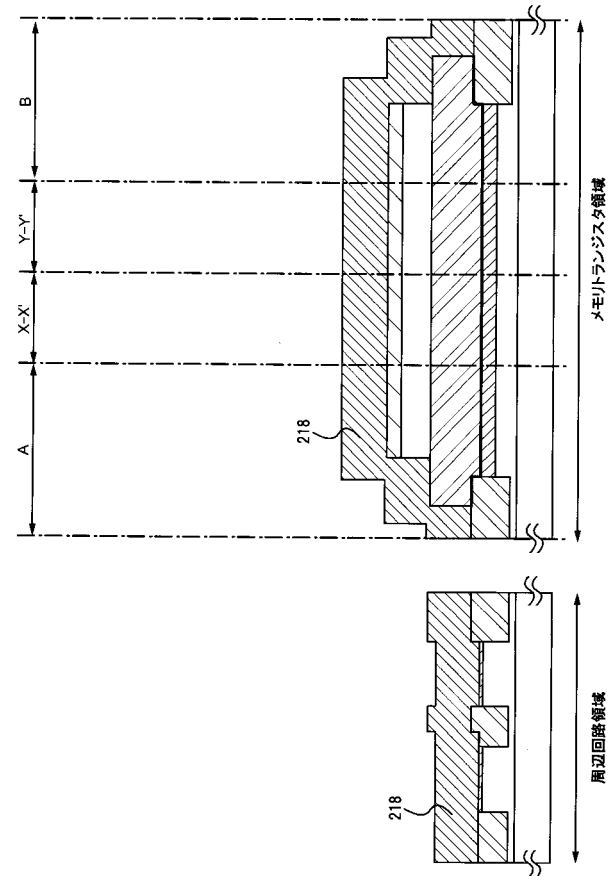
【図 48】



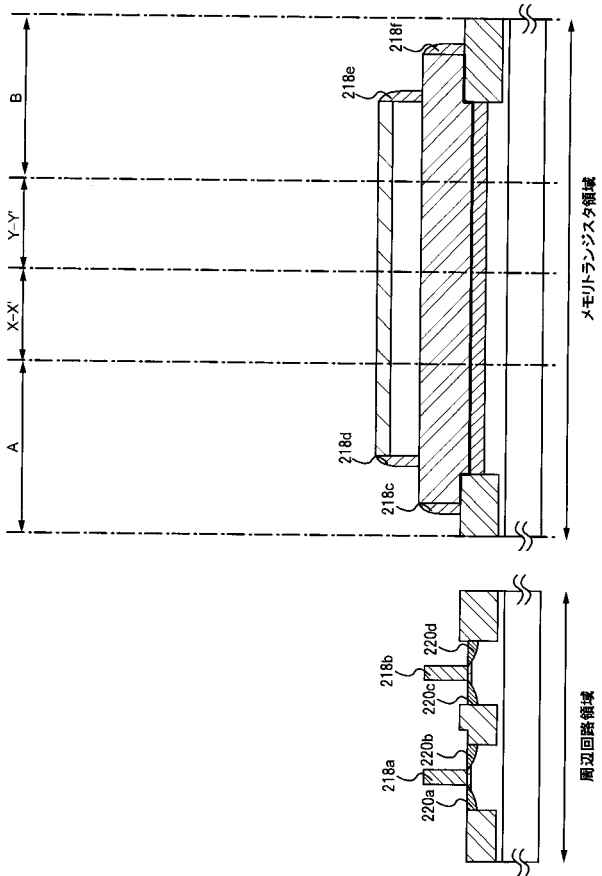
【図 49】



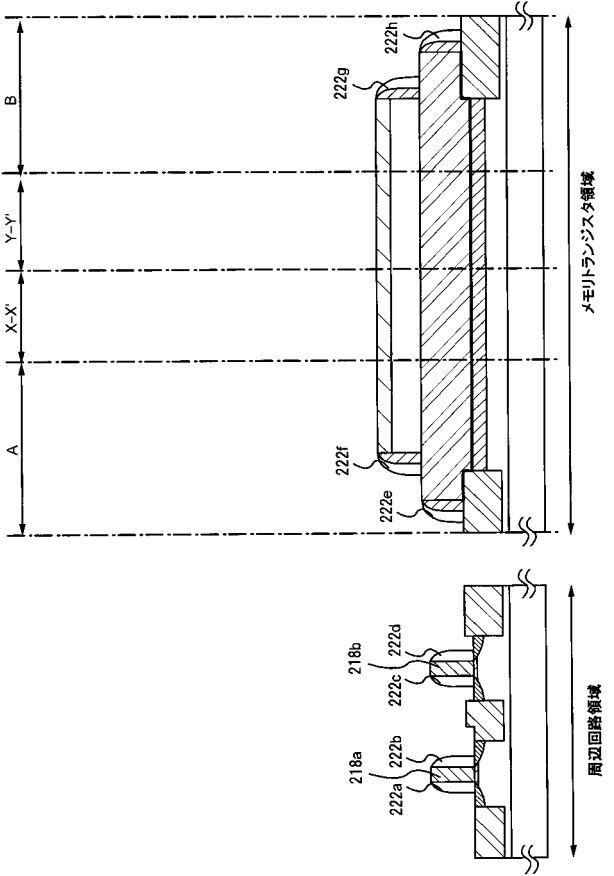
【図 50】



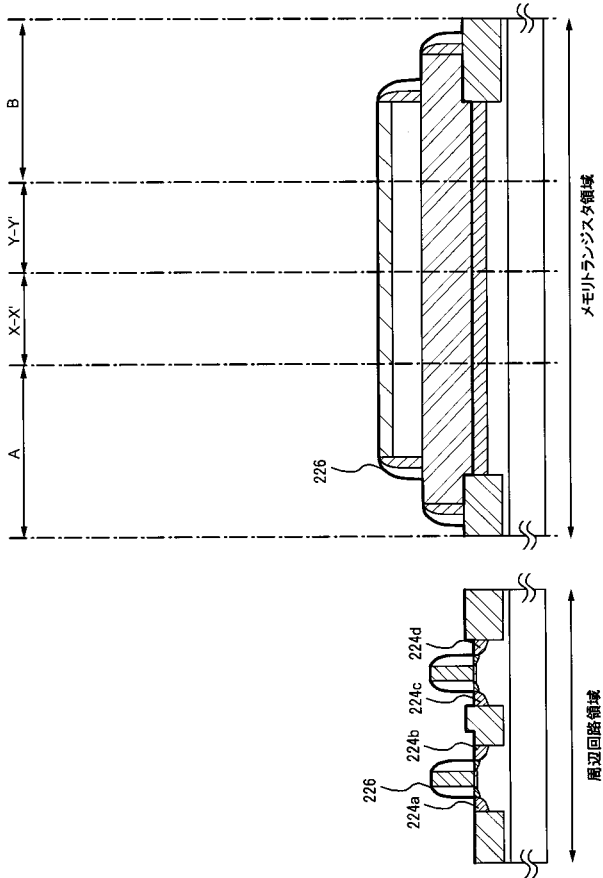
【図 51】



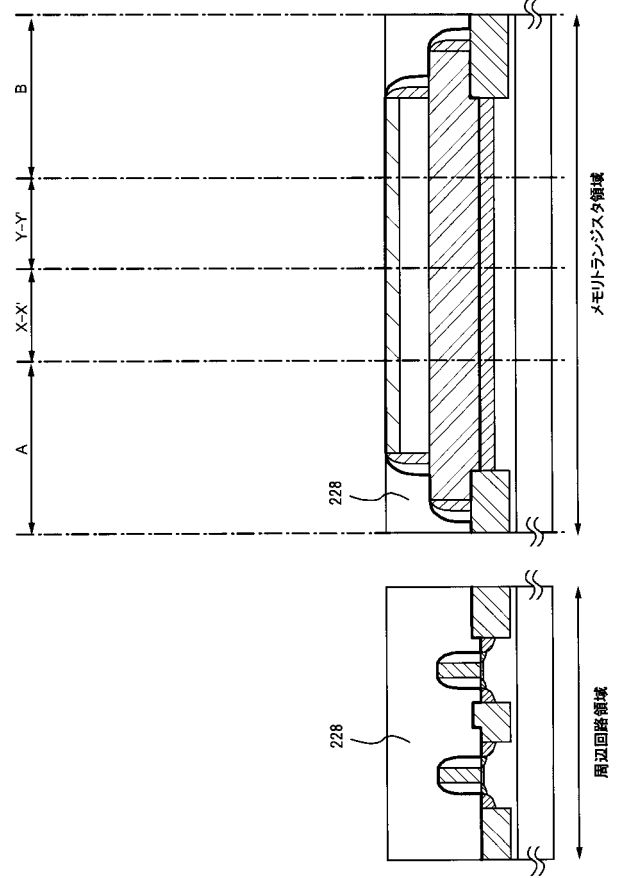
【図 52】



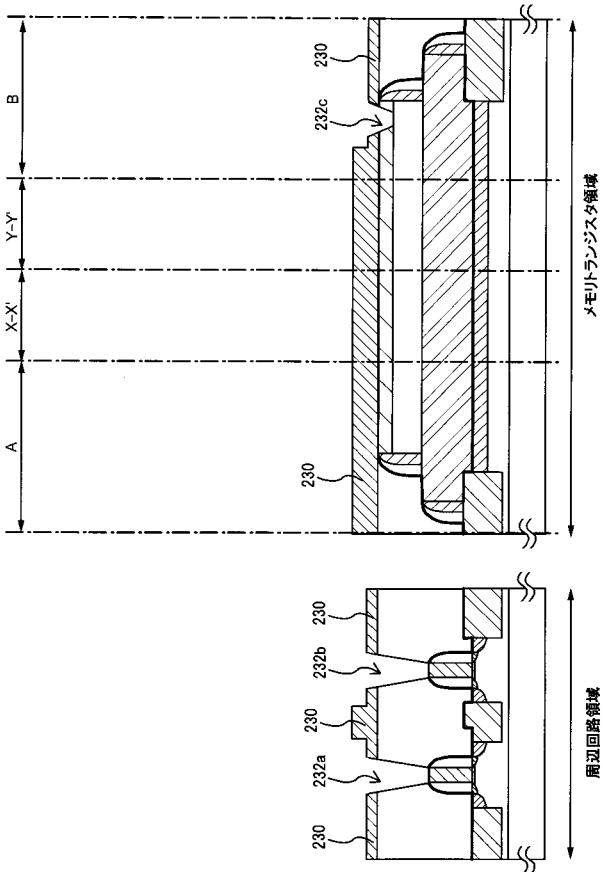
【図 5 3】



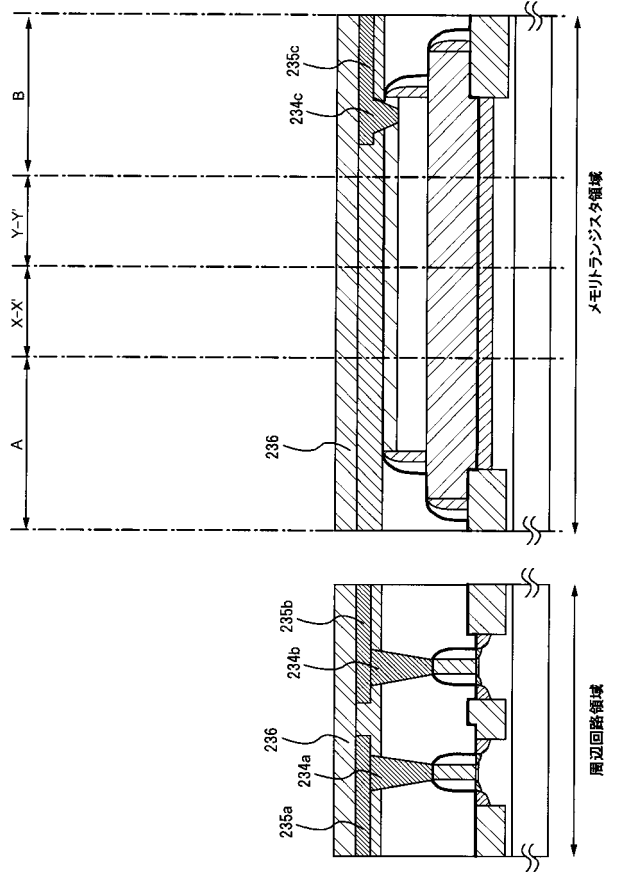
【図 5 4】



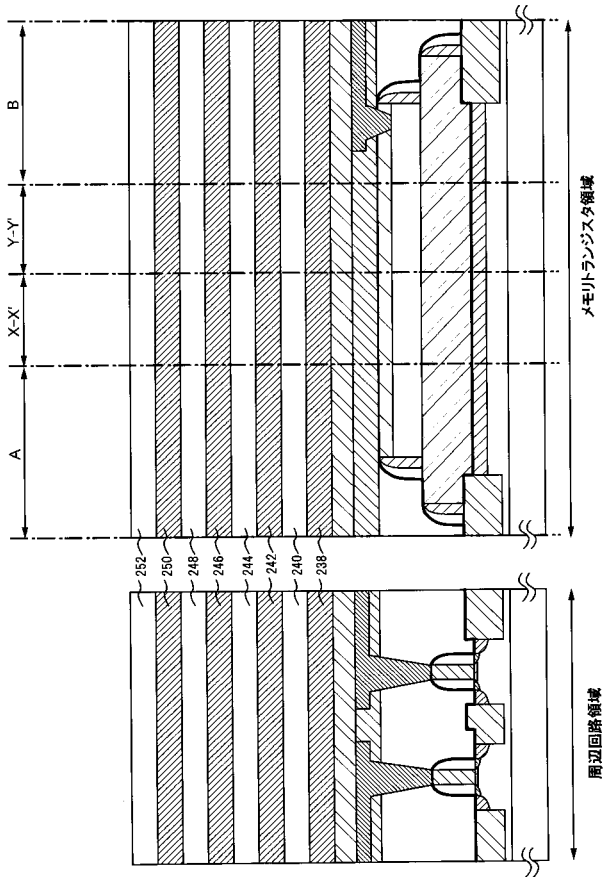
【図 5 5】



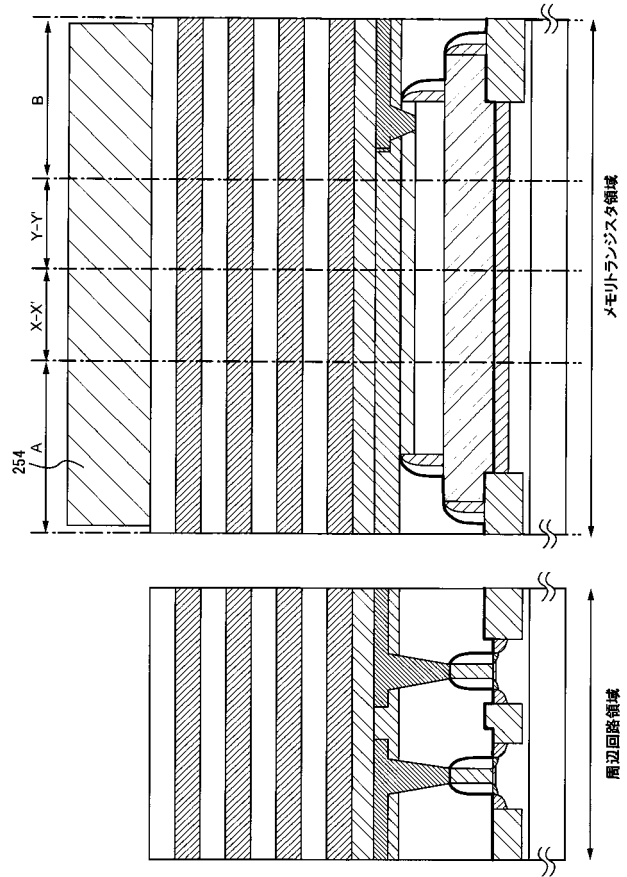
【図 5 6】



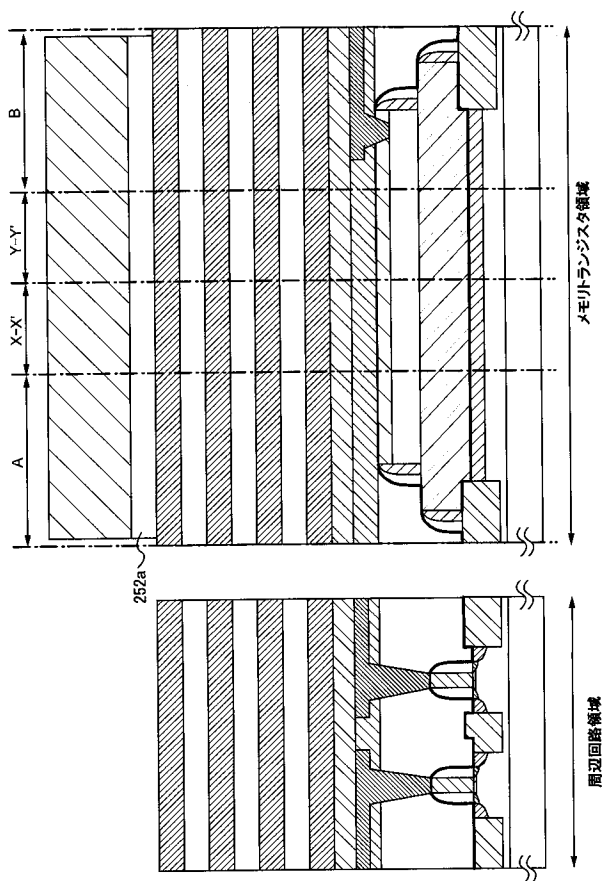
【図 57】



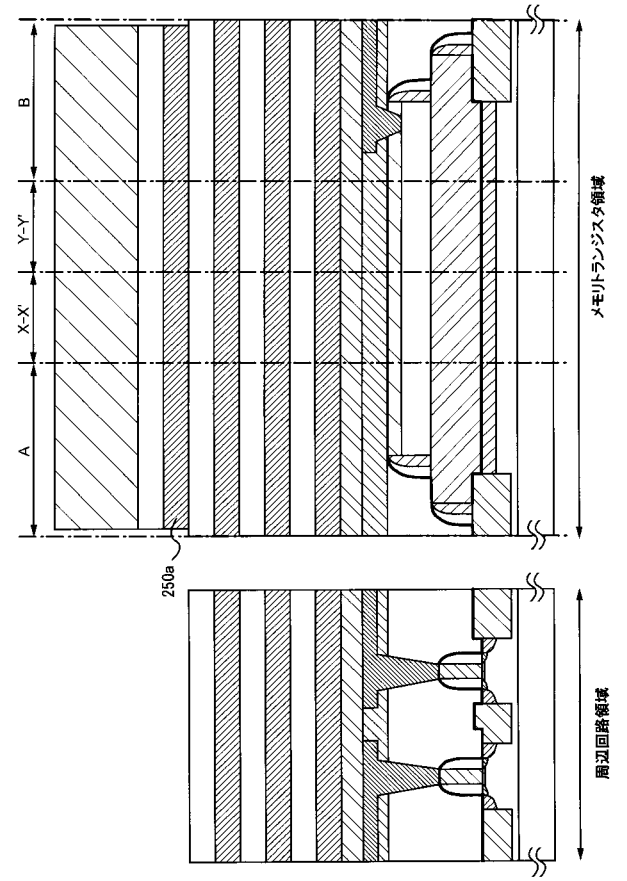
【図 58】



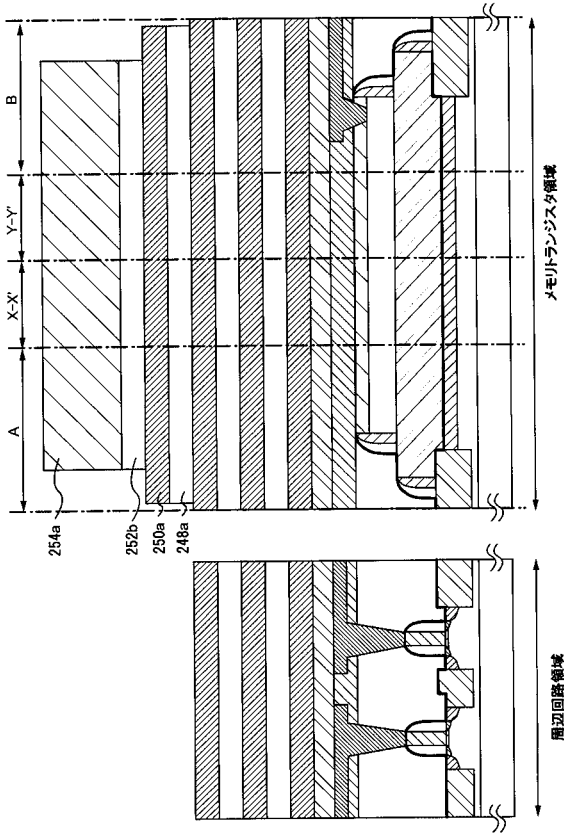
【図 59】



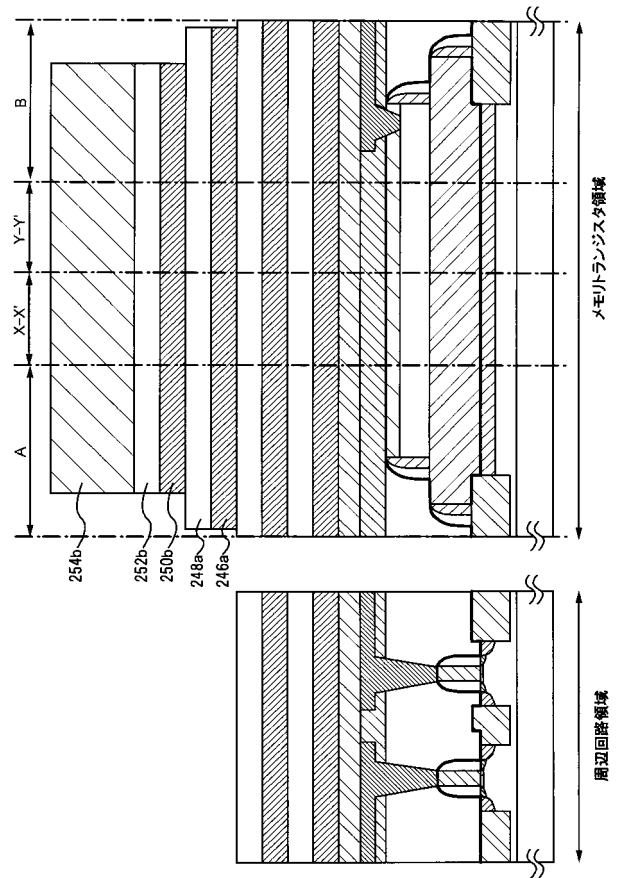
【図 60】



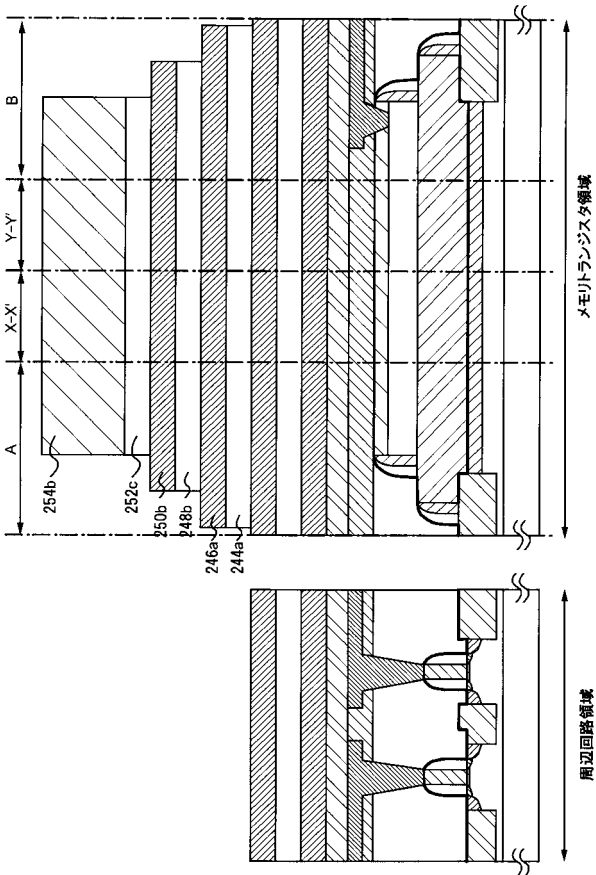
【図 6 1】



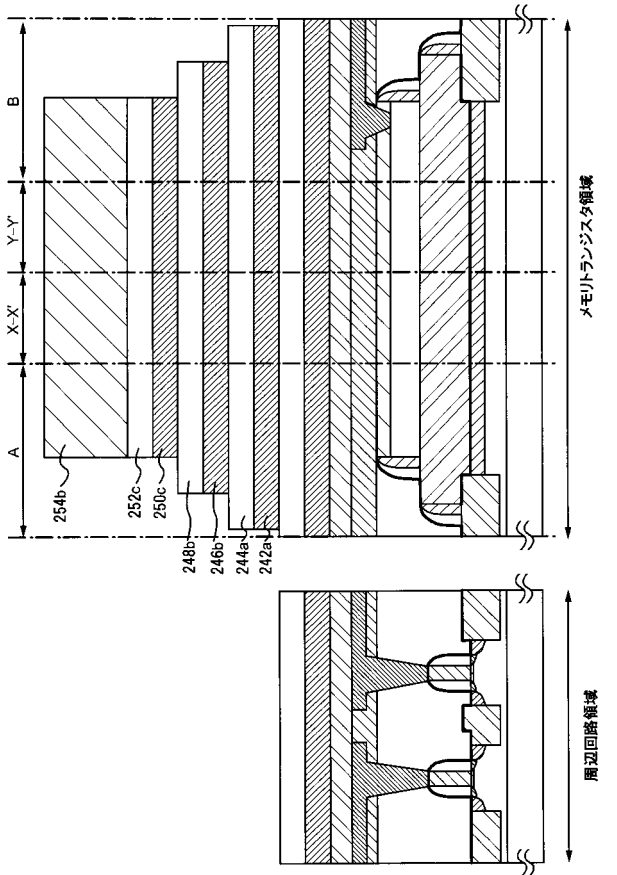
【図 6 2】



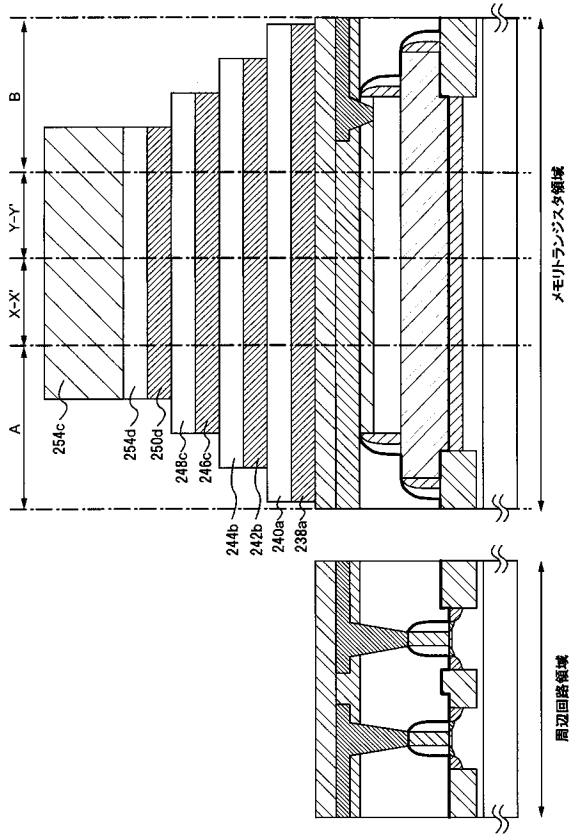
【図 6 3】



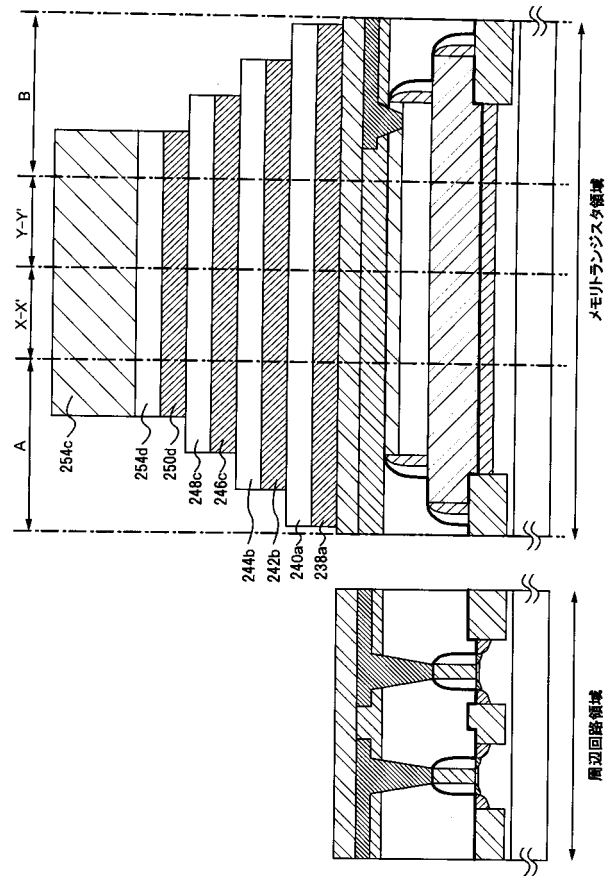
【図 6 4】



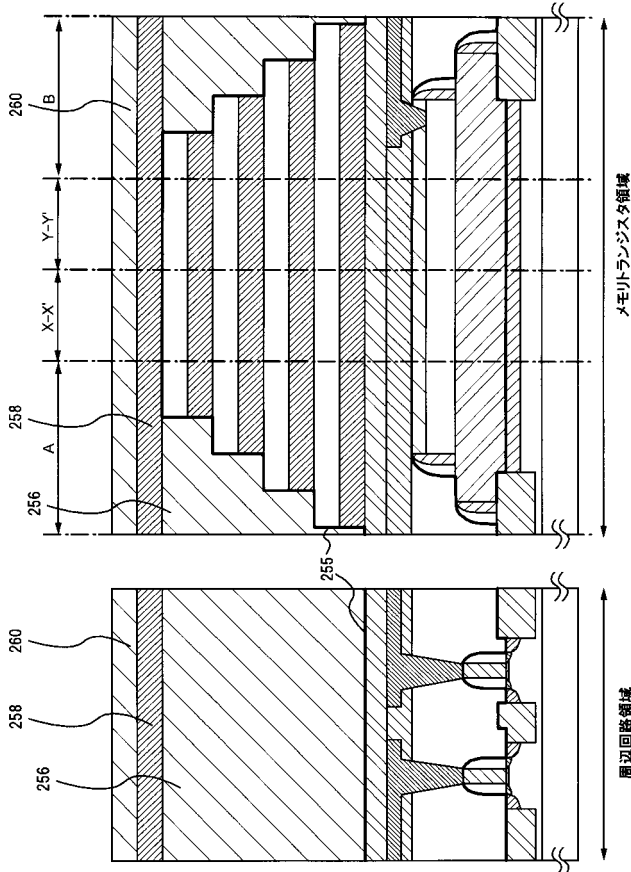
【図 65】



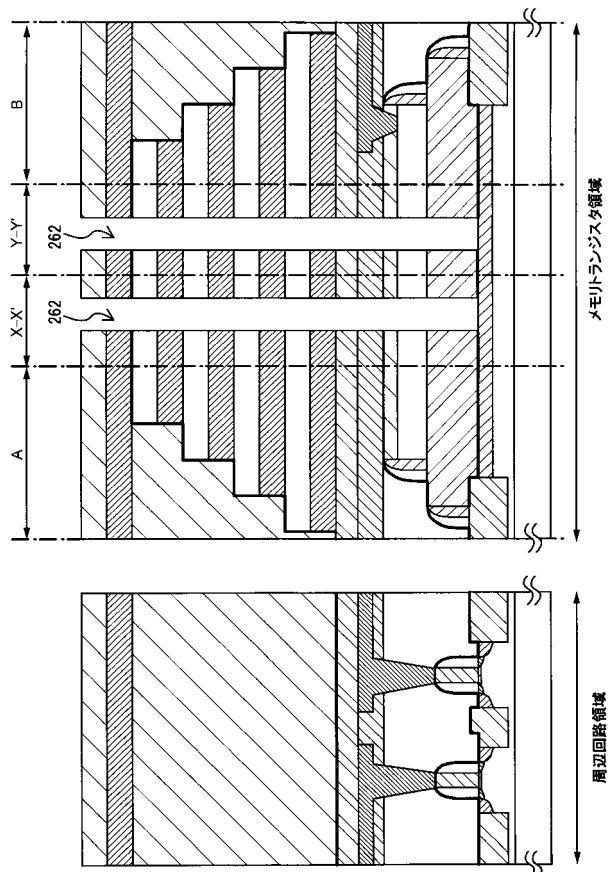
【図 66】



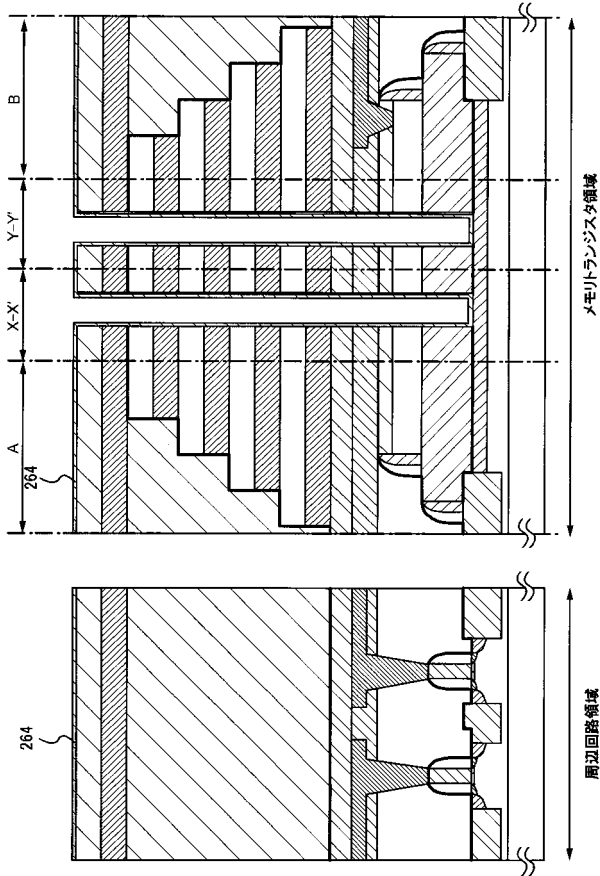
【図 67】



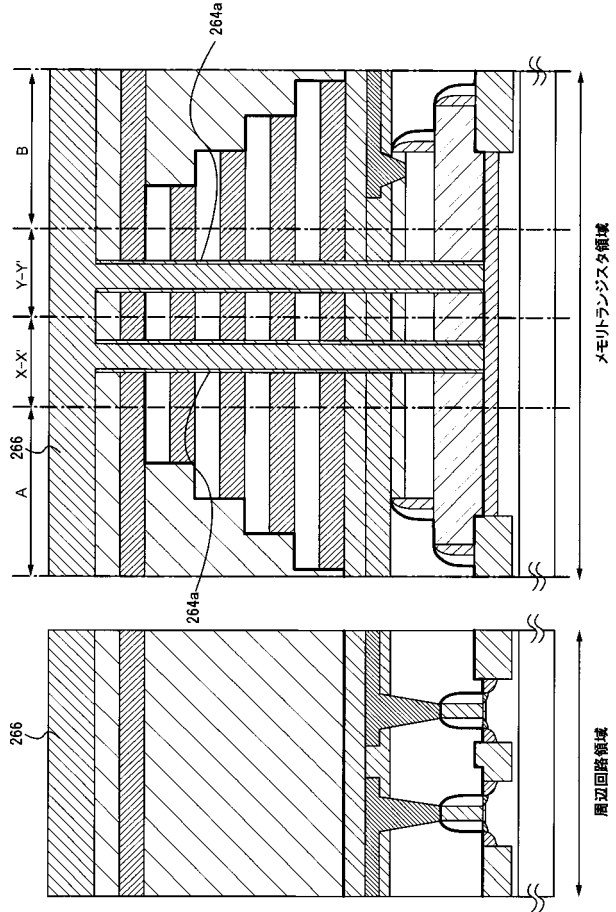
【図 68】



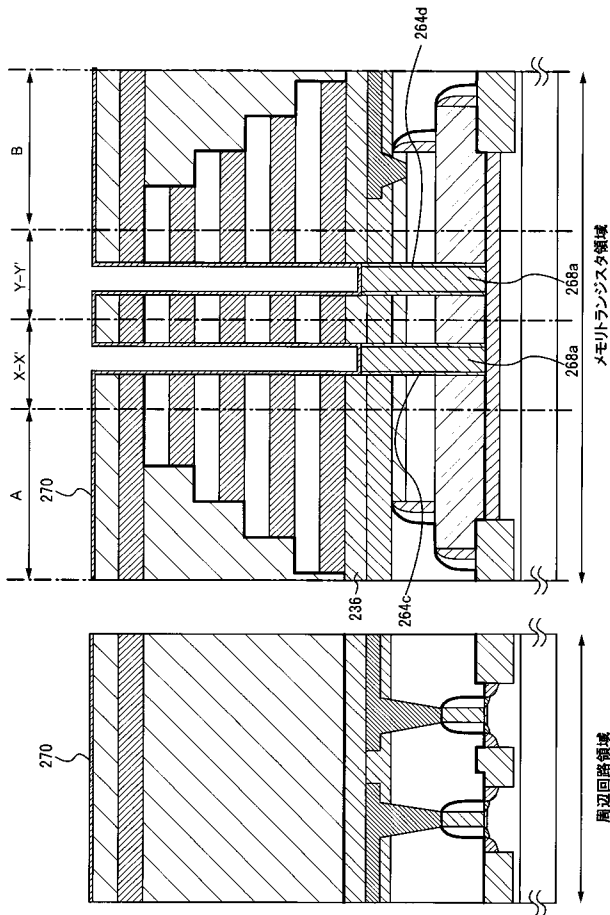
【図 69】



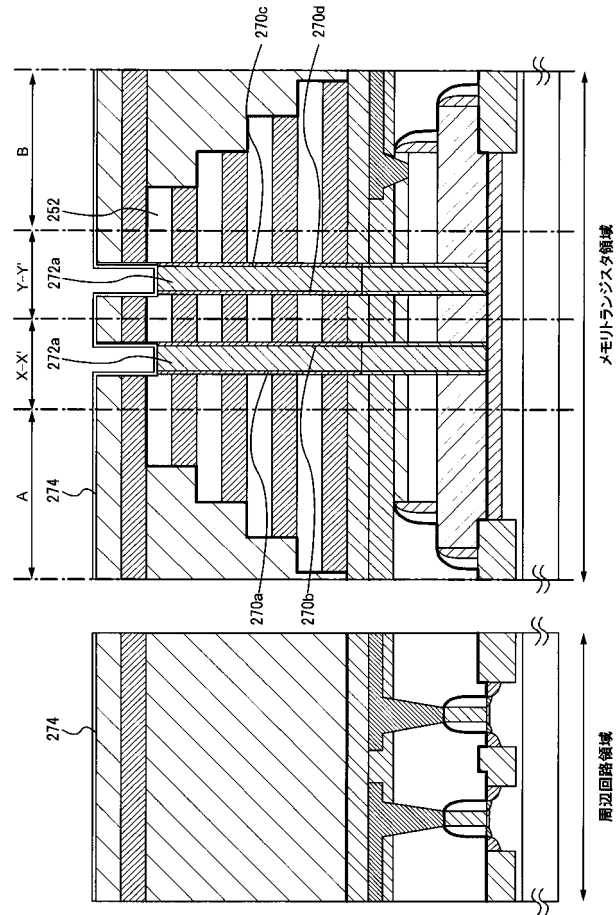
【図 70】



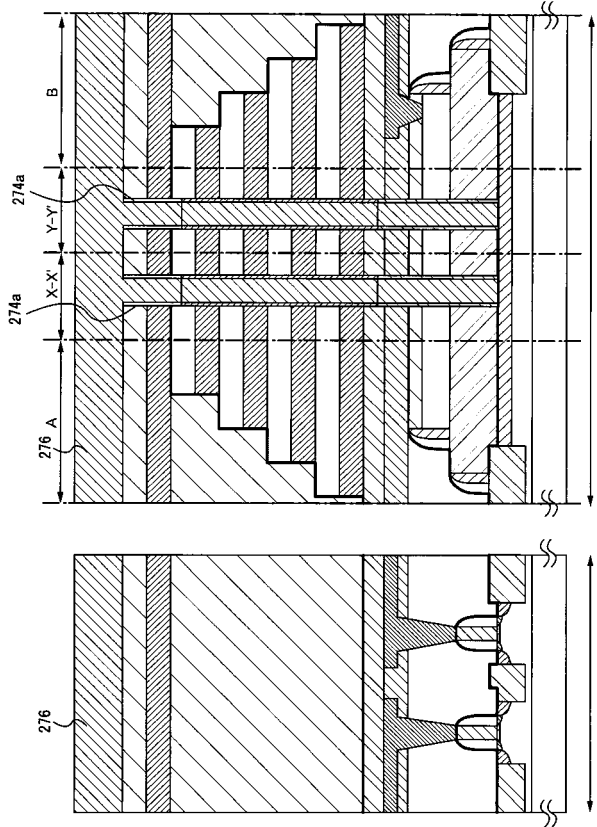
【図 71】



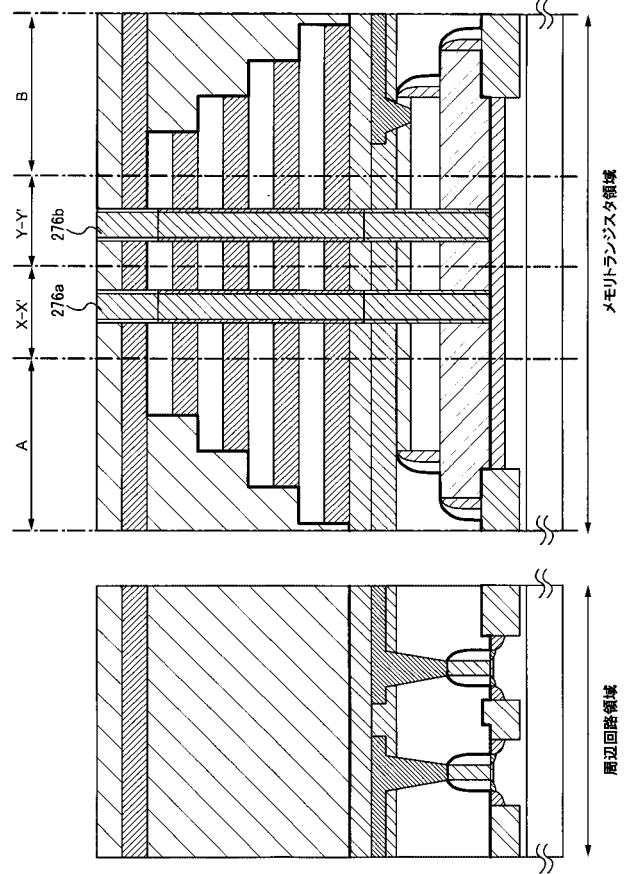
【図 72】



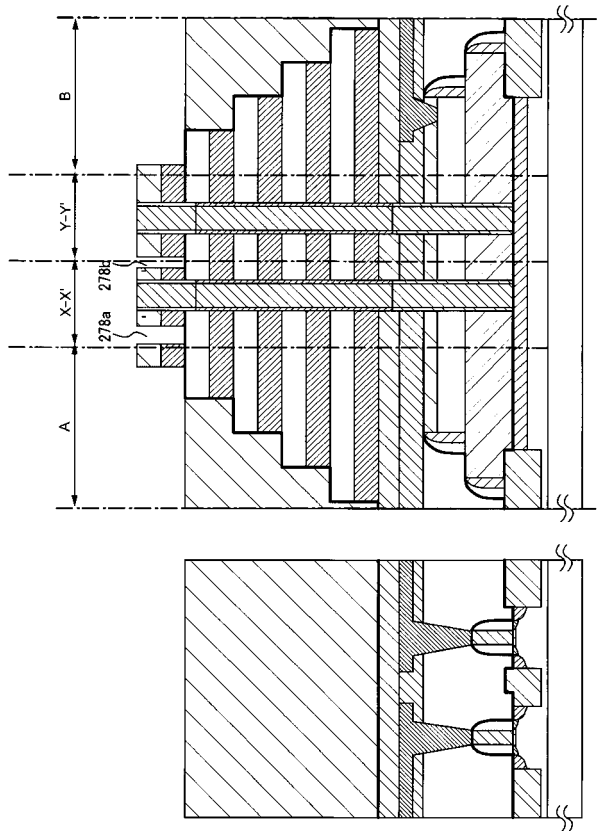
【図 7 3】



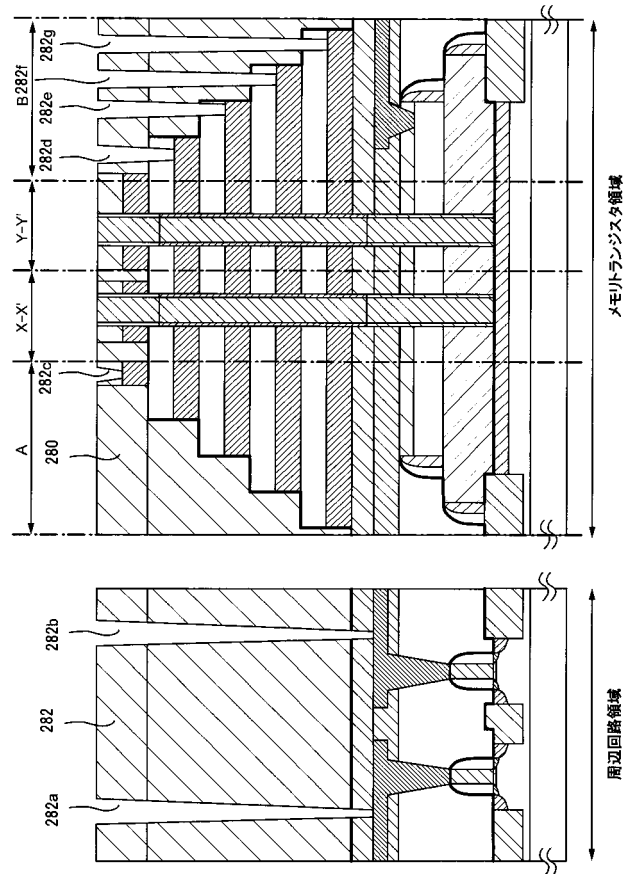
【図 7 4】



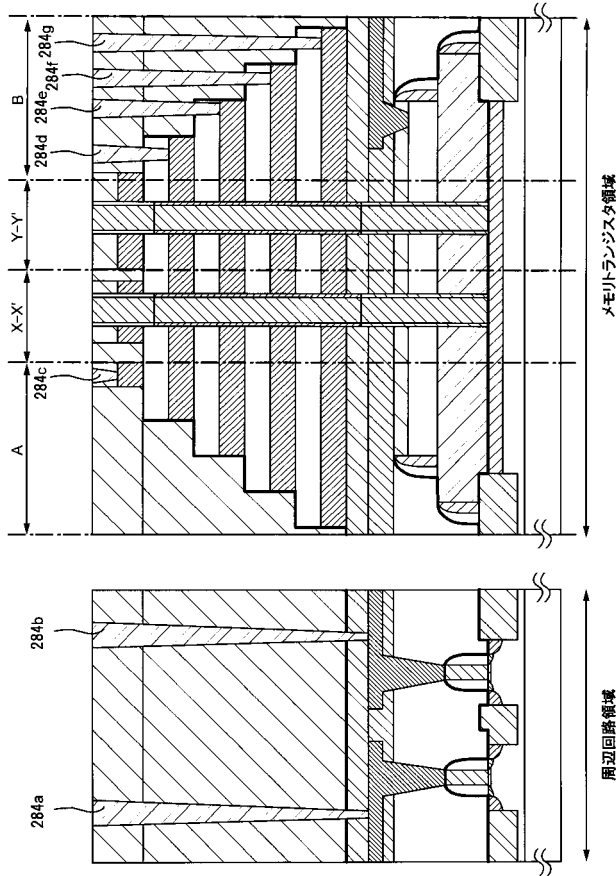
【図 7 5】



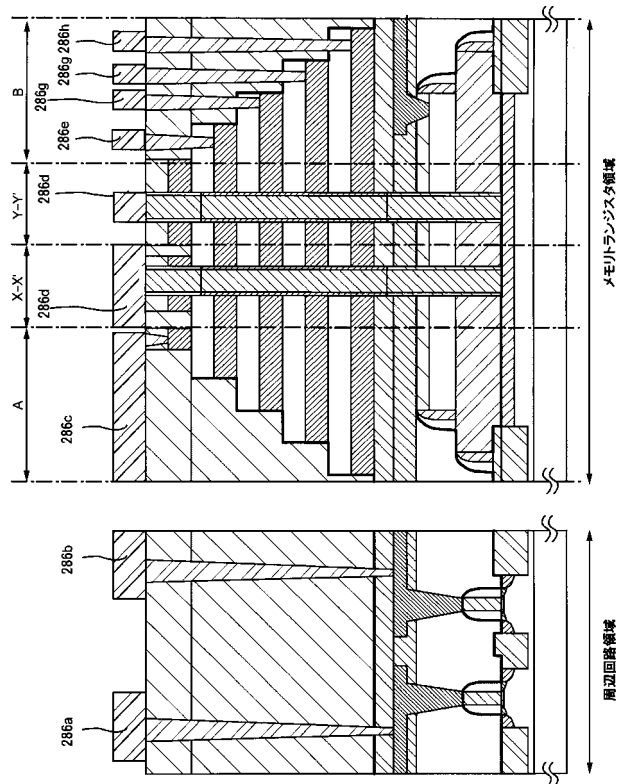
【図 7 6】



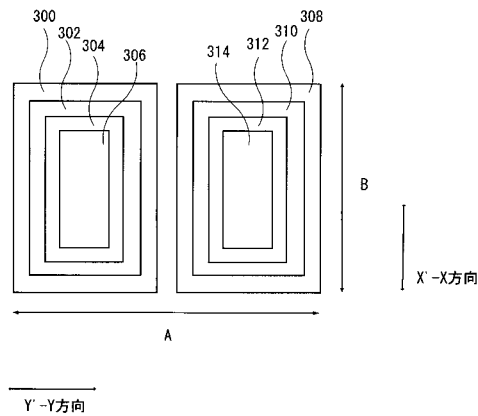
【図 77】



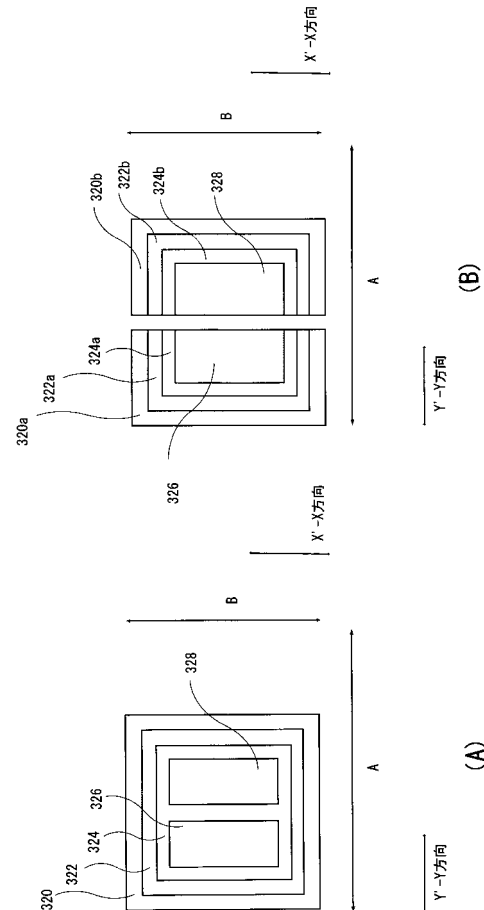
【図 78】



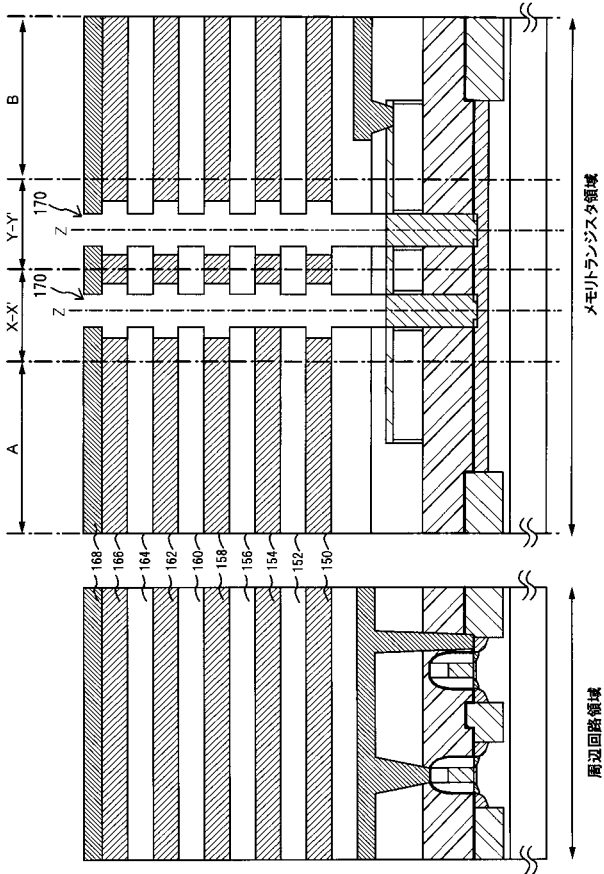
【図 79】



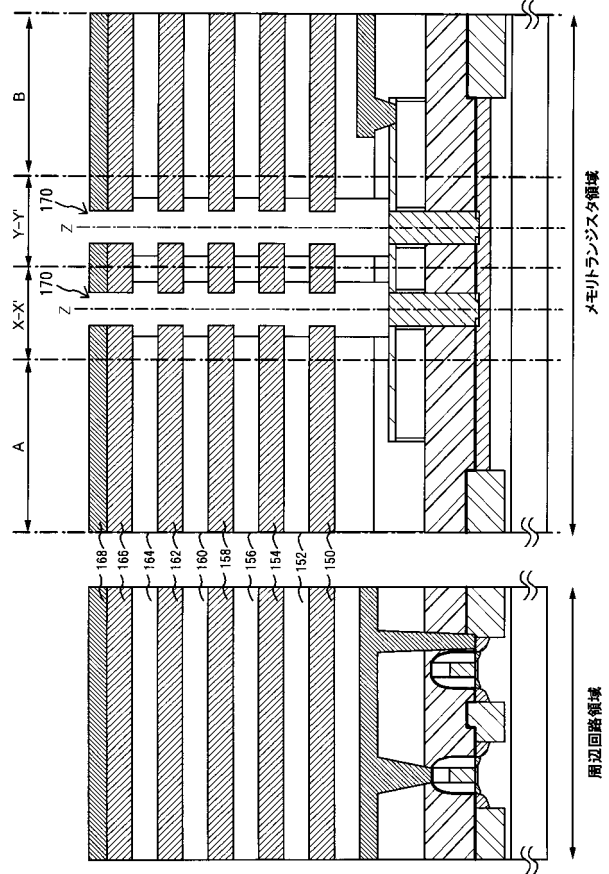
【図 80】



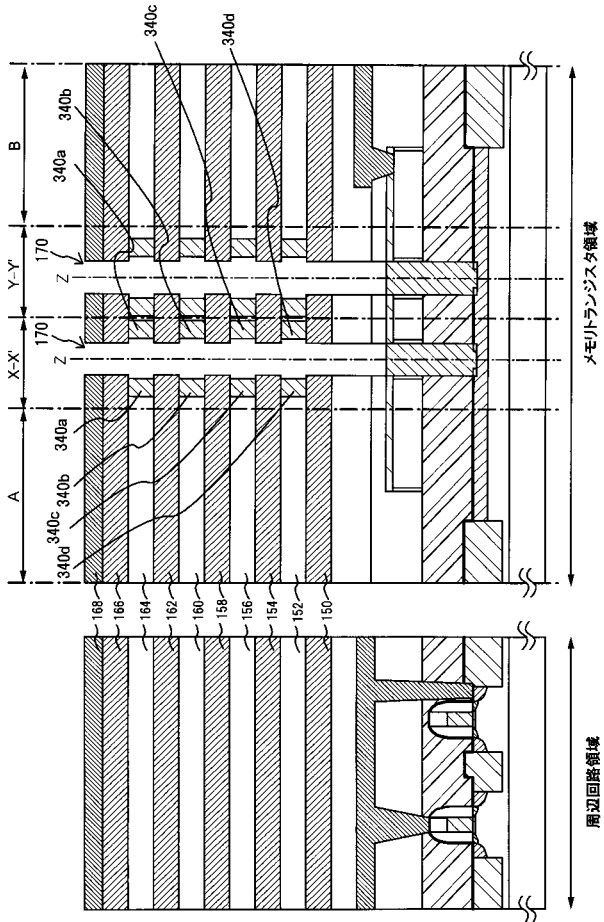
【図 8 1】



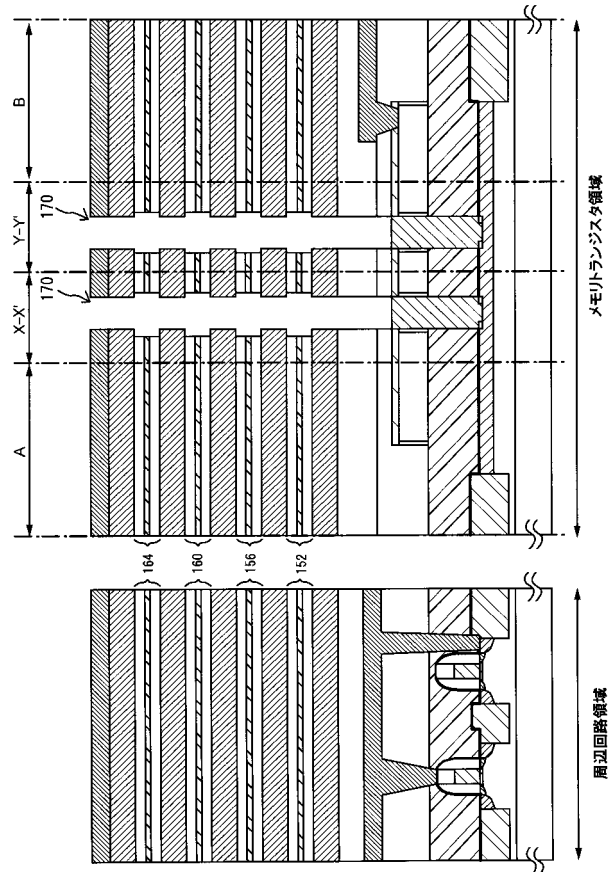
【図 8 2】



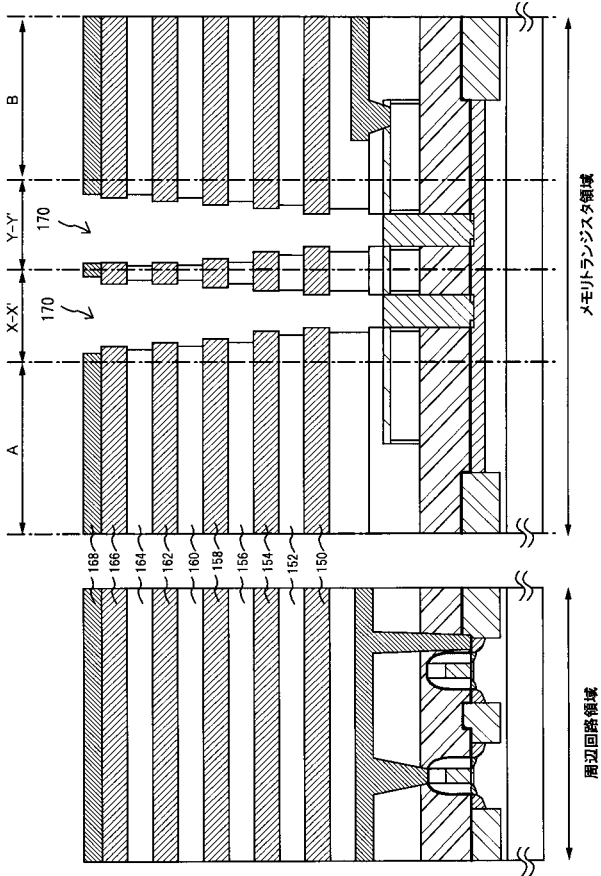
【図 8 3】



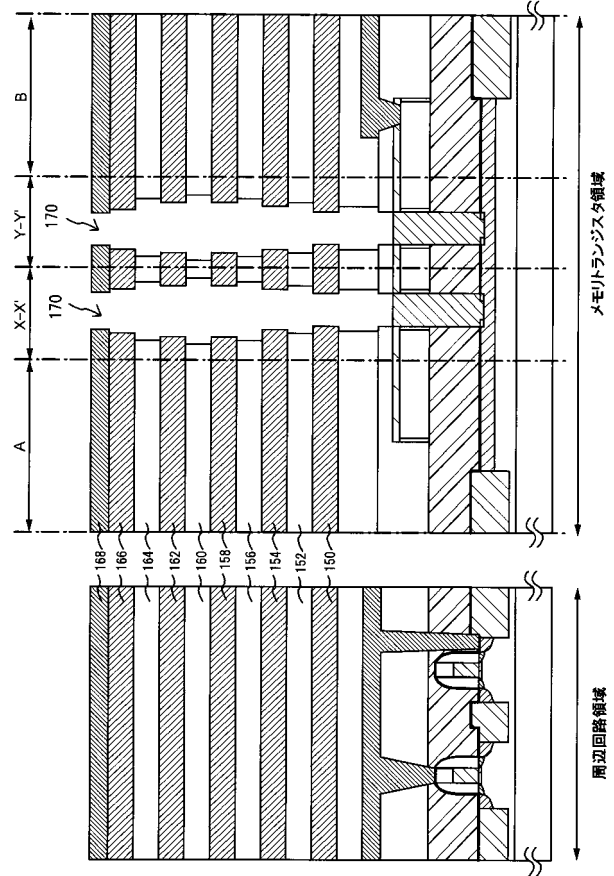
【図 8 4】



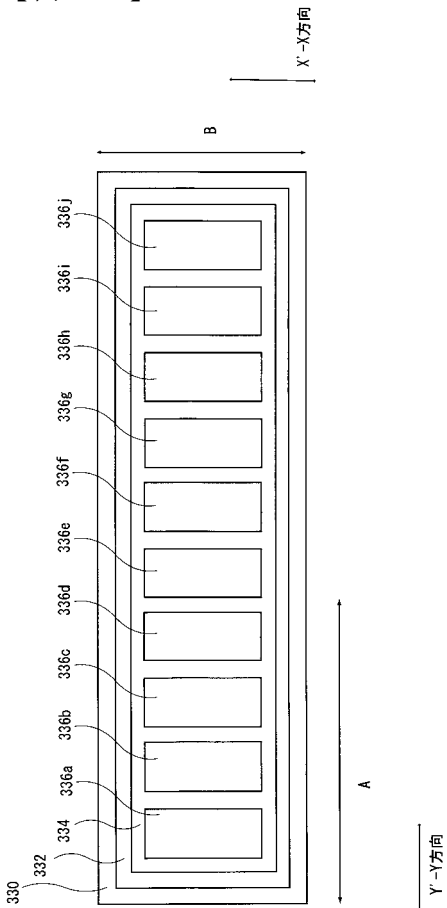
【図 85】



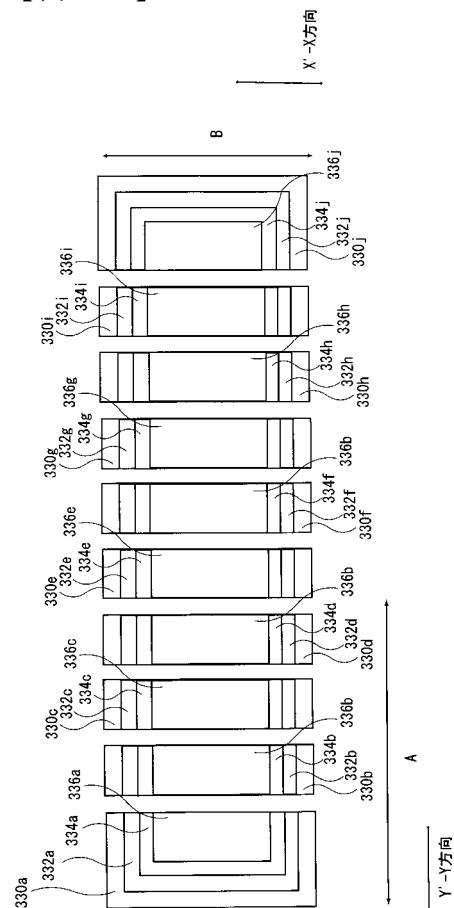
【図 86】



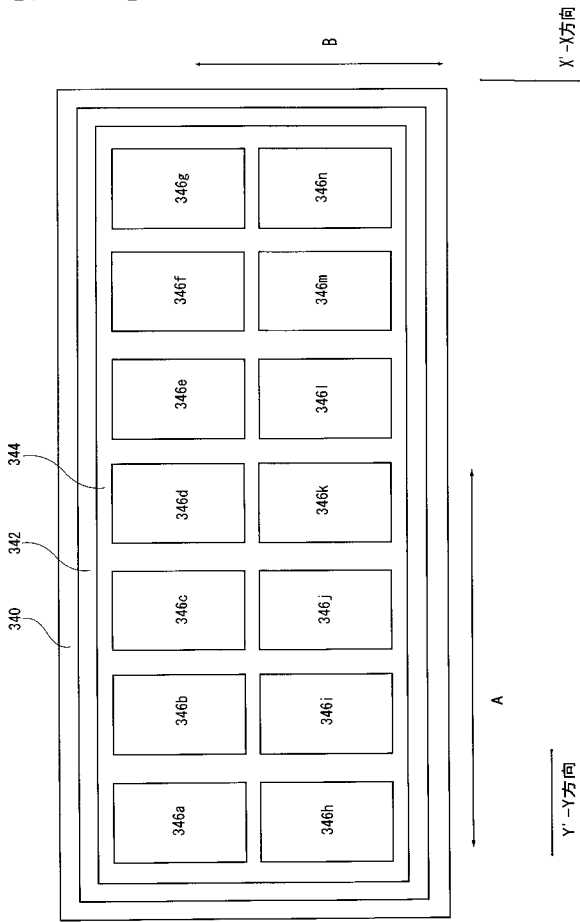
【図 89】



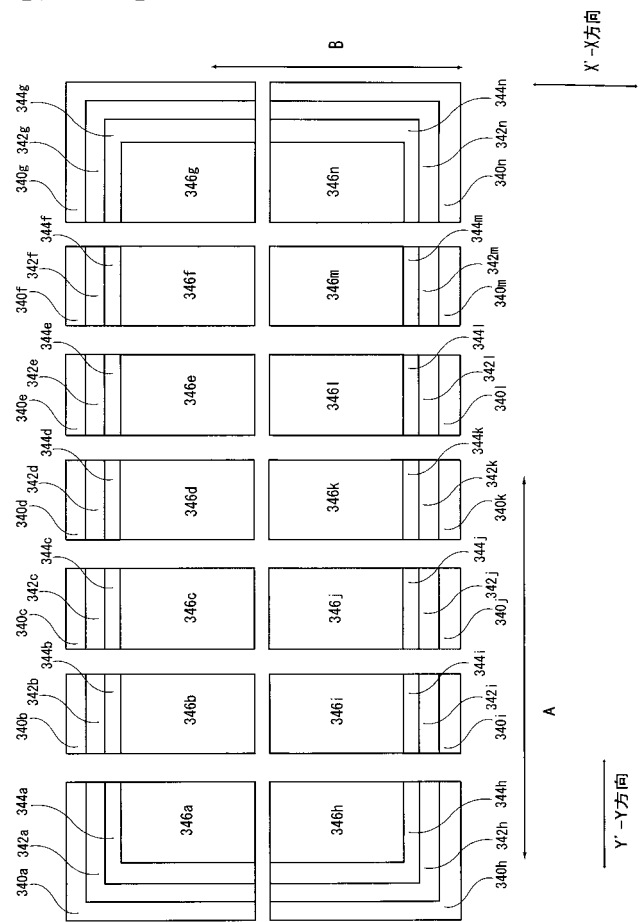
【図 90】



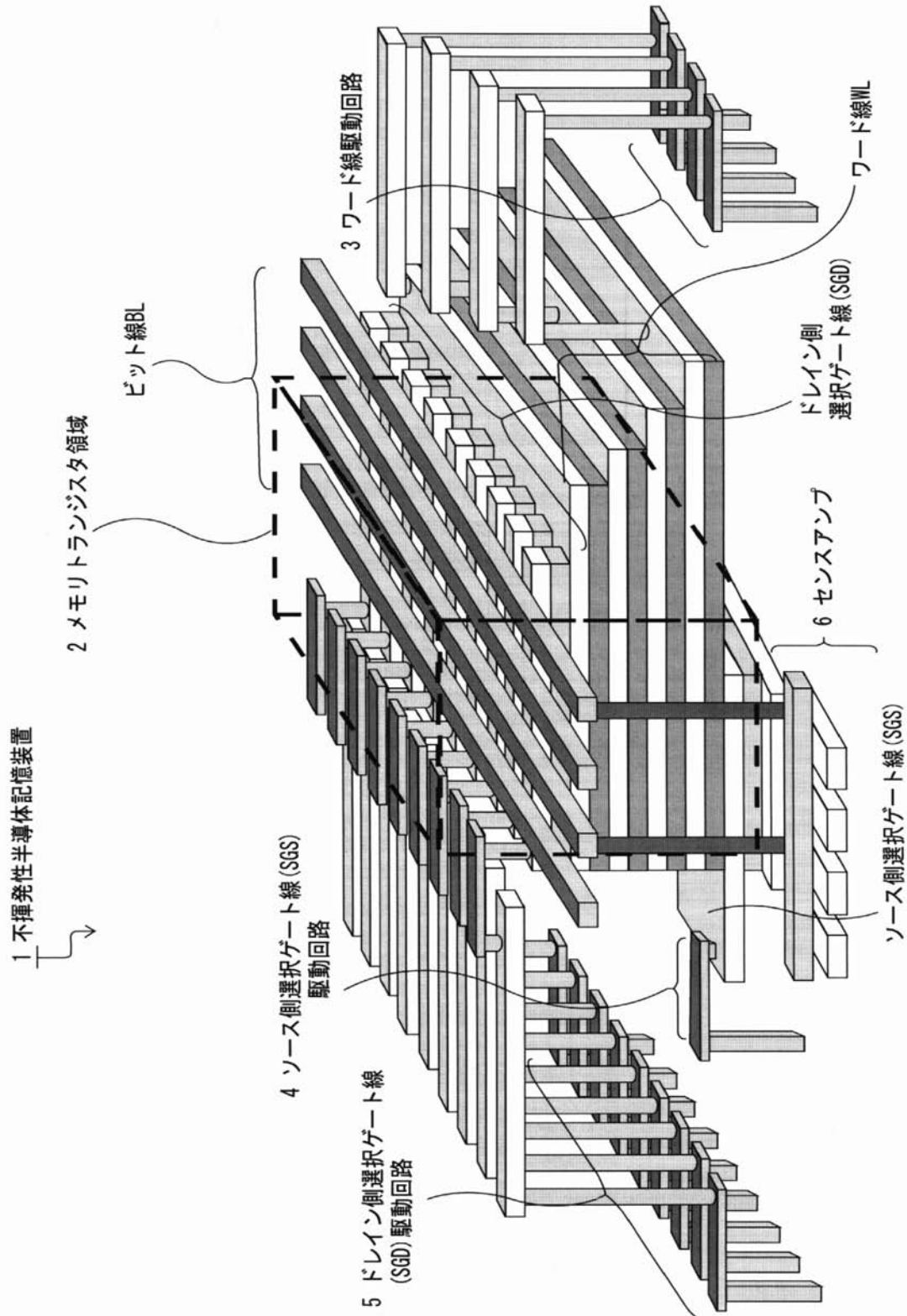
【図 9 1】



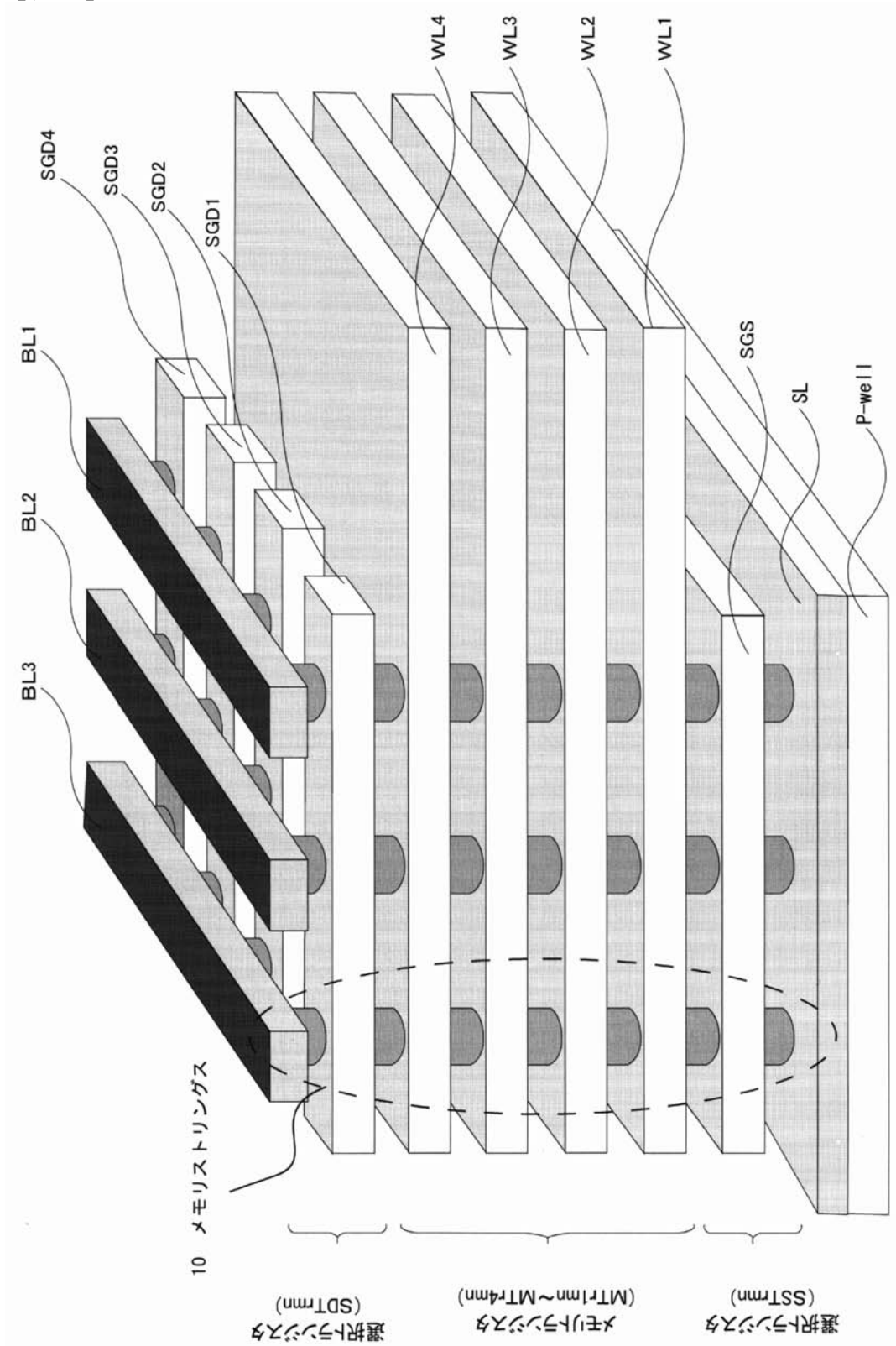
【図 9 2】



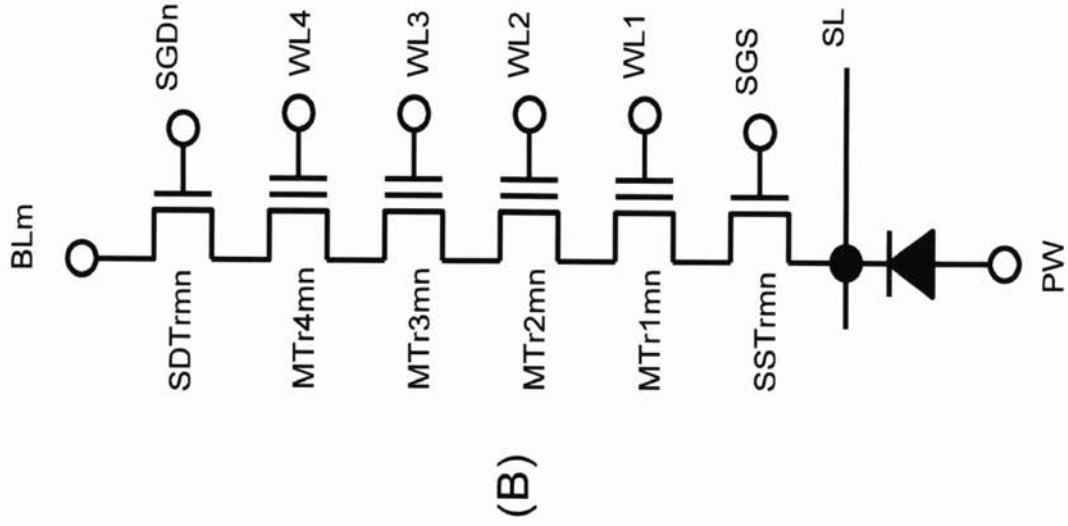
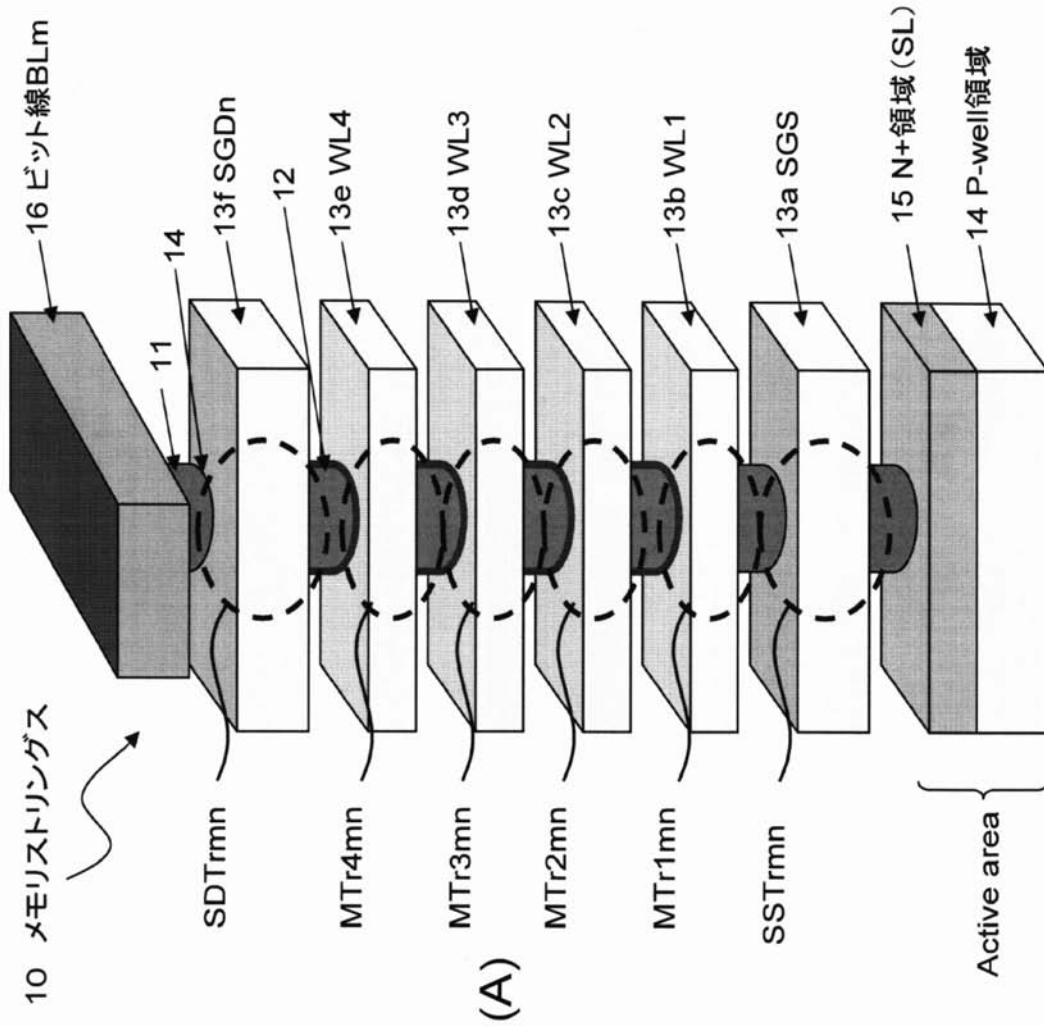
【図 1】



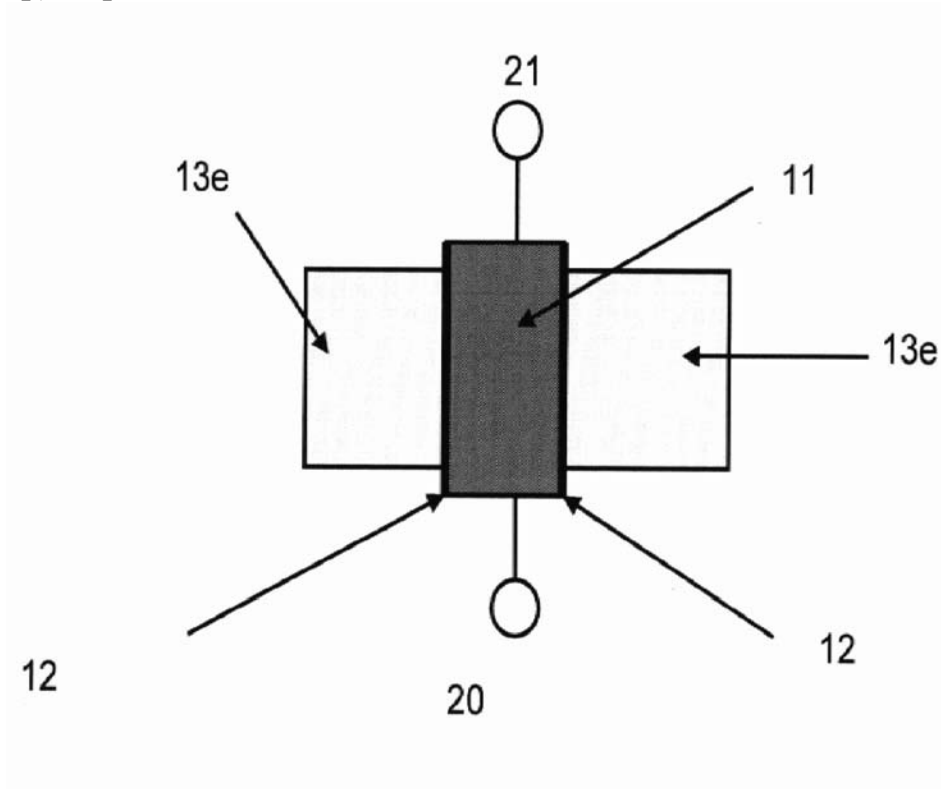
【図 2】



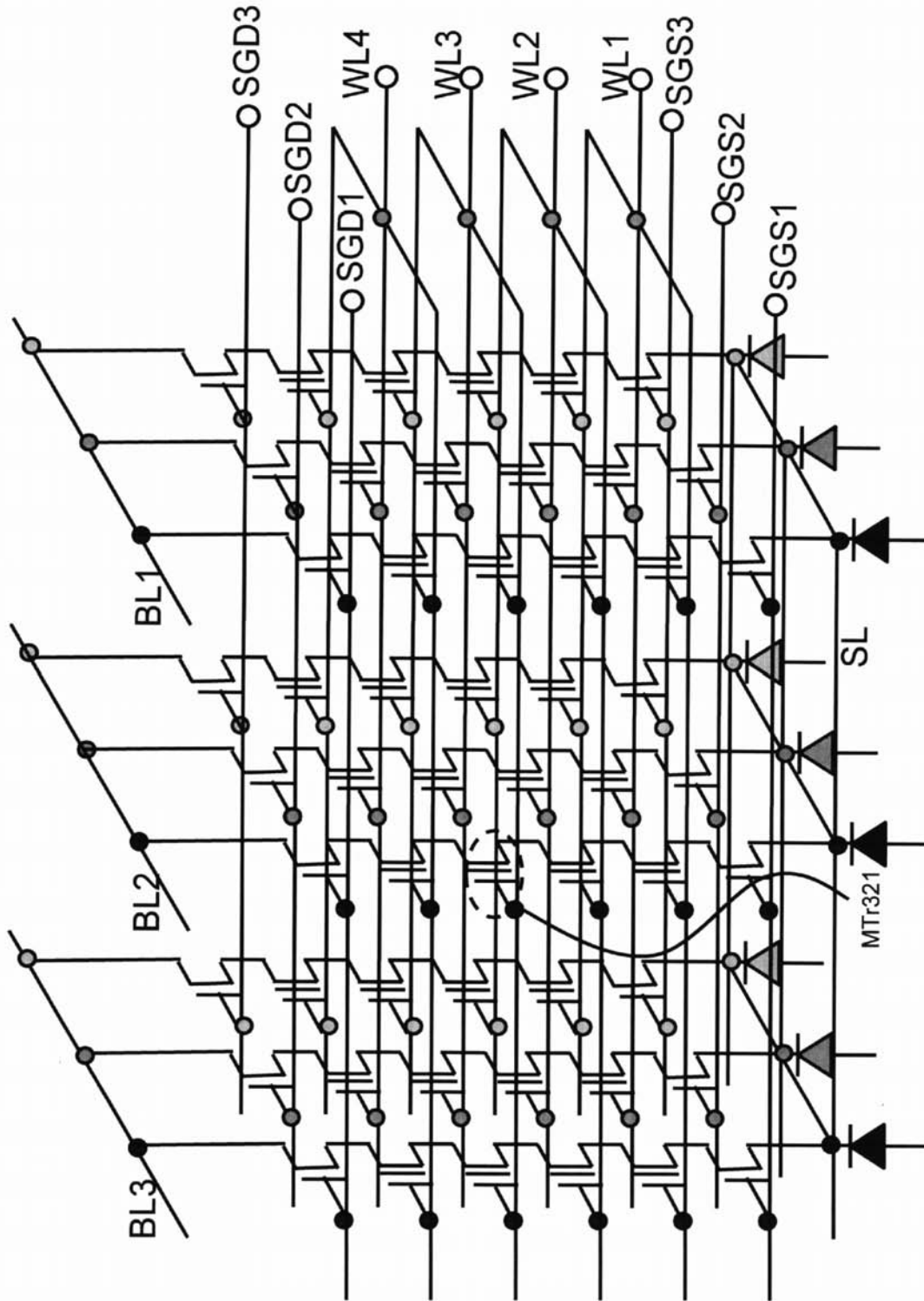
【図 3】



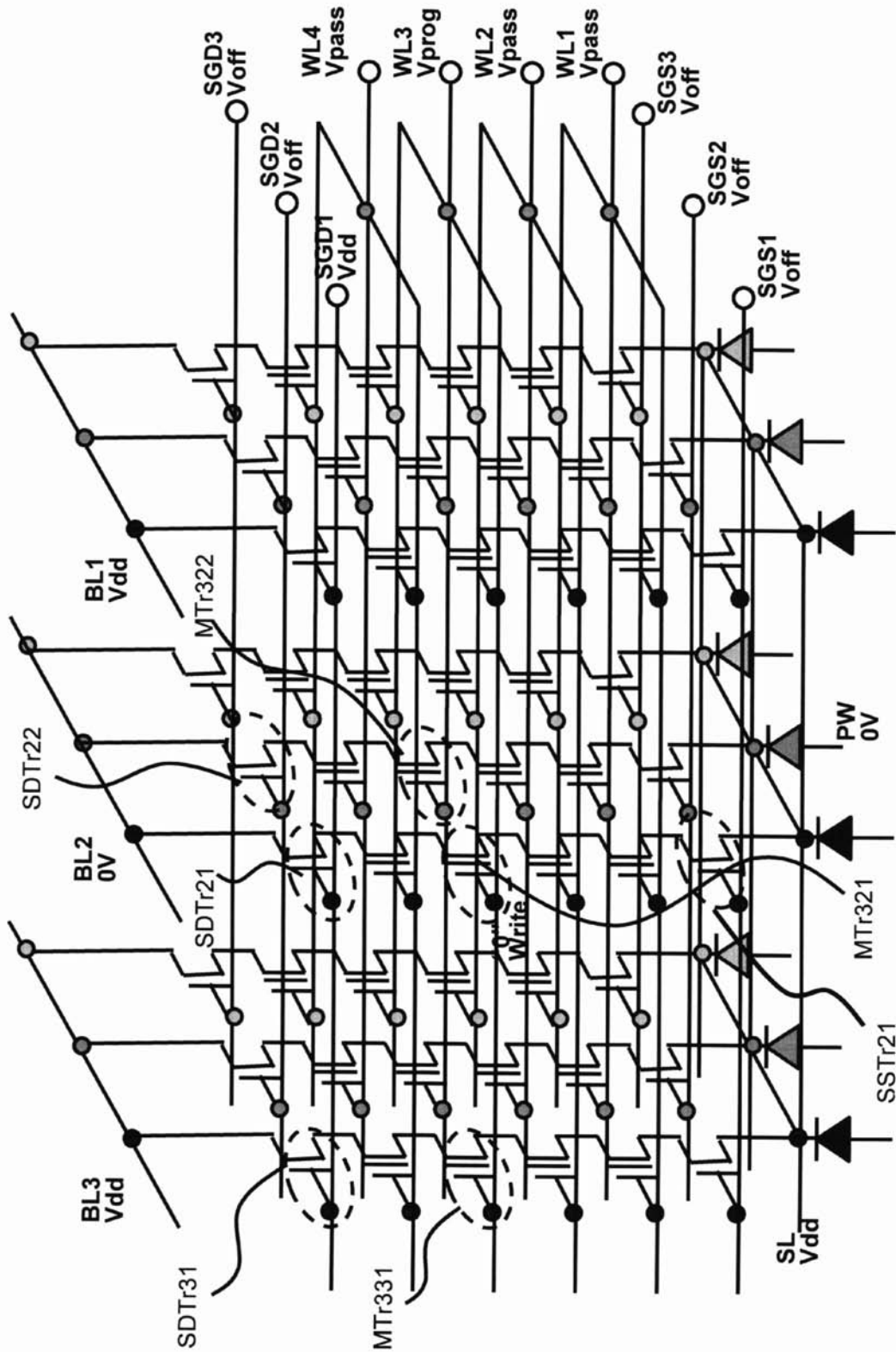
【図 4】

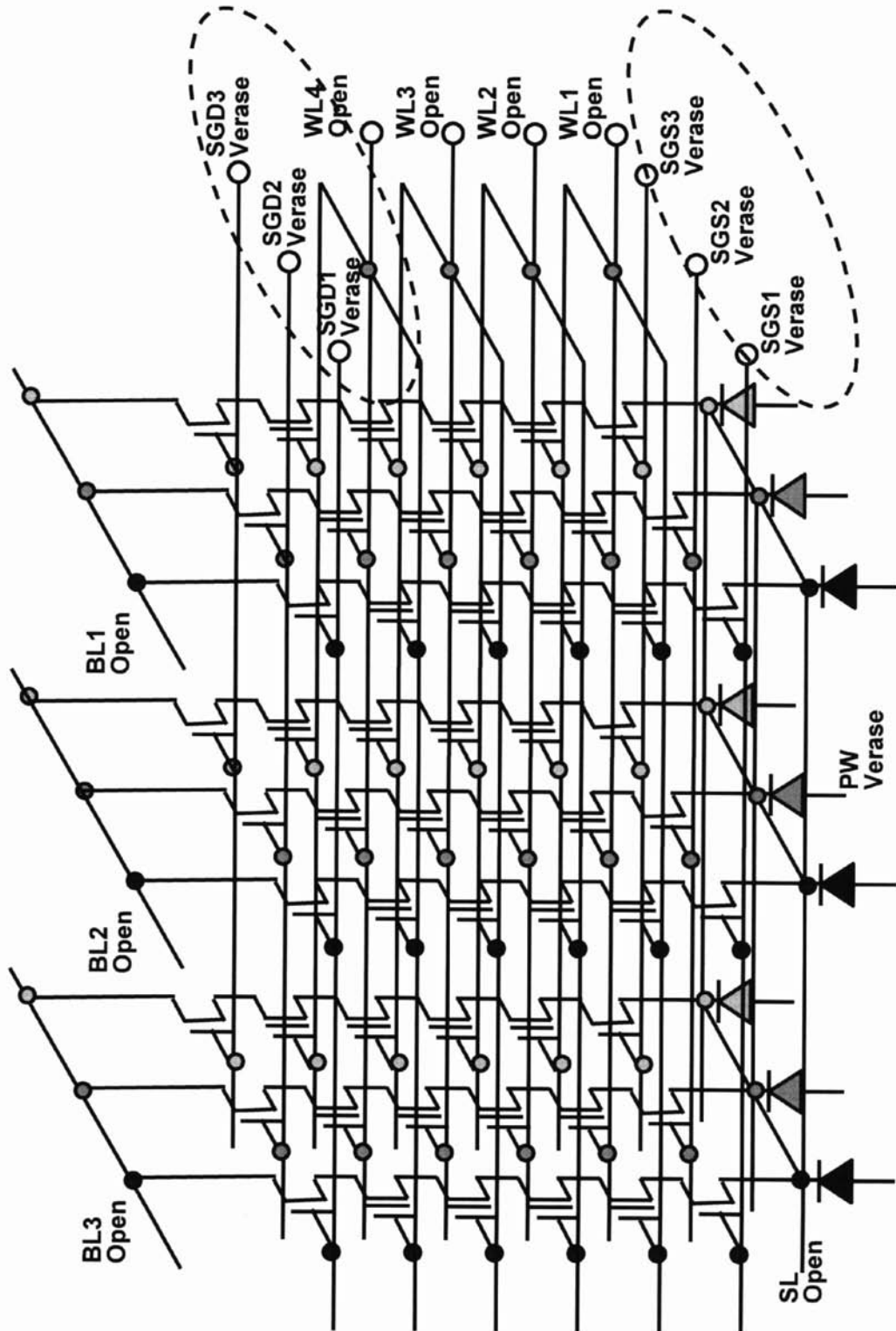


【図 5】

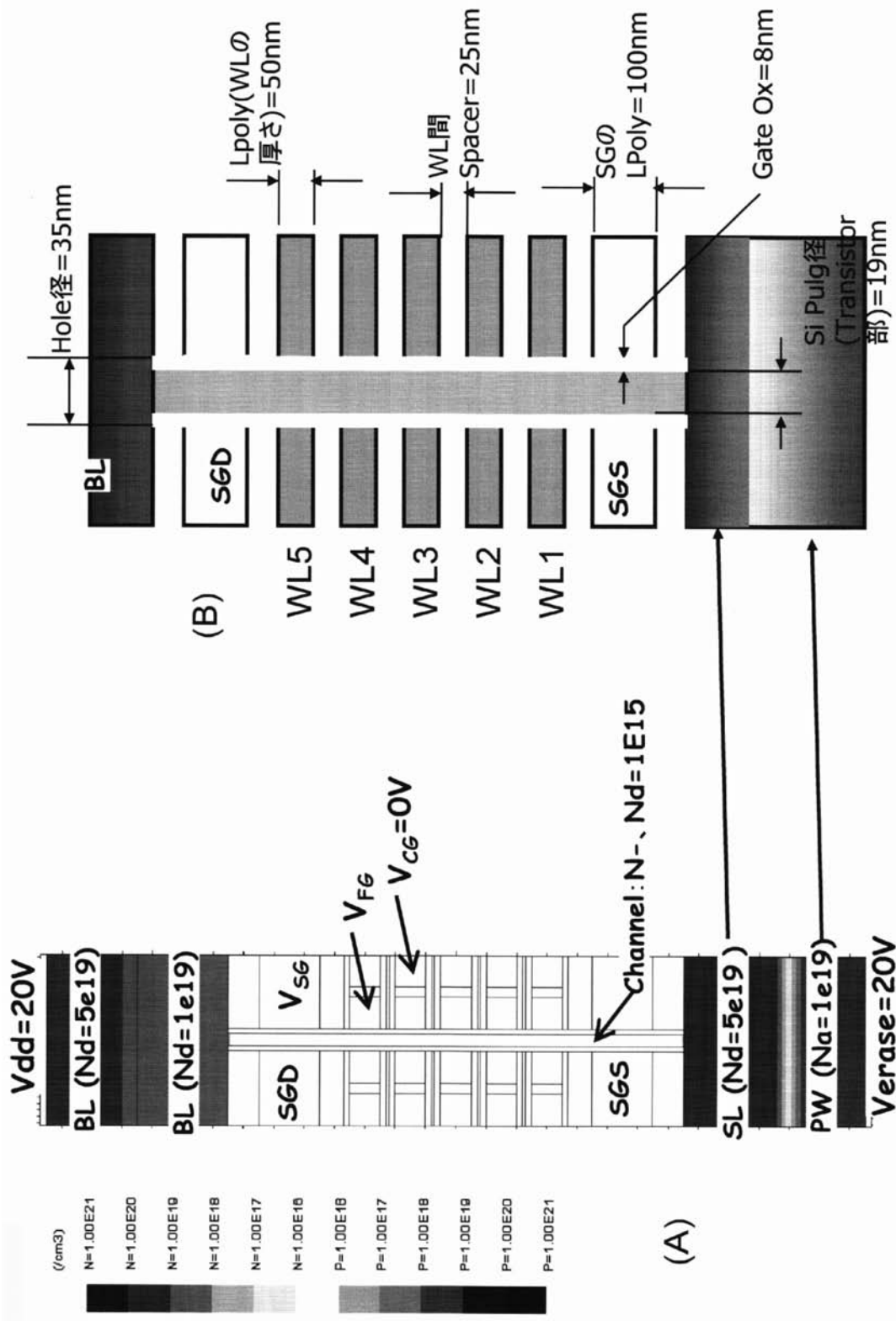


【図 7】

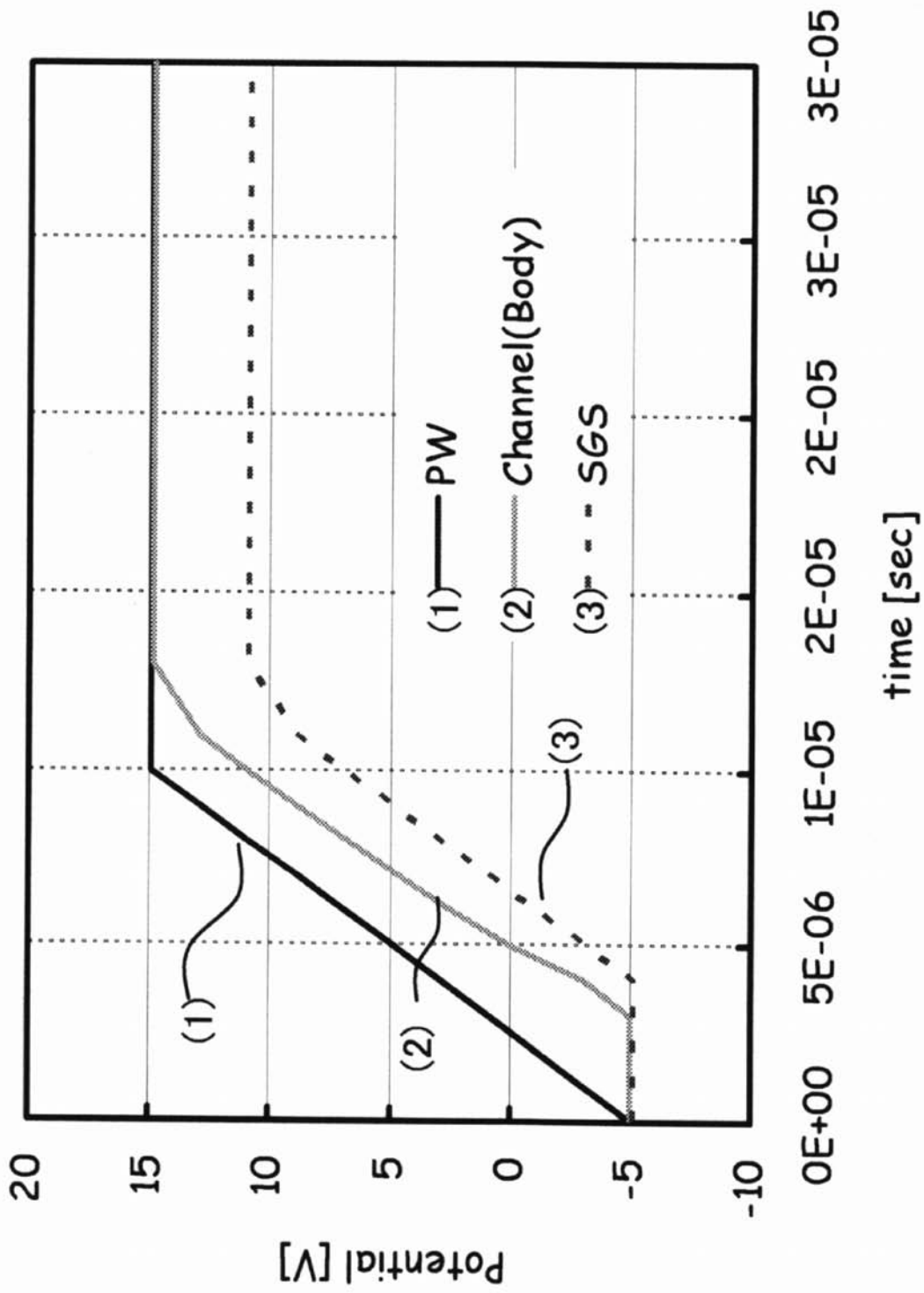




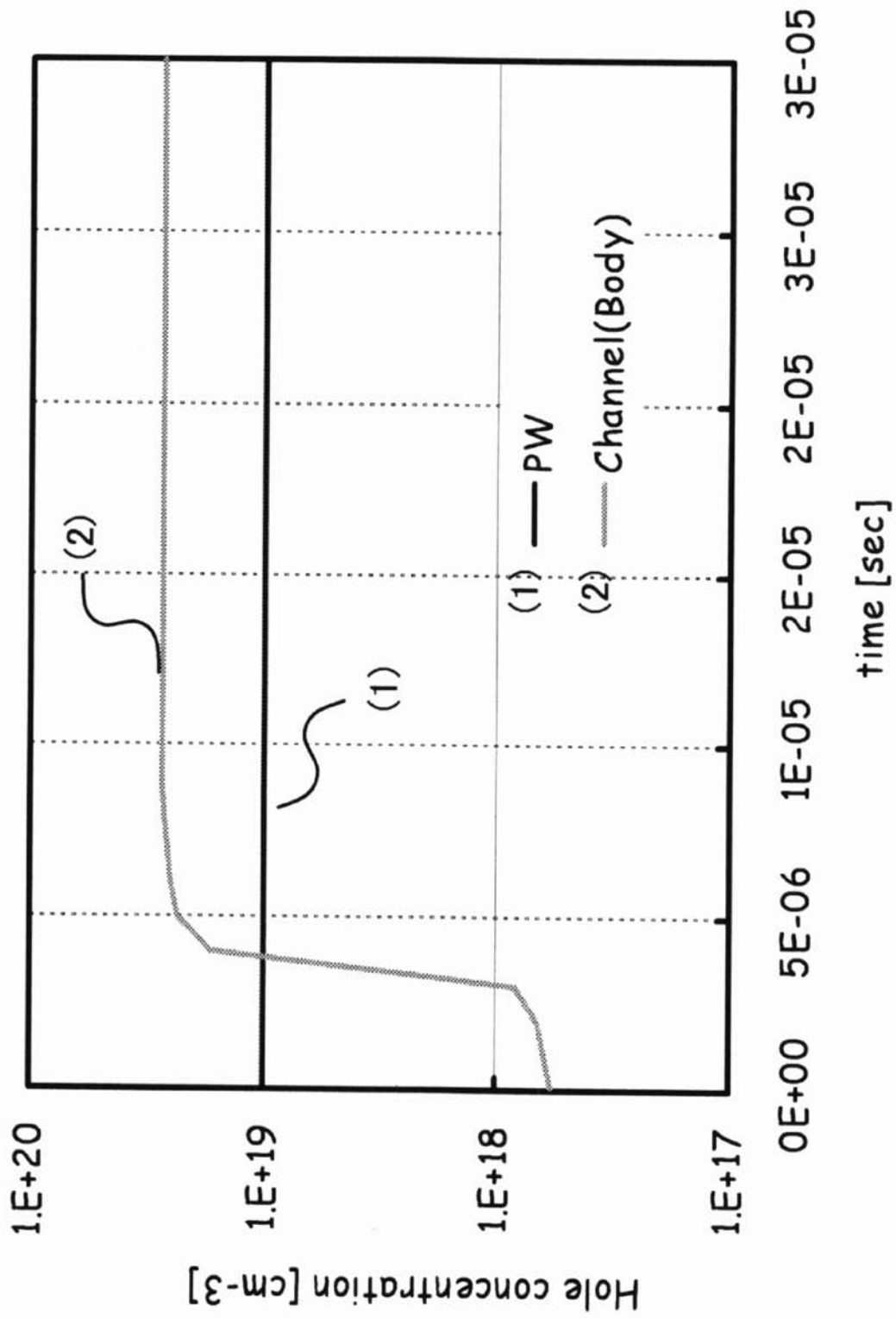
【図 10】



【図 1 2】

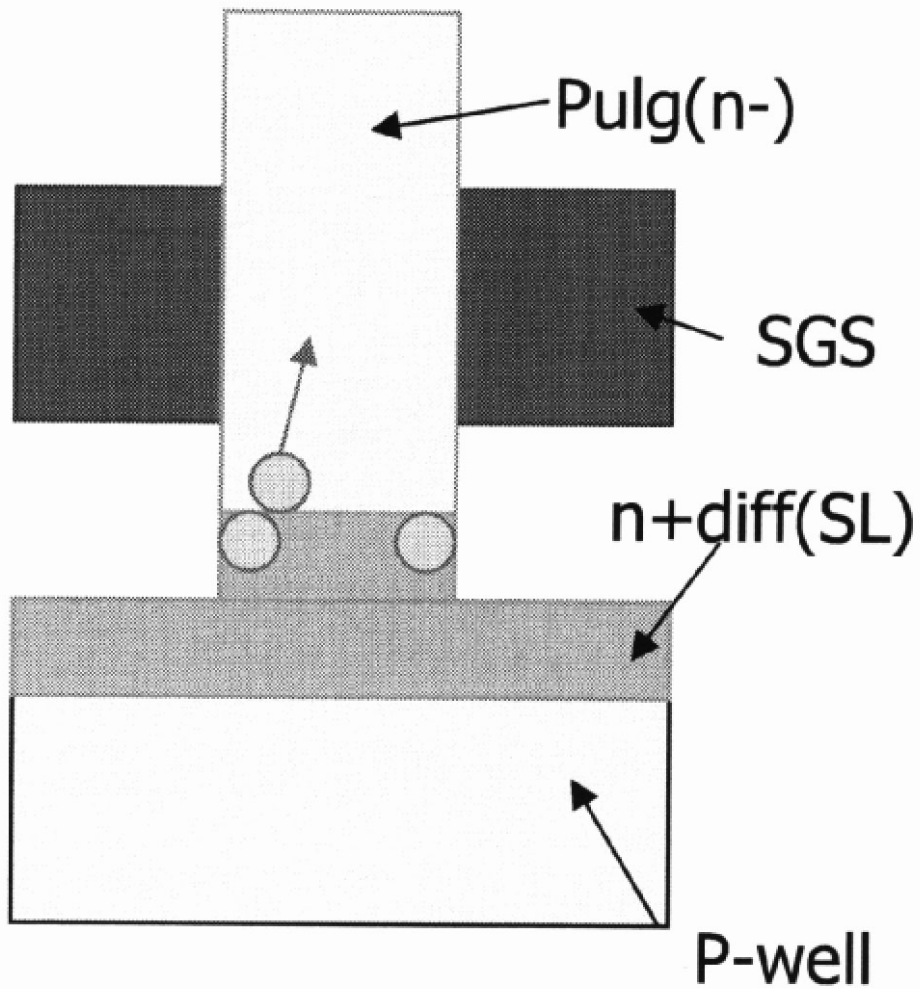


【図 13】



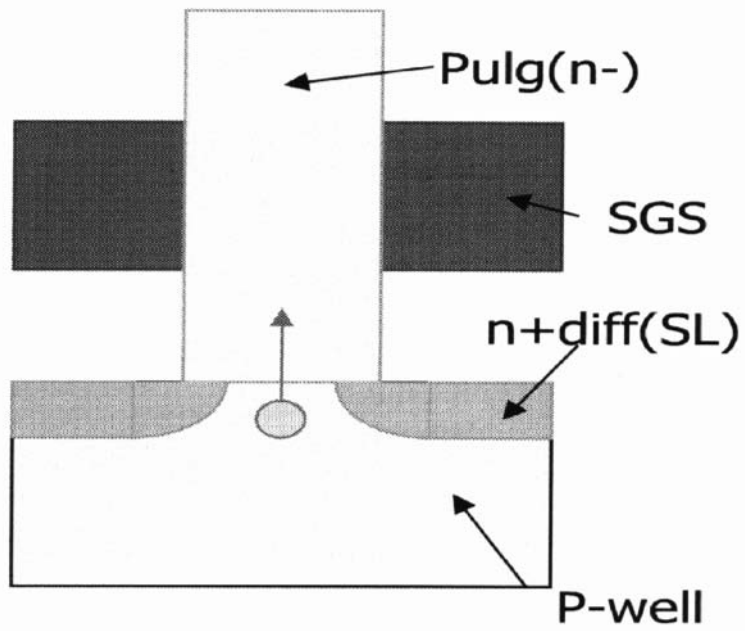
【図 1 4】

1)SGS下Bodyのn濃度を濃くする



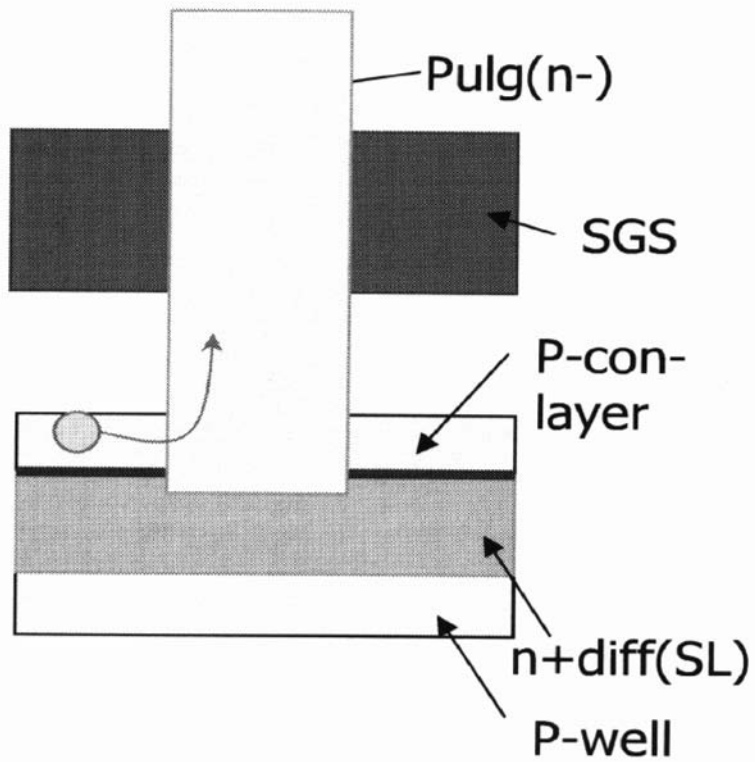
【図 15】

2)Pulg下をp-wellと接続

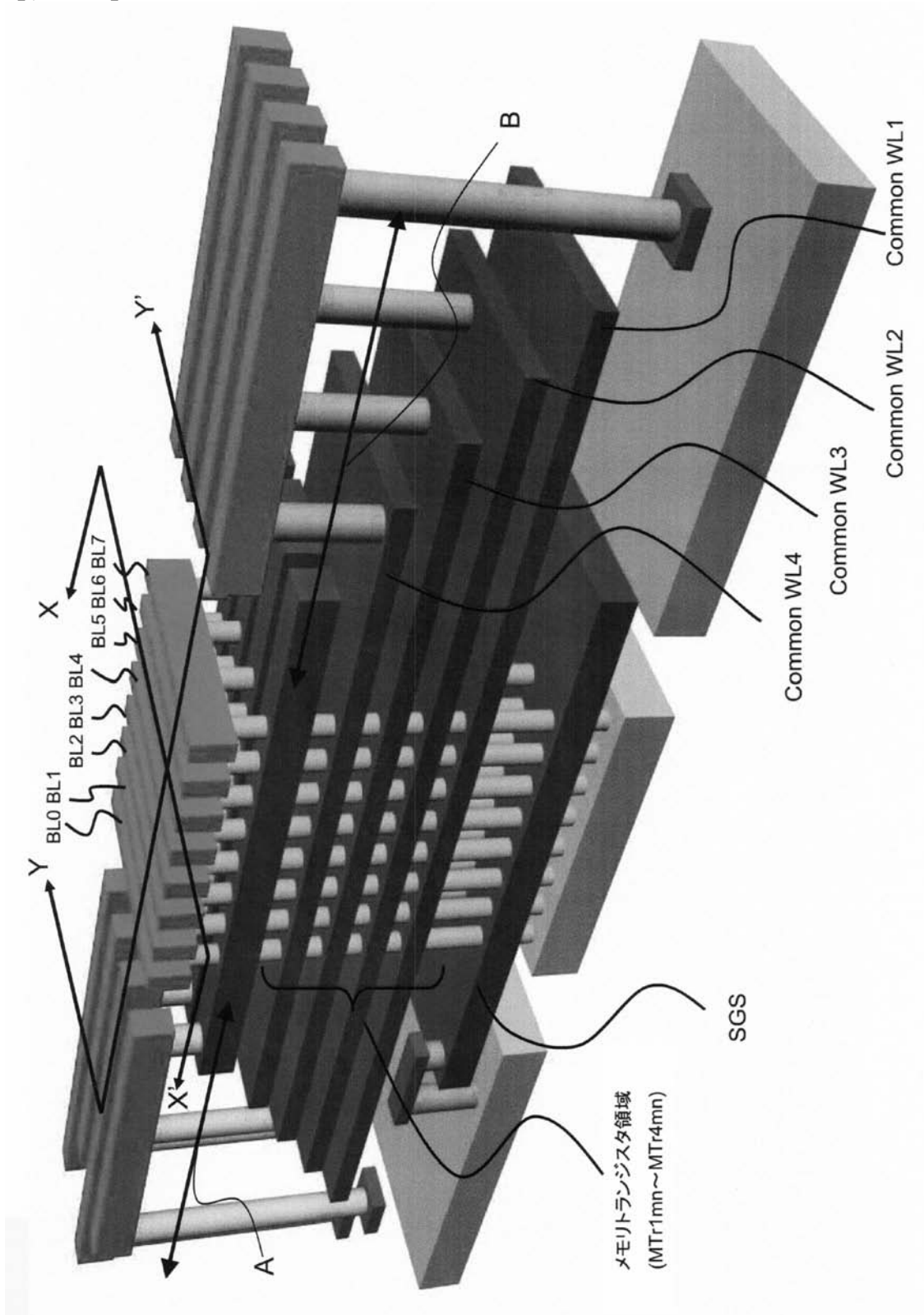


【図 16】

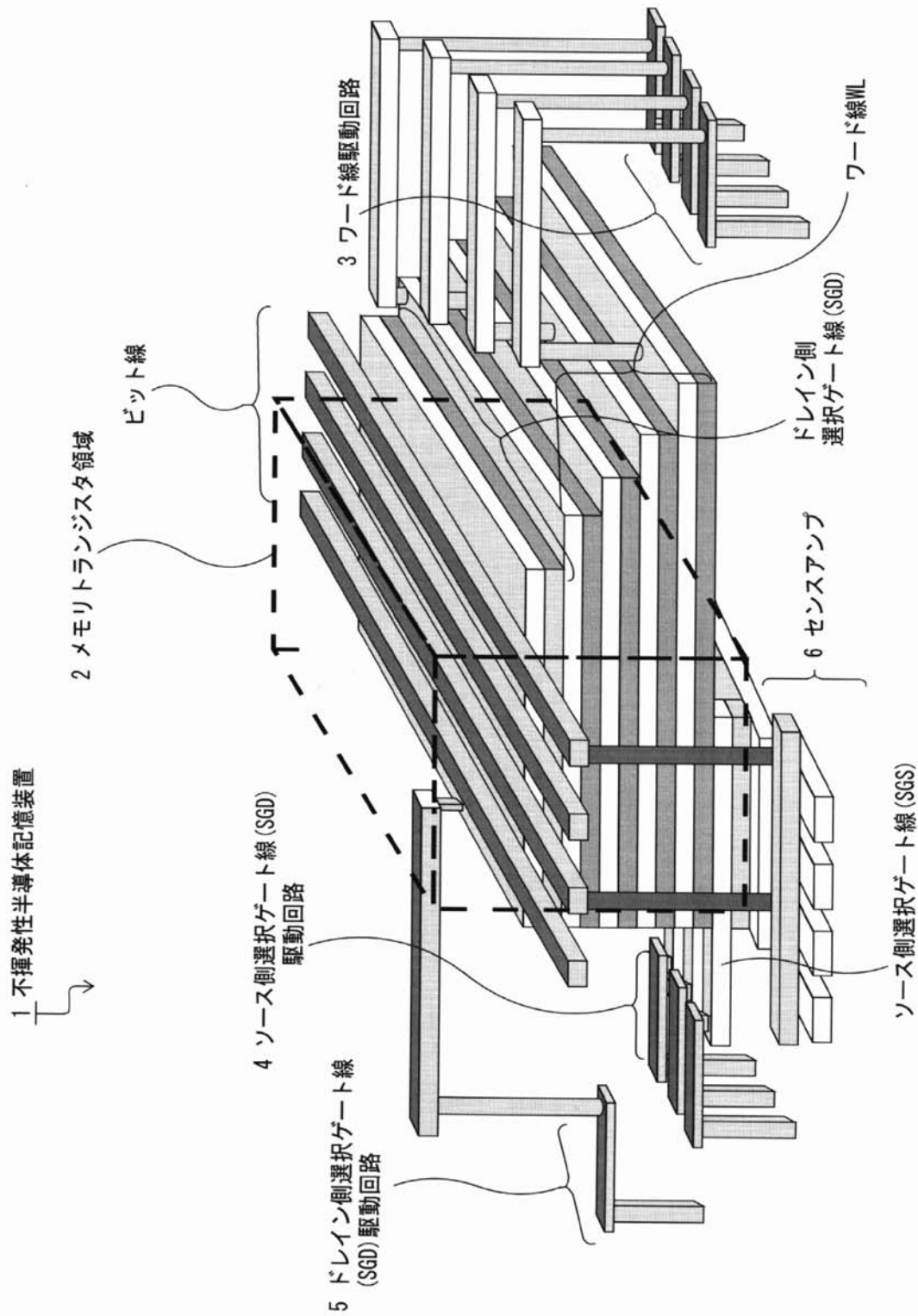
3)Body-con layer形成



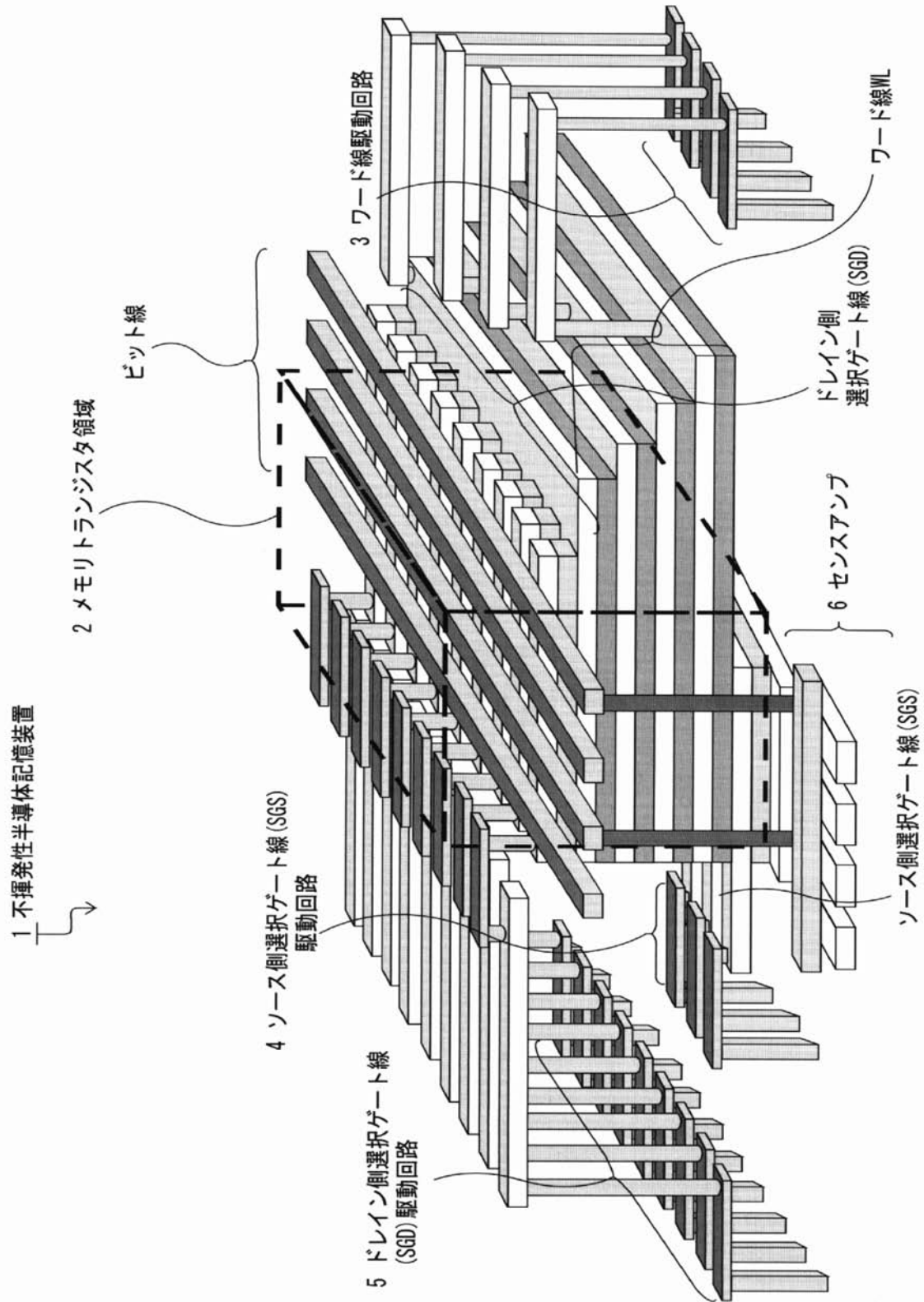
【図 17】



【図 87】



【図 88】



フロントページの続き

(72)発明者 仁田山 晃寛

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 木藤 大

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 田中 啓安

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

Fターム(参考) 5F083 EP02 EP17 EP18 EP22 EP33 EP34 EP76 ER05 ER19 ER23
GA10 JA04 JA19 JA33 JA35 JA36 JA39 JA56 MA06 MA16
NA01 PR03 PR05 PR06 PR41 ZA19
5F101 BA01 BA45 BA54 BB02 BC02 BD16 BD22 BD30 BD34 BD35
BE02 BE05 BE07 BH14 BH15 BH21