(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3866333号
(P3866333)
(45)発行日　平成19年1月10日(2007.1.10)　(24)登録日　平成18年10月13日(2006.10.13)

(51)Int.Cl.		F I		
G11C 11/403	(2006.01)	G11C	11/34	363M
G11C 11/408	(2006.01)	G11C	11/34	354G
H01L 21/8242	(2006.01)	H01L	27/10	321
H01L 27/108	(2006.01)			

請求項の数 2　(全 12 頁)

(21)出願番号　特願平8-225131
(22)出願日　平成8年8月27日(1996.8.27)
(65)公開番号　特開平10-64259
(43)公開日　平成10年3月6日(1998.3.6)
審査請求日　平成15年6月6日(2003.6.6)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100068755
弁理士　恩田　博宣
(72)発明者　佐藤　一
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ヴィエルエスアイ株式会社内

審査官　須原　宏光

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
複数のメモリセルを備えたメモリセルアレイと、
前記メモリセルアレイのメモリセルをアクセスするための周辺回路部と、
前記メモリセルアレイのメモリセルをバーストリフレッシュするためのセルフリフレッシュ制御回路と、
前記メモリセルのセル基板に供給する基板電位を発生するための第１の基板電位発生回路と、
前記周辺回路部の基板に供給する基板電位を発生するための第２の基板電位発生回路と、
メモリセルアレイのバーストリフレッシュ間のスタンバイ時において、前記第１の基板電位発生回路を制御して前記セル基板に供給する基板電位と低電位電源との差が小さくなるような電位を発生させ、前記第２の基板電位発生回路を制御して前記周辺回路部の基板に供給する基板電位と低電位電源との差がバーストリフレッシュ動作中よりも大きくなるような電位を発生させる基板電位制御回路と
を備える半導体記憶装置。
【請求項２】
前記基板電位制御回路は、通常動作時における周辺回路部の基板電圧を設定するための第１設定部と、
バーストリフレッシュ間のスタンバイ時における周辺回路部の基板電圧を設定するため

の第２設定部と、
　通常動作時におけるメモリセルのセル基板の基板電圧を設定するための第３設定部と、
　バーストリフレッシュ間のスタンバイ時におけるメモリセルのセル基板の基板電圧を設定するための第４設定部と、
　前記メモリセルアレイのバーストリフレッシュの終了を測定するための第１のカウンタと、
　前記メモリセルアレイのバーストリフレッシュ間におけるスタンバイ時を測定するための第２のカウンタと、
　前記第１のカウンタの測定結果と第２のカウンタの測定結果とに基づき、通常動作時には前記第１設定部の基板電圧を前記第２の基板電位発生回路に出力させるとともに、前記第３設定部の基板電圧を前記第１の基板電位発生回路に出力させ、また、セルフリフレッシュ間のスタンバイ時には前記第２設定部の基板電圧を前記第２の基板電位発生回路に出力させるとともに、前記第４設定部の基板電圧を前記第１の基板電位発生回路に出力させる制御部と
を備える請求項１に記載の半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体記憶装置に係り、詳しくはＤＲＡＭのセルフリフレッシュに関する。
【０００２】
近年の半導体メモリは、高速化、低電流化が進み、より高性能な要求が高い。特に、ＤＲＡＭでは、セルフリフレッシュ電流の低減化の要求が強い。そのため、ＤＲＡＭのセルフリフレッシュ電流の低減化を行う必要がある。
【０００３】
【従来の技術】
図７には従来のＤＲＡＭの一例が示されている。このＤＲＡＭ１００は多数のメモリセルを備えるメモリセルアレイ１０１、ロウデコーダ１０２、センスアンプ１０３、コラムデコーダ１０４、セルフリフレッシュ制御回路１０５、セル基板電位発生回路１０６及び周辺基板電位発生回路１０７を備えている。ロウデコーダ１０２、センスアンプ１０３、及びコラムデコーダ１０４は、メモリセルアレイ１０１のメモリセルをアクセスするための周辺回路部を構成する。
【０００４】
ＤＲＡＭ１００にはシステム電源から高電位及び低電位電源ＶDD，ＶSSが供給され、ＤＲＡＭ１００は両電源ＶDD及びＶSSに基づいて動作する。セル基板電位発生回路１０６は高電位電源ＶDD及び低電位電源ＶSSに基づいて図９に示すように、一定の値の基板電位ＶＣ０を発生し、メモリセルアレイ１０１を構成するメモリセルのセル基板に供給する。周辺基板電位発生回路１０７は高電位電源ＶDD及び低電位電源ＶSSに基づいて図９に示すように、一定の値の基板電位ＶＰ０を発生し、周辺回路部を構成するトランジスタの基板に供給する。
【０００５】
図８はメモリセルを構成するｎＭＯＳトランジスタ１１５と、周辺回路部を構成するｎＭＯＳトランジスタ１１８との断面構造を示す。ｐ型半導体基板１１０内にはｎ型の分離層１１１が形成され、分離層１１１内にはｐ型ウェル１１２が形成されている。ｐ型のウェル１１２内には所定間隔をおいてｎ型のソース領域１１３及びドレイン領域１１４が形成されている。ｐ型ウェル１１２、ｎ型のソース領域１１３及びドレイン領域１１４によってｎＭＯＳトランジスタ１１５が形成されている。ｐ型ウェル１１２には前記セル基板電位発生回路１０６から出力される基板電位ＶＣ０が供給されている。
【０００６】
また、ｐ型半導体基板１１０内には所定間隔をおいてｎ型のソース領域１１６及びドレイン領域１１７が形成されている。ｐ型半導体基板１１０、ｎ型のソース領域１１６及びド

レイン領域１１７によってｎＭＯＳトランジスタ１１８が形成されている。ｐ型半導体基板１１０には前記周辺基板電位発生回路１０７から出力される基板電位ＶＰ０が供給されている。

【０００７】

ロウデコーダ１０２はメモリセルアレイ１０１から延びる複数のワード線ＷＬ（ＷＬ０～ＷＬｎ）に接続されている。ロウデコーダ１０２はロウアドレス信号ＡＲを選択信号にデコードし、この選択信号に基づいてメモリセルアレイ１０１の複数のワード線ＷＬのうち、所定のワード線を選択する。

【０００８】

コラムデコーダ１０４はメモリセルアレイ１０１から延びる複数のビット線対ＢＬ，ＢＬバーに接続されている。コラムデコーダ１０４はコラムアドレス信号ＡＣを選択信号にデコードし、この選択信号によってメモリセルアレイ１０１の所定のビット線対を選択する。ロウデコーダ１０２によって所定のワード線が選択されるとともに、コラムデコーダ１０４によって所定のビット線対が選択されると、その選択されたワード線及びビット対に接続されているメモリセルが選択され、該メモリセルへのデータの書き込み又はデータの読み出しが行われる。センスアンプ１０３は選択されたメモリセルから読み出されたデータを増幅する。

【０００９】

セルフリフレッシュ制御回路１０５は、外部から入力されるロウアドレスストローブ信号ＲＡＳバーがＬレベルに切り換わった後所定時間（この場合には１００μｓｅｃ）経過すると、図９に示すようにＬレベルのセルフリフレッシュエントリー信号ＳＲバーを生成する。セルフリフレッシュ制御回路１０５はセルフリフレッシュエントリー信号ＳＲバーのＬレベルへの切り換わり後において、動作クロックＣＬＫに基づいてメモリセルアレイ１０１のメモリセルをディストリビュートモードにてセルフリフレッシュする。

【００１０】

ディストリビュートモードとは予め定められた１リフレッシュサイクルＴｃにおいて、メモリセルアレイ１０１の複数のワード線ＷＬ（ＷＬ０～ＷＬｎ）を等しい時間間隔Ｔｃ／ｎにて順次選択する方法である。選択したワード線に接続された複数のメモリセルのデータはセンスアンプ１０３によって増幅されて再びメモリセルに書き込まれることにより、メモリセルのリフレッシュが行われる。また、各ワード線に接続されたメモリセルのリフレッシュは動作クロックＣＬＫの半周期以内の短時間で完了する。

【００１１】

【発明が解決しようとする課題】

さて、セルフリフレッシュ時においては、メモリセルアレイ１０１は周辺回路部によってアクセスされることはないため、メモリセルからセル基板へのリーク電流を低減することによってリフレッシュに要する時間を短縮することができるという有効性がある。

【００１２】

ところが、従来のＤＲＡＭ１００では、セルフリフレッシュ制御回路１０５はメモリセルアレイ１０１のセルフリフレッシュをディストリビュートモードにて行っており、セルフリフレッシュ時におけるメモリセルの基板電位ＶＣ０は通常動作時におけるメモリセルの基板電位と等しい値に設定されている。よって、メモリセルからセル基板へのリーク電流を低減することができず、セルフリフレッシュという限定された状態での有効性を活用することができないため、リフレッシュに要する時間を短縮できない。

【００１３】

また、セルフリフレッシュ時において、周辺回路部の基板電圧も通常動作時の基板電圧と等しい値であり、セルフリフレッシュ時に周辺回路部を構成するトランジスタのテーリング電流を低減することができず、消費電流が増大していた。

【００１４】

本発明は上記問題点を解決するためになされたものであって、その目的は、セルフリフレッシュ時における電流を低減しつつメモリセルのリフレッシュに要する時間を短縮するこ

とができる半導体記憶装置を提供することにある。
【００１５】
また、本発明の別の目的は、セルフリフレッシュ時における周辺回路部の電流を低減することができる半導体記憶装置を提供することにある。
【００１６】
【課題を解決するための手段】
図１は本発明の原理説明図である。
周辺回路部２はメモリセルアレイ１のメモリセルをアクセスするためのものである。セルフリフレッシュ制御回路３はメモリセルアレイ１のメモリセルをバーストリフレッシュするためのものである。第１の基板電位発生回路４はメモリセルのセル基板に供給する電位を発生する。第２の基板電位発生回路５は、周辺回路部２の基板に供給する基板電位を発生する。基板電位制御回路６はメモリセルアレイ１のバーストリフレッシュ間のスタンバイ時において、第１の基板電位発生回路４を制御してセル基板に供給する基板電位と低電位電源との差が小さくなるような電位を発生させ、第２の基板電位発生回路５を制御して周辺回路部２の基板に供給する基板電位と低電位電源との差がバーストリフレッシュ動作中よりも大きくなるような電位を発生させる。
【００１７】
（作用）
従って、メモリセルアレイ１のバーストリフレッシュ間のスタンバイ時において、メモリセルのセル基板に供給される基板電圧は低電位電源との差が小さいため、メモリセルからセル基板へのリーク電流が低減される。よって、リフレッシュ時間を長くすることが可能となり、セルフリフレッシュ期間の消費電流が低減される。また、セルフリフレッシュ間のスタンバイ時において周辺回路部を構成するトランジスタのしきい値電圧が大きくなり、トランジスタのテーリング電流を低減することができ、消費電流が低減される。
【００１８】
【発明の実施の形態】
以下、本発明を具体化した実施の一形態を図２～図６に基づいて説明する。
図２は本形態のＤＲＡＭ１０を示し、ＤＲＡＭ１０は多数のメモリセルを備えるメモリセルアレイ１１、ロウデコーダ１２、センスアンプ１３、コラムデコーダ１４、セルフリフレッシュ制御回路１５、第１の基板電位発生回路１６、第２の基板電位発生回路１７、及び基板電位制御回路２０を備えている。ロウデコーダ１２、センスアンプ１３、及びコラムデコーダ１４は、メモリセルアレイ１１のメモリセルをアクセスするための周辺回路部を構成する。
【００１９】
ＤＲＡＭ１０にはシステム電源から高電位及び低電位電源V_{DD}，V_{SS}が供給され、ＤＲＡＭ１０は両電源V_{DD}及びV_{SS}に基づいて動作する。
第１の基板電位発生回路１６はメモリセルのセル基板に供給する電位を発生するための回路であり、高電位電源V_{DD}及び低電位電源V_{SS}に基づいて図６に示す基板電位ＶＣ１を発生し、メモリセルアレイ１１を構成するメモリセルのセル基板に供給する。第２の基板電位発生回路１７は周辺回路部の基板に供給する電位を発生するための回路であり、高電位電源V_{DD}及び低電位電源V_{SS}に基づいて図６に示す基板電位ＶＰ１を発生し、周辺回路部を構成するトランジスタの基板に供給する。
【００２０】
図５はメモリセルを構成するｎＭＯＳトランジスタ８５と、周辺回路部を構成するｎＭＯＳトランジスタ９０との断面構造を示す。ｐ型半導体基板８０内にはｎ型の分離層８１が形成され、分離層８１内にはｐ型ウェル８２が形成されている。ｐ型のウェル８２内には所定間隔をおいてｎ型のソース領域８３及びドレイン領域８４が形成されている。ｐ型ウェル８２、ｎ型のソース領域８３及びドレイン領域８４によってｎＭＯＳトランジスタ８５が形成されている。ｐ型ウェル８２には第１の基板電位発生回路１６から出力される基板電位ＶＣ１が供給され、分離層８１には高電位電源V_{DD}が供給されている。

【００２１】
また、ｐ型半導体基板８０内にはｎ型の分離層８６が形成され、分離層８６内にはｐ型ウェル８７が形成されている。ｐ型のウェル８７内には所定間隔をおいてｎ型のソース領域８８及びドレイン領域８９が形成されている。ｐ型ウェル８７、ｎ型のソース領域８８及びドレイン領域８９によってｎＭＯＳトランジスタ９０が形成されている。ｐ型ウェル８７には第２の基板電位発生回路１７から出力される基板電位ＶＰ１が供給され、分離層８６には高電位電源V_{DD}が供給されている。ここでは、例としてＰ基板を挙げているが、Ｎ基板でも同様な構成は可能である。
【００２２】
ロウデコーダ１２はメモリセルアレイ１１から延びる複数のワード線ＷＬ０～ＷＬｎに接続されている。ロウデコーダ１２はロウアドレス信号ＡＲを選択信号にデコードし、この選択信号に基づいてメモリセルアレイ１１の複数のワード線ＷＬ（ＷＬ０～ＷＬｎ）のうち、所定のワード線を選択する。
【００２３】
コラムデコーダ１４はメモリセルアレイ１１から延びる複数のビット線対ＢＬ，ＢＬバーに接続されている。コラムデコーダ１４はコラムアドレス信号ＡＣを選択信号にデコードし、この選択信号によってメモリセルアレイ１１の所定のビット線対を選択する。ロウデコーダ１２によって所定のワード線が選択されるとともに、コラムデコーダ１４によって所定のビット線対が選択されると、その選択されたワード線及びビット対に接続されているメモリセルが選択され、該メモリセルへのデータの書き込み又はデータの読み出しが行われる。センスアンプ１３は選択されたメモリセルから読み出されたデータを増幅する。
【００２４】
セルフリフレッシュ制御回路１５は外部から入力されるロウアドレスストローブ信号ＲＡＳバーがＬレベルに切り換わった後所定時間（この場合には１００μｓｅｃ）経過すると、図６に示すようにＬレベルのセルフリフレッシュエントリー信号ＳＲバーを生成する。セルフリフレッシュ制御回路１５はセルフリフレッシュエントリー信号ＳＲバーのＬレベルへの切り換わり後において、動作クロックＣＬＫに基づいてメモリセルアレイ１１のメモリセルをバーストモードにてセルフリフレッシュする。
【００２５】
バーストモードとは予め定められた１リフレッシュサイクルＴｃ（本形態においては６４ｍｓｅｃ）において、メモリセルアレイ１１の複数のワード線ＷＬ（ＷＬ０～ＷＬｎ）を動作クロックＣＬＫに同期して順次選択する方法である。選択したワード線に接続された複数のメモリセルのデータはセンスアンプ１３によって増幅されて再びメモリセルに書き込まれることにより、メモリセルのリフレッシュが行われる。また、各ワード線に接続されたメモリセルのリフレッシュは動作クロックＣＬＫの半周期以内の短時間で完了する。
【００２６】
本形態においてワード線ＷＬを例えば４０００本とし、１ワード線に接続されたメモリセルのリフレッシュに要する時間を例えば１００ｎｓｅｃとする。すると、１リフレッシュサイクルＴｃのうち、実際のリフレッシュに要する時間は０．４ｍｓｅｃ（＝１００ｎｓｅｃ×４０００）となり、それ以外の時間６３．６ｍｓｅｃ（＝６４ｍｓｅｃ－０．４ｍｓｅｃ）にはリフレッシュが行われないスタンバイ状態となる。
【００２７】
基板電位制御回路２０は、メモリセルアレイ１１のバーストリフレッシュ間におけるスタンバイ時において、第１の基板電位発生回路１６を制御してセル基板に供給する基板電位ＶＣ１と低電位電源V_{SS}との差が小さくなるような値の基板電位ＶＣ１を発生させる。また、基板電位制御回路２０は、メモリセルアレイ１１のバーストリフレッシュ間におけるスタンバイ時において、第２の基板電位発生回路１７を制御して周辺回路部の基板電位ＶＰ１と低電位電源V_{SS}との電位差が大きくなるような値の基板電位ＶＰ１を発生させるものである。
【００２８】

すなわち、基板電位制御回路２０は、発振器２１、バースト用カウンタ２３、周期用カウンタ２４、制御信号発生回路２５、及び第１～第４設定部２６～２９を備える。

【００２９】

発振器１は動作クロックＣＬＫを発生する。

バースト用カウンタ２３はメモリセルアレイ１１がバーストモードにてリフレッシュされ始めると、動作クロックＣＬＫのパルスをカウントし始める。バースト用カウント２３は、動作クロックＣＬＫのパルスをメモリセルアレイ１１のワード線の本数分だけカウントするとカウントアップし、信号Ｓ１を出力する。

【００３０】

周期用カウンタ２４は動作クロックＣＬＫに基づいてリフレッシュサイクルＴｃを測定するものである。周期用カウンタ２４はメモリセルアレイ１１がバーストモードにてリフレッシュされ始めると、動作クロックＣＬＫのパルスをカウントし始める。周期用カウンタ２４は、リフレッシュサイクルＴｃの終了点よりも数百μｓｅｃ前まで動作クロックＣＬＫのパルスをカウントすると、信号Ｓ２を出力する。また、周期用カウンタ２４は動作クロックＣＬＫのパルスをリフレッシュサイクルＴｃ分だけカウントすると、そのカウントアップ信号に基づいてカウンタ２４自身及びバースト用カウンタ２３のカウント値をリセットする。

【００３１】

制御信号発生回路２５は、バースト用カウンタ２３から出力される信号Ｓ１及び周期用カウンタ２４から出力される信号Ｓ２に基づいて図６に示す制御信号Ｓ３を出力する。すなわち、１回分のバーストリフレッシュが終了して信号Ｓ１が入力されると、制御信号Ｓ３はＨレベルになり、リフレッシュサイクルＴｃの終了点の数百μｓｅｃ前になって信号Ｓ２が入力されると、制御信号Ｓ３はＬレベルになる。

【００３２】

第１設定部２６はＤＲＡＭ１０のセルフリフレッシュ動作を除く通常の動作状態において、周辺回路部の基板電位ＶＰ１として低電位電源V_{SS}を発生する回路である。第２設定部２７はＤＲＡＭ１０のバーストリフレッシュ間におけるスタンバイ時において、周辺回路部の基板電位ＶＰ１と低電位電源V_{SS}との電位差が大きくなるような値の基板電位ＶＰ１を発生する回路である。

【００３３】

図３は第１設定部２６及び第２設定部２７の詳細を示す。第１設定部２６はｎＭＯＳトランジスタ３１とインバータ３２とからなる。ＤＲＡＭ１０が通常の動作状態及びバーストリフレッシュ中において制御信号Ｓ３がＬレベルであると、インバータ３２の出力はＨレベルになり、ｎＭＯＳトランジスタ３１がオンする。その結果、基板電位ＶＰ１として低電位電源V_{SS}が出力される。ＤＲＡＭ１０のバーストリフレッシュ間のスタンバイ時において制御信号Ｓ３がＨレベルであると、インバータ３２の出力はＬレベルになり、ｎＭＯＳトランジスタ３１はオフする。

【００３４】

第２設定部２７はｐＭＯＳトランジスタ３５、ｎＭＯＳトランジスタ３６～３９，４５，４６、ＮＡＮＤ回路４１、インバータ４２，４３，４８，５０、コンデンサ４４、及びアナログスイッチ４７，４９を備える。

【００３５】

ＤＲＡＭ１０が通常の動作状態及びバーストリフレッシュ中において制御信号Ｓ３がＬレベルであると、インバータ４８，４９の出力はＨレベルになり、スイッチ４７，４９はオフする。

【００３６】

ＤＲＡＭ１０のバーストリフレッシュ間のスタンバイ時において制御信号Ｓ３がＨレベルであると、インバータ４８，５０の出力はＬレベルになり、スイッチ４７，４９がオンする。このとき、ｐＭＯＳトランジスタ３５のゲートは低電位電源V_{SS}に接続されているので、ｐＭＯＳトランジスタ３５はオンしＨレベルの信号を出力する。そのため、ＮＡＮＤ

回路４１はインバータとして動作し、ＮＡＮＤ回路４１、インバータ４２，４３は発振回路として動作する。インバータ４３の出力に基づいてコンデンサ４４の充電電圧が増加し、その充電電圧がアナログスイッチ４７，４９を介してｎＭＯＳトランジスタ３９に伝達される。コンデンサ４４の充電電圧が低電位電源V_{SS}よりも４個のｎＭＯＳトランジスタ３６～３９のしきい値電圧分だけ低下すると、ｎＭＯＳトランジスタ３６～３９がオンする。そのため、ＮＡＮＤ回路４１への出力信号はＬレベルになり、発振が停止し、コンデンサ４４の充電が停止する。このとき、コンデンサ４４の充電電圧ＶＰ１２が基板電位ＶＰ１として出力される。

【００３７】

第３設定部２８はＤＲＡＭ１０のセルフリフレッシュ動作を除く通常の動作状態において、メモリセルのセル基板の基板電位ＶＣ１を発生する回路である。第４設定部２９はＤＲＡＭ１０のバーストリフレッシュ間におけるスタンバイ時において、セル基板の基板電位ＶＣ１と低電位電源V_{SS}との電位差が小さくなるような値の基板電位ＶＣ１を発生する回路である。

【００３８】

図４は第３設定部２８及び第４設定部２９の詳細を示す。第３設定部２８はｐＭＯＳトランジスタ６１、ｎＭＯＳトランジスタ５９，６０，６２～６４、ＮＡＮＤ回路５５、インバータ５６，５７，６６、コンデンサ５８、及びアナログスイッチ６５を備える。

【００３９】

ＤＲＡＭ１０が通常の動作状態及びバーストリフレッシュ中において制御信号Ｓ３がＬレベルであると、インバータ６６の出力はＨレベルになり、スイッチ６５はオンする。このとき、ｐＭＯＳトランジスタ６１のゲートは低電位電源V_{SS}に接続されているので、ｐＭＯＳトランジスタ６１はオンしＨレベルの信号を出力する。アナログスイッチ６５を介してＮＡＮＤ回路５５にＨレベルの信号が入力されるため、ＮＡＮＤ回路５５はインバータとして動作し、ＮＡＮＤ回路５５、インバータ５６，５７は発振回路として動作する。インバータ５７の出力に基づいてコンデンサ５８の充電電圧が増加し、その充電電圧がｎＭＯＳトランジスタ６４に伝達される。コンデンサ５８の充電電圧が低電位電源V_{SS}よりも３個のｎＭＯＳトランジスタ６２，６３，６４のしきい値電圧分だけ低下すると、ｎＭＯＳトランジスタ６２，６３，６４がオンする。そのため、ＮＡＮＤ回路５５への出力信号はＬレベルになり、発振が停止し、コンデンサ５８の充電が停止する。このとき、コンデンサ５８の充電電圧ＶＣ１１が基板電位ＶＣ１として出力される。

【００４０】

ＤＲＡＭ１０のバーストリフレッシュ間のスタンバイ時において制御信号Ｓ３がＨレベルであると、インバータ６６の出力はＬレベルになり、スイッチ６５はオフする。

【００４１】

第４設定部２９はｐＭＯＳトランジスタ６７、ｎＭＯＳトランジスタ６８，６９、アナログスイッチ７０と、前記ｎＭＯＳトランジスタ５９，６０、前記ＮＡＮＤ回路５５、インバータ５６，５７，６６及びコンデンサ５８を備える。

【００４２】

ＤＲＡＭ１０が通常の動作状態及びバーストリフレッシュ中において制御信号Ｓ３がＬレベルであると、インバータ６６の出力はＨレベルになり、スイッチ７０はオフする。

【００４３】

ＤＲＡＭ１０のバーストリフレッシュ間のスタンバイ時において制御信号Ｓ３がＨレベルであると、インバータ６６の出力はＬレベルになり、スイッチ７０がオンする。このとき、ｐＭＯＳトランジスタ６７のゲートは低電位電源V_{SS}に接続されているので、ｐＭＯＳトランジスタ６７はオンしＨレベルの信号を出力する。アナログスイッチ７０を介してＮＡＮＤ回路５５にＨレベルの信号が入力されるため、ＮＡＮＤ回路５５はインバータとして動作し、ＮＡＮＤ回路５５、インバータ５６，５７は発振回路として動作する。インバータ５７の出力に基づいてコンデンサ５８の充電電圧が増加し、その充電電圧がｎＭＯＳトランジスタ６９に伝達される。コンデンサ５８の充電電圧が低電位電源V_{SS}よりも２個

のｎＭＯＳトランジスタ６８，６９のしきい値電圧分だけ低下すると、ｎＭＯＳトランジスタ６８，６９がオンする。そのため、ＮＡＮＤ回路５５への出力信号はＬレベルになり、発振が停止し、コンデンサ５８の充電が停止する。このとき、コンデンサ５８の充電電圧ＶＣ１２が基板電位ＶＣ１として出力される。

【００４４】

メモリセルアレイ１１のバーストリフレッシュ間におけるスタンバイ時において、第１の基板電位発生回路１６を制御してセル基板に供給する基板電位ＶＣ１と低電位電源V_{SS}との差が小さくなるような値の基板電位ＶＣ１を発生させる。また、基板電位制御回路２０は、メモリセルアレイ１１のバーストリフレッシュ間におけるスタンバイ時において、第２の基板電位発生回路１７を制御して周辺回路部の基板電位ＶＰ１と低電位電源V_{SS}との電位差が大きくなるような値の基板電位ＶＰ１を発生させるものである。

【００４５】

さて、本実施の形態は、以下の効果がある。

（１）本形態のＤＲＡＭ１０では、セルフリフレッシュ制御回路１５がメモリセルアレイ１１のセルフリフレッシュをバーストモードで行うため、セルフリフレッシュ間においてスタンバイ時を生成することができる。このスタンバイ時において、第４設定部２９はセル基板８２の基板電位ＶＣ１と低電位電源V_{SS}との電位差が小さくなるような基板電圧ＶＣ１２を生成し、第１の基板電位発生回路１６が基板電位ＶＣ１２をメモリセルのセル基板８２に供給する。そのため、スタンバイ時においてメモリセルからセル基板へのリーク電流が低減される。その結果、次のリフレッシュサイクルＴｃにおいてメモリセルへのチャージ電流を少なくすることができ、リフレッシュを短時間で行うことができ、リフレッシュ特性を向上することができる。

【００４６】

（２）本形態のＤＲＡＭ１０では、メモリセルアレイ１１のセルフリフレッシュ間におけるスタンバイ時に、第２設定部２７は周辺回路部の基板８７の基板電位ＶＰ１と低電位電源V_{SS}との電位差が大きくなるような基板電圧ＶＰ１２を生成し、第２の基板電位発生回路１７が基板電位ＶＰ１２を周辺回路部の基板８７に供給する。その結果、セルフリフレッシュ間のスタンバイ時において周辺回路部を構成するトランジスタ９０のしきい値電圧が大きくなり、トランジスタ９０のテーリング電流を低減することができ、消費電流を低減することができる。

【００４７】

【発明の効果】

以上詳述したように、請求項１～３の発明は、セルフリフレッシュ時における電流を低減しつつメモリセルのリフレッシュに要する時間を短縮することができる。

【００４８】

請求項２及び３の発明は、セルフリフレッシュ時における周辺回路部の電流を低減することができる。

【図面の簡単な説明】

【図１】本発明の原理説明図

【図２】実施の形態のＤＲＡＭを示すブロック図

【図３】第１及び第２設定部の詳細を示す回路図

【図４】第３及び第４設定部の詳細を示す回路図

【図５】メモリセル及び周辺回路部のトランジスタの断面図

【図６】実施の形態のＤＲＡＭの作用を示す波形図

【図７】従来のＤＲＡＭを示すブロック図

【図８】従来のメモリセル及び周辺回路部のトランジスタの断面図

【図９】従来のＤＲＡＭの作用を示す波形図

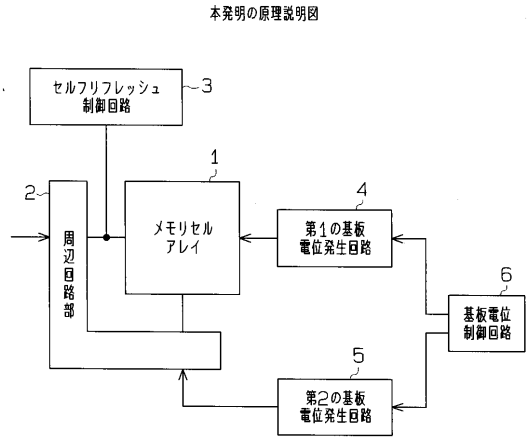
【符号の説明】

１　メモリセルアレイ

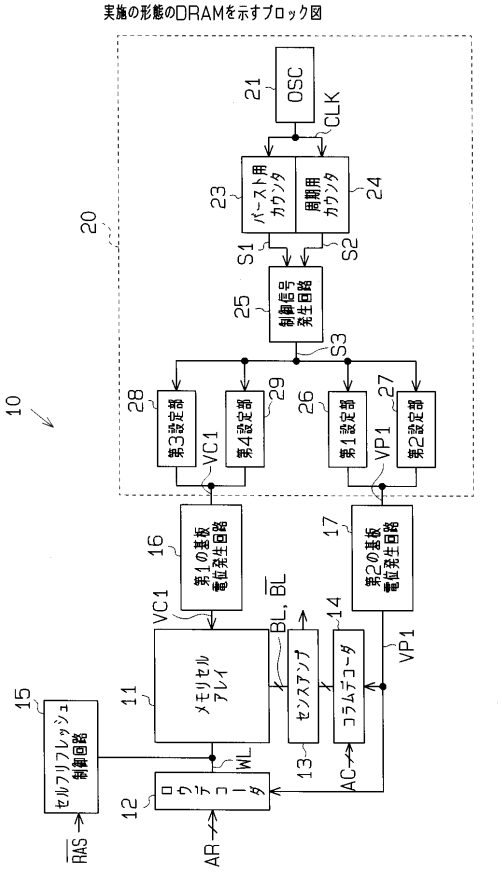
２　周辺回路部

3　セルフリフレッシュ制御回路
4　第１の基板電位発生回路
5　第２の基板電位発生回路
6　基板電位制御回路

【図１】

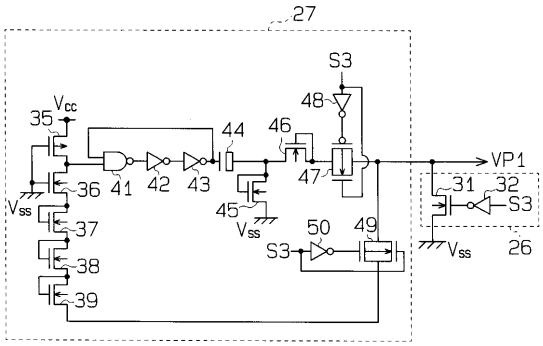


【図２】



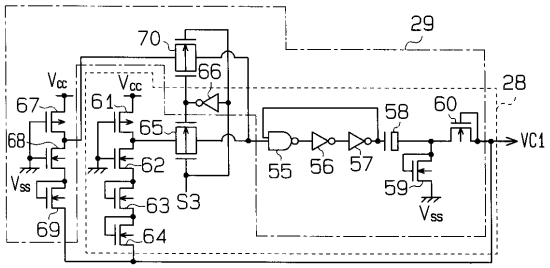
【図３】

第１及び第２設定部の詳細を示す回路図



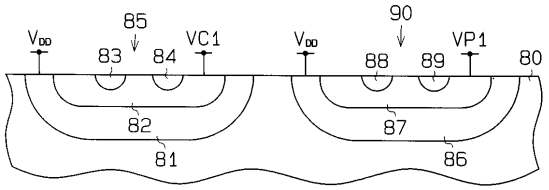
【図４】

第３及び第４設定部の詳細を示す回路図



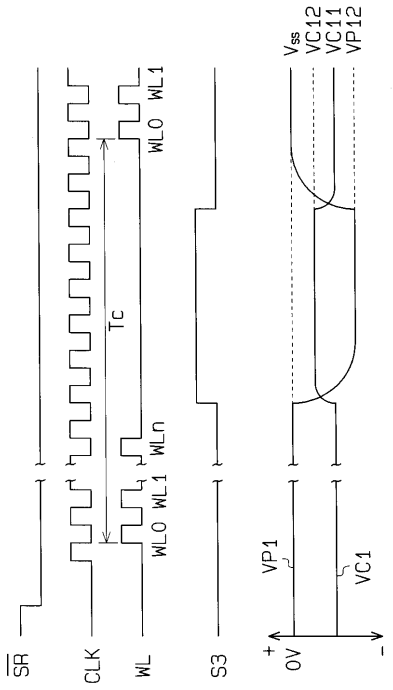
【図５】

メモリセル及び周辺回路部のトランジスタの断面図



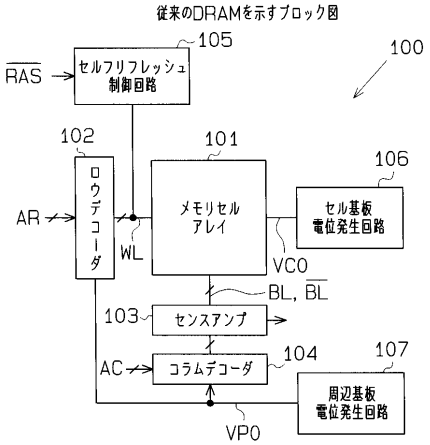
【図６】

実施の形態のDRAMの作用を示す波形図



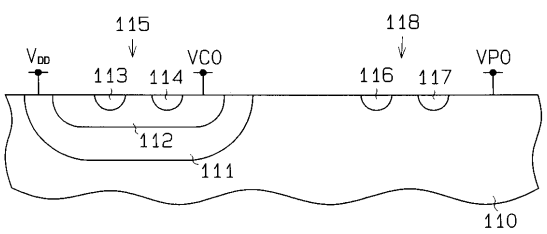
【図７】

従来のDRAMを示すブロック図

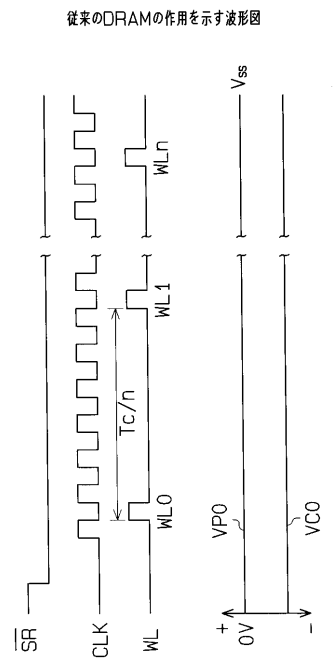


【図８】

従来のメモリセル及び周辺回路部のトランジスタの断面図



【図９】


従来のDRAMの作用を示す波形図
$\overline{SR}$
CLK
WL
WL0
Tc/n
WL1
WLn
Vss
VP0
VC0
+
0V
-

フロントページの続き

(56)参考文献 特開平０８－０８７８８１（ＪＰ，Ａ）
特開平０４－３０２８９７（ＪＰ，Ａ）
特開平０６－２８２９８５（ＪＰ，Ａ）
特開平１０－０２１６８５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/40-409