



(12) 发明专利申请

(10) 申请公布号 CN 116528654 A

(43) 申请公布日 2023. 08. 01

(21) 申请号 202310062628.3

(22) 申请日 2023.01.18

(30) 优先权数据

2022-012710 2022.01.31 JP

(71) 申请人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路889号

(72) 发明人 世良贤二 林健一 芳贺浩史

竹内伸

(74) 专利代理机构 北京同达信恒知识产权代理

有限公司 11291

专利代理师 黄志华 何月华

(51) Int. Cl.

H10N 39/00 (2023.01)

H10N 30/045 (2023.01)

G06V 40/13 (2022.01)

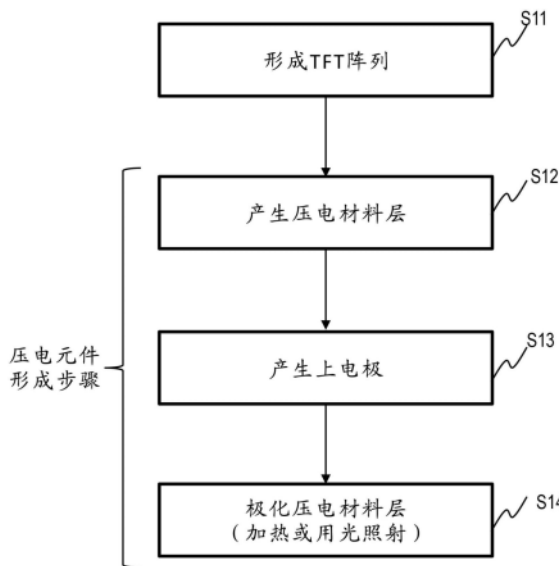
权利要求书2页 说明书9页 附图12页

(54) 发明名称

制造压电元件阵列板的方法、压电元件阵列板和极化装置

(57) 摘要

本发明涉及制造压电元件阵列板的方法、压电元件阵列板和极化装置。该制造压电元件阵列板的方法包括：在基板上形成包括一个或多个薄膜晶体管的多个压电元件控制电路；在所述基板上形成多个压电元件；以及在形成所述多个压电元件和所述多个压电元件控制电路之后，通过在将所述一个或多个薄膜晶体管保持在产生高漏电流的状态的同时向所述多个压电元件的压电材料层施加电场来极化压电材料。



1. 一种制造压电元件阵列板的方法,包括:  
在基板上形成包括一个或多个薄膜晶体管的多个压电元件控制电路;  
在所述基板上形成多个压电元件;以及  
在形成所述多个压电元件和所述多个压电元件控制电路之后,通过在将所述一个或多个薄膜晶体管保持在产生高漏电流的状态的同时向所述多个压电元件的压电材料层施加电场来极化压电材料。
2. 根据权利要求1所述的方法,其中,将所述一个或多个薄膜晶体管保持在产生高漏电流的状态包括加热所述压电元件阵列板。
3. 根据权利要求2所述的方法,其中,将所述一个或多个薄膜晶体管保持在产生高漏电流的状态包括将所述压电元件阵列板保持在不小于60°C且不大于100°C的状态。
4. 根据权利要求3所述的方法,其中,将所述一个或多个薄膜晶体管保持在产生高漏电流的状态包括将所述压电元件阵列板保持在不小于70°C且不大于90°C的状态。
5. 根据权利要求1所述的方法,其中,将所述一个或多个薄膜晶体管保持在产生高漏电流的状态包括用光照射所述一个或多个薄膜晶体管。
6. 根据权利要求5所述的方法,其中,将所述一个或多个薄膜晶体管保持在产生高漏电流的状态包括用来自所述基板后面的光照射所述一个或多个薄膜晶体管。
7. 根据权利要求1所述的方法,其中,将所述一个或多个薄膜晶体管保持在产生高漏电流的状态包括加热所述压电元件阵列板,同时用光照射所述一个或多个薄膜晶体管。
8. 根据权利要求1所述的方法,其中,所述高漏电流等于或高于通过将压电元件的面积乘以0.1A而获得的值。
9. 一种压电元件阵列板,包括:  
基板;  
在所述基板上的包括多个压电元件的压电元件阵列;以及  
在所述基板上的薄膜晶体管阵列,所述薄膜晶体管阵列被配置为控制所述多个压电元件,  
其中,所述薄膜晶体管阵列包括多个压电元件控制电路,每个压电元件控制电路被配置为控制所述多个压电元件中的一个压电元件,以及  
其中,一个或多个薄膜晶体管中的每一个薄膜晶体管在80°C时的漏电流等于或高于通过将压电元件的面积乘以0.1A而获得的值。
10. 根据权利要求9所述的压电元件阵列板,其中,所述一个或多个薄膜晶体管中的每一个薄膜晶体管在80°C时的漏电流等于或高于 $2.5E-11A$ 。
11. 一种极化装置,所述极化装置被配置为极化压电元件阵列板中的压电材料,  
所述压电元件阵列板包括:绝缘基板、在所述绝缘基板上的包括一个或多个薄膜晶体管的多个压电元件控制电路、以及在所述绝缘基板上的包括压电材料层的多个压电元件,  
所述极化装置包括:  
等离子体放电设备;  
光学透明台,所述光学透明台被配置为以使得所述绝缘基板位于所述光学透明台上的方式保持所述压电元件阵列板;  
加热设备,所述加热设备被配置为加热所述压电元件阵列板;以及

光源系统,所述光源系统被配置为用来自所述光学透明台后面的光照射所述压电元件阵列板,

其中,所述等离子体放电设备被配置为通过在所述压电元件阵列板被加热并被光照射的状态下对所述压电元件阵列板通电来极化所述多个压电元件的压电材料层。

## 制造压电元件阵列板的方法、压电元件阵列板和极化装置

### 技术领域

[0001] 本发明涉及制造压电元件阵列板的方法、压电元件阵列板和极化装置。

### 背景技术

[0002] 压电元件阵列包括在诸如超声波传感器、超声波换能器阵列和指纹传感器的各种装置中。最近,有源矩阵超声波指纹传感器已经商业化,其包括阵列压电元件以及用于驱动和控制压电元件的薄膜晶体管(TFT)像素电路。

[0003] 超声波指纹传感器被配置为使得薄膜压电元件形成在低温多晶硅(LTPS) TFT阵列上方,该TFT阵列例如包括在LCD中。制造超声波指纹传感器首先通过常规LTPS工艺形成TFT阵列,然后形成压电元件。最后,大约1000V的高压处理(极化)对于压电元件表现压电性是必要的。

### 发明内容

[0004] 制造压电元件包括通过施加高于矫顽电场的电场来极化压电材料的过程。具体地,通常需要大约100V/ $\mu\text{m}$ (实际电压为1000V)的高电场来获得压电性。同时,在其压电元件阵列由TFT阵列驱动和控制的超声波传感器中,每个压电元件连接到TFT。为了检测和读取来自压电元件的信号,要求这些TFT具有小的截止电流。然而,在TFT的漏电流小的情况下,在极化过程期间向TFT施加高电压;TFT将在极化过程中以高概率损坏。

[0005] 本发明的一个方面是一种制造压电元件阵列板的方法。该方法包括:在基板上形成包括一个或多个薄膜晶体管的多个压电元件控制电路;在所述基板上形成多个压电元件;以及在形成所述多个压电元件和所述多个压电元件控制电路之后,通过在将所述一个或多个薄膜晶体管保持在产生高漏电流的状态的同时向所述多个压电元件的压电材料层施加电场来极化压电材料。

[0006] 本发明的一个方面是一种压电元件阵列板,包括:基板;在所述基板上的包括多个压电元件的压电元件阵列;以及在所述基板上的薄膜晶体管阵列,所述薄膜晶体管阵列被配置为控制所述多个压电元件。所述薄膜晶体管阵列包括多个压电元件控制电路,每个压电元件控制电路被配置为控制所述多个压电元件中的一个压电元件。一个或多个薄膜晶体管中的每一个薄膜晶体管在80°C时的漏电流等于或高于通过将压电元件的面积乘以0.1A而获得的值。

[0007] 本发明的一个方面是一种极化装置,其被配置为极化压电元件阵列板中的压电材料。所述压电元件阵列板包括:绝缘基板、在所述绝缘基板上的包括一个或多个薄膜晶体管的多个压电元件控制电路、以及在所述绝缘基板上的包括压电材料层的多个压电元件。所述极化装置包括:等离子体放电设备;光学透明台,其被配置为以使得所述绝缘基板位于所述光学透明台上的方式保持压电元件阵列板;加热设备,其被配置为加热所述压电元件阵列板;以及光源系统,其被配置为用来自所述光学透明台后面的光照射所述压电元件阵列板。所述等离子体放电设备被配置为通过在所述压电元件阵列板被加热并被光照射的状态

下对所述压电元件阵列板通电来极化所述多个压电元件的压电材料层。

[0008] 本发明的一个方面实现了压电元件阵列板的最佳制造。

[0009] 应当理解,前面的概括描述和以下的详细描述都是示例性和解释性的,而不是对本发明的限制。

### 附图说明

[0010] 图1是示出一个实施方式中的超声波传感器的配置的框图;

[0011] 图2是示出一个实施方式中的压电元件阵列板的像素的电路配置的电路图;

[0012] 图3是示出本发明的超声波传感器的操作以激励超声波并进一步接收反射的超声波的时序图;

[0013] 图4示意性地示出了超声波传感器的横截面结构的一部分;

[0014] 图5是制造超声波传感器的方法的示例的流程图;

[0015] 图6示意性地示出了极化过程中的像素电路的配置;

[0016] 图7示出了在不同温度下p沟道型薄膜晶体管的栅极电压与漏极电流之间的关系;

[0017] 图8提供了测量的磁滞回线(D-E磁滞回线),其表示在不同温度下施加到压电元件的电场E与电荷密度D之间的关系;

[0018] 图9示出了矫顽电场 $E_c$ 与温度之间的关系以及压电元件的剩余极化 $P_r$ 与温度的关系;

[0019] 图10示意性地示出了当用光照射压电元件阵列板时的极化过程;

[0020] 图11示出了压电元件阵列板中的薄膜晶体管的截止电流与薄膜晶体管的击穿电场之间的关系;以及

[0021] 图12示意性地示出了用于在用光照射压电元件阵列板的同时极化压电材料层的装置的配置示例。

### 具体实施方式

[0022] 在下文中,将参考附图详细描述本发明的超声波传感器。每个附图中的元件的大小或比例都会根据需要进行更改,以便在附图中得到很好的识别。附图中的阴影线用于区分元件,而不是表示横截面。用作开关元件或放大元件的非线性元件被称为晶体管。晶体管包括薄膜晶体管(TFT)。

[0023] 本发明的压电元件阵列板适用于医疗和工业测试领域中的超声波传感器以及用于检测指纹或物体的超声波传感器。它还适用于用于各种目的的声音发生器。尽管当前商业化的超声波传感器配置有多个单独的压电元件的阵列,但是由薄膜晶体管阵列驱动的有源矩阵超声波传感器已经推向市场,以实现更薄的形状和更高的分辨率。

[0024] 制造压电元件包括通过向压电材料施加高于矫顽电场的电场来极化压电材料的过程。具体地,通常需要大约 $100\text{V}/\mu\text{m}$ 的高电场( $1000\text{V}$ 的有效电压)来获得压电性。同时,在由TFT阵列驱动和控制的压电元件阵列板中,每个压电元件连接到薄膜晶体管。为了检测和读取来自压电元件的信号,要求薄膜晶体管具有小的截止电流。然而,如果薄膜晶体管的漏电流小,则在极化过程中施加到薄膜晶体管的电压变高,薄膜晶体管将以高概率损坏。

[0025] 本说明书的一个实施方式配置并制造压电元件阵列板,使得薄膜晶体管在压电元

件的极化过程中具有期望的漏电流。由此,在制造压电元件阵列板时薄膜晶体管破损的可能性显著降低。

#### [0026] 设备配置

[0027] 图1是示出本说明书的一个实施方式中的超声波传感器的配置示例的框图。超声波传感器10包括压电元件阵列板11和控制电路。控制电路包括多路复用器电路15、驱动器电路14、信号检测器电路16和主控制电路18。

[0028] 压电元件阵列板11包括绝缘基板(例如玻璃基板)和像素区域12,在像素区域12中,像素13水平和垂直排列,就像绝缘基板上的矩阵一样。多路复用器电路15形成在压电元件阵列板11的绝缘基板上,并连接到像素列的信号线,每个像素列由图1中垂直排列的像素组成。多路复用器电路15按时间序列转换来自像素的信号,并将转换后的信号输出到连接到信号检测器电路16的较少数量的信号线以用于检测。

[0029] 驱动器电路14驱动和控制像素13以为像素13产生并检测超声波。多路复用器电路15接收由信号线发送的来自像素13的超声波检测信号,并将其输出到信号检测器电路16。信号检测器电路16检测来自多路复用器电路15按时间序列转换的各个信号线的信号。主控制电路18控制驱动器电路14、多路复用器电路15和信号检测器电路16。驱动器电路14、信号检测器电路16和主控制电路18可以安装在压电元件阵列板11上或作为独立部件与压电元件阵列板11分开。

#### [0030] 像素电路

[0031] 图2是示出像素13和用于像素13的像素电路(压电元件控制电路)的配置的电路图。像素13是压电元件PE。该压电元件PE具有激发和接收超声波的两个功能。压电元件PE的上电极由附图标记TX表示。压电元件PE根据接收到的反射超声波振动感应出电压VRX。本发明的超声波传感器10中的一个像素电路包括三个薄膜晶体管TR1、TR2和TR3以及二极管D1。薄膜晶体管的半导体材料可以是低温多晶硅、氧化物半导体、或非晶硅。

[0032] 二极管D1的阴极端子连接到晶体管TR1的栅极端子和晶体管TR3的源极/漏极端子之间的节点N1。其阳极端子连接到二极管偏置线PA。晶体管TR1的源极/漏极端子中的一个源极/漏极端子连接到电源线PP,而另一个源极/漏极端子连接到晶体管TR2的源极/漏极端子中的一个源极/漏极端子。

[0033] 晶体管TR2的栅极端子连接到控制线Gn。晶体管TR2另一个源极/漏极端子连接到信号线Dm。晶体管TR3的栅极端子连接到控制线Rn。晶体管TR3的源极/漏极端子连接到二极管D1的阳极端子和阴极端子。

[0034] 晶体管TR1(放大晶体管)具有放大压电元件PE一端的电位的功能。晶体管TR2是开关元件,并且具有控制像素电路的输出的功能。晶体管TR3是开关元件,并且具有复位压电元件PE的一端和晶体管TR1的栅极电极的电位的功能。

[0035] 图1中的超声波传感器10对于由多个垂直排列的像素13组成的一个像素列具有一条信号线Dm。同一像素列中的所有像素都连接到信号线Dm。该信号线Dm连接到压电元件阵列板11的端部区域中的一个多路复用器电路15。

[0036] 图3是示出本发明的超声波传感器10的操作以激发超声波并且进一步接收反射的超声波的时序图。从时间T1到时间T2的时段是超声波激励时段。

[0037] 在时间T1,驱动器电路14将控制线Rn的电位从低电平改变为高电平。作为响应,晶

晶体管TR3导通。驱动器电路14将二极管偏置线PA的电位保持在低电平。因此,压电元件PE的下电极的电位被固定。在晶体管TR3导通之后,驱动器电路14向压电元件PE的上电极TX提供激励信号。作为响应,所有压电元件PE开始振动以产生超声波。随后,驱动器电路14停止向上电极TX提供信号。

[0038] 在停止用于上电极TX的信号之后的时间T2,驱动器电路14将控制线Rn的电位从高电平改变为低电平。作为响应,晶体管TR3截止。

[0039] 压电元件PE从时间T2开始接收反射的超声波。由于晶体管TR3截止,因此下电极处于浮动状态,从而响应于超声波的接收而在下电极处产生感应电压VRX。在图3中,如果压电元件PE没有接收超声波,则感应电压VRX为0,如果接收,则感应电压VRX高于0。

[0040] 驱动器电路14还在时间T2将二极管偏置线PA的电位从低电平改变为高电平。二极管偏置将感应电压VRX调整为晶体管TR1输出到信号线Dm的最佳偏置电压。

[0041] 驱动器电路14还在时间T2将控制线Gn的电位从低电平改变为高电平。作为响应,晶体管TR2导通;晶体管TR1放大感应电压VRX并将其输出到信号线Dm。

[0042] 在时间T3,驱动器电路14将控制线Gn的电位从高电平改变为低电平。作为响应,晶体管TR2截止,从而感应电压VRX的读取结束。此时序图示出了仅一个像素的操作。在设备具有多个像素的情况下,驱动器电路14控制多条控制线Rn和Gn以及多条信号线Dm以读取每个像素的感应电压VRX。

[0043] 元件结构

[0044] 图4示意性地示出了超声波传感器10的横截面结构的一部分。以下描述中的顶部和底部的定义对应于附图的顶部和顶部。超声波传感器10包括绝缘基板151和与绝缘基板151相对的介质200。介质200是例如由树脂或玻璃制成的柔性或刚性绝缘基板。不仅可以使使用均匀的绝缘体,还可以使用不影响超声波的平板显示基板。由超声波传感器10产生的超声波从与超声波传感器10相对的介质200的表面反射并返回到超声波传感器10。如果诸如人类皮肤的物体与介质200的表面接触,则超声波的反射率改变。是否存在人类皮肤可以通过反射的超声波的强度来感测。

[0045] 超声波传感器10包括在绝缘基板151上的多个下电极162、一个上电极166和压电材料层165。压电材料可以是有机或无机的;可以使用例如聚偏二氟乙烯(PVDF)或钛酸锆(PZT)。

[0046] 一个下电极162、上电极166的一部分、和压电材料层165的一部分构成一个压电元件(也称为像素)。对于每个压电元件,上电极和压电材料层可以分离。一个压电材料层165布置在上电极166和下电极162之间。多个下电极162设置在平坦化膜161上,并且压电材料层165设置在下电极162上。

[0047] 超声波传感器10包括多个电路,每个电路包括多个开关。每个电路驱动和控制压电元件,它可以被称为像素电路。像素电路形成在绝缘基板151与下电极162之间,并控制要提供给各个下电极162的电位。图2所示的配置示例在产生超声波并接收反射波的一侧(图4的上侧)包括多个压电元件共用的上电极166。上电极166成形为完全覆盖整个像素区域12。压电元件层和电路层的位置可以颠倒。

[0048] 图4中的像素电路包括晶体管TR1的栅极电极157B和晶体管TR3。绝缘基板151是例如由玻璃或树脂制成的刚性或柔性基板。在下面的描述中,更靠近绝缘基板151的一侧被称

为下侧,更远离绝缘基板151一侧被称为上侧。由绝缘体制成的基底绝缘层152设置在绝缘基板151上方,并且半导体有源层155布设在基底绝缘层151上方。半导体有源层155包括低电阻的源极/漏极区域和被源极/漏极区域夹置的高电阻沟道区域。

[0049] 半导体有源层155覆盖有栅极绝缘层156。栅极电极横跨栅极绝缘层156设置在半导体有源层155上方。图4包括晶体管TR3的栅极电极157A和晶体管TR1的栅极电极157B。层间绝缘膜158设置在包括栅极电极157A和157B的层上。

[0050] 源极/漏极电极159和160设置在像素区域12内的层间绝缘膜158上方。源极/漏极电极159和160可以由例如铝基合金制成。源极/漏极电极159和160通过设置在层间绝缘膜158的接触孔中的接触区域168和169连接到半导体有源层155。

[0051] 线路区域171从晶体管TR3的源极/漏极电极160延伸,并经由设置在层间绝缘膜158的接触孔中的接触区域172连接到晶体管TR1的栅极电极157B。线路区域171和源极/漏极电极160包括在同一金属层中,并且它们是不分离的。

[0052] 绝缘平坦化膜161设置在源极/漏极电极159和160以及线路区域171上。下电极162设置在绝缘平坦化膜161的上方。下电极162经由设置在平坦化膜161的接触孔中的接触区域连接到源极/漏极电极160。像素电路形成在下电极162的下方。

[0053] 压电材料层165形成在下电极162上。压电材料层165与下电极162的顶面和平坦化膜161的顶面接触。上电极166设置在压电材料层165上方并与压电材料层165接触。下电极162、压电材料层165的一部分、和上电极166的一部分的堆叠对应于压电元件。

[0054] 制造方法

[0055] 描述制造超声波传感器10的方法的示例。在下面的描述中,在一个步骤中(同时)产生的元件是同一层上的元件。图5是制造超声波传感器10的方法的示例的流程图。

[0056] 制造超声波传感器10首先在绝缘基板151上形成TFT阵列(S11)。具体描述该步骤。该制造首先通过化学气相沉积(CVD)在绝缘基板151上沉积氮化硅或氧化硅,以形成基底绝缘层152。

[0057] 接下来,通过已知的低温多晶硅TFT制造技术制造包括半导体有源层155的层(多晶硅层)。例如,该制造通过CVD沉积非晶硅并通过准分子激光退火(ELA)使非晶硅结晶,以形成多晶硅层。

[0058] 接下来,该制造通过CVD在包括半导体有源层155的多晶硅层上沉积氧化硅,以形成栅极绝缘层156。此外,该制造通过溅射沉积金属材料并对金属材料进行图案化,以形成包括栅极电极157A和157B的金属层。

[0059] 金属层不仅可以包括栅极电极157A和157B,还可以包括线路。金属层可以是选自Mo、W、Nb、MoW、MoNb、Al、Nd、Ti、Cu、Cu合金、Al合金、Ag、和Ag合金中的一种材料的单个层。替代地,金属层可以具有多层结构,该多层结构包括选自Mo、Cu、Al和Ag的低电阻材料的两个或更多个层,以获得低电阻线路。

[0060] 接下来,为了制造n型TFT,该制造在已经掺杂有n型高浓度杂质的区域中,在形成栅极电极157A和157B之前,使用栅极电极157A作为掩模,用附加杂质掺杂半导体有源层155,以形成低浓度杂质层。因此,TFT被设置有轻掺杂漏极结构(LDD)。接下来,该制造在除了n型TFT的区域之外的区域中,使用栅极电极157A作为掩模,用p型杂质掺杂半导体有源层155,以产生p型TFT的源极/漏极结构。接下来,该制造通过CVD沉积氧化硅,以形成层间绝缘

膜158。

[0061] 该制造通过各向异性蚀刻在层间绝缘膜158和栅极绝缘层156中开设接触孔。在层间绝缘膜158和栅极绝缘层156中开设用于将源极/漏极电极159和160连接到半导体有源层155的接触区域168和169的接触孔以及用于将线路区域171连接到栅极电极157B的接触区域172的接触孔。

[0062] 接下来,该制造沉积包含铝(例如Ti/Al/Ti)的金属材料并对金属材料进行图案化,以形成金属层。金属层包括源极/漏极电极159和160、线路区域171、以及接触区域168、169和172。其他的线路一起形成

[0063] 接下来,该制造沉积光敏有机材料以形成平坦化膜161,并开设接触孔以到达TFT的源极/漏极电极160。该制造在具有接触孔的平坦化膜161上产生下电极162。下电极162可以是诸如ITO、IZO、ZnO、Ag、Mg、Al或Pt的材料的单个层或这些层的堆叠体。每个下电极162经由接触区域连接到源极/漏极电极160。

[0064] 在如上所述形成TFT阵列之后,该制造执行压电元件形成步骤S12至S14。具体地,该制造产生压电材料层(S12)。产生压电材料层的示例是通过旋涂、印刷或喷墨印刷来沉积PVDF以形成压电材料层165。不同于PVDF的压电材料可以通过适当的方法沉积成层。

[0065] 接下来,该制造在压电材料层165上方产生上电极(S13)。产生上电极在压电材料层165上方沉积用于上电极166的金属材料。形成上电极166的层的示例通过溅射、气相沉积、印刷或喷墨印刷沉积Al和/或Ag。压电材料层165和上电极166覆盖整个像素区域12,而不影响设置在像素区域12外部的线路。

[0066] 接下来,该制造极化形成在基板上的压电材料层165(S14)。极化过程S14向压电材料层165施加高电压,以产生压电材料层165的压电性。为了获得期望的压电水平,要施加大约100V/ $\mu\text{m}$ (大约1000V的实际电压)的高电场(高电压)。

[0067] 图6示意性地示出了极化过程中的像素电路的配置。薄膜晶体管阵列(像素电路阵列)的所有线路连接到公共线31并接地。具体地,电源线PP、控制线Rn和Gn、二极管偏置线PA、以及信号线Dm接地。在薄膜晶体管阵列的线路接地以极化压电材料层165的状态下,极化过程向上电极TX施加高电压。

[0068] 通常,制造压电元件阵列板在一个主板上形成多个压电元件阵列板的像素阵列和薄膜晶体管阵列,并切割出各个压电元件阵列板。极化过程将主板上所有薄膜晶体管阵列的线路连接在一起并将其接地。

[0069] 如上所述,压电元件连接到薄膜晶体管阵列。为了向压电材料层165施加高电压,需要不损坏薄膜晶体管阵列中的薄膜晶体的条件。

[0070] 为了检测和读取来自压电元件的信号,期望像素电路中的薄膜晶体的截止电流(漏电流)低。然而,薄膜晶体的低截止电流导致在极化过程中向薄膜晶体管施加较高的电压;薄膜晶体管将以高概率损坏。

[0071] 本说明书的一个实施方式中的极化过程在薄膜晶体管产生较高的截止电流的状态(条件)下向压电材料层施加高电压。这种配置显著降低了在极化过程中薄膜晶体管破损的可能性。通过加热薄膜晶体管或用光照射薄膜晶体管,可以增加薄膜晶体的截止电流。

[0072] 将薄膜晶体管加热到高于室温的温度会增加其截止电流,这降低了在极化过程中施加高电压导致的破损的可能性。图7示出了在不同温度下p沟道型薄膜晶体的栅极电压

与漏极电流之间的关系。横轴表示栅极电压,纵轴表示漏极电流。p沟道型薄膜晶体管的漏极电流随着栅极电压的降低而增加。当栅极电压高于0时,漏极电流对应于截止电流。

[0073] 在图7的曲线图中,为了便于描述,表示不同温度下的一些线被提供有附图标记。线411表示-40°C的温度下栅极电压与漏极电流之间的关系。线412表示0°C的温度下栅极电压与漏极电流之间的关系。线413表示在20°C的温度下栅极电压与漏极电流之间的关系。线414表示50°C的温度下栅极电压与漏极电流之间的关系。线415表示80°C的温度下栅极电压与漏极电流之间的关系。如图7所示,截止电流随着薄膜晶体管的温度的增加而增加。

[0074] 此外,增加的温度降低了极化压电材料所需的电压(电场)。压电材料的分子可以随着温度的升高而容易地移动,因此极化所需的电压(电场)降低。图8提供了测量的磁滞回线(D-E磁滞回线),其表示在不同温度下施加到压电元件的电场E与电荷密度D之间的关系。该测量中使用的压电材料为PVDF。其他材料表现出类似的变化。图8提供了在室温、60°C、70°C、80°C、90°C、和100°C的温度下的D-E磁滞回线。

[0075] 在图8中,为了便于描述,在不同温度下的一些D-E磁滞回线被提供有附图标记。磁滞回线431表示室温下的D-E磁滞回路。磁滞回线433表示60°C的温度下的D-E磁滞回路。磁滞回线435表示100°C的温度下的D-E磁滞回路。

[0076] 启动极化的电场(反转极化的电场)称为矫顽电场 $E_c$ ,是电荷密度D在D-E磁滞回线中为0的正外部电场。在D-E磁滞回线中,当外部电场为0时,指示极化后的压电性能的剩余极化 $P_r$ 可以由电荷密度表示。如图8所示,矫顽电场 $E_c$ 的绝对值随着温度的升高而减小。特别是,从室温到60°C,矫顽电场 $E_c$ 大幅降低,而从60°C到100°C,矫顽电场 $E_c$ 的变化很小。

[0077] 图9示出了从图8中提供的测量结果获得的压电元件的矫顽电场 $E_c$ 与温度之间的关系以及剩余极化 $P_r$ 与温度之间的关系。横轴表示温度;左纵轴表示矫顽电场 $E_c$ ;右纵轴表示剩余极化 $P_r$ 。实线451表示测量的随温度变化的矫顽电场 $E_c$ 。实线453表示测量的随温度变化的剩余极化 $P_r$ 。虚线454表示随温度变化的理论剩余极化 $P_r$ 。当温度接近居里温度时,剩余极化 $P_r$ 显著降低,并且在居里温度时变为0。

[0078] 如从参考图7至图9提供的描述中理解的,高温下的极化过程有利于增加薄膜晶体管的截止电流,进而有助于压电材料极化。然而,为了使压电材料保持适当的剩余极化,极化过程需要在低于特定值的温度下进行。

[0079] 上述发明人的研究表明,当板的温度在60°C至100°C(不小于60°C且不大于100°C)的范围内时,极化压电元件和防止薄膜晶体管破损都可以达到最佳效果。因此,本说明书的一个实施方式在基板的温度在60°C至100°C的范围内条件下进行压电材料层的极化过程。例如在加热室中可获得在期望温度范围内的这种极化过程。此外,从防止薄膜晶体管破损和具有过程余裕的观点出发,压电材料层的极化过程可以在70°C至90°C的温度范围内进行(不小于70°C且不大于90°C)。

[0080] 极化步骤S14可以采用利用等离子体放电的非接触极化来向压电材料层施加高电压。该过程通过电晕放电使压电元件阵列板通电来施加电场,而不是直接向上电极施加高电压。该过程在生产率方面是有利的,因为不需要连接到用于施加高电压的电压源,尽管薄膜晶体管阵列的线路也优选地在该过程中接地。这种使用等离子体放电的非接触极化通常在形成PVDF膜之后但在形成上电极之前进行。

[0081] 如上所述,还有另一种增加薄膜晶体管的漏电流的方法,即用光照射薄膜晶体管,而不是加热。本说明书的一个实施方式中的极化过程是在压电元件阵列中的薄膜晶体管被光照射的状态下进行的。因此,薄膜晶体管的截止电流增加,并且在极化过程中薄膜晶体管破损的可能性降低。

[0082] 图10示意性地示出了当用光照射压电元件阵列板时的极化过程。该极化过程用来自绝缘基板151后面的光501照射压电元件阵列板。尽管可以使用任何波长的光来增加薄膜晶体管的截止电流,但是可以使用从绿色到蓝色的波长范围内的光。绝缘基板151使入射光透射。从绝缘基板151的后面照射压电元件阵列板允许为上电极166选择适合压电元件的材料。

[0083] 极化压电材料层的步骤S14可以一起进行加热和照明。也就是说,在压电元件阵列板被加热并且薄膜晶体管被光照射的状态下,极化过程向压电元件阵列板提供用于极化过程的电压。这种配置更有效地防止薄膜晶体管的破损。此外,这种配置允许降低光强度或温度。

[0084] 压电元件的像素电路中的薄膜晶体管在极化过程中需要具有高截止电流。根据本发明人的研究,具有特定特性的薄膜晶体管可以显著降低极化过程中破损的可能性。

[0085] 图11示出了压电元件阵列板中的薄膜晶体管的截止电流与薄膜晶体管的击穿电场之间的关系。如表示实验结果的实线所示,当截止电流高时,击穿电场也高。击穿电场可以被认为是施加到压电元件的电场。压电元件的适当极化需要不小于100MV/m的电场。考虑到制造余裕,高于 $2.5E-11A$ 的截止电流可以有效防止薄膜晶体管的破损。在正常工作温度(室温:例如,25°C)下,薄膜晶体管的截止电流不大于 $1.0E-12A$ 。

[0086] 在图2的电路图中,施加到薄膜晶体管的电压是节点N1处的电压。节点N1处的电压取决于压电元件PE产生的电荷和薄膜晶体管的漏电流。如果压电元件(其下电极)具有较小的面积,则产生的电荷量较小,从而减小薄膜晶体管所需的截止电流。

[0087] 从提供图11中的数据的数据的压电元件的面积和上述截止电流的值获得以下关系。节点N1处的电压由薄膜晶体管的漏电流减少的电荷量与由于在极化过程中施加的电压而在PVDF的电容器中存储的电荷量的相对比率来确定。PVDF的电容与像素的面积成比例;当薄膜晶体管的漏电流与面积的比率取特定值时,则确定电压。发明人根据实验结果计算系数,并获得以下关系式:

$$[0088] \quad I_{off@80^{\circ}C} \geq 0.01 \times S,$$

[0089] 其中, $I_{off@80^{\circ}C}$ 表示80°C时的截止电流, $S$ 表示压电元件(其下电极或像素电极)的面积。截止电流的单位为A,面积的单位为 $m^2$ 。

[0090] 在极化过程在如压电元件阵列板的制造方法部分所述的60°C至100°C的温度范围内进行的情况下,具有上述特性的薄膜晶体管产生足以避免破损的截止电流。产生不小于 $(0.01 \times S)A$ 或 $2.5E-11A$ 的截止电流的薄膜晶体管可以更可靠地避免破损。

[0091] 图12示意性地示出了用于在用光照射压电元件阵列板时极化压电材料层的装置的配置示例。极化装置包括光源601、光学透明加热台603、和放电器604。放电器604包括连接到高压源608的放电电极605和连接到高压源609的控制栅极607。图12中所示的极化装置利用等离子体放电进行非接触极化。该方法通过电晕放电使压电元件阵列板通电以施加电场,而不是直接向上电极施加高电压。该方法在生产率方面是有利的,因为每个设备不需要

连接到电极。

[0092] 压电元件阵列板11被放置在光学透明加热台603上,绝缘基板151面朝下。在图12的示例中,压电元件阵列板11的端子接地。光学透明加热台603加热压电元件阵列板11。换句话说,光学透明加热台603用作用于加热压电元件阵列板11的加热设备。例如,光学透明加热台603可以包括加热器,或者可以在极化过程开始之前用红外光加热。加热室可以用加热设备而不是光学透明加热台来加热。

[0093] 极化装置通过光学透明加热台603用来自光源601的光照射压电元件阵列板11。光源601布置在光学透明加热台603的下方。光源601不需要位于光学透明加热台603下方,但是它应该被设置成使得要暴露于等离子体放电的区域将被光照射。极化装置可以包括光学系统(光源系统),该光学系统被配置为用来自光源601的光照射光学透明加热台603的下侧。

[0094] 光学透明加热台603使来自光源601的光透射。从光源601发射的光可以是300nm至600nm波长范围的光,其可以透射通过玻璃基板和透明台并且容易被半导体有源层吸收。极化装置在用光学透明加热台603加热压电元件阵列板11并用来自光源601的光照射薄膜晶体管的同时进行等离子体放电。

[0095] 放电发生在放电电极605和压电元件阵列板11之间,使得压电元件阵列板11的表面被负离子(电荷)充电。因此,电场被施加到压电材料。控制栅极607可以最佳地控制电荷分布。

[0096] 如上所述,等离子体极化装置包括具有加热功能的光学透明台并用来自光学透明台后面的光照射压电元件阵列板,该光学透明台用于支撑具有压电材料薄膜和在其上形成的开关元件的绝缘基板。等离子体极化装置在压电元件阵列板被加热并被光照射的状态下,将通过等离子体放电产生的电场施加到压电元件阵列板。通过该操作,压电材料极化。

[0097] 如上所述,已经描述了本发明的实施方式;然而,本发明不限于上述实施方式。本领域技术人员可以在本发明的范围内容易地对上述实施方式中的各个要素进行修改、添加或转换。一个实施方式的配置的一部分可以被另一实施方式的配置替换,或者一个实施方式的配置可以合并到另一实施方式的配置中。

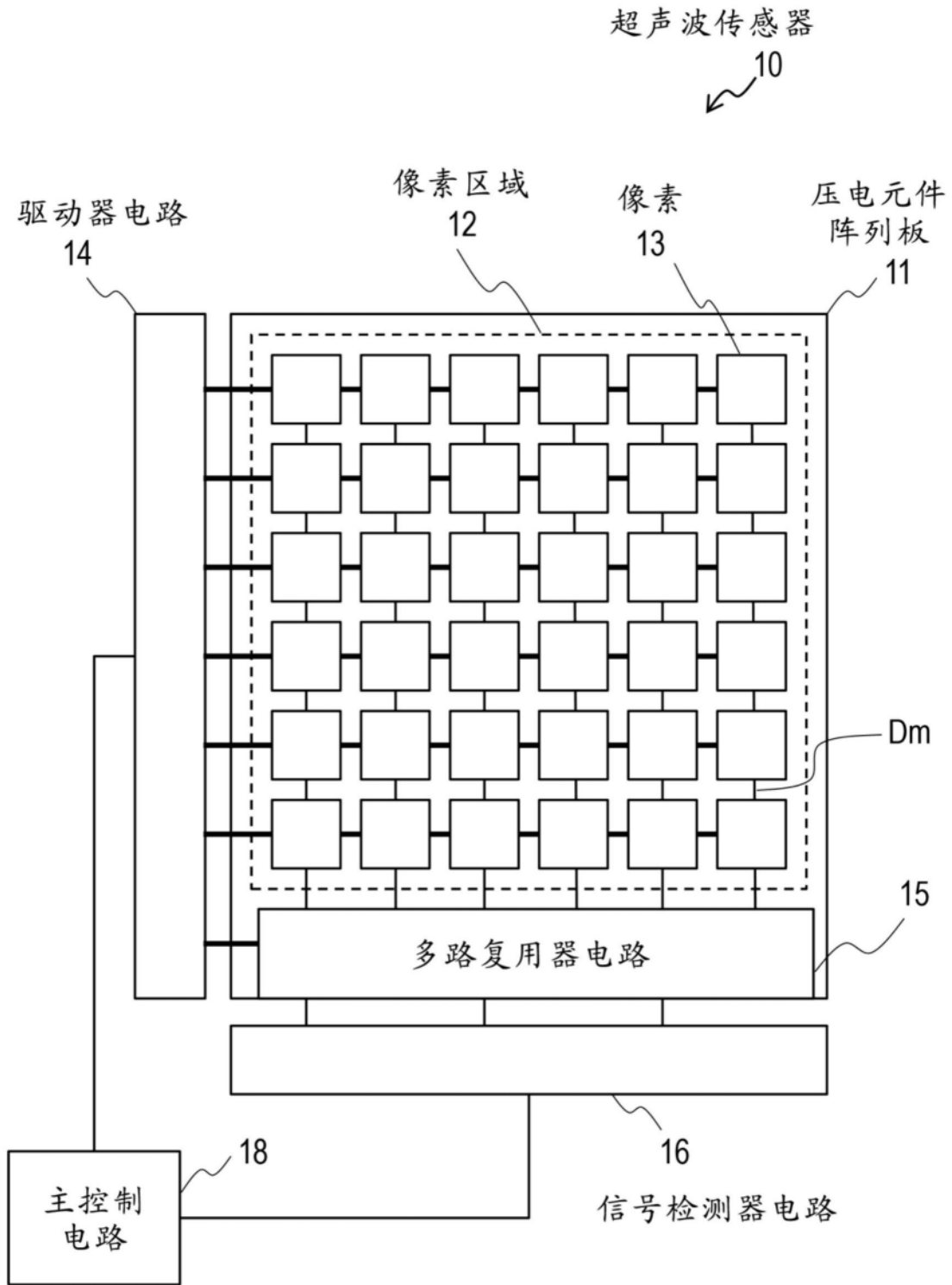


图1

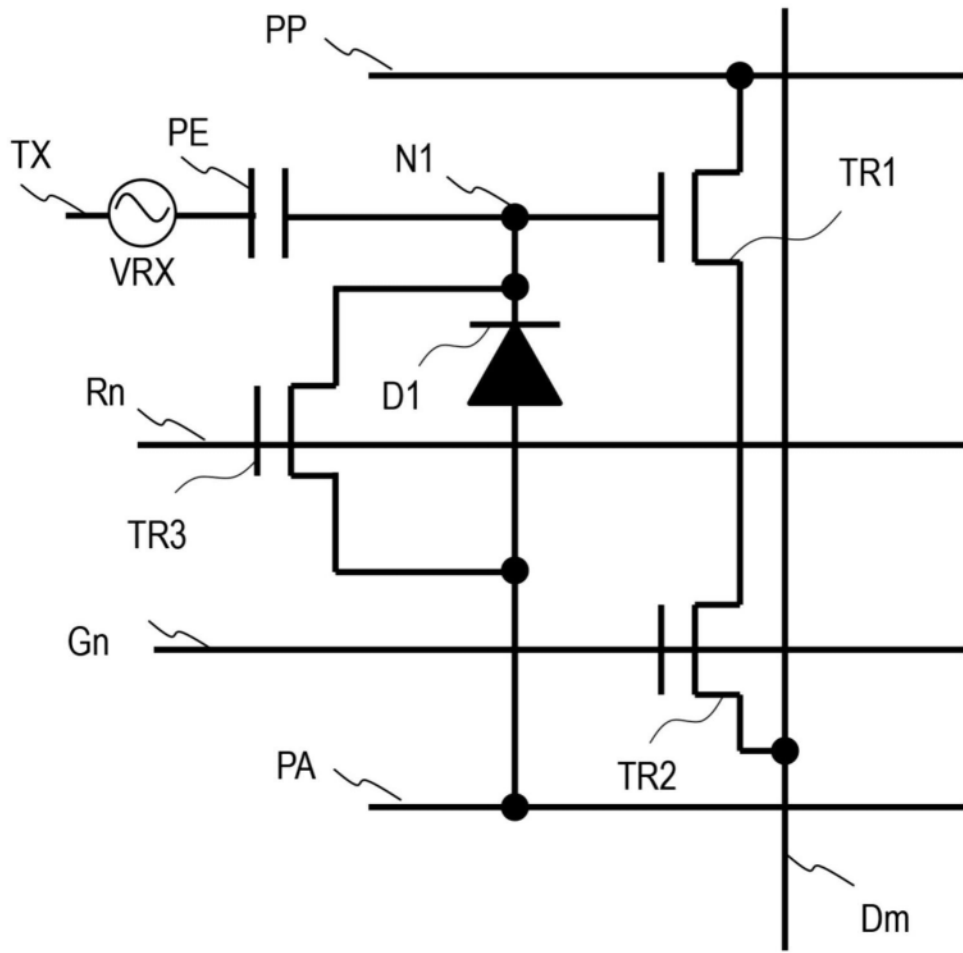


图2

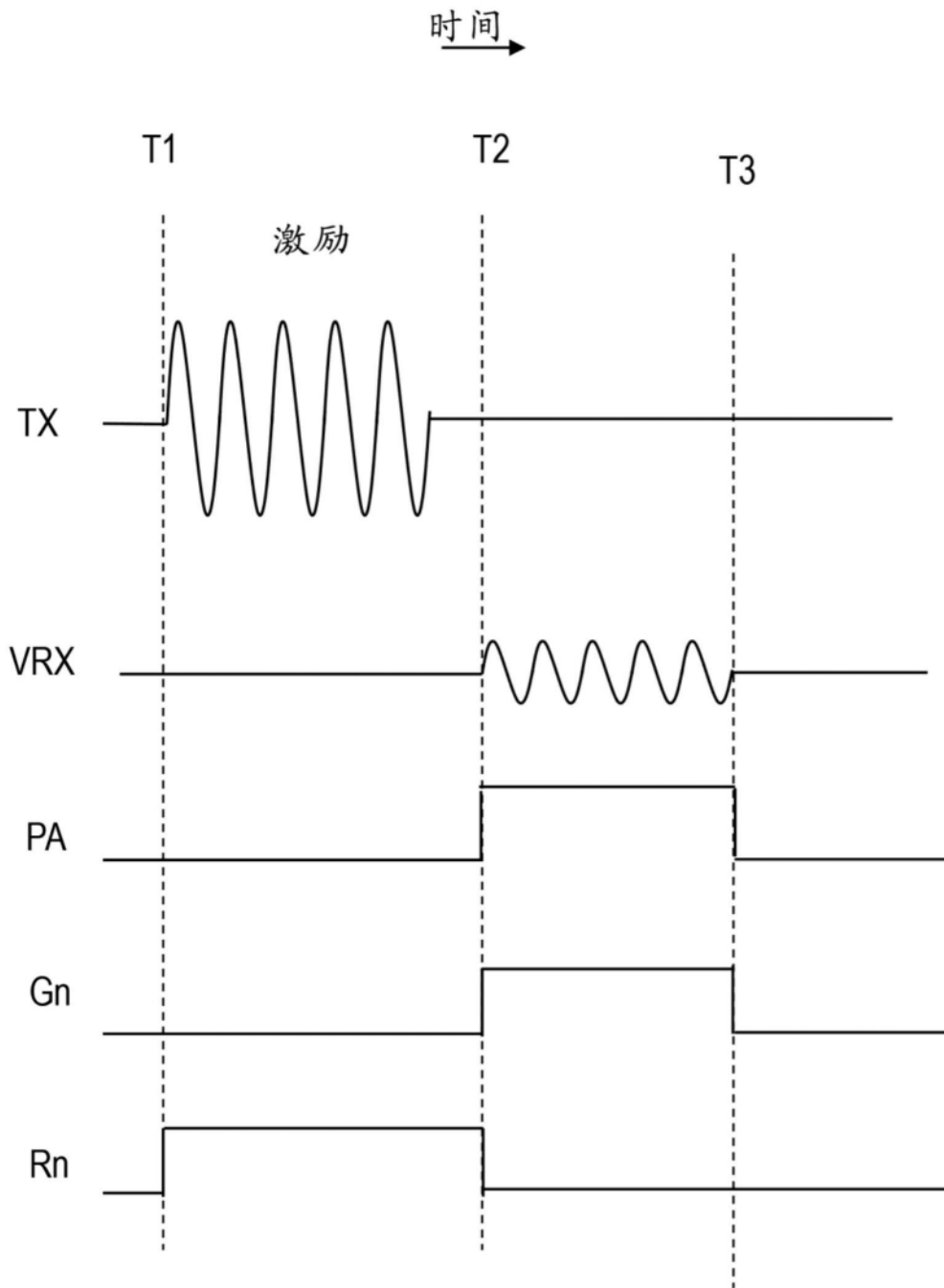


图3

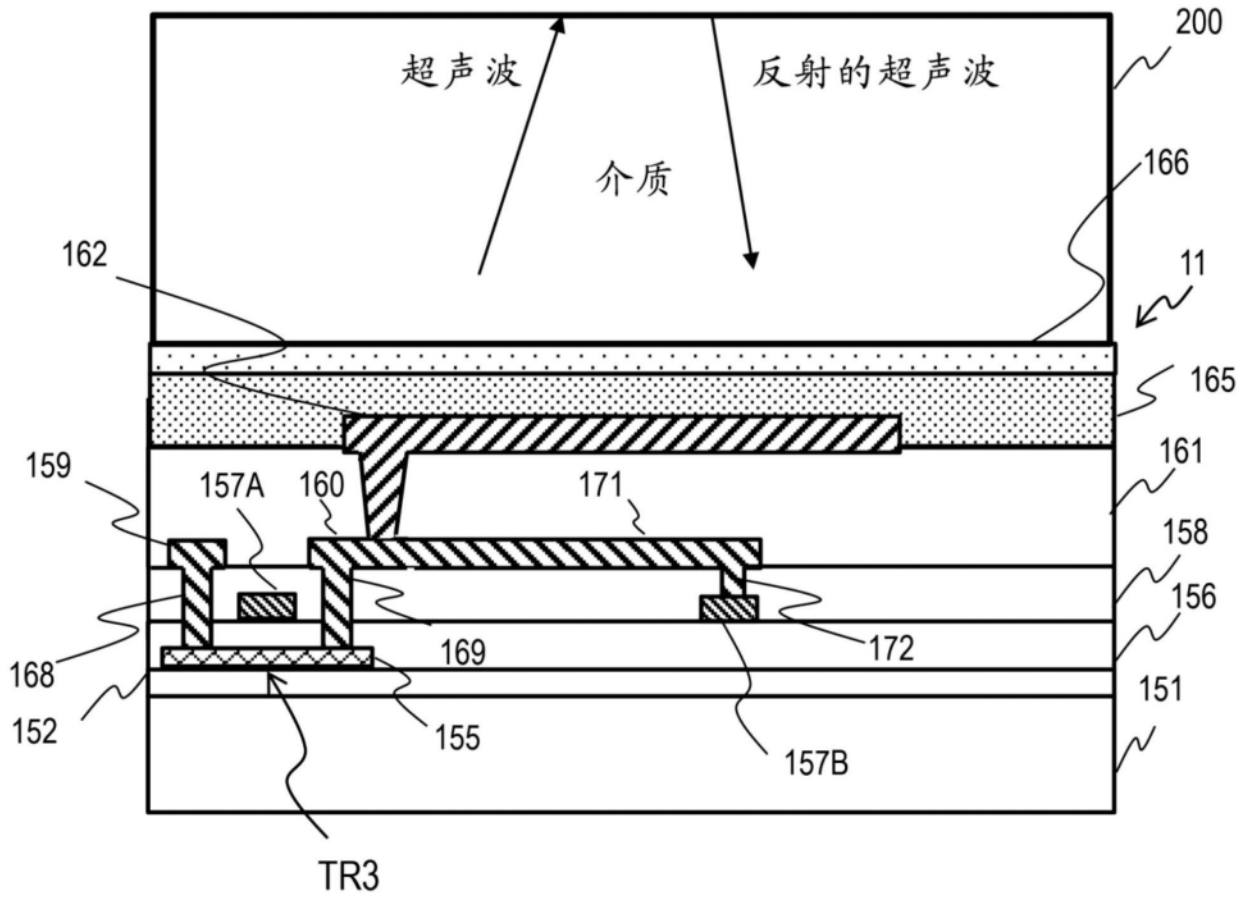


图4

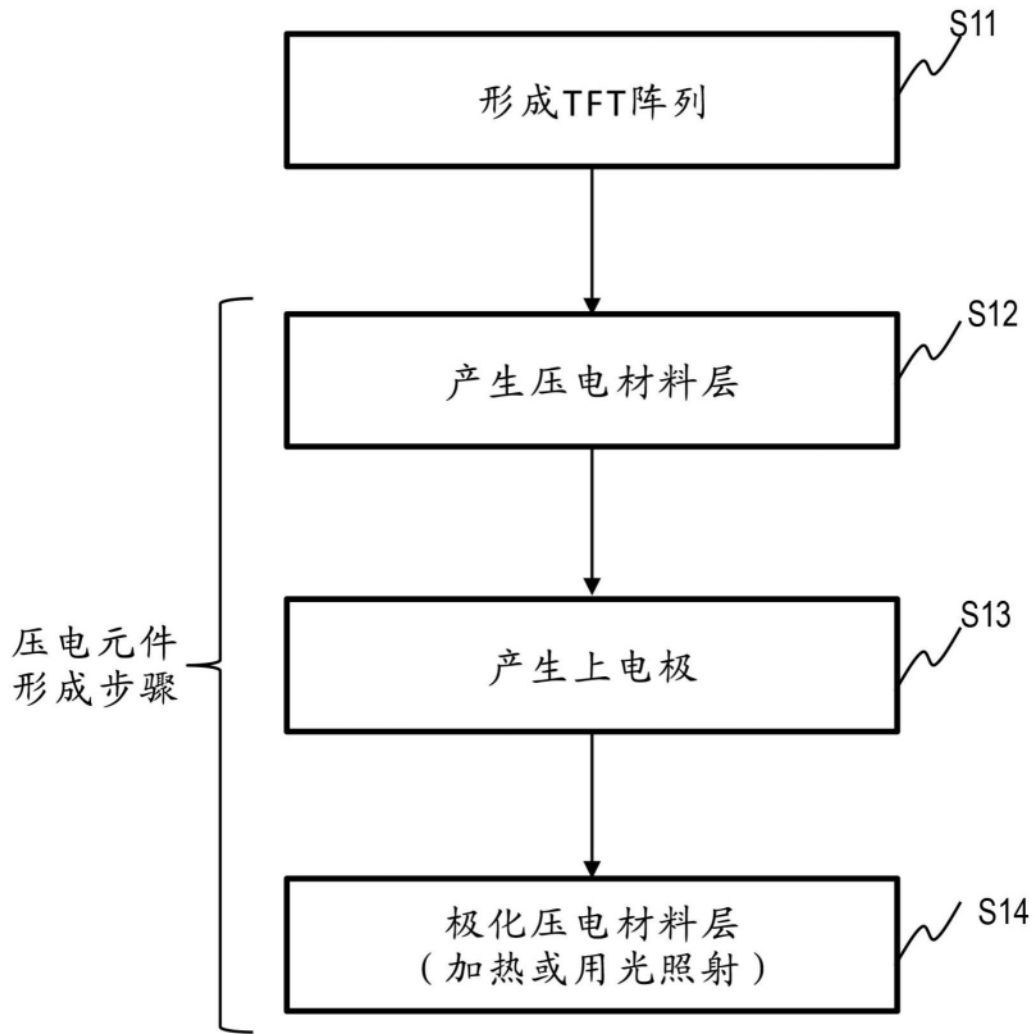


图5

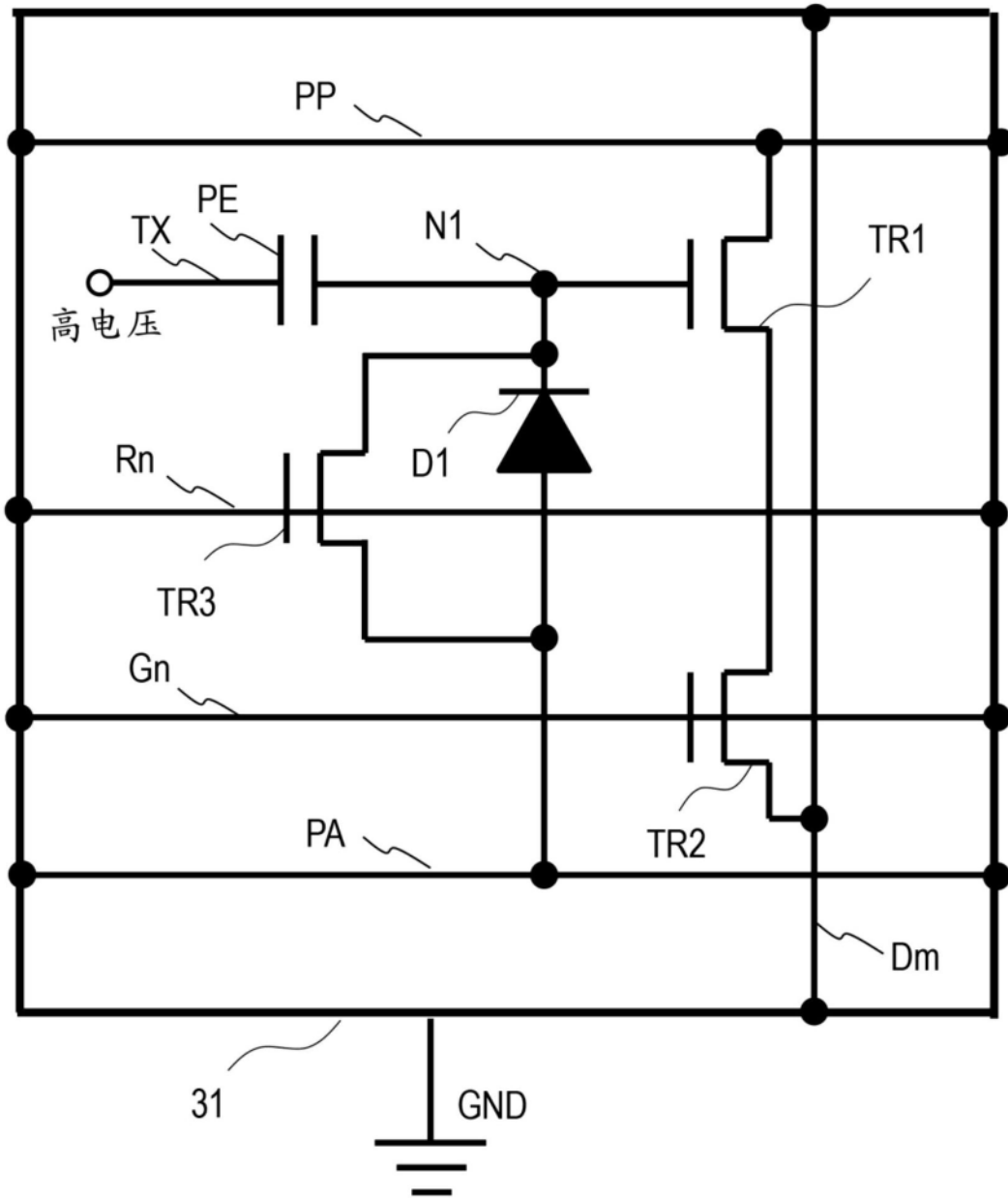


图6

漏极电流 (A)

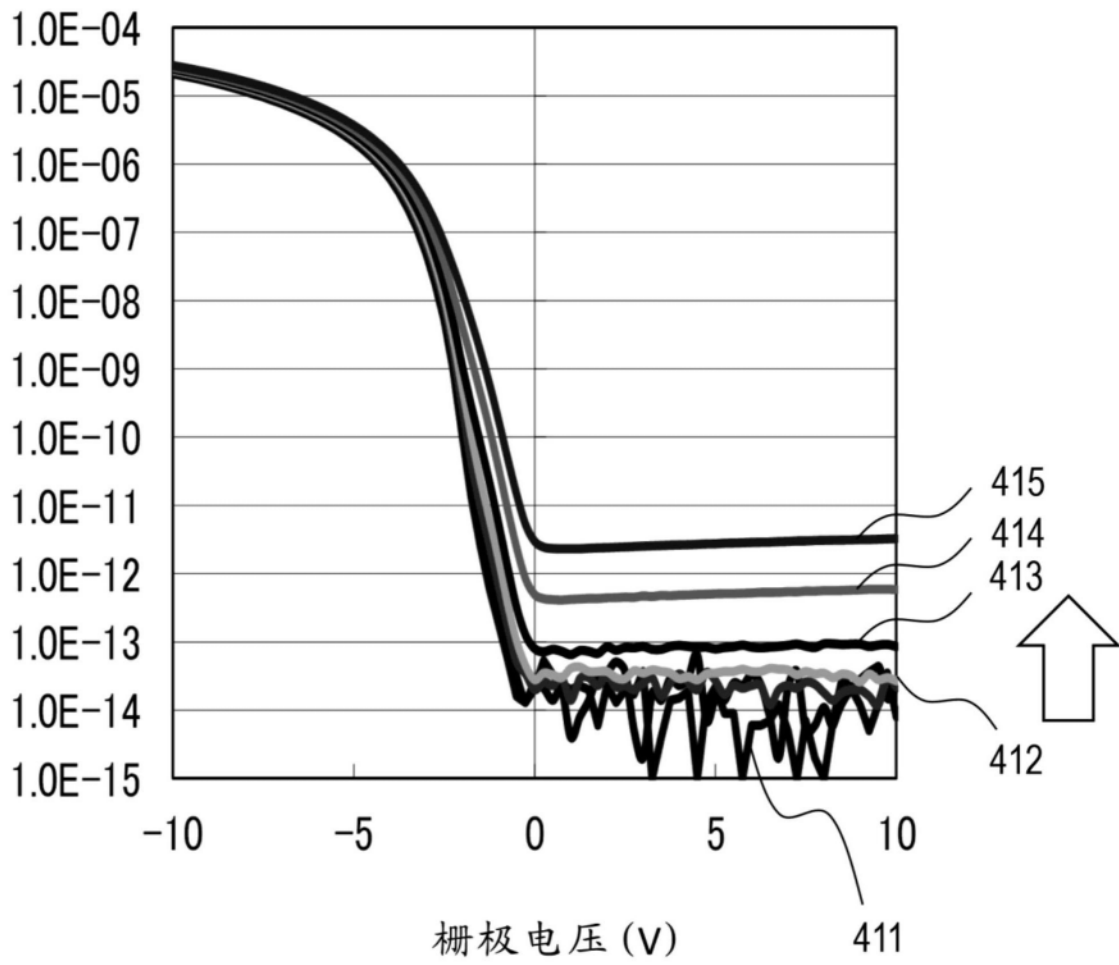


图7

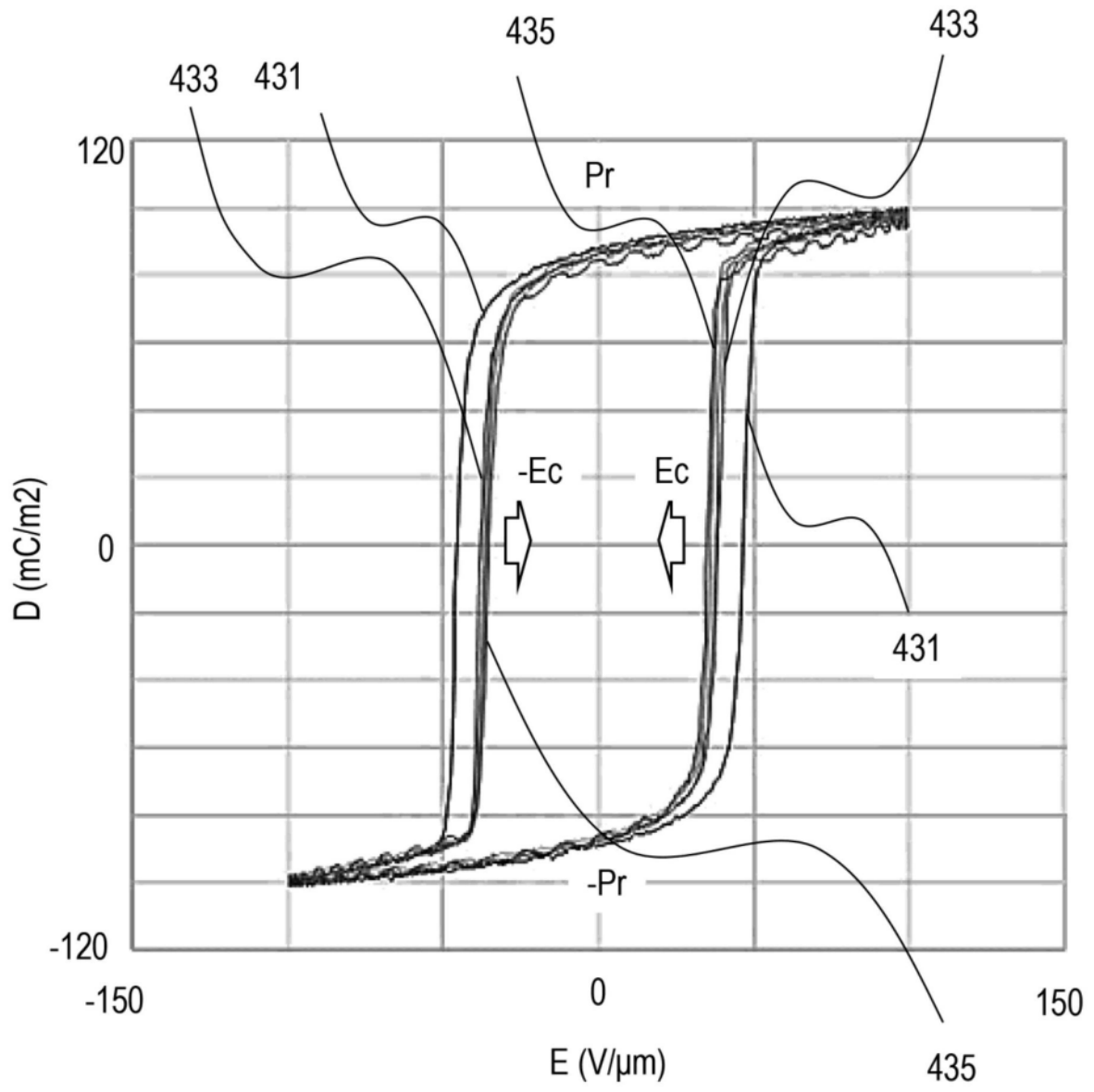


图8

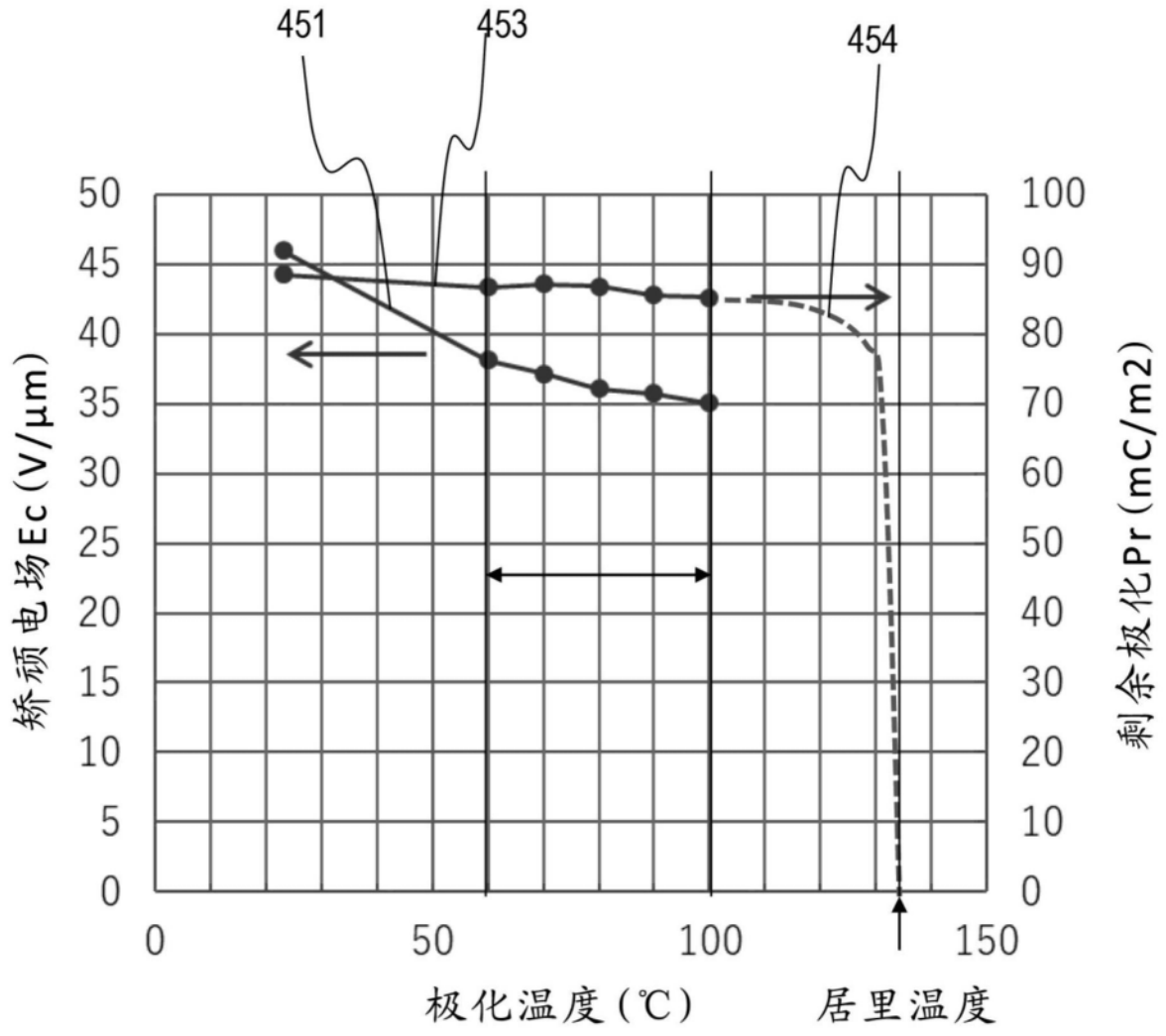


图9

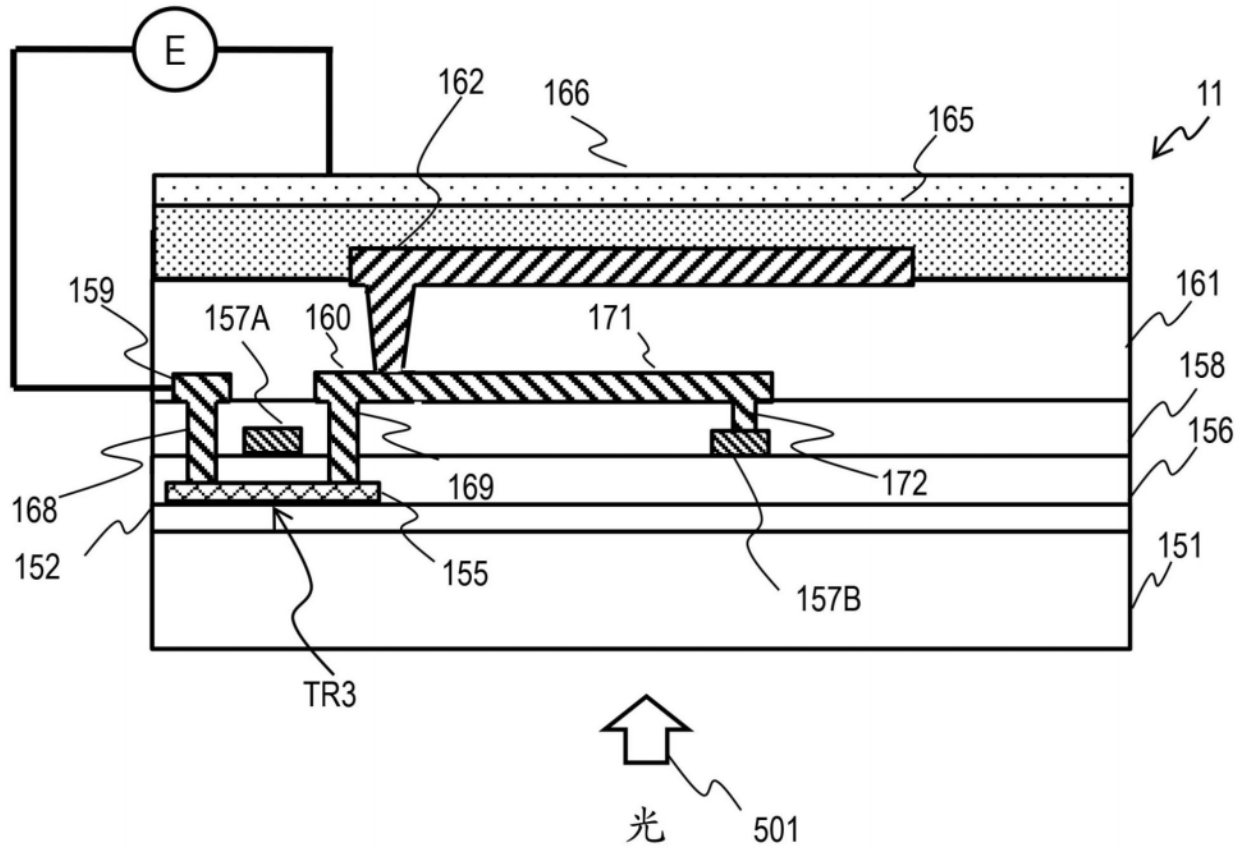
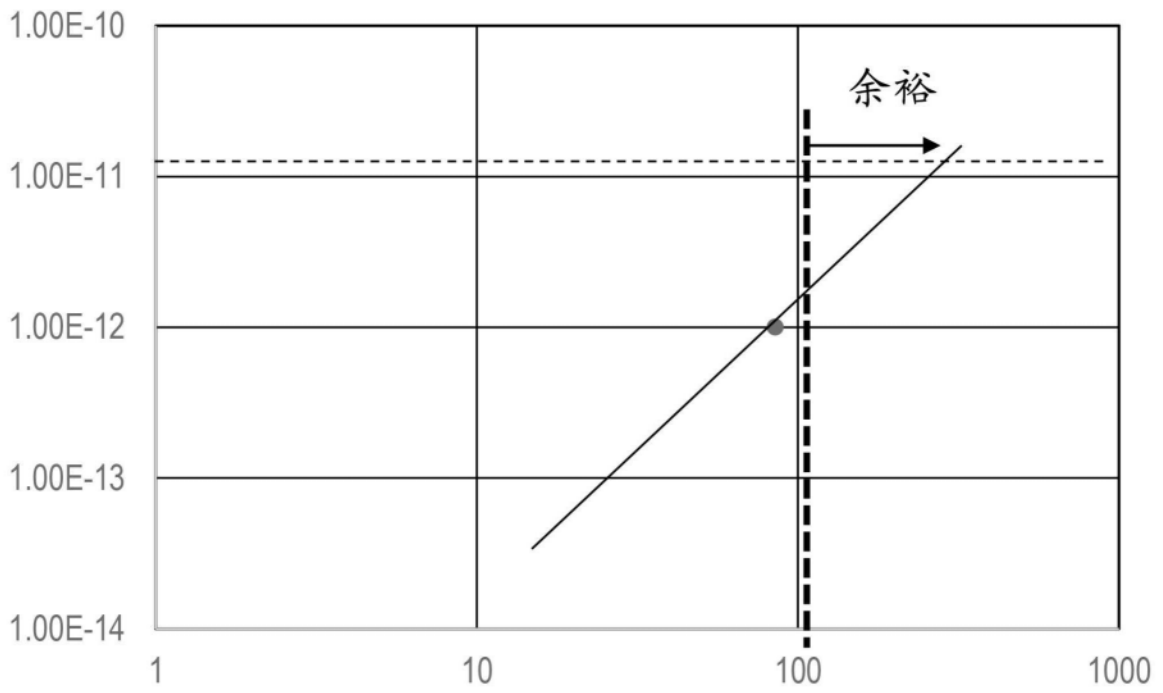


图10

### 截止电流 (A)



### 击穿电场 (MV/m)

图11

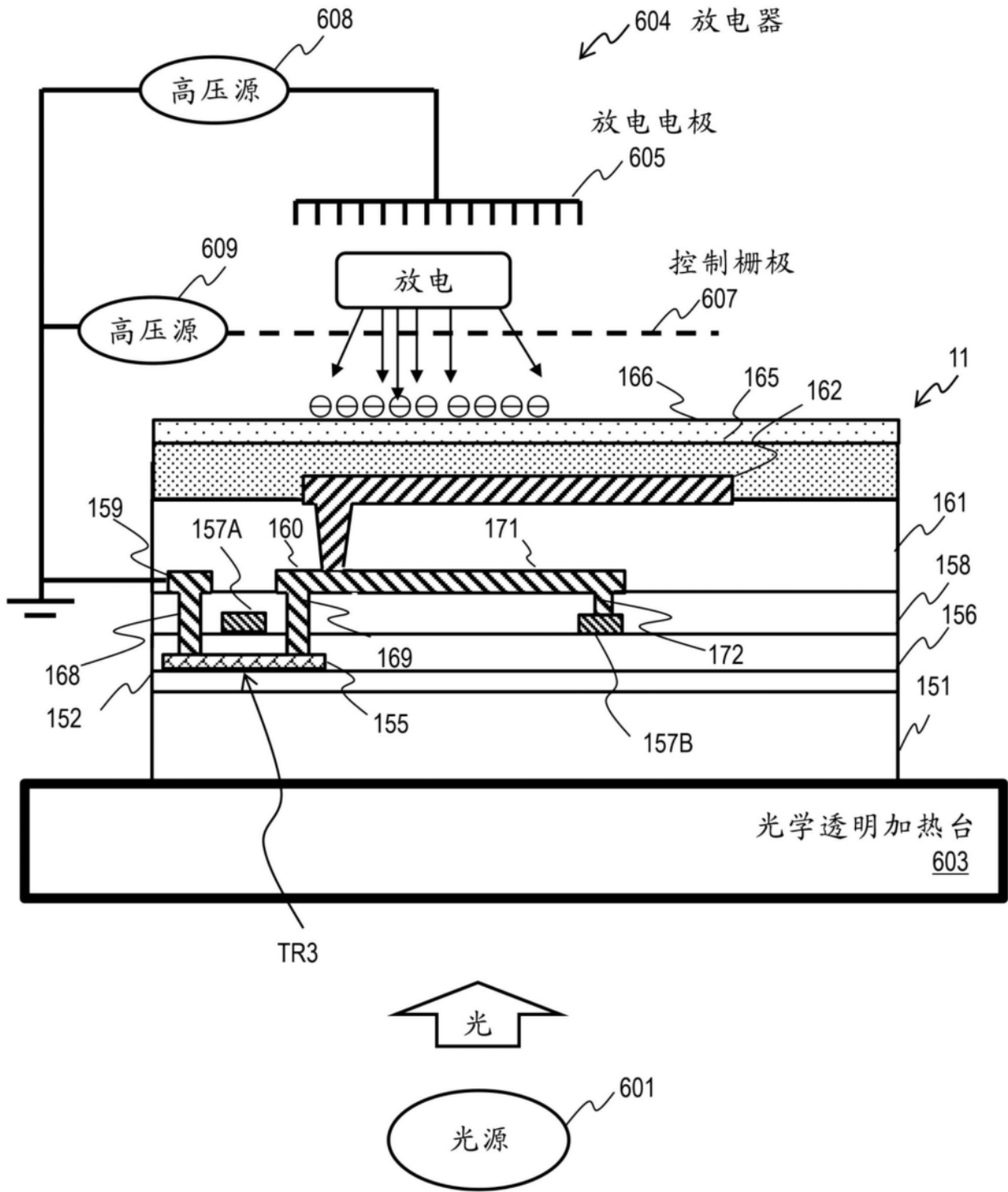


图12