

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年7月15日(15.07.2010)

PCT

(10) 国際公開番号
WO 2010/079639 A1

- (51) 国際特許分類:
H01L 33/00 (2010.01) H01L 21/3065 (2006.01)
- (21) 国際出願番号: PCT/JP2009/065756
- (22) 国際出願日: 2009年9月9日(09.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-000758 2009年1月6日(06.01.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 藤本 明 (FUJIMOTO, Akira) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP). 北川 良太 (KITAGAWA, Ryota) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP). 浅川 鋼児 (ASAKAWA, Koji) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP). 安田 秀文 (YASUDA, Hidefumi) [JP/JP]; 〒1058001 東京

都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP). 赤池 康彦 (AKAIKE, Yasuhiko) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP). 鈴木 健之 (SUZUKI, Takeyuki) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP).

(74) 代理人: 吉武 賢次, 外 (YOSHITAKE, Kenji et al.); 〒1000005 東京都千代田区丸の内三丁目2番3号 富士ビル323号 協和特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

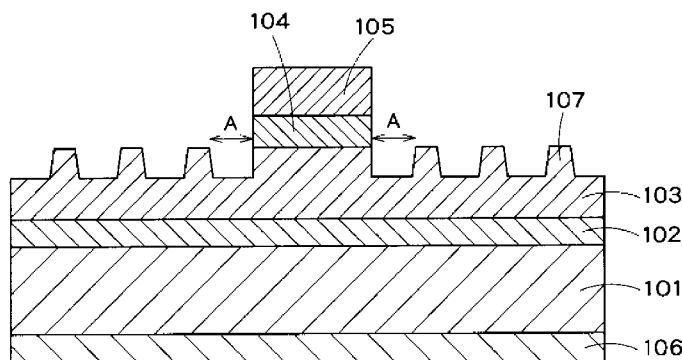
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: SEMICONDUCTOR LIGHT EMITTING DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体発光装置およびその製造方法

[図1]



(57) Abstract: Provided are a semiconductor light emitting device having improved luminance, and a method for manufacturing the semiconductor light emitting device. In the method, an electrode forming section is protected by using a protection film, and lastly, an electrode is formed so as to reduce a part where an uneven structure cannot be formed due to the thickness of the electrode section, at the time of forming the uneven structure on a light extraction surface of a semiconductor light emitting element by using a self-assembled film. At this time, a contact layer which generates an ohmic contact between the light extraction surface and the electrode is provided.

(57) 要約: 本発明は、輝度が改良された半導体発光装置とそれを製造するための方法を提供するものである。この方法は、半導体発光素子の光取り出し表面へ自己組織化膜により凹凸構造を形成する際に、電極部分の厚さに起因する凹凸構造が形成できない部分を減少するため、電極形成部分を保護膜により保護し、最後に電極を形成させるものである。このとき、光取り出し表面と電極との間にオーミックコンタクトを生成させるコンタクト層を設ける。



WO 2010/079639 A1



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体発光装置およびその製造方法

技術分野

[0001] 本発明は、光取り出し面に改良された凹凸構造を形成させる半導体発光装置の製造方法と、その方法により製造された半導体発光装置に係わるものである。

背景技術

[0002] 従来、半導体発光装置、例えば発光ダイオード（LED）の光取り出し効率を改良するために、ブロックポリマーの自己組織化膜をマスクとして用いて、発光装置の光取り出し面に凹凸構造を形成させることが提案されている（特許文献1、2参照）。

[0003] 凹凸構造の形成は、通常、光取り出し面へ電極が形成された後に行われている。光取り出し面へ自己組織化膜をスピコートにより形成した後、自己組織化のパターンをマスクとして光取り出し面へドライエッチングによって凹凸構造を形成している。しかし、通常、電極の厚さは1 μm 以上あるため、自己組織化膜をスピコートにより形成すると電極近傍は段差が大きいいため、自己組織化膜が狙った膜厚よりも大きく形成されてしまう。そのため厚膜の厚い電極近傍部分は自己組織化のパターンを光取り出し面へ転写することができない。そのため、凹凸構造が形成される領域が減少し、特に発光の強い電極近傍に凹凸構造が形成されにくいため発光装置の輝度に関して改良の余地があった。

[0004] また、特許文献2にはフォトリソグラフィーを用いて光取り出し面に凹凸構造を形成させ、最後に電極を形成させる方法が記載されている。この方法では、電極に比較的近い領域に凹凸構造を形成させることができるものの、GaAsなどのエッチングレートが高い半導体を含む場合には良好な凹凸構造を形成することができなかった。

先行技術文献

特許文献

[0005] 特許文献1：特開2003-258296号公報

特許文献2：特開2007-220865号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明は、半導体発光装置の光取り出し面において、電極と凹凸構造とをより近くに形成させることができる、半導体発光装置の製造方法を提供するものである。

課題を解決するための手段

- [0007] 本発明の一実施態様による半導体発光装置の製造方法は、
- 光を取り出す半導体層の表面に電極と凹凸構造とが形成された半導体発光装置の製造方法であって、
- 基板上に活性層と前記半導体層とを積層する工程と、
- 前記半導体層の上に、前記半導体層の表面と前記電極との間にオーミックコンタクトを生成するためのコンタクト層を形成する工程と、
- 前記半導体層の表面の電極を形成する部分に酸化物膜を形成する工程と、
- 前記酸化物膜を含む、半導体層の表面の全面に保護膜を形成する工程と、
- 前記保護膜の上に自己組織化膜を形成する工程と、
- 前記自己組織化膜をマスクとして用いて前記保護膜をドライエッチングにより加工して保護膜マスクを形成する工程と、
- 前記保護膜マスクを用いて前記半導体層をドライエッチングにより加工して凹凸構造を形成する工程と、
- 前記電極を形成する部分の前記保護膜を除去して、前記コンタクト層の上に導電性材料を堆積させて電極を形成する工程と、
- を有することを特徴とするものである。
- [0008] 本発明のほかの一実施態様による半導体発光装置の製造方法は、
- 光を取り出す半導体層の表面に電極と凹凸構造とが形成された半導体発光

装置の製造方法であって、

基板上に活性層と前記半導体層とを積層する工程と、

前記半導体層の表面の電極を形成する部分に酸化物膜を形成する工程と、

前記酸化物膜を含む、半導体層の表面の全面に保護膜を形成する工程と、

前記保護膜の上に自己組織化膜を形成する工程と、

前記自己組織化膜をマスクとして用いて前記保護膜をドライエッチングにより加工して保護膜マスクを形成する工程と、

前記保護膜マスクを用いて前記半導体層をドライエッチングにより加工して凹凸構造を形成する工程と、

前記電極を形成させる部分の前記保護膜を除去して、前記コンタクト層の上に導電性材料を堆積させて電極を形成する工程と、

を有し、かつ

前記半導体層の表面と前記電極との間にオーミックコンタクトを生成する工程と、をさらに有することを特徴とするものである。

[0009] また、本発明の一実施態様である半導体発光装置は、前記のいずれかの製造方法により製造されたことを特徴とするものである。

[0010] さらに、本発明のほかの一実施態様である半導体発光装置は、光を取り出す半導体層の表面に電極と凹凸構造とが形成された半導体発光装置であって、前記電極から $10\ \mu\text{m}$ 以内の領域に、凹凸構造が形成されていることを特徴とするものである。

発明の効果

[0011] 本発明によれば、電極形成部分を初期には保護しておき、最後に電極を形成することにより、電極により近い領域に凹凸構造を形成させることができる。この結果、凹凸構造が形成されない領域が減り、またより強い発光を取り出すことができる電極近傍に凹凸構造を形成することができたため、輝度向上率が改良される。

図面の簡単な説明

[0012] [図1] 本発明の一実施形態にかかる方法により製造される、LEDの構造を表

わす断面図。

[図2]本発明の一実施形態である半導体発光装置の製造方法を示す模式断面図。

[図3]実施例2の半導体発光装置の製造方法を示す模式断面図。

[図4]実施例3の半導体発光装置の製造方法を示す模式断面図。

発明を実施するための形態

[0013] 本発明の実施の形態について説明する。

[0014] 本発明の一実施形態にかかる方法により製造される、LEDの構造を表わす断面図は図1に示す通りである。

[0015] この図に示された発光装置は、例えばn型のGaAsからなる基板101を具備する。この基板101上に、例えばn型InAlPクラッド層、InGaP活性層、p型InAlPクラッド層などを含むヘテロ構造部102が形成され、その上に例えばp型のInGaAlPからなる電流拡散層103が形成されている。電流拡散層103上の一部にはp側電極105が形成されている。そして、電極105と電流拡散層103の間にはオーミックコンタクトを取るためのGaAsコンタクト層104が薄く形成されている。特に電流拡散層103が多元素からなる層である場合、例えばInGaAlP、またはAlGaAsのような3元以上の元素からなる層である場合、このようなコンタクト層が無いと、その上に形成される電極がオーミックコンタクトしにくくなる。オーミックコンタクトが得られないと、電流の損失が起こり、発光は減少する。したがって、このコンタクト層が必要となる。ここで、コンタクト層の材料として用いられる材料は、コンタクト層の両側に隣接する半導体層や電極の種類により異なるが、一般的にはGaAs、またはGaPなどが好ましい。基板の裏面側にはn側電極106が形成されている。そして活性層における発光は、電流拡散層103の電極105が形成されていない面から取り出されるようになっている。

[0016] これに加えて本発明の一実施形態では、電流拡散層の電極が形成されていない露出表面に微小な突起107が形成され、凹凸構造を構成している。こ

のような凹凸構造はLEDの輝度の改良に寄与するものである。ここで、LEDにおいて発光は電極に近い部分で強いため、このような凹凸構造が電極により近い領域に形成されることが好ましい。ところが、従来の製造方法では凹凸構造が電極の近傍に形成できなかった。具体的には、図1における電極と凹凸構造を形成する突起との間隔(A)が $10\mu\text{m}$ 以上となることが一般的であった。これは、ブロックコポリマーを含む自己組織化膜を形成する際に、スピンのコーティングを用いるため、あらかじめ電極が形成されていると、電極近傍で自己組織化膜が厚くなって段差ができてしまうためである。

[0017] これに対して、本発明の方法によれば、電極と凹凸構造を形成する突起との間隔を $10\mu\text{m}$ 以下にすることができ、凹凸構造が形成された領域が拡大された発光装置を製造することが可能となった。ここで、本発明の方法によれば、電極と凹凸構造を形成する突起との間隔を著しく短くすることができるが、一般に $1\mu\text{m}$ 未満とすると、電流拡散層での電流の広がりが悪くなり、活性層での発光領域が狭くなるため内部の発光効率が下がる点で好ましくない。

[0018] [発光装置の製造方法]

次に、本発明の一実施形態である半導体発光装置の製造方法について説明する。この方法においては、本発明者らが開発したブロックコポリマーを用いたミクロ相分離構造を利用する方法（例えば、特許文献1参照）を用いることもできる。このような方法を図2を用いて説明すると以下の通りである。

[0019] まず、 $n\text{-GaAs}$ 基板101上に n 型 InAlP クラッド層、 InGaP 活性層、 p 型 InAlP クラッド層などを含むヘテロ構造部102を形成させ、その上に p 型の InGaAlP の電流拡散層103をエピタキシャル成長させる。電流拡散層の上にオーミックコンタクトをとるために p 型の GaAs コンタクト層104 ($0.1\mu\text{m}$)を形成させる。そして、基板の裏面側に n 側電極106を形成させる（図2(a)）。

[0020] 次に、発光素子基板に全面に SiO_2 膜201を化学気相成長法（以下、

CVDという)により形成させる(図2(b))。その後、 SiO_2 膜201上へレジスト膜(図示せず)を形成させ、露光および現像を行うことにより電極形成用のレジストパターンを形成させる。そのレジストパターンを用いてウエットエッチングにより SiO_2 膜を加工する。続いてGaAsコンタクト層をウエットエッチングにより加工する。最後に残余のレジスト膜を除去する(図2(c))。通常、GaAsコンタクト層は電極が形成される部分を残し除去される。

[0021] 次いで、基板表面へ凹凸構造を形成させるための保護膜、例えば SiO_2 膜202を形成させる。保護膜の膜厚を300nm以下にすると、後述する自己組織化膜の塗布後の電極近傍の厚膜の部分を大幅に減少でき、凹凸構造が形成される領域が増加するので好ましい。その SiO_2 膜上へミクロ相分離構造組成物であるブロックコポリマーを溶剤に溶解させた溶液をスピコートで塗布してブロックコポリマー膜203を形成させた後、プリベークして膜中の溶剤を除去する。ここで、ブロックコポリマーとしては、ポリスチレンセグメントとポリメチルメタクリレートセグメントを有するブロックコポリマーを用いることができる。続いて窒素雰囲気中でアニールを行い、ブロックコポリマーの相分離を行う(図2(d))。この相分離によってブロックコポリマーを構成する複数のポリマーフラグメント(203A、203B)が形成される。

[0022] 次いで、図2(d)に示す相分離させたブロックコポリマー膜付き基板をエッチングガス流通下でリアクティブイオンエッチング(以下、RIEという)によりブロックコポリマー膜をエッチングする。このとき、複数のポリマーフラグメントのエッチング速度の差によりいずれかのポリマーフラグメントの相が選択的にエッチングされるため、図2(e)に示すように、微かなポリマーパターン204が残る。

[0023] 次いで、ポリマーパターン204をマスクと用いて SiO_2 膜をRIE加工する。使用するガスはフッ素系のガスである CF_4 や CHF_3 、 C_4F_8 を使用し、またフッ素系のガスにArや O_2 を添加して用いることもある。RIE加

工後、ポリマーマスク 204 は不要のため、一般的には酸素アッシングなどにより除去される。このような操作により、保護膜 (SiO_2) のパターン 205 が形成される (図 2 (f))。

[0024] 次いで、 SiO_2 のパターン 205 をマスクにして、適当なエッチングガスにより RIE 加工すると、 InGaAlP の電流拡散層の表面に微小な突起 107 が形成され、微細な凹凸パターンが形成される。RIE 加工に使用されるガスは、 Cl_2 に限定されるものではなく、 BCl_3 、 N_3 、または Ar を添加してもエッチングできる。その後、 SiO_2 膜 201 および SiO_2 のパターン 205 を除去することにより、発行装置の表面に、例えば円柱形状の突起 107 を含む、凹凸パターンが形成される (図 2 (g))。

[0025] 次いで、不活性ガス、例えば Ar ガスや He ガスでスパッタリングすると、図 2 (h) に示すように、微小な突起 107 の上底部と下底部がスパッタエッチングされ、円錐形状、円柱形状、および円錐台形状を有する凹凸構造が得られる。

[0026] 次いで、電極形成部分を保護している SiO_2 膜をウェットエッチングより除去する。その後、リフトオフ用レジスト膜を形成させ、現像および露光により電極形成用のパターンを形成させる。続いて電極 206 を例えば金を蒸着することにより形成させる。その後、レジストを剥いで電極を形成する (図 2 (i))。このようにして本発明の方法により半導体発光装置を製造することができる。

[0027] ここでは電極の保護膜として SiO_2 膜を使用した例を説明した。しかしながら、保護膜として用いられるものは SiO_2 に限定されず、そのほか SiN 、 SiON 、 TiO_2 膜等を用いることができる。

[0028] 本発明を実施例を用いて詳細に説明すると以下の通りである。従来の電極が形成された後に凹凸構造を形成した LED と本発明の製造方法により凹凸構造を形成した LED の輝度の比較を行った。

[0029] (実施例 1)

前記した方法に準じて LED を製造した。

図2 (a) に示すように、 n -GaAs 基板 101 上に n 型 InAlP クラッド層、InGaP 活性層、 p 型 InAlP クラッド層などを含むヘテロ構造部 102 を形成させた。その上に p 型の InGaAlP の 4 元元素を含む電流拡散層 103 をエピタキシャル成長させる。電流拡散層 103 の上にオーミックコンタクトをとるために p 型の GaAs コンタクト層 104 ($0.1 \mu\text{m}$) を形成させた。基板の裏面側には n 側電極 106 を形成させた。この LED の発光波長は 635 nm であった。

[0030] 次いで、発光素子基板に全面に SiO_2 膜 201 を CVD 法により 300 nm の厚さで形成させた (図2 (b))。その後、 SiO_2 膜上へ i 線レジスト (THMR (商品名)、東京応化工業株式会社製) を $1 \mu\text{m}$ の厚さで形成させ、露光および現像を行って、電極形成用のレジストパターンを形成させた。そのレジストパターンを用いてフッ化アンモニウムにより SiO_2 膜をウエットエッチングした。続いて GaAs コンタクト層 104 を燐酸によりウエットエッチングした。最後にレジストを剥離液により除去した (図2 (c))。

[0031] 次いで、基板表面へ凹凸構造を形成させるための SiO_2 膜 202 を CVD 法により 100 nm の厚さで形成させた。続いて、 SiO_2 上に分子量 315,000 のポリスチレン (以下、PS という) ブロックと、分子量 785,000 のポリメチルメタクリレート (以下、PMMA という) ブロックを有するブロックコポリマーを溶剤に溶かした液をスピコート法で 3000 rpm で塗布した。さらに、 110°C 、90 秒の条件下でプリベークして溶剤を除去して 150 nm の膜厚のブロックコポリマー膜 203 を得た。その膜を窒素雰囲気中で 210°C 、4 時間の条件でアニールを行い、PS と PMMA の相分離を行い、直径 110 nm 程度の PS のドットパターンを形成させた (図2 (d))。

[0032] 次いで、相分離したブロックコポリマー付き基板を、 O_2 流量 30 sccm 、圧力 13.3 Pa (100 mTorr)、パワー 100 W の条件で RIE することにより、相分離したブロックコポリマー膜をエッチングした。この

とき、PSとPMMAのエッチング速度差により、PMMAが選択的にエッチングされ、図2（e）に示すように、PSのパターン204が残ることになる。

[0033] 次いで、このPSのパターンをマスクにして、 CF_4 流量30 sccm、圧力1.33 Pa（10 mTorr）、パワー100 Wの条件で SiO_2 膜202をエッチングした。残留したPSパターン204は不要のため、 O_2 アッシングにより除去した。これにより、図2（f）に示すように、 SiO_2 マスクパターンが形成された。

[0034] 次いで、容量結合プラズマ（Inductive Coupled Plasma、以下ICPという）を用いて、 $\text{Ar}/\text{Cl}_2 = 5/20$ sccm、0.266 Pa（2 mTorr）、入射電力／バイアス電力＝100／300 Wの条件で2分間処理を行うと、図2（g）に示すように円柱形状の突起107が形成された。

[0035] 次いで、ArガスでAr流量50 sccm、圧力0.65 Pa（5 mTorr）、パワー300 Wで60秒の条件でスパッタリングした。このような条件は比較的穏やかなもので、円柱状パターンがすべて除去されることなく、円柱形状の突起107の底辺部と頂上部がスパッタリングされ、円錐台形状または円錐形状の突起が形成された。

[0036] 次いで、電極形成部分を保護している SiO_2 膜201をウェットエッチングより除去した。その後、リフトオフ用レジスト（TLOR（商品名）、東京応化工業株式会社製）を3 μm の厚さで塗布してレジスト膜を形成させ、現像および露光を行うことにより電極形成用のパターンを形成させた。続いて、金／金－亜鉛を蒸着法により1 μm の膜厚で形成させた。その後、レジスト膜を剥離液で剥ぐことにより金電極206を形成させた（図2（i））。最後に電極206とGaAsコンタクト層104のオーミック性を形成させるため400℃で30分間、窒素雰囲気下でアニールを行った。このような方法により、本発明による半導体発光装置（LED）を製造した。

[0037] （比較例1）

次に、比較のため従来のプロセスによって、凹凸構造を具備したLEDを製造した。具体的には、実施例1に対して、あらかじめ金電極が形成された発光素子基板を用意し、それに対して凹凸構造を形成させた。凹凸構造形成のプロセスは実施例1と同様に行った。

[0038] 従来の方法により製造された比較例1のLEDでは、電極から $12\mu\text{m}$ 離れた領域からしか凹凸構造が形成されなかったが、実施例1のLEDでは電極から $1\sim 5\mu\text{m}$ 離れた領域から凹凸構造が形成できた。それにより実施例1のLEDは、比較例1のLEDより20%の輝度向上の改善を示した。

[0039] (実施例2)

図3(a)に示すように、 $n\text{-GaP}$ 基板101上に、 InGaAlP 活性層102Aを $n\text{-InAlP}$ クラッド層102B及び $p\text{-InAlP}$ クラッド層102Cで挟んだダブルヘテロ構造102を形成させ、その上に $p\text{-GaP}$ 電流拡散層103を形成させた。この場合、 $p\text{-GaP}$ 電流拡散層は、光を取り出す半導体層であるが、コンタクト層としても作用するといえる。 $n\text{-GaP}$ 基板の反対側面の全面に n 側電極106が形成され、これにより発光波長 612nm のLEDが構成されている。

[0040] 次いで、実施例1と同様にして、発光素子基板に全面に SiO_2 膜201をCVD法により 200nm の厚さで形成させた(図3(b))。その後、 SiO_2 膜上へi線レジスト(THMR(商品名)、東京応化工業株式会社製)を塗布して $1\mu\text{m}$ の厚さでレジスト膜を形成させ、露光および現像を行うことにより電極用のレジストパターンを形成させた。そのレジストパターンを用いてフッ化アンモニウムにより SiO_2 膜をウエットエッチングした。最後にレジストを剥離液により除去した(図3(c))。

[0041] 次いで、基板表面へ実施例1と同様にして凹凸構造を形成させるための SiO_2 膜202をCVD法により 70nm の厚さで形成させた。続いて、実施例1と同様にして、ブロックコポリマー膜203を形成させ、ブロックポリマー膜の相分離パターンを形成させた(図3(d))。

[0042] 次いで、相分離したブロックコポリマー付き基板を、 O_2 流量 30sccm

、圧力 1.33 Pa (100 mTorr)、パワー 100 W の条件でRIE処理することにより、相分離したPSとPMMAをエッチングした。図3 (e)に示すように、PSのパターン204が残った。

[0043] 次いで、実施例1と同様にして、このPSのパターン204をマスクにして、 CF_4 流量 30 sccm 、圧力 1.33 Pa (10 mTorr)、パワー 100 W の条件で SiO_2 膜202をエッチングした。残留したPSのパターン204は不要のため、 O_2 アッシングにより除去した。これにより、図3 (f)に示すように、 SiO_2 マスクパターン205が形成された。

[0044] 次いで、ICPを用いて、 $\text{BCl}_3/\text{Cl}_2 = 5/20\text{ sccm}$ 、 0.266 Pa (2 mTorr)、入射電力/バイアス電力 $= 100/100\text{ W}$ の条件で処理を2分間行くと、図3 (g)に示すように円柱形状の突起107が形成された。

[0045] 次いで、実施例1と同様にして、ArガスでAr流量 50 sccm 、圧力 0.65 Pa (5 mTorr)、パワー 300 W で60秒スパッタリングすることにより、円柱形状の突起の底辺部と頂上部がスパッタリングされ、円錐台形状または円錐形状の突起が形成された。

[0046] 次いで、電極形成部分を保護している SiO_2 膜をウェットエッチングより除去した。その後、リフトオフ用レジスト (TLOR (商品名)、東京応化工業株式会社製) を $3\text{ }\mu\text{m}$ の厚さで塗布してレジスト膜を形成させ、現像および露光を行うことにより電極形成用のパターンを形成させた。続いて、金/金-亜鉛を蒸着法により $1\text{ }\mu\text{m}$ の厚さで堆積させた。その後、レジスト膜を剥離液で剥いで金電極105を形成させた (図3 (i))。最後に電極105とGaP電流拡散層 (コンタクト層を兼ねる) 103のオーミック性を形成するため 400°C で30分間、窒素雰囲気下でアニールを行った。このような方法により、本発明による半導体発光装置 (LED) を製造した。

[0047] (比較例2)

次に、比較のため従来のプロセスによって、凹凸構造を具備したLEDを製造した。具体的には、実施例2に対して、あらかじめ金電極が形成された

発光素子基板を用意し、それに対して凹凸構造を形成させた。凹凸構造形成のプロセスは実施例2と同様に行った。

[0048] 従来の方法により製造された比較例2のLEDでは、電極から $10\mu\text{m}$ より離れた領域からしか凹凸構造が形成されなかったが、実施例2のLEDでは電極から $1\sim 3\mu\text{m}$ 離れた領域から凹凸構造が形成できた。それにより実施例2のLEDは、比較例2のLEDより25%の輝度向上の改善を示した。

[0049] (実施例3)

図4(a)に示すように、 n 型Ga N 基板101上に、 n 型Ga N バッファ層、 n 型Ga N クラッド層、およびInGa N /Ga N からなるMQW活性層401、 p 型AlGa N キャップ層402、 p 型Ga N コンタクト層103を成長形成させ、基板の裏面に n 側電極106を形成させた。ここで、 n 型電極にはTiを用いた。この発光ダイオード(LED)の発光波長は400nmであった。

[0050] 次いで、実施例1と同様にして、発光素子基板に全面に SiO_2 膜201をCVD法により300nmの厚さで形成させた(図4(b))。その後、 SiO_2 膜201上へi線レジスト(THMR(商品名)、東京応化工業株式会社製)を $1\mu\text{m}$ の厚さで塗布してレジスト膜を形成させ、露光および現像を行うことにより電極用のレジストパターンを形成させた。そのレジストパターンを用いてフッ化アンモニウムにより SiO_2 膜201をウエットエッチングした。最後にレジストを剥離液により除去した(図4(c))。

[0051] 次いで、基板表面へ実施例1と同様にして凹凸構造を形成させるための SiO_2 膜202をCVD法により130nmの厚さで形成させた。続いて、実施例1と同様にして、ブロックコポリマー膜203を形成させ、ブロックコポリマー膜の相分離パターンを形成させた(図4(d))。

[0052] 次いで、相分離したブロックコポリマー付き基板を、 O_2 流量30sccm、圧力13.3Pa(100mTorr)、パワー100Wの条件でRIE処理することにより、相分離したPSとPMMAをエッチングした。図4(

e) に示すように、P S のパターン 2 0 4 が残った。

[0053] 次いで、実施例 1 と同様にして、この P S のパターン 2 0 4 をマスクにして、C F₄ 流量 3 0 s c c m、圧力 1. 3 3 P a (1 0 m T o r r)、パワー 1 0 0 W の条件で S i O₂ 膜 2 0 2 をエッチングした。残留した P S のパターン 2 0 4 は不要のため、O₂ アッシングにより除去した。これにより、図 4 (f) に示すように、S i O₂ マスクパターン 2 0 5 が形成された。

[0054] 次いで、I C P を用いて、B C l₃ / C l₂ = 5 / 2 0 s c c m、0. 2 6 6 P a (2 m T o r r)、入射電力 / バイアス電力 = 1 0 0 / 3 0 0 W の条件で処理を 1 5 0 秒間行くと、図 4 (g) に示すように円柱形状の突起 1 0 7 が形成された。

[0055] 次いで、実施例 1 と同様にして、A r ガスで A r 流量 5 0 s c c m、圧力 0. 6 5 P a (5 m T o r r)、パワー 3 0 0 W で 6 0 秒スパッタリングすることにより、円柱形状の突起の底辺部と頂上部がスパッタリングされ、円錐台形状または円錐形状の突起が形成された。

[0056] 次いで、電極形成部分を保護している S i O₂ 膜をウェットエッチングより除去した。その後、リフトオフ用レジスト (T L O R (商品名)、東京応化工業株式会社製) を 3 μ m の厚さで塗布してレジスト膜を形成させ、現像および露光を行うことにより電極形成用のパターンを形成させた。続いて、ニッケル、金を電子ビーム蒸着法により 1 μ m の厚さで堆積させた。その後、レジスト膜を剥離液で剥いでニッケルー金電極を形成させた (図 4 (i))。このような方法により、本発明による半導体発光装置 (L E D) を製造した。

[0057] (比較例 3)

次に、比較のため従来のプロセスによって、凹凸構造を具備した L E D を製造した。具体的には、実施例 3 に対してあらかじめニッケルー金電極が形成された発光素子基板を用意し、それに対して凹凸構造を形成させた。凹凸構造形成のプロセスは実施例 3 と同様に行った。

[0058] 従来の方法により製造された比較例 3 の L E D では、電極から 1 5 μ m よ

り離れた領域からしか凹凸構造が形成されなかったが、実施例 3 の L E D は電極から 2 ～ 8 μ m 離れた領域から凹凸構造が形成できた。それにより実施例 3 の L E D は比較例 3 の L E D より 2 0 % の輝度向上の改善を示した。

符号の説明

- [0059] 1 0 1 基板
1 0 2 ヘテロ構造部
1 0 2 A 活性層
1 0 2 B、1 0 2 C クラッド層
1 0 3 電流拡散層
1 0 4 コンタクト層
1 0 5、1 0 6 電極
1 0 7 突起
2 0 1 S i O₂ 膜
2 0 2 保護膜
2 0 3 ブロックコポリマー膜
2 0 3 A、2 0 3 B ポリマーフラグメント
2 0 4 ポリマーパターン
2 0 5 保護膜パターン
4 0 1 MQW 活性層
4 0 2 ギャップ層

請求の範囲

- [請求項1] 光を取り出す半導体層の表面に電極と凹凸構造とが形成された半導体発光装置の製造方法であって、
- 基板上に活性層と前記半導体層とを積層する工程と、
- 前記半導体層の上に、前記半導体層の表面と前記電極との間にオーミックコンタクトを生成するためのコンタクト層を形成する工程と、
- 前記半導体層の表面の電極を形成する部分に酸化物膜を形成する工程と、
- 前記酸化物膜を含む、半導体層の表面の全面に保護膜を形成する工程と、
- 前記保護膜の上に自己組織化膜を形成する工程と、
- 前記自己組織化膜をマスクとして用いて前記保護膜をドライエッチングにより加工して保護膜マスクを形成する工程と、
- 前記保護膜マスクを用いて前記半導体層をドライエッチングにより加工して凹凸構造を形成する工程と、
- 前記電極を形成する部分の前記保護膜を除去して、前記コンタクト層の上に導電性材料を堆積させて電極を形成する工程と、
- を有することを特徴とする半導体発光装置の製造方法。
- [請求項2] 前記保護膜が、二酸化ケイ素、窒化ケイ素、酸窒化ケイ素、および酸化チタンからなる群から選択される、請求項1に記載の半導体発光装置の製造方法。
- [請求項3] 前記保護膜の膜厚が300nm以下である、請求項1に記載の半導体発光装置の製造方法。
- [請求項4] 前記酸化物膜が、二酸化ケイ素である、請求項1に記載の半導体発光装置の製造方法。
- [請求項5] 前記半導体層が電流拡散層である、請求項1に記載の半導体発光装置の製造方法。
- [請求項6] 前記半導体層の表面が、3種類以上の元素を含む、請求項1に記載

の半導体発光装置の製造方法。

[請求項7] 前記半導体層の表面が InGaAlP 、 AlGaAs および AlGaN からなる群から選択される材料を含む、請求項1に記載の半導体発光装置の製造方法。

[請求項8] 前記コンタクト層が、 GaAs または GaN を含む、請求項1に記載の半導体発光装置の製造方法。

[請求項9] 前記自己組織化膜が、2つ以上のセグメントを含むブロックコポリマーを含む、請求項1に記載の半導体発光装置の製造方法。

[請求項10] 前記自己組織化膜が、スピコートにより形成される、請求項1に記載の半導体発光装置の製造方法。

[請求項11] 前記導電性材料が、金、金-亜鉛、金-ゲルマニウム、または金-ニッケル合金である、請求項1に記載の半導体発光装置の製造方法。

[請求項12] 光を取り出す半導体層の表面に電極と凹凸構造とが形成された半導体発光装置の製造方法であって、

基板上に活性層と前記半導体層とを積層する工程と、

前記半導体層の表面の電極を形成する部分に酸化物膜を形成する工程と、

前記酸化物膜を含む、半導体層の表面の全面に保護膜を形成する工程と、

前記保護膜の上に自己組織化膜を形成する工程と、

前記自己組織化膜をマスクとして用いて前記保護膜をドライエッチングにより加工して保護膜マスクを形成する工程と、

前記保護膜マスクを用いて前記半導体層をドライエッチングにより加工して凹凸構造を形成する工程と、

前記電極を形成する部分の前記保護膜を除去して、前記コンタクト層の上に導電性材料を堆積させて電極を形成する工程と、

を有し、かつ

前記半導体層の表面と前記電極との間にオーミックコンタクトを生

成する工程と、をさらに有することを特徴とする半導体発光装置の製造方法。

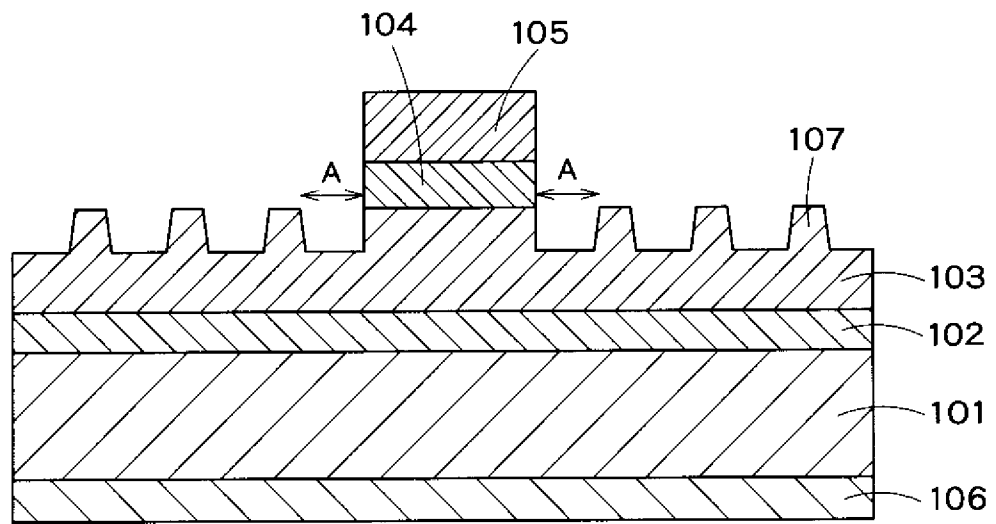
[請求項13] 請求項1の製造方法により製造されたことを特徴とする、半導体発光装置。

[請求項14] 請求項12の製造方法により製造されたことを特徴とする、半導体発光装置。

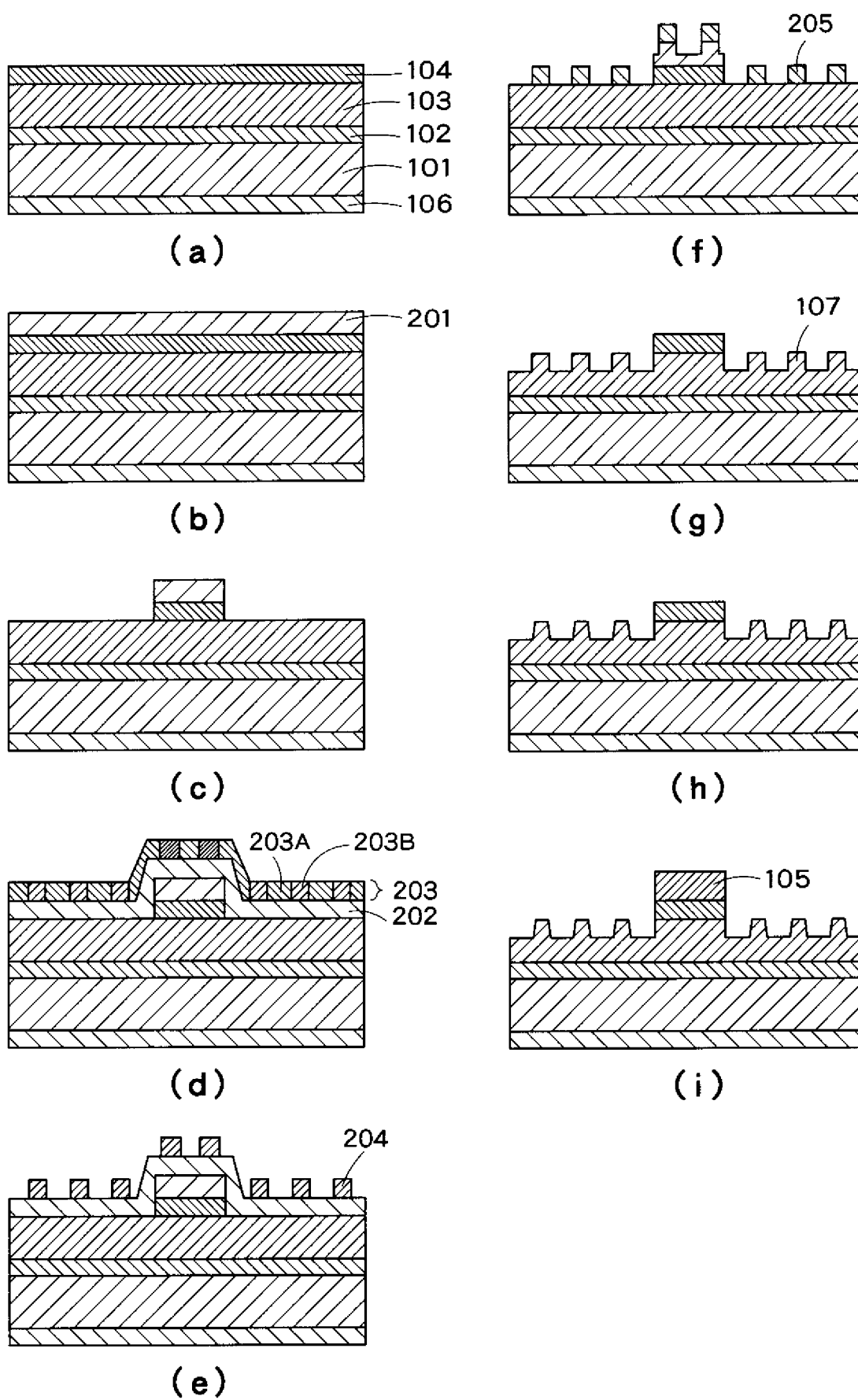
[請求項15] 光を取り出す半導体層の表面に電極と凹凸構造とが形成された半導体発光装置であって、前記電極から10 μm 以内の領域に、凹凸構造が形成されていることを特徴とする半導体発光装置。

[請求項16] 前記電極から1 μm 以内の領域に、凹凸構造が形成されていない、請求項15に記載の半導体発光装置。

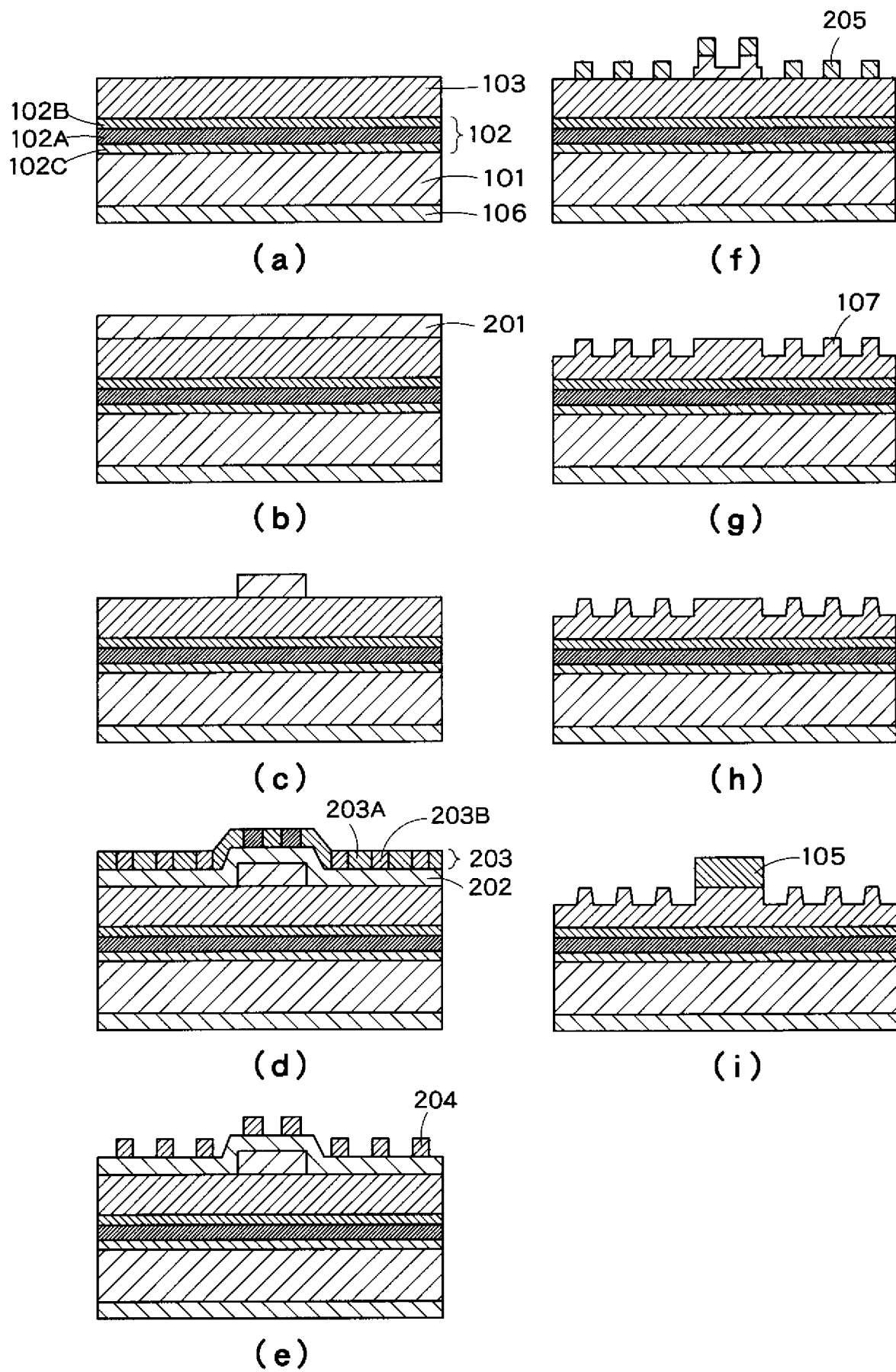
[図1]



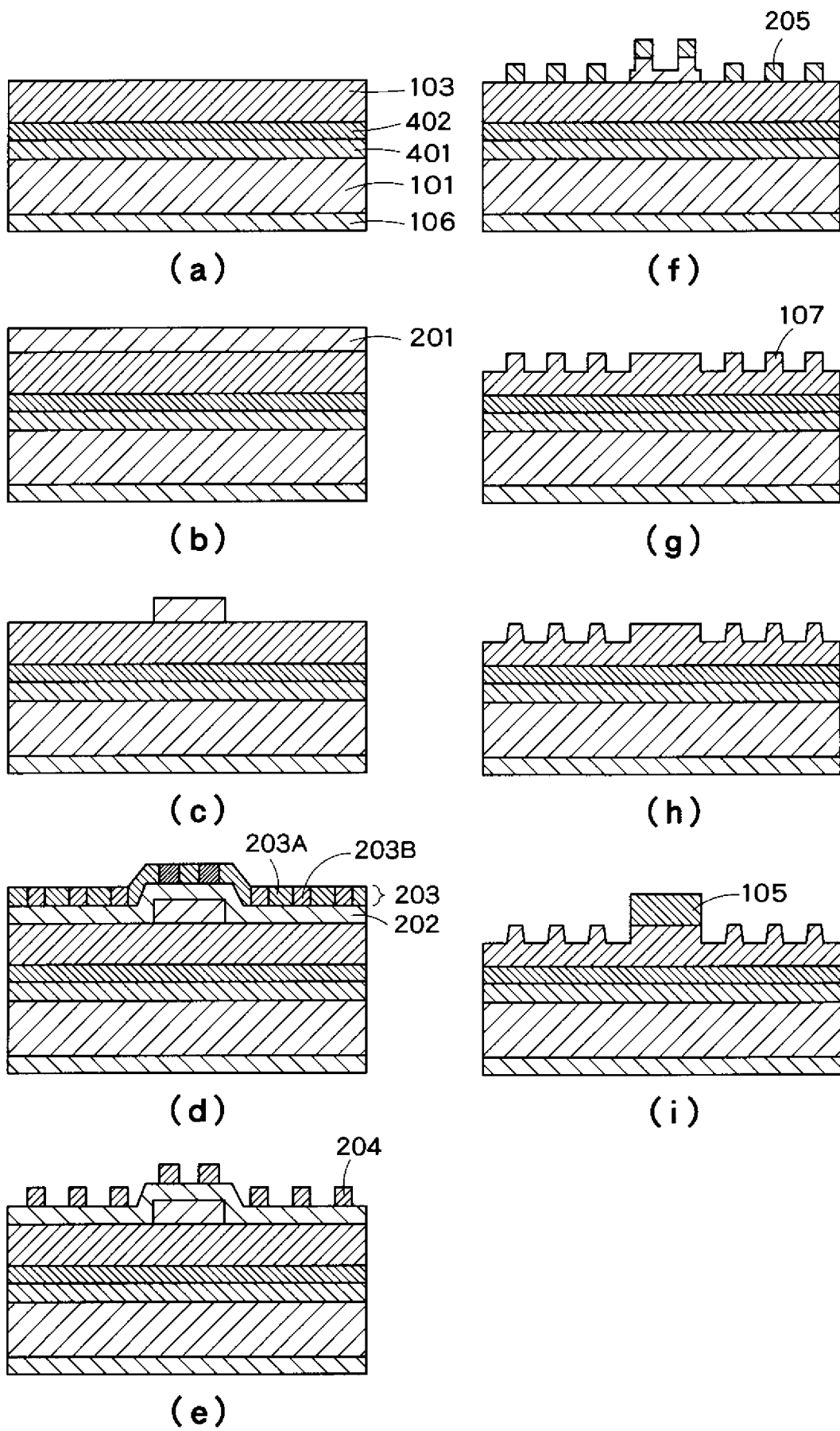
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/065756

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/00(2006.01) i, H01L21/3065(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00, H01L21/3065

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-218383 A (Toshiba Corp.), 31 July, 2003 (31.07.03), Par. Nos. [0039] to [0047]; Fig. 4 & US 7037738 B2 & US 2005/0145864 A1 & EP 1329961 A2 & TW 575984 B & CN 1433088 A	1-16
A	Miri Park et al., Large area dense nanoscale patterning of arbitrary surface, Applied Physics Letters, 2001.07.09, Vol.79, No.2, p.257-259	1-16
A	JP 2001-151834 A (Toshiba Corp.), 05 June, 2001 (05.06.01), Full text; all drawings & US 6565763 B1 & US 2003/0222048 A1 & US 2004/0050816 A1 & US 2006/0231525 A1 & US 2009/0130380 A	1-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
30 September, 2009 (30.09.09)

Date of mailing of the international search report
13 October, 2009 (13.10.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/065756

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-220902 A (Sumitomo Electric Industries, Ltd.), 30 August, 2007 (30.08.07), Par. Nos. [0034] to [0038]; Figs. 3 to 7 (Family: none)	1-16
A	JP 10-004209 A (Hewlett-Packard Co.), 06 January, 1998 (06.01.98), Par. Nos. [0029] to [0030]; Fig. 7 & US 5779924 A & GB 2311413 A & GB 9705173 A0 & DE 19709228 A & SG 54385 A	1-16

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L33/00(2006.01)i, H01L21/3065(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L33/00, H01L21/3065

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-218383 A（株式会社東芝）2003.07.31, 段落[0039]-[0047], 図4 & US 7037738 B2 & US 2005/0145864 A1 & EP 1329961 A2 & TW 575984 B & CN 1433088 A	1-16
A	Miri Park et al., Large area dense nanoscale patterning of arbitrary surface, Applied Physics Letters, 2001.07.09, Vol.79, No.2, p.257-259	1-16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 9 . 2 0 0 9

国際調査報告の発送日

1 3 . 1 0 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 和幸

2 K

3 4 9 7

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-151834 A (株式会社東芝) 2001.06.05, 全文, 全図 & US 6565763 B1 & US 2003/0222048 A1 & US 2004/0050816 A1 & US 2006/0231525 A1 & US 2009/0130380 A	1-16
A	JP 2007-220902 A (住友電気工業株式会社) 2007.08.30, 段落[0034]-[0038], 図 3-7 (ファミリーなし)	1-16
A	JP 10-004209 A (ヒューレット・パッカード・カンパニー) 1998.01.06, 段落[0029]-[0030], 図 7 & US 5779924 A & GB 2311413 A & GB 9705173 A0 & DE 19709228 A & SG 54385 A	1-16