

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月5日(05.10.2017)



(10) 国際公開番号
WO 2017/169760 A1

- (51) 国際特許分類:
H05K 3/40 (2006.01) *H05K 3/24* (2006.01)
G01R 1/073 (2006.01) *H05K 3/46* (2006.01)
H01L 21/66 (2006.01)
- (21) 国際出願番号: PCT/JP2017/010316
- (22) 国際出願日: 2017年3月15日(15.03.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-067184 2016年3月30日(30.03.2016) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 畑瀬 稔(HATASE, Minoru); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 水白 雅章(MIZUSHIRO, Masaaki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 梁瀬 右司, 外(YANASE, Yuji et al.); 〒5300047 大阪府大阪市北区西天満5丁目1番19号 高木ビル4階 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

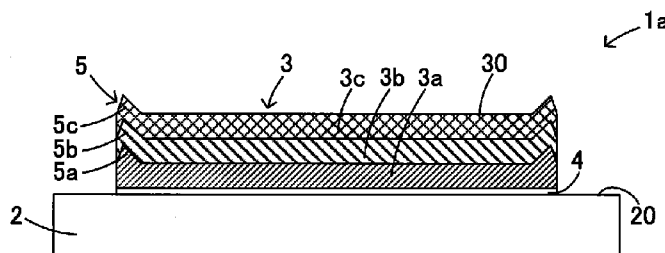
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: ELECTRONIC DEVICE

(54) 発明の名称: 電子デバイス

図1



(57) Abstract: The purpose of the invention is to reduce, in an electronic device having an electrode formed on a principal surface, the misplacement of a probe pin or the breakage of the electrode. This electronic device 1a is an electronic device to which a probe pin is connected and that is used for electrically inspecting a semiconductor element etc., the electronic device having an electrode 3 formed on a principal surface 20 of a wiring board 2. A protruding part 5 is formed at the peripheral edge of a surface 30 of the electrode 3. The electrode 3 is formed by sequentially layering a Cu plating layer 3a, a Ni plating layer 3b, and an Au plating layer 3c. A projection 5a to 5c is formed in each plating layer 3a to 3c, thus forming the protruding part 5. The protruding part 5 serves as a guide for the probe pin, and when it seems likely that the probe pin will contact the vicinity of an end part of the electrode 3, the protruding part 5 guides the probe pin outside the electrode 3. Thus, it is possible to prevent the probe pin from touching the end part of the electrode 3 and breaking the electrode.

(57) 要約:

[続葉有]



主面に電極が形成された電子デバイスにおいて、プローブピンの踏み外しや電極の破損を低減させる。電子デバイス 1 a は、プローブピンが接続される半導体素子などの電気検査に使用される電子デバイスであり、配線基板 2 の主面 2 0 に電極 3 が形成されて構成されている。電極 3 の表面 3 0 の周縁には、突起部 5 が形成されている。電極 3 は、Cuめっき層 3 a、Niめっき層 3 b、Auめっき層 3 c が順次積層されて形成され、各めっき層 3 a ~ 3 c に凸部 5 a ~ 5 c が形成され、突起部 5 を形成している。突起部 5 がプローブピンのガイドとなり、電極 3 の端部付近にプローブピンが接触しそうな場合に、突起部 5 により電極 3 の外側に誘導されるため、電極 3 の端部にプローブピンが当たり、電極が破損することを防止することができる。

明 細 書

発明の名称：電子デバイス

技術分野

[0001] 本発明は、基板の主面に形成された電極を備える電子デバイスに関する。

背景技術

[0002] 近年の半導体素子の外部端子の高密度化に伴い、この種の半導体素子の電気検査が可能なプローブカード用の配線基板の開発が進められている。例えば、特許文献1に記載のセラミック配線基板100は、複数のセラミック絶縁層101aが積層されてなるセラミック層101と、複数の絶縁樹脂層102aが積層されてなる樹脂層102とを備え、セラミック層101上に樹脂層102が積層された構造となる。樹脂層102は、絶縁樹脂層102aと配線層103が交互に積層され、絶縁樹脂層102aの上下に位置する各配線層103間がビア導体104で接続される。また、最下層の絶縁樹脂層102aに形成されたビア導体104と、セラミック配線基板100の上面に露出した内部配線105の端部とが電氣的に接続される。

[0003] このようなプローブカードに搭載される配線基板100において、絶縁樹脂層102aの表面（絶縁樹脂層102aの表面のうちセラミック層101との対向面と反対側の面）に配置される配線層103aには、プローブピンが接続される。

先行技術文献

特許文献

[0004] 特許文献1：特開2011-108959号公報（段落0027～0030、図1等参照）

発明の概要

発明が解決しようとする課題

[0005] しかしながら、配線基板100の構造において、絶縁樹脂層102aの表面に位置する配線層103aが小さい場合には、プローブピンが配線層10

3 a の所定の位置に接触できないことがある。例えば、配線層 103 a ではない位置にプローブピンが接触してしまったり（踏み外し）、配線層 103 a の端部にプローブピンが接触し、配線層 103 a の端部が破損してしまったりする問題がある。

[0006] 本発明は、上記した課題に鑑みてなされたものであり、主面に電極が形成された電子デバイスにおいて、電極表面の周縁に突起部を形成することにより、プローブピンの踏み外しや電極の破損を低減することを目的とする。

課題を解決するための手段

[0007] 上記した目的を達成するために、本発明の積層配線基板は、基板と、該基板の主面に形成された電極とを備えた電子デバイスにおいて、前記電極の表面の周縁に突起部が形成されていること特徴としている。

[0008] この構成によると、電極の周縁に設けられた突起部がプローブピンを接触させる際のガイドとなり、プローブピンが電極の端部に接触しそうになった場合に、プローブピンを突起部の内側に誘導する、もしくは電極の外側にそらすことにより、プローブピンが電極端部に接触して、電極の破損や外観異常となるのを防止することができる。

[0009] また、前記突起部が、前記周縁を一周するように形成されていてもよい。この場合、プローブピンのガイドとなる突起部が電極の周縁を囲むように配置されるため、より効率的にプローブピンを電極の内側または外側に誘導することができ、電極の破損を防止することができる。

[0010] また、前記突起部は、前記電極の周縁の外側に向かう第 1 傾斜面と、該第 1 傾斜面と反対に前記表面の内側に向かう第 2 傾斜面とを有していてもよい。この場合、突起部の形状が斜面になっているため、突起部付近にプローブピンが接触した場合に、斜面に沿ってプローブピンをガイドすることが可能である。プローブピンが第 1 傾斜面に沿って電極の外側に誘導される場合、プローブピンが電極からそれるため、電極の破損を防ぐことができる。また、反対にプローブピンが第 2 傾斜面に沿って電極の内側に誘導される場合は、電極にプローブピンを確実に接触させることができる。

- [0011] また、前記第2傾斜面の前記電極の表面に対する傾斜角度は、前記第1傾斜面よりも小さくてもよい。この場合、第2傾斜面の電極表面に対する傾斜角度を第1傾斜面よりも小さくすることにより、プローブピンが突起部の頂点付近に接触した場合に、外側に誘導されやすくなるため、電極の破損をより確実に防止することができる。
- [0012] また、前記電極は複数のめっき層で形成されていてもよい。この場合、めっきを実施する際の電流密度や添加物を調整することにより、突起部を容易に形成することができる。
- [0013] また、前記電極における周縁部は、前記電極のうち前記周縁部よりも内側に位置する部分よりも厚くてもよい。この場合、電極の周縁部が内側よりも厚く形成されているため、電極の周縁部がプローブピンのガイドとなり、電極の破損を防止することができる。
- [0014] 前記基板は、複数のプローブピンが接続されるプローブカード用積層配線基板であって、前記基板は、複数のセラミック層が積層されてなるセラミック積層部と、前記セラミック積層部の表面に設けられた樹脂部とを備え、前記電極は、前記樹脂部の主面に設けられていてもよい。この場合、耐久性が高く、かつ、マザー基板との接続信頼性の高いプローブカードを提供することができる。

発明の効果

- [0015] 本発明によれば、基板の主面に形成された電極の周縁に突起部を設けることで、プローブピンが電極の端部付近に接触した場合に、突起部がガイドとなり、プローブピンを電極の外側もしくは内側に誘導することで、電極の端部にプローブピンが当たって電極が破損するのを防止することができる。

図面の簡単な説明

- [0016] [図1]本発明の第1実施形態にかかる電子デバイスの断面の拡大図である。
- [図2]図1の電子デバイスの一部を拡大した図である。
- [図3]図1の配線基板の製造方法を示す図である。
- [図4]本発明の第2実施形態にかかる配線基板の製造方法を示す図である。

[図5]本発明の第2実施形態にかかる配線基板の製造方法を示す図である。

[図6]従来の配線基板の断面図である。

発明を実施するための形態

[0017] <第1実施形態>

本発明の第1実施形態にかかる電子デバイス1aについて、図1および図2を参照して説明する。なお、図1は電子デバイス1aの断面の拡大図、図2は図1の電子デバイス1aの電極の一部を拡大した図である。

[0018] この実施形態にかかる電子デバイス1aは、配線基板2の主面20に複数の電極3が形成され、例えば、半導体素子などの非検査物の電気検査に使用されるプローブカードに搭載されて使用される。図1に示すように、電子デバイス1aは、配線基板2と配線基板2の主面20に形成された電極3により構成される。配線基板2と電極3の間には給電膜4が形成されている。なお、プローブカードに搭載される電子デバイス1aには、通常複数の電極が形成されるが、そのうちの1つの電極を拡大した図を用いて説明する。

[0019] 配線基板2は、例えば、ホウケイ酸系ガラスを含有するセラミック（例えば、アルミナなど）を主成分とする低温同時焼成セラミック（LTCC）、高温焼成セラミック（HTCC）など、種々のセラミックで形成することができる。また、配線基板2は多層構造であってもよい。

[0020] 配線基板2の主面20には、給電膜4が形成されている。これは、電解めっきを実施する際に給電を行うためのもので、TiもしくはCuがスパッタにより成膜されている。さらに給電膜4に複数のめっき層からなる電極3が形成されている。電極3は、Cuめっき層3a、Niめっき層3bおよびAuめっき層3cにより構成される。各めっき層3a～3cはそれぞれ、電解Cuめっき、電解Niめっき、電解Auめっきにより形成される。

[0021] 電極3の表面30には、その周縁を一周するように突起部5が形成されている。この実施形態では、各めっき層3a～3cにそれぞれ、凸部5a～5cが形成されることにより突起部5が形成されている。図2に示すように、配線基板2の主面20に垂直な方向から見たときに、突起部5は、第1傾斜

面 6 a と第 2 傾斜面 6 b とを有する。また、電極 3 の表面 3 0 に対する第 2 傾斜面 6 b の傾斜角度 6 0 b は、第 1 傾斜面 6 a の傾斜角度 6 0 a よりも小さく形成され、第 1 傾斜面 6 a が第 2 傾斜面 6 b よりも急峻となっている。

[0022] (配線基板の製造方法)

次に、電子デバイス 1 a の製造方法を、図 3 を参照して説明する。まず、図 3 (a) に示すように、配線基板 2 を準備し、配線基板 2 の主面 2 0 に給電膜 4 を形成する。給電膜 4 は、Ti もしくは Cu をスパッタにより成膜して形成する。その後、給電膜 4 上にめっきレジスト 7 を形成する。めっきレジスト 7 は、例えば、エポキシ樹脂などの感光性樹脂を、所定の位置に塗布し、露光、現像して形成することができる。次に、電極 3 の Cu めっき層 3 a を電解 Cu めっきにより形成する。このとき、めっきの条件を調整することにより、Cu めっき層 3 a の周縁部に凸部 5 a が形成されるようにする。条件の調整は、例えば、電流密度を高くしたり、添加物の種類や比率を調整する等の方法がある。

[0023] 次に、図 3 (b) に示すように、Cu めっき層 3 a 上に電解 Ni めっき処理を実施し、Ni めっき層 3 b を形成する。次に、図 3 (c) に示すように、Ni めっき層 3 b 上に電解 Au めっき処理を実施し、Au めっき層 3 c を形成する。この時、Cu めっき層 3 a に形成された凸部 5 a に沿って、Ni めっき層 3 b、Au めっき層 3 c にもそれぞれ凸部 5 b、5 c が形成される。

[0024] その後、図 3 (d) に示すように、めっきレジスト 7 を剥離する。次に、図 3 (e) に示すように、給電膜 4 のめっきレジスト 7 に覆われていた領域、すなわち、電極 3 から露出する給電膜 4 をエッチングにより除去することにより、電子デバイス 1 a が完成する。

[0025] したがって、上記した実施形態によれば、電極 3 にプローブピンを接触させる際に、電極 3 の表面 3 0 の周縁部に形成された突起部 5 がガイドとなり、プローブピンを電極の外側に誘導し、電極 3 の端部にプローブピンが当たり、電極 3 が破損してしまうことを防止することができる。また、プローブ

ピンを電極 3 の内側に誘導し、プローブピンを電極 3 の中央付近に接触させることもできる。

[0026] また、突起部 5 が第 1 傾斜面 6 a と第 2 傾斜面 6 b を有することにより、プローブピンが電極 3 の端部付近に接触しそうな場合に、電極 3 の外側または内側への誘導をスムーズに行うことができる。また、第 2 傾斜面 6 b の傾斜角度 $\theta_0 b$ を第 1 傾斜面 6 a の傾斜角度 $\theta_0 a$ よりも小さく形成することにより、プローブピンが突起部 5 の頂点付近に接触しそうな場合に、外側へ誘導されやすくなり、電極 3 の破損や変形を防止することができる。

[0027] また、電極 3 を複数のめっき層で形成することにより、電極 3 の表面 3 0 に容易に突起部 5 を形成することができる。

[0028] なお、突起部 5 の高さは、電極 3 の平坦な部分の厚みと比較して、10% 以上高くなるように形成するとよい。突起部 5 の高さが十分でない場合には、プローブピンを誘導する効果が十分に得られない場合がある。

[0029] <第 2 実施形態>

本発明の第 2 実施形態にかかる電子デバイス 1 a について、図 4 および図 5 を参照して説明する。なお、図 4 および図 5 は、電子デバイス 1 a の製造方法を示す図である。

[0030] この実施形態にかかる電子デバイス 1 b が、図 1、図 2 を参照して説明した第 1 実施形態と異なるところは、Cuめっき層 3 a には凸部が形成されていないこと、および電子デバイス 1 a の製造方法が異なることである。その他の構成は第 1 実施形態の電子デバイス 1 a と同じであるため、同一符号を付すことにより説明を省略する。

[0031] (配線基板の製造方法)

この実施形態にかかる電子デバイス 1 b の製造方法を、図 4、図 5 を参照して説明する。まず、図 4 (a) に示すように、配線基板 2 を準備し、主面 2 0 に給電膜 4 を形成する。給電膜 4 は、Ti もしくは Cu をスパッタにより成膜して形成する。その後、給電膜 4 上にめっきレジスト 7 を形成する。

めっきレジスト7は、例えば、エポキシ樹脂などの感光性樹脂を、所定の位置に塗布し、露光、現像して形成することができる。次に、電極3のCuめっき層3aを電解Cuめっきにより形成する。次に、図4(b)に示すように、Cuめっき層3a上に、電解Niめっき処理を実施し、Niめっき層3bを形成する。

[0032] 次に、図4(c)に示すように、図4(b)で形成したNiめっき層3b上にNiめっきレジスト8を形成する。Niめっきレジスト8も、エポキシ樹脂などの感光性樹脂を露光、現像して形成することができる。なお、Niめっきレジスト8は、この後の工程で形成する突起部5の形状に合わせて、例えば、テーパ状に形成されていてもよい。

[0033] 次に、図4(d)に示すように、図4(b)で形成したNiめっき層3b上に再度電解Niめっきを実施して、凸部5bを形成する。この時、めっきの条件を調整して、凸部5bの中央部が膨らむように形成する。条件の調整は、例えば、電流密度を変更したり、添加物の種類や比率を調整する等の方法がある。

[0034] その後、図4(e)に示すように、Niめっきレジスト8を除去した後、図4(f)に示すように電解Auめっき処理を実施して、Auめっき層3cを形成する。この時、Niめっき層3bに形成された凸部5bの形状により、Auめっき層3cにも凸部5cが形成される。

[0035] 次に、図5(a)に示すように、めっきレジスト7を剥離する。次に、図5(b)に示すように、給電膜4のめっきレジスト7に覆われていた領域、すなわち、電極3から露出する給電膜4をエッチングにより除去することにより、電子デバイス1bが完成する。

[0036] したがって、上記した実施形態によれば、実施形態1と同様の効果を得ることができる。

[0037] なお、本発明は、上記した実施形態に限定されるものではなく、その趣旨を逸脱しない限りにおいて、上記したもの以外に種々の変更を行うことが可能である。例えば、上記した実施形態では、Cuめっき層3aまたはNiめ

っき層 3 b に電解めっきを実施するときに、凸部 5 a または凸部 5 b を形成したが、例えば、Cuめっき層 3 a や Niめっき層 3 b には凸部を形成せず、Auめっき層 3 c にだけ凸部 5 c を形成してもよい。

[0038] また、上記した実施形態では、電極 3 は複数のめっき層で形成されているが、電極 3 がめっき以外で形成されていてもよい。

産業上の利用可能性

[0039] 本発明は、上記したプローブカードの配線基板に限らず、表面に電極が形成された種々の電子デバイスに適用することができる。

符号の説明

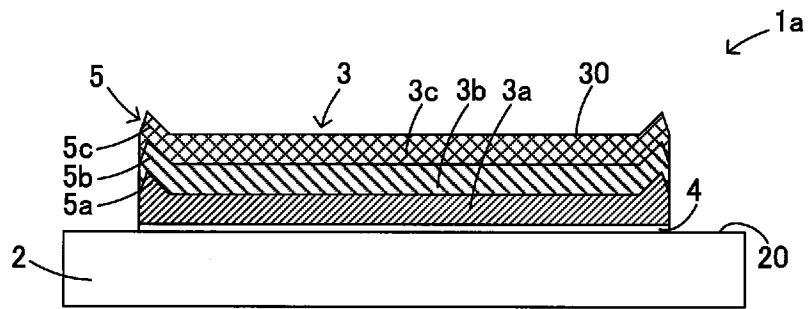
- [0040] 1 a、1 b 電子デバイス
- 2 配線基板
- 3 電極
- 5 突起部
- 6 a 第 1 傾斜面
- 6 b 第 2 傾斜面

請求の範囲

- [請求項1] 基板と、該基板の主面に形成された電極とを備えた電子デバイスにおいて、
- 前記電極の表面の周縁に突起部が形成されていることを特徴とする電子デバイス。
- [請求項2] 前記突起部が、前記周縁を一周するように形成されていることを特徴とする請求項1に記載の電子デバイス。
- [請求項3] 前記突起部は、前記電極の周縁の外側に向かう第1傾斜面と、該第1傾斜面と反対に前記表面の内側に向かう第2傾斜面とを有することを特徴とする請求項1または2に記載の電子デバイス。
- [請求項4] 前記第2傾斜面の前記電極の表面に対する傾斜角度は、前記第1傾斜面よりも小さいことを特徴とする請求項3に記載の電子デバイス。
- [請求項5] 前記電極は複数のめっき層で形成されていることを特徴とする請求項1ないし4のいずれかに記載の電子デバイス。
- [請求項6] 前記電極における周縁部は、前記電極のうち前記周縁部よりも内側に位置する部分よりも厚いことを特徴とする請求項1ないし5のいずれかに記載の電子デバイス。
- [請求項7] 前記基板は、複数のプローブピンが接続されるプローブカード用積層配線基板であって、
- 前記基板は、複数のセラミック層が積層されてなるセラミック積層部と、前記セラミック積層部の表面に設けられた樹脂部とを備え、前記電極は、前記樹脂部の主面に設けられていることを特徴とする請求項1ないし6のいずれかに記載の電子デバイス。

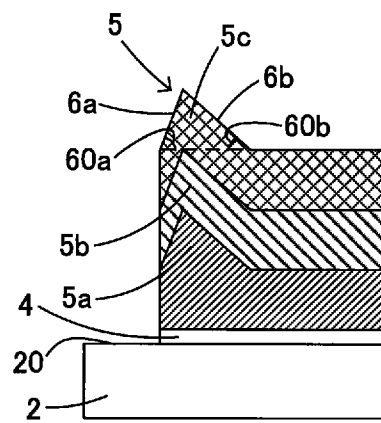
[図1]

図1



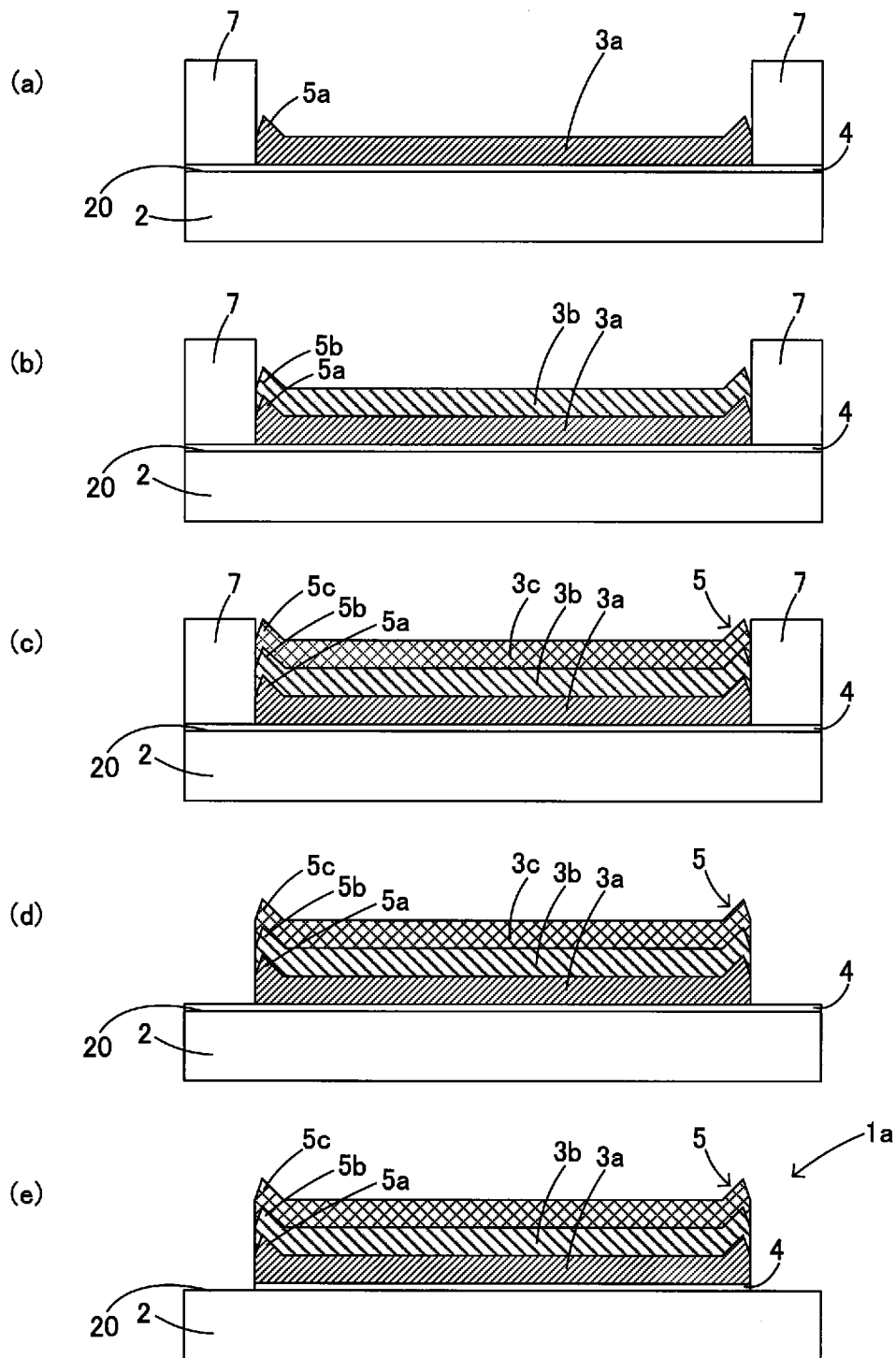
[図2]

図2



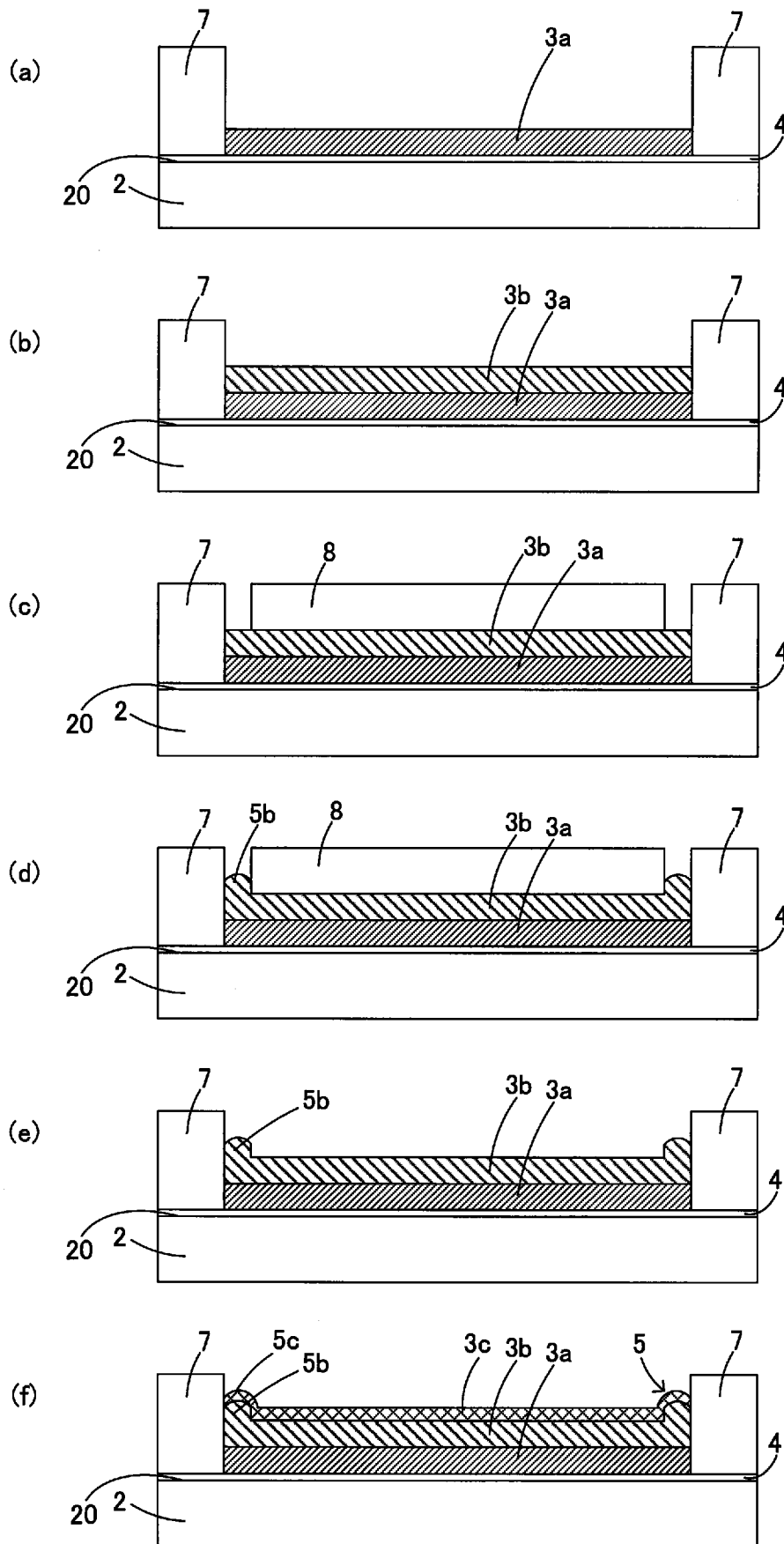
[図3]

図3



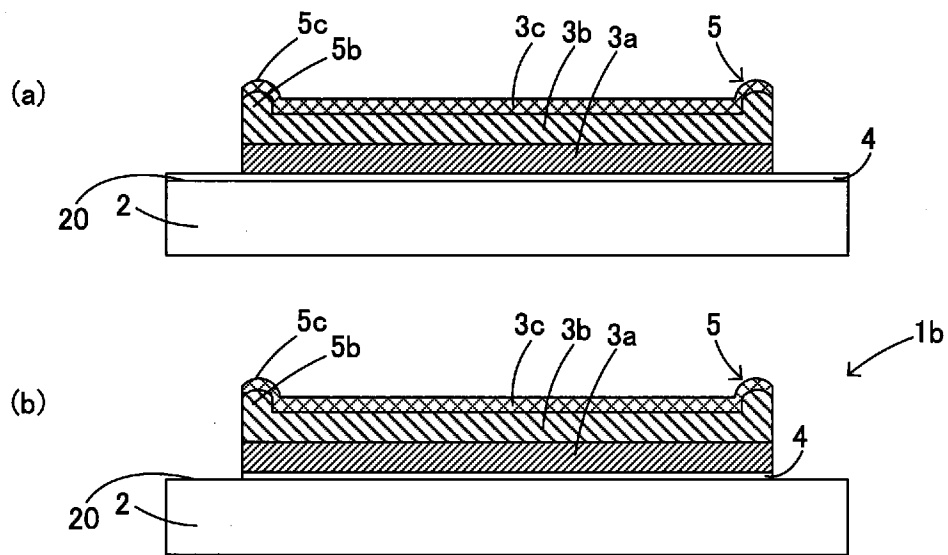
[図4]

図4



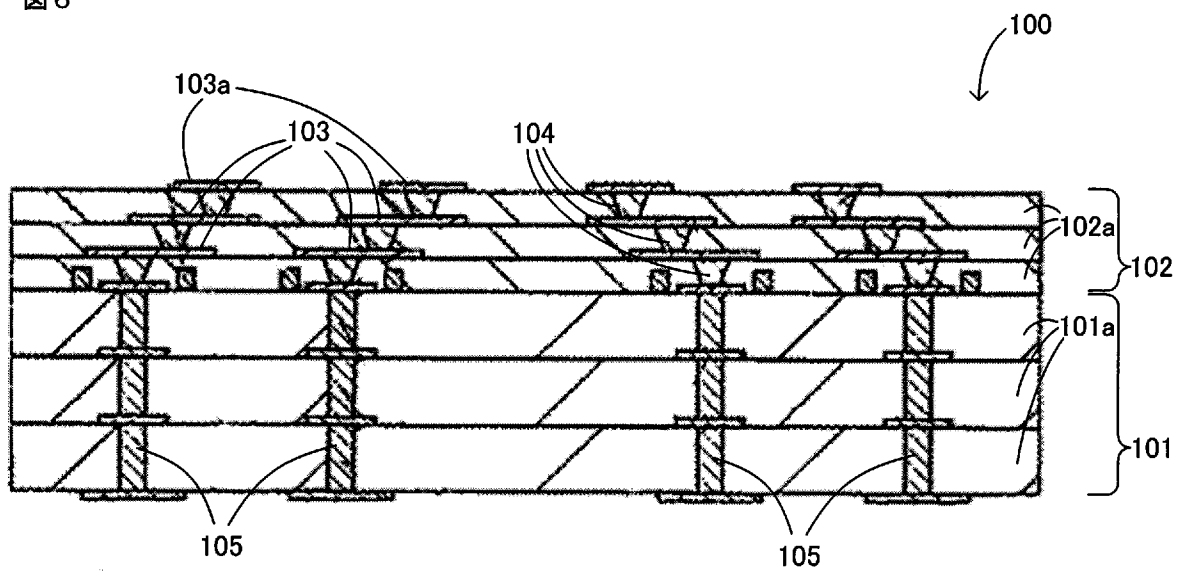
[図5]

図5



[図6]

図6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/010316

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/40(2006.01)i, G01R1/073(2006.01)i, H01L21/66(2006.01)i, H05K3/24(2006.01)i, H05K3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/00-3/46, H01L21/66-21/677, G01R1/06-1/073

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-292726 A (Kyocera Corp.), 26 October 2006 (26.10.2006), fig. 1; paragraphs [0006], [0015] to [0052] (Family: none)	1, 2, 5, 6 3-7
Y	JP 2014-186023 A (Kyocera Corp.), 02 October 2014 (02.10.2014), fig. 4(a) (Family: none)	3-7
Y	WO 2016/024534 A1 (Murata Mfg. Co., Ltd.), 18 February 2016 (18.02.2016), fig. 1; paragraphs [0026] to [0031] (Family: none)	7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 April 2017 (05.04.17)

Date of mailing of the international search report
18 April 2017 (18.04.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/010316

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-278429 A (Semikron Elektronik GmbH & Co. KG.), 09 December 2010 (09.12.2010), fig. 1, 2; paragraphs [0007] to [0022] & EP 2256801 A2 fig. 1, 2, 3; paragraphs [0006] to [0021] & DE 10 2009 022659 A1 & CN 101901792 A	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H05K3/40(2006.01)i, G01R1/073(2006.01)i, H01L21/66(2006.01)i, H05K3/24(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H05K1/00-3/46, H01L21/66-21/677, G01R1/06-1/073

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 2006-292726 A (京セラ株式会社) 2006.10.26, 図1, 段落0006, 段落0015から0052. (ファミリーなし)	1,2,5,6
Y		3-7
Y	J P 2014-186023 A (京セラ株式会社) 2014.10.02, 図4(a). (ファミリーなし)	3-7
Y	WO 2016/024534 A1 (株式会社村田製作所) 2016.02.18, 図1, 段落0026から0031. (ファミリーなし)	7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

05.04.2017

国際調査報告の発送日

18.04.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齊藤 健一

5D

9742

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-278429 A (ゼミクロン エレクトロニク ゲー エムバーハー ウント コンパニー カーゲー) 2010.12.09, 図 1, 図2, 段落0007から0022, & EP 2256801 A2 (図 1, 図2, 図3, 段落0006から0021), & DE 10 2009 0 22659 A1, & CN 101901792 A.	1-7