

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4123027号
(P4123027)

(45) 発行日 平成20年7月23日(2008.7.23)

(24) 登録日 平成20年5月16日(2008.5.16)

(51) Int.Cl.

H01L 25/065 (2006.01)

F 1

H01L 25/08

Z

H01L 25/07 (2006.01)

H01L 25/18 (2006.01)

請求項の数 2 (全 19 頁)

(21) 出願番号

特願2003-95975 (P2003-95975)

(22) 出願日

平成15年3月31日 (2003.3.31)

(65) 公開番号

特開2004-303992 (P2004-303992A)

(43) 公開日

平成16年10月28日 (2004.10.28)

審査請求日

平成16年9月24日 (2004.9.24)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅善

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 尾形 義春

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 石野 忠志

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

導電性ワイヤ接続用の端子が設けられた基材上に第1半導体チップをマウントする工程と、

前記基材上にマウントされた第1半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、

表面がスクライブラインで区画されたウェハの裏面をハーフカットすることにより、前記スクライブラインに対向配置された溝を前記ウェハの裏面に形成する工程と、

前記溝が形成されたウェハの裏面に、CVDにより絶縁膜を成膜する工程と、

前記スクライブラインに沿って前記溝を切断することにより、裏面に突出部が形成された第2半導体チップを形成する工程と、

前記第2半導体チップを前記第1半導体チップ上に固着する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 2】

前記ハーフカットは、先端が丸みを帯びたブレードによるダイシング、等方性エッチングまたはレーザ加工により行われることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

20

本発明は、半導体装置、電子デバイス、電子機器および半導体装置の製造方法に関し、特に、半導体チップの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、例えば、特許文献1に開示されているように、半導体チップの3次元実装構造を実現するため、積層された半導体チップをワイヤボンド接続する方法があった。

図11は、従来の半導体装置の概略構成を示す断面図である。

【0003】

図11において、キャリア基板101の表面には導電性ワイヤ104d、105cを接続するランド102が設けられるとともに、キャリア基板101の裏面には突出電極103が設けられている。また、半導体チップ104a、105aには、導電性ワイヤ104d、105dを接続する電極パッド104b、105bがそれぞれ設けられている。そして、キャリア基板101上には、接着層104cを介して半導体チップ104aがフェースアップ実装されている。さらに、半導体チップ104a上には、接着層106b、106cが両面にそれぞれ設けられたミラーチップ106aを介して、半導体チップ105aがフェースアップ実装されている。ここで、ミラーチップ106aは、半導体チップ104aに設けられた電極パッド104bを避けるようにして、半導体チップ104a、105a間に配置されている。

【0004】

そして、キャリア基板101上に実装された半導体チップ104aは、導電性ワイヤ104dを介してキャリア基板101のランド102に電気的に接続されるとともに、ミラーチップ106aを介して半導体チップ104a上に積層された半導体チップ104bは、導電性ワイヤ105dを介してキャリア基板101のランド102に電気的に接続されている。そして、導電性ワイヤ104d、105dがそれぞれ接続された半導体チップ104a、105aは、封止樹脂107により封止されている。

【0005】

ここで、半導体チップ104a、105a間にミラーチップ106aを配置することにより、半導体チップ104a、105a間の間隔を増加させることができる。このため、下層の半導体チップ104aに接続される導電性ワイヤ104dが上層の半導体チップ105aに接触することを防止することができ、サイズが等しい半導体チップ104a、105aを積層した場合においても、下層の半導体チップ104aをワイヤボンド接続することが可能となる。

【0006】

【特許文献1】

特開2000-101016号公報

【0007】

【発明が解決しようとする課題】

しかしながら、図11の半導体装置では、下層の半導体チップ104aをワイヤボンド接続するために、半導体チップ104a、105a間にミラーチップ106aを配置する必要があり、工程数が増大するとともに、コストアップを招くという問題があった。

【0008】

そこで、本発明の目的は、工程数の増大を抑制しつつ、積層される半導体チップ間の間隔を増大させることができ可能な半導体装置、電子デバイス、電子機器および半導体装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電気的に接続された第1半導体チップと、裏面に突

10

20

30

40

50

出部が形成され、前記突出部を介して前記第1半導体チップ上に固着された第2半導体チップとを備えることを特徴とする。

【0010】

これにより、第1半導体チップ上に第2半導体チップを積層することで、第1半導体チップと第2半導体チップと間の間隔を一定に保つことを可能としつつ、第1半導体チップと第2半導体チップとを固定することが可能となる。このため、工程数の増大を抑制しつつ、第1半導体チップと第2半導体チップと間の間隔を増大させることが可能となり、第1半導体チップと第2半導体チップとのサイズが等しい場合においても、第1半導体チップをワイヤボンド接続することが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記突出部を介して前記第1半導体チップ上に前記第2半導体チップを固着する絶縁性樹脂をさらに備えることを特徴とする。これにより、絶縁性樹脂を介して第1半導体チップ上に第2半導体チップを積層することで、第1半導体チップと第2半導体チップとの間の絶縁性を確保することが可能となるとともに、工程数の増大を抑制しつつ、第1半導体チップ上に第2半導体チップを固着することが可能となる。

10

【0012】

また、本発明の一態様に係る半導体装置によれば、前記絶縁性樹脂にはフィラーが混入されていることを特徴とする。

これにより、絶縁性樹脂の吸水性を低下させることができるとともに、絶縁性樹脂の線膨張係数を半導体チップに近づけることが可能となり、絶縁性樹脂による応力を緩和することを可能として、半導体装置の信頼性を向上させることができる。

20

【0013】

また、本発明の一態様に係る半導体装置によれば、前記絶縁性樹脂は、前記突出部が設けられた段差部分の少なくとも一部の領域に充填されていることを特徴とする。

これにより、第2半導体チップの裏面に突出部を形成したために、第2半導体チップの端部が薄型化した場合においても、薄型化された第2半導体チップの端部を絶縁性樹脂で補強することができる。

【0014】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装された第1半導体チップと、前記第1半導体チップに設けられた第1電極パッドと、前記第1電極パッドと前記基材に設けられた端子とを電気的に接続する第1導電性ワイヤと、裏面に突出部が形成された第2半導体チップと、前記第2半導体チップに設けられた第2電極パッドと、前記第1半導体チップ上の第1導電性ワイヤを包み込むようにして、前記突出部を介して前記第1半導体チップを前記第2半導体チップ上に固着させる絶縁性樹脂と、前記第2電極パッドと前記基材に設けられた端子とを電気的に接続する第2導電性ワイヤと、前記第1導電性ワイヤが接続された第1半導体チップおよび前記第2導電性ワイヤが接続された第2半導体チップを封止する封止樹脂とを備えることを特徴とする。

30

【0015】

これにより、絶縁性樹脂を介して第1半導体チップ上に第2半導体チップを積層することで、第1半導体チップと第2半導体チップと間の間隔を一定に保つことを可能としつつ、第1半導体チップ上の第1導電性ワイヤを絶縁性樹脂で固定することが可能となる。このため、第1導電性ワイヤが接続された第1半導体チップが樹脂封止される場合においても、封止樹脂の注入圧力で第1導電性ワイヤが変形することを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを積層することが可能となるとともに、第1導電性ワイヤの異常接触を防止することが可能となる。

40

【0016】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられ

50

た基材と、前記基材上にフェースアップ実装された第1半導体チップと、前記第1半導体チップに設けられた第1電極パッドと、前記第1電極パッドと前記基材に設けられた端子とを電気的に接続する第1導電性ワイヤと、裏面に突出部が形成された第2半導体チップと、前記第2半導体チップに設けられた第2電極パッドと、少なくとも前記第2電極パッド下に存在するようにして前記第1半導体チップと前記第2半導体チップとの間に設けられ、前記突出部を介して前記第1半導体チップを前記第2半導体チップ上に固着させる絶縁性樹脂と、前記第2電極パッドと前記基材に設けられた端子とを電気的に接続する第2導電性ワイヤとを備えることを特徴とする。

【0017】

これにより、絶縁性樹脂を介して第1半導体チップ上に第2半導体チップを積層することで、第1半導体チップと第2半導体チップと間の間隔を一定に保つことを可能としつつ、第2電極パッドの形成領域を絶縁性樹脂で支えることが可能となる。このため、第2電極パッド上に第2導電性ワイヤが接続される場合においても、ワイヤボンド時の超音波振動で第2半導体チップが破壊されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを積層することが可能となるとともに、ワイヤボンドを安定して行うことが可能となる。

10

【0018】

また、本発明の一態様に係る半導体装置によれば、前記突出部を含む第2半導体チップの裏面全体に形成された絶縁層をさらに備えることを特徴とする。

これにより、第1半導体チップに接続された第1導電性ワイヤの高さが高くなった場合においても、第1導電性ワイヤが第2半導体チップの裏面とショートすることを防止することができ、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを安定して積層することが可能となる。

20

【0019】

また、本発明の一態様に係る半導体装置によれば、前記突出部の少なくとも一部の領域は、前記突出部の形成面に近づくにつれ広がる形状を有していることを特徴とする。

これにより、第2半導体チップの裏面に突出部を形成したために、第2半導体チップの端部が薄型化した場合においても、第2半導体チップの端部にかかる応力を効率よく逃がすことが可能となる。このため、第1導電性ワイヤが第2半導体チップの裏面に接触することを防止しつつ、第2半導体チップの端部の強度を向上させることができとなる。

30

【0020】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体チップのサイズは前記第1半導体チップのサイズよりも大きいことを特徴とする。

これにより、製造工程を複雑化されることなく、第1半導体チップから引き出された導電性ワイヤ上にも第2半導体チップを配置することができるとなり、半導体チップ実装時の省スペース化を図ることが可能となる。

【0021】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフリップチップ実装された第1半導体チップと、接着層を介して前記第1半導体チップ上にフェースアップ実装された第2半導体チップと、前記基材に設けられた端子と前記第2半導体チップとを電気的に接続する第1導電性ワイヤと、裏面に突出部が形成され、前記突出部を介して前記第2半導体チップ上に固着された第3半導体チップと、前記基材に設けられた端子と前記第3半導体チップとを電気的に接続する第2導電性ワイヤとを備えることを特徴とする。

40

【0022】

これにより、第2半導体チップ上に第3半導体チップを積層することで、第2半導体チップと第3半導体チップと間の間隔を一定に保つことを可能としつつ、第2半導体チップと第3半導体チップとを固定することができるるとともに、高さの増大を抑制しつつ、第2半導体チップと基材との間に第1半導体チップを介装することができる。このため、工程数の増大を抑制しつつ、ワイヤボンド接続された第2半導体チップ上に第3半導体

50

チップを積層することが可能となるとともに、省スペース化を可能としつつ、半導体チップの積層数を増加させることが可能となる。

【0023】

また、本発明の一態様に係る電子デバイスによれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電気的に接続された第1電子部品と、裏面に突出部が形成され、前記突出部を介して前記第1電子部品上に固着された第2電子部品とを備えることを特徴とする。

【0024】

これにより、第1電子部品上に第2電子部品を積層することで、第1電子部品と第2電子部品と間の間隔を一定に保つことを可能としつつ、第1電子部品と第2電子部品とを固定することが可能となる。このため、工程数の増大を抑制しつつ、第1電子部品と第2電子部品と間の間隔を増大させることができとなり、第1電子部品と第2電子部品とのサイズが等しい場合においても、第1電子部品をワイヤボンド接続することが可能となる。

10

【0025】

また、本発明の一態様に係る電子機器によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電気的に接続された第1半導体チップと、裏面に突出部が形成され、前記突出部を介して前記第1半導体チップ上に固着された第2半導体チップと、前記基材を介して前記第1半導体チップおよび前記第2半導体チップに電気的に接続された電子部品とを備えることを特徴とする。

20

【0026】

これにより、工程数の増大を抑制しつつ、ワイヤボンド接続された半導体チップの積層構造を実現することができとなり、電子機器のコストダウンを図ることが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、導電性ワイヤ接続用の端子が設けられた基材上に第1半導体チップをマウントする工程と、前記基材上にマウントされた第1半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、裏面に突出部が形成された第2半導体チップを前記第1半導体チップ上に固着する工程とを備えることを特徴とする。

【0027】

これにより、第1半導体チップに接続された導電性ワイヤが第2半導体チップに接触することを防止しつつ、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを積層することができとなり、ワイヤボンド接続された半導体チップの積層構造のコストダウンを図ることが可能となる。

30

また、本発明の一態様に係る半導体装置の製造方法によれば、導電性ワイヤ接続用の端子が設けられた基材上に第1半導体チップをマウントする工程と、前記基材上にマウントされた第1半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、前記第1半導体チップ上に絶縁性樹脂を配置する工程と、第2半導体チップの裏面に形成された突出部を前記絶縁性樹脂に押し当てるにより、前記第2半導体チップを前記第1半導体チップ上に固着する工程とを備えることを特徴とする。

【0028】

40

これにより、第1半導体チップ上に第2半導体チップを積層することで、絶縁性樹脂が突出部から食み出すことを可能としつつ、第1半導体チップ上に第2半導体チップを固着することができとなる。このため、第1半導体チップ上に第2半導体チップを固着することを可能としつつ、突出部が設けられた第2半導体チップの裏面の段差部分に絶縁性樹脂を充填することができとなり、工程数の増大を抑制しつつ、第2半導体チップの端部の強度を向上させることができるとともに、第1導電性ワイヤが第1半導体チップの裏面に接触することを防止することが可能となる。

【0029】

また、本発明の一態様に係る半導体装置の製造方法によれば、表面がスクライブラインで区画されたウェハの裏面をハーフカットすることにより、前記スクライブラインに対向配

50

置された溝を前記ウェハの裏面に形成する工程と、前記スクライブラインに沿って前記溝を切断することにより、裏面に突出部が形成された前記第2半導体チップを形成する工程とをさらに備えることを特徴とする。

【0030】

これにより、複数の半導体チップの裏面に突出部を一括形成することが可能となり、製造工程の煩雑化を抑制しつつ、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを安定して積層することが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、前記ハーフカットは、先端が丸みを帯びたブレードによるダイシング、等方性エッティングまたはレーザ加工により行われることを特徴とする。

10

【0031】

これにより、半導体チップの裏面に形成される突出部にアール形状を持たせることを可能としつつ、半導体チップの裏面の突出部を一括形成することが可能となる。このため、半導体チップの裏面に突出部を形成したために、半導体チップの端部が薄型化した場合においても、製造工程の煩雑化を抑制しつつ、第2半導体チップの端部の強度を向上させることができが可能となり、ワイヤボンド接続された半導体チップの積層構造を安定して製造することが可能となる。

【0032】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記溝が形成されたウェハの裏面に絶縁膜を成膜する工程をさらに備えることを特徴とする。

20

これにより、突出部が形成される複数の半導体チップの裏面全体に絶縁膜を一括形成することが可能となる。このため、第1導電性ワイヤが第2半導体チップの裏面とショートすることを防止するために、各第2半導体チップに個別に絶縁膜を形成する必要がなくなり、製造工程の煩雑化を抑制しつつ、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを安定して積層することが可能となる。

【0033】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置およびその製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の概略構成を示す断面図である。

30

【0034】

図1において、キャリア基板1の表面には導電性ワイヤ4d、5dを接続するランド2が設けられるとともに、キャリア基板1の裏面には突出電極3が設けられている。なお、キャリア基板1としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板1の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、B Tレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極3としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。

【0035】

また、半導体チップ4a、5aには、導電性ワイヤ4d、5dを接続する電極パッド4b、5bがそれぞれ設けられ、半導体チップ5aの裏面には、半導体チップ5aに一体的に形成された突出部5eが設けられている。なお、半導体チップ5aの厚みは、例えば、50~200μm程度の範囲、突出部5eの高さは、例えば、30~150μm程度の範囲に設定することができる。また、導電性ワイヤ4d、5dとしては、例えば、AuワイヤやAlワイヤなどを用いることができる。

40

【0036】

そして、キャリア基板1上には、接着層4cを介して半導体チップ4aがフェースアップ実装されている。さらに、半導体チップ4a上には、突出部5eを介して半導体チップ5aがフェースアップ実装され、突出部5eは、絶縁性樹脂5cにより半導体チップ4a上

50

に固着されている。なお、絶縁性樹脂 5 c としては、ペースト状樹脂またはシート状樹脂を用いることができ、例えば、エポキシ系樹脂、アクリル系樹脂またはマレイミド系樹脂などを用いることができる。また、絶縁性樹脂 5 c には、シリカやアルミナなどのフィラーが混入されるようにもよい。これにより、絶縁性樹脂 5 c の吸水性を低下させることができ可能となるとともに、絶縁性樹脂 5 c の線膨張係数を半導体チップ 4 a、5 a に近づけることが可能となり、絶縁性樹脂 5 c による応力を緩和することを可能として、半導体装置の信頼性を向上させることが可能となる。

【0037】

そして、キャリア基板 1 上に実装された半導体チップ 4 a は、導電性ワイヤ 4 d を介してキャリア基板 1 のランド 2 に電気的に接続されるとともに、突出部 5 e を介して半導体チップ 4 a 上に積層された半導体チップ 5 a は、導電性ワイヤ 5 d を介してキャリア基板 1 のランド 2 に電気的に接続されている。そして、導電性ワイヤ 4 d、5 d がそれぞれ接続された半導体チップ 4 a、5 a は、封止樹脂 6 により封止されている。

10

【0038】

ここで、突出部 5 e の高さは、半導体チップ 4 a 上に半導体チップ 5 a を積層した場合、導電性ワイヤ 4 d が半導体チップ 5 a の裏面に接触しないように設定することができる。また、突出部 5 e は、半導体チップ 4 a に接続された導電性ワイヤ 4 d を避けるように、半導体チップ 4 a 上に配置することができる。

これにより、半導体チップ 4 a 上に半導体チップ 5 a を積層することで、半導体チップ 5 a の裏面に導電性ワイヤ 4 d が接触することを防止しつつ、半導体チップ 4 a、5 a を固定することが可能となる。このため、半導体チップ 4 a、5 a のサイズが等しい場合においても、工程数の増大を抑制しつつ、導電性ワイヤ 4 d が接続された半導体チップ 4 a 上に半導体チップ 5 a を積層することが可能となる。

20

【0039】

また、絶縁性樹脂 5 c により突出部 5 e を半導体チップ 4 a 上に固着する場合、半導体チップ 4 a 上に配置された絶縁性樹脂 5 c を突出部 5 e の周囲に食み出させることにより、突出部 5 e が形成された半導体チップ 5 a の裏面の段差部分に絶縁性樹脂 5 c を充填し、半導体チップ 4 a 上の導電性ワイヤ 4 d を包み込ませることができる。

【0040】

これにより、半導体チップ 4 a、5 a 間の間隔を一定に保つことを可能としつつ、半導体チップ 4 a 上の導電性ワイヤ 4 d を絶縁性樹脂 5 c で固定することが可能となる。このため、導電性ワイヤ 4 d が接続された半導体チップ 4 a が樹脂封止される場合においても、封止樹脂 6 の注入圧力で導電性ワイヤ 4 d が流されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンド接続された半導体チップ 4 a 上に半導体チップ 5 a を積層することが可能となるとともに、導電性ワイヤ 4 d の異常接触を防止することが可能となる。

30

【0041】

また、半導体チップ 5 a の電極パッド 5 b 下にも絶縁性樹脂 6 が存在するように、半導体チップ 4 a、5 a 間に絶縁性樹脂 6 を充填することができる。これにより、半導体チップ 4 a、5 a 間の間隔を一定に保つことを可能としつつ、電極パッド 5 b の形成領域を絶縁性樹脂 6 で支えることが可能となる。このため、電極パッド 5 b 上に導電性ワイヤ 5 d が接続される場合においても、ワイヤボンド時の超音波振動で半導体チップ 5 a が破壊されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンド接続された半導体チップ 4 a 上に半導体チップ 5 a を積層することが可能となるとともに、ワイヤボンドを安定して行うことが可能となる。

40

【0042】

図 2 は、図 1 の半導体装置の製造方法を示す断面図である。

図 2 (a)において、接着層 4 c を介し、半導体チップ 4 a をキャリア基板 1 上にフェースアップ実装する。そして、キャリア基板 1 上にフェースアップ実装された半導体チップ 4 a のワイヤボンドを行うことにより、ランド 2 と電極パッド 4 b とを導電性ワイヤ 4 d

50

で接続する。

【0043】

次に、図2(b)に示すように、導電性ワイヤ4dが接続された半導体チップ4a上に絶縁性樹脂5cを配置する。なお、絶縁性樹脂5cを半導体チップ4a上に配置する場合、例えば、ディスペンサなどを用いることができる。

次に、図2(c)に示すように、突出部5eが形成された半導体チップ5aの裏面を絶縁性樹脂6に押し当てながら、半導体チップ5aを半導体チップ4a上にフェースアップ実装する。ここで、半導体チップ4a上に配置される絶縁性樹脂5cの量を調整し、半導体チップ5aを半導体チップ4a上に実装した際に、半導体チップ4a上に配置された絶縁性樹脂5cが突出部5eの周囲に食み出すようにすることができる。

10

【0044】

これにより、半導体チップ5aを半導体チップ4a上に実装することで、突出部5eが形成された半導体チップ5aの裏面の段差部分に絶縁性樹脂6を充填することができる。このため、工程数を増加させることなく、半導体チップ4a上の導電性ワイヤ4dを絶縁性樹脂6で包み込んだり、半導体チップ5aの電極パッド5b下を絶縁性樹脂6で補強したりすることができる。

【0045】

そして、突出部5eを介して半導体チップ5aが半導体チップ4a上に積層された状態で、絶縁性樹脂6を硬化させる。そして、半導体チップ4a上にフェースアップ実装された半導体チップ5aのワイヤボンドを行うことにより、ランド2と電極パッド5bとを導電性ワイヤ5dで接続する。ここで、電極パッド5bの配置位置に対応して、半導体チップ5aの裏面に絶縁性樹脂5cを充填することにより、半導体チップ5aの電極パッド5b下を絶縁性樹脂5cで補強することが可能となる。このため、電極パッド5b上に導電性ワイヤ5dが接続される場合においても、ワイヤボンド時の超音波振動で半導体チップ5aが破壊されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンドを安定して行うことが可能となる。

20

【0046】

なお、絶縁性樹脂5cを介して半導体チップ4a上に半導体チップ5aを固着する場合、例えば、ACF(Anisotropic Conductive Film)接合、NCF(Nonconductive Film)接合、ACP(Anisotropic Conductive Paste)接合、NCP(Nonconductive Paste)接合などの接着剤接合を用いるようにしてもよい。

30

【0047】

次に、図1に示すように、トランスマーモールドなどの方法により、導電性ワイヤ4d、5dでそれぞれ接続された半導体チップ4a、5aを封止樹脂6で封止する。ここで、半導体チップ4a上の導電性ワイヤ4dが包み込まれるように、半導体チップ5aの裏面に絶縁性樹脂5cを充填することにより、半導体チップ4a上の導電性ワイヤ4dを絶縁性樹脂5cで固定することが可能となる。このため、導電性ワイヤ4dが接続された半導体チップ4aが樹脂封止される場合においても、封止樹脂6の注入圧力で導電性ワイヤ4dが流されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンド接続された半導体チップ4aに半導体チップ5aを積層することが可能となるとともに、導電性ワイヤ4dの異常接触を防止することが可能となる。

40

【0048】

なお、半導体チップ4a、5a間に絶縁性樹脂5cを設ける場合、絶縁性樹脂5cを半導体チップ4a上に配置する代わりに、印刷またはディッピングなどの方法により、突出部5eに絶縁性樹脂5cを付着せんようにしてもよい。

図3は、図1の半導体装置の突出部の製造方法を示す断面図である。

図3(a)において、半導体ウェハ11の表面はスクライブラインSB1～SB4で区画され、スクライブラインSB1～SB4で区画された各区画領域には、能動面がそれぞれ形成されるとともに、電極パッド12a～12cがそれぞれ設けられている。そして、半

50

導体ウェハ11上に形成された能動面を避けるようにして、半導体ウェハ11に開口部13を形成する。

【0049】

次に、図3(b)に示すように、開口部13が形成された半導体ウェハ11の裏面11'を研削することにより、半導体ウェハ11を薄型化し、開口部13を貫通させることで、貫通孔13'を半導体ウェハ11に形成する。なお、開口部13は予め貫通していてもよい。

次に、図3(c)に示すように、貫通孔13'が形成された半導体ウェハ11の能動面側にダイシングテープ14を貼り付ける。そして、貫通孔13'を参照しながらブレード15の位置合わせを行うことにより、ブレード15の中央がスクライブラインSB1～SB4の位置に対応するように配置する。そして、ブレード15を用いて半導体ウェハ11の裏面をハーフカットすることにより、半導体ウェハ11の裏面に溝を形成し、スクライブラインSB1～SB4で区画された各区画領域に突出部16a～16cを形成する。なお、半導体ウェハ11の能動面側を見ながら、半導体ウェハ11の裏面でブレード15の位置合わせができるダイシング装置を用いる場合、貫通孔13'は必ずしも形成する必要はない。

【0050】

ここで、半導体ウェハ11の裏面に形成される溝の深さは、突出部16a～16cが形成された半導体チップ11a～11cを、ワイヤボンド接続された下層の半導体チップ上に積層した場合、下層の半導体チップに接続された導電性ワイヤが、半導体チップ11a～11cの裏面に接触しないように設定することができる。また、ブレード15の幅は、下層の半導体チップに接続された導電性ワイヤを避けながら、突出部16a～16cが形成された半導体チップ11a～11cを下層の半導体チップ上に配置することができるように設定することができる。

【0051】

次に、図3(d)に示すように、突出部16a～16cが形成された半導体ウェハ11からダイシングテープ14を剥がし、突出部16a～16cを介して半導体ウェハ11の裏面側にダイシングテープ17に貼り付ける。

次に、図3(e)に示すように、ブレード15よりも幅の小さなブレード18を用い、スクライブラインSB1～SB4に沿って半導体ウェハ11のフルカットを行うことにより、突出部16a～16cが裏面にそれぞれ形成された半導体チップ11a～11cを形成する。

【0052】

これにより、複数の半導体チップ11a～11cの裏面に突出部16a～16cをそれぞれ一括形成することが可能となり、製造工程の煩雑化を抑制しつつ、ワイヤボンド接続された下層の半導体チップ上に半導体チップ11a～11cを安定して積層することができる。

なお、突出部16a～16cが設けられた半導体チップ11a～11cを形成する場合、ブレード18によりスクライブラインSB1～SB4に沿って半導体ウェハ11表面のハーフカットを行った後、ブレード15により半導体ウェハ11の裏面のハーフカットを行うようにしてもよい。

【0053】

図4は、本発明の第2実施形態に係る半導体装置の概略構成を示す断面図である。

図4において、キャリア基板21の表面には導電性ワイヤ24d、25dを接続するランド22が設けられるとともに、キャリア基板21の裏面には突出電極23が設けられている。また、半導体チップ24a、25aには、導電性ワイヤ24d、25dを接続する電極パッド24b、25bがそれぞれ設けられ、半導体チップ25aの裏面には、半導体チップ25aに一体的に形成された突出部25eが設けられている。そして、突出部25eを含む半導体チップ25aの裏面全体には絶縁層25fが形成されている。なお、絶縁層25fとしては、例えば、シリコン酸化膜やシリコン窒化膜などを用いることができる

10

20

30

40

50

。

【 0 0 5 4 】

ここで、突出部 25e を含む半導体チップ 25a の裏面全体に絶縁層 25e を形成することにより、半導体チップ 24a に接続された導電性ワイヤ 24d の高さが高くなった場合においても、導電性ワイヤ 24d が半導体チップ 25a の裏面とショートすることを防止することができる。

そして、キャリア基板 21 上には、接着層 24c を介して半導体チップ 24a がフェースアップ実装されている。さらに、半導体チップ 24a 上には、突出部 25e を介して半導体チップ 25a がフェースアップ実装され、突出部 25e は、絶縁性樹脂 25c により半導体チップ 24a 上に固着されている。ここで、絶縁性樹脂 25c が突出部 25e の周囲に食み出すようにすることにより、突出部 25e が形成された半導体チップ 25a の裏面の段差部分に絶縁性樹脂 25c を充填し、半導体チップ 24a 上の導電性ワイヤ 24d を絶縁性樹脂 25c で包み込んだり、半導体チップ 25a の電極パッド 25b 下を絶縁性樹脂 25c で補強したりすることができる。10

【 0 0 5 5 】

そして、キャリア基板 21 上に実装された半導体チップ 24a は、導電性ワイヤ 24d を介してキャリア基板 21 のランド 22 に電気的に接続されるとともに、突出部 25e を介して半導体チップ 24a 上に積層された半導体チップ 25a は、導電性ワイヤ 25d を介してキャリア基板 21 のランド 22 に電気的に接続されている。そして、導電性ワイヤ 24d、25d がそれぞれ接続された半導体チップ 24a、25a は封止樹脂 26 により封止されている。20

【 0 0 5 6 】

なお、突出部 25e の高さは、半導体チップ 24a 上に半導体チップ 25a を積層した場合、導電性ワイヤ 24d が半導体チップ 25a の裏面に接触しないように設定することができる。また、突出部 25e は、半導体チップ 24a に接続された導電性ワイヤ 24d を避けるように、半導体チップ 24a 上に配置することができる。

【 0 0 5 7 】

図 5 は、図 4 の半導体装置の突出部の製造方法を示す断面図である。

図 5 (a)において、半導体ウェハ 31 の表面はスクライブライン SB11 ~ SB14 で区画され、スクライブライン SB11 ~ SB14 で区画された各区画領域には、能動面がそれぞれ形成されるとともに、電極パッド 32a ~ 32c がそれぞれ設けられている。また、半導体ウェハ 31 には、半導体ウェハ 31 上に形成された能動面を避けるようにして、貫通孔 33 が形成されている。30

【 0 0 5 8 】

そして、貫通孔 33 が形成された半導体ウェハ 31 の能動面側にダイシングテープ 34 を貼り付ける。そして、貫通孔 33 を参照しながらブレード 35 の位置合わせを行うことにより、ブレード 35 の中央がスクライブライン SB11 ~ SB14 の位置に対応するように配置する。そして、ブレード 35 を用いて半導体ウェハ 31 の裏面をハーフカットすることにより、半導体ウェハ 31 の裏面に溝を形成し、スクライブライン SB11 ~ SB14 で区画された各区画領域に突出部 36a ~ 36c を形成する。40

【 0 0 5 9 】

ここで、半導体ウェハ 31 の裏面に形成される溝の深さは、突出部 36a ~ 36c が形成された半導体チップ 31a ~ 31c を、ワイヤボンド接続された下層の半導体チップ上に積層した場合、下層の半導体チップに接続された導電性ワイヤが、半導体チップ 31a ~ 31c の裏面に接触しないように設定することができる。また、ブレード 35 の幅は、下層の半導体チップに接続された導電性ワイヤを避けながら、突出部 36a ~ 36c が形成された半導体チップ 31a ~ 31c を下層の半導体チップ上に配置するよう50に設定することができる。

【 0 0 6 0 】

次に、図 5 (b)に示すように、例えば、CVDなどの方法により、突出部 36a ~ 36

c の表面を含む半導体ウェハ 3 1 の裏面全体に絶縁層 3 9 を形成する。

次に、図 5 (c) に示すように、突出部 3 6 a ~ 3 6 c が形成された半導体ウェハ 3 1 からダイシングテープ 3 4 を剥がし、突出部 3 6 a ~ 3 6 c を介して半導体ウェハ 3 1 の裏面側にダイシングテープ 3 7 を貼り付ける。

【 0 0 6 1 】

次に、図 5 (d) に示すように、ブレード 3 5 よりも幅の小さなブレード 3 8 を用い、スクライブライン S B 1 1 ~ S B 1 4 に沿って半導体ウェハ 3 1 のフルカットを行うことにより、突出部 3 6 a ~ 3 6 c および絶縁層 3 9 a ~ 3 9 c がそれぞれ設けられた半導体チップ 3 1 a ~ 3 1 c を形成する。

これにより、突出部 3 6 a ~ 3 6 c がそれぞれ形成される複数の半導体チップ 3 1 a ~ 3 1 c の裏面全体に絶縁層 3 9 a ~ 3 9 c をそれぞれ一括形成することが可能となる。このため、下層の半導体チップに接続された導電性ワイヤが半導体チップ 3 1 a ~ 3 1 c の裏面とショートすることを防止するために、各半導体チップ 3 1 a ~ 3 1 c に個別に絶縁層 3 9 a ~ 3 9 c を形成する必要がなくなり、製造工程の煩雑化を抑制しつつ、ワイヤボンド接続された下層の半導体チップ上に半導体チップ 3 1 a ~ 3 1 c を安定して積層することが可能となる。

【 0 0 6 2 】

図 6 は、本発明の第 3 実施形態に係る半導体装置の概略構成を示す断面図である。

図 6 (a) において、キャリア基板 4 1 の表面には導電性ワイヤ 4 4 d 、 4 5 d を接続するランド 4 2 が設けられるとともに、キャリア基板 4 1 の裏面には突出電極 4 3 が設けられている。また、半導体チップ 4 4 a 、 4 5 a には、導電性ワイヤ 4 4 d 、 4 5 d を接続する電極パッド 4 4 b 、 4 5 b がそれぞれ設けられ、半導体チップ 4 5 a の裏面には、半導体チップ 4 5 a に一体的に形成された突出部 4 5 e が設けられている。ここで、突出部 4 5 e の少なくとも一部の領域は、突出部 4 5 e の形成面に近づくにつれ広がる形状を有し、例えば、突出部 4 5 e にアール形状を持たせることができる。

【 0 0 6 3 】

これにより、半導体チップ 4 5 a の裏面に突出部 4 5 e を形成したために、半導体チップ 4 5 a の端部が薄型化した場合においても、半導体チップ 4 5 a の端部にかかる応力を効率よく逃がすことが可能となる。このため、半導体チップ 4 4 a に接続された導電性ワイヤ 4 4 d が半導体チップ 4 5 a の裏面に接触することを防止しつつ、半導体チップ 4 5 a の端部の強度を向上させることができ、ワイヤボンド時の超音波振動などで半導体チップ 4 5 a が破壊することを防止することができる。

【 0 0 6 4 】

そして、キャリア基板 4 1 上には、接着層 4 4 c を介して半導体チップ 4 4 a がフェースアップ実装されている。さらに、半導体チップ 4 4 a 上には、突出部 4 5 e を介して半導体チップ 4 5 a がフェースアップ実装され、突出部 4 5 e は、絶縁性樹脂 4 5 c により半導体チップ 4 4 a 上に固着されている。ここで、絶縁性樹脂 4 5 c が突出部 4 5 e の周囲に食み出すようにすることにより、突出部 4 5 e が形成された半導体チップ 4 5 a の裏面の段差部分に絶縁性樹脂 4 5 c を充填し、半導体チップ 4 4 a 上の導電性ワイヤ 4 4 d を絶縁性樹脂 4 5 c で包み込んだり、半導体チップ 4 5 a の電極パッド 4 5 b 下を絶縁性樹脂 4 5 c で補強したりすることができる。

【 0 0 6 5 】

そして、キャリア基板 4 1 上に実装された半導体チップ 4 4 a は、導電性ワイヤ 4 4 d を介してキャリア基板 4 1 のランド 4 2 に電気的に接続されるとともに、突出部 4 5 e を介して半導体チップ 4 4 a 上に積層された半導体チップ 4 5 a は、導電性ワイヤ 4 5 d を介してキャリア基板 4 1 のランド 4 2 に電気的に接続されている。そして、導電性ワイヤ 4 4 d 、 4 5 d がそれぞれ接続された半導体チップ 4 4 a 、 4 5 a は封止樹脂 4 6 により封止されている。

【 0 0 6 6 】

ここで、突出部 4 5 e の高さは、半導体チップ 4 4 a 上に半導体チップ 4 5 a を積層した

10

20

30

40

50

場合、半導体チップ45aの裏面に導電性ワイヤ44dが接触しないように設定することができる。また、突出部45eは、半導体チップ44aに接続された導電性ワイヤ44dを避けるように、半導体チップ44a上に配置することができる。

【0067】

なお、図6(a)の実施形態では、突出部45eの少なくとも一部の領域にアール形状を持つさせる方法について説明したが、図6(b)に示すように、電極パット51bが表面に形成された半導体チップ51aの裏面の少なくとも一部の領域に、傾斜面51cを設けるようにしてよい。また、図6(c)に示すように、電極パット52bが表面に形成された半導体チップ52aの裏面の少なくとも一部の領域に、傾斜面52dを介して突出部52cを設けるようにしてよい。また、図6(d)に示すように、電極パット53bが表面に形成された半導体チップ53aの裏面の少なくとも一部の領域に、平坦面53dを介して傾斜面が設けられた突出部53cを設けるようにしてよい。10

【0068】

図7は、図6の半導体装置の突出部の製造方法を示す断面図である。

図7(a)において、半導体ウェハ61の表面はスクライブラインSB21～SB24で区画され、スクライブラインSB21～SB24で区画された各区画領域には、能動面がそれぞれ形成されるとともに、電極パッド62a～62cがそれぞれ設けられている。そして、半導体ウェハ61上に形成された能動面を避けるようにして、半導体ウェハ61に開口部63を形成する。

【0069】

次に、図7(b)に示すように、開口部63が形成された半導体ウェハ61の裏面61'を研削することにより、半導体ウェハ61を薄型化し、開口部63を貫通させることで、貫通孔63'を半導体ウェハ61に形成する。

次に、図7(c)に示すように、貫通孔63'が形成された半導体ウェハ61の能動面側にダイシングテープ64を貼り付ける。そして、貫通孔63'を参照しながらブレード65の位置合わせを行うことにより、ブレード65の中央がスクライブラインSB21～SB24の位置に対応するように配置する。ここで、ブレード65の先端は、丸みを帯びた形状を持たせることができる。そして、ブレード65を用いて半導体ウェハ61の裏面をハーフカットすることにより、アール形状を有する溝を半導体ウェハ61の裏面に形成し、アール形状を有する突出部66a～66cをスクライブラインSB21～SB24で区画された各区画領域に形成する。30

【0070】

ここで、半導体ウェハ61の裏面に形成される溝の深さは、突出部66a～66cが形成された半導体チップ61a～61cを、ワイヤボンド接続された下層の半導体チップ上に積層した場合、下層の半導体チップに接続された導電性ワイヤが、半導体チップ61a～61cの裏面に接触しないように設定することができる。また、ブレード65の幅は、下層の半導体チップに接続された導電性ワイヤを避けながら、突出部66a～66cが形成された半導体チップ61a～61cを下層の半導体チップ上に配置することができるように設定することができる。

【0071】

次に、図7(d)に示すように、突出部66a～66cが形成された半導体ウェハ61からダイシングテープ64を剥がし、突出部66a～66cを介して半導体ウェハ61の裏面側にダイシングテープ67を貼り付ける。

次に、図7(e)に示すように、ブレード65よりも幅の小さなブレード68を用い、スクライブラインSB21～SB24に沿って半導体ウェハ61のフルカットを行うことにより、アール形状を有する突出部66a～66cが裏面にそれぞれ設けられた半導体チップ61a～61cを形成する。

【0072】

これにより、半導体チップ61a～61cの裏面に形成される突出部66a～66cにアール形状をそれぞれ持たせることを可能としつつ、半導体チップ61a～61cの裏面の50

突出部 66a～66c を一括形成することが可能となる。このため、半導体チップ 61a～61c の裏面に突出部 66a～66c を形成したために、半導体チップ 61a～61c の端部が薄型化した場合においても、製造工程の煩雑化を抑制しつつ、半導体チップ 61a～61c の端部の強度を向上させることができるとなり、ワイヤボンド接続された半導体チップの積層構造を安定して製造することができる。

【0073】

なお、図 7 の実施形態では、先端が丸みを帯びたブレードによるダイシングを行うことにより、アール形状を有する突出部 66a～66c を形成する方法について説明したが、等方性エッティングまたはレーザ加工により、アール形状を有する突出部 66a～66c を形成するようにしてもよい。また、ブレードの先端の形状を適宜変更することにより、ブレードの先端の形状に合わせて突出部 66a～66c の形状を変更するようにしてもよい。10

【0074】

図 8 は、本発明の第 4 実施形態に係る半導体装置の概略構成を示す断面図である。

図 8 において、キャリア基板 71 の表面には導電性ワイヤ 74d、75d を接続するランド 72 が設けられるとともに、キャリア基板 71 の裏面には突出電極 73 が設けられている。また、半導体チップ 74a、75a には、導電性ワイヤ 74d、75d を接続する電極パッド 74b、75b がそれぞれ設けられ、半導体チップ 75a の裏面には、半導体チップ 75a に一体的に形成された突出部 75e が設けられている。また、半導体チップ 75a のサイズは、半導体チップ 74a のサイズよりも大きくすることができる。20

【0075】

そして、キャリア基板 71 上には、接着層 74c を介して半導体チップ 74a がフェースアップ実装されている。さらに、半導体チップ 74a 上には、突出部 75e を介して半導体チップ 75a がフェースアップ実装され、突出部 75e は、絶縁性樹脂 75c により半導体チップ 74a 上に固着されるとともに、半導体チップ 75a の端部が、半導体チップ 74a から引き出された導電性ワイヤ 74d 上に配置されている。これにより、製造工程を複雑化させることなく、導電性ワイヤ 74d の配線領域上の空間を有効利用することができるとなり、半導体チップ 75a 実装時の省スペース化を図ることが可能となる。20

【0076】

ここで、絶縁性樹脂 75c が突出部 75e の周囲に食み出すようにすることにより、突出部 75e が形成された半導体チップ 75a の裏面の段差部分に絶縁性樹脂 75c を充填し、半導体チップ 74a 上の導電性ワイヤ 74d を絶縁性樹脂 75c で包み込んだり、半導体チップ 75a の電極パッド 75b 下を絶縁性樹脂 75c で補強したりすることができる。30

【0077】

そして、キャリア基板 71 上に実装された半導体チップ 74a は、導電性ワイヤ 74d を介してキャリア基板 71 のランド 72 に電気的に接続されるとともに、突出部 75e を介して半導体チップ 74a 上に積層された半導体チップ 75a は、導電性ワイヤ 75d を介してキャリア基板 71 のランド 72 に電気的に接続されている。そして、導電性ワイヤ 74d、75d がそれぞれ接続された半導体チップ 74a、75a は、封止樹脂 76 により封止されている。40

【0078】

ここで、突出部 75e の高さは、半導体チップ 74a 上に半導体チップ 75a を積層した場合、半導体チップ 75a の裏面に導電性ワイヤ 74d が接触しないように設定することができる。また、突出部 75e は、半導体チップ 74a に接続された導電性ワイヤ 74d を避けるように、半導体チップ 74a 上に配置することができる。

【0079】

図 9 は、本発明の第 5 実施形態に係る半導体装置の概略構成を示す断面図である。

図 9 において、リードフレーム 81 には、半導体チップ 84a をダイボンドするダイパッド 82 が設けられるとともに、導電性ワイヤ 84d、85d を接続するリード 83 が設けられている。また、半導体チップ 84a、85a には、導電性ワイヤ 84d、85d を接50

続する電極パッド 8 4 b、8 5 b がそれぞれ設けられ、半導体チップ 8 5 a の裏面には、半導体チップ 8 5 a に一体的に形成された突出部 8 5 e が設けられている。

【 0 0 8 0 】

そして、リードフレーム 8 1 のダイパッド 8 2 上には、接着層 8 4 c を介して半導体チップ 8 4 a がフェースアップ実装されている。さらに、半導体チップ 8 4 a 上には、突出部 8 5 e を介して半導体チップ 8 5 a がフェースアップ実装され、突出部 8 5 e は、絶縁性樹脂 8 5 c により半導体チップ 8 4 a 上に固着されている。

【 0 0 8 1 】

そして、ダイパッド 8 2 上にダイボンドされた半導体チップ 8 4 a は、導電性ワイヤ 8 4 d を介してリードフレーム 8 1 のリード 8 3 に電気的に接続されるとともに、突出部 8 5 e を介して半導体チップ 8 4 a 上に積層された半導体チップ 8 5 a は、導電性ワイヤ 8 5 d を介してリードフレーム 8 1 のリード 8 3 に電気的に接続されている。そして、導電性ワイヤ 8 4 d、8 5 d がそれぞれ接続された半導体チップ 8 4 a、8 5 a は、封止樹脂 8 6 により封止されている。

10

【 0 0 8 2 】

ここで、突出部 8 5 e の高さは、半導体チップ 8 4 a 上に半導体チップ 8 5 a を積層した場合、導電性ワイヤ 8 4 d が半導体チップ 8 5 a の裏面に接触しないように設定することができる。また、突出部 8 5 e は、半導体チップ 8 4 a に接続された導電性ワイヤ 8 4 d を避けるように、半導体チップ 8 4 a 上に配置することができる。また、絶縁性樹脂 8 5 c が突出部 8 5 e の周囲に食み出すようにすることにより、突出部 8 5 e が形成された半導体チップ 8 5 a の裏面の段差部分に絶縁性樹脂 8 5 c を充填し、半導体チップ 8 4 a 上の導電性ワイヤ 8 4 d を絶縁性樹脂 8 5 c で包み込んだり、半導体チップ 8 5 a の電極パッド 8 5 b 下を絶縁性樹脂 8 5 c で補強したりすることができる。

20

【 0 0 8 3 】

これにより、半導体チップ 8 4 a、8 5 a の積層構造をリードフレーム 8 1 にマウントする場合においても、半導体チップ 8 5 a の裏面に導電性ワイヤ 8 4 d が接触することを防止しつつ、導電性ワイヤ 8 4 d が接続された半導体チップ 8 4 a 上に半導体チップ 8 5 a を積層することが可能となり、半導体装置のコストダウンを図ることが可能となる。

【 0 0 8 4 】

図 10 は、本発明の第 6 実施形態に係る半導体装置の概略構成を示す断面図である。
30
図 10 において、キャリア基板 9 1 の表面には、導電性ワイヤ 9 5 d、9 6 d を接続するランド 9 2 a が設けられるとともに、突出電極 9 4 c を接合するランド 9 2 b が設けられ、キャリア基板 9 1 の裏面には突出電極 9 3 が設けられている。また、半導体チップ 9 4 a には、突出電極 9 4 c が配置された電極パッド 9 4 b が設けられている。また、半導体チップ 9 5 a、9 6 a には、導電性ワイヤ 9 5 d、9 6 d を接続する電極パッド 9 5 b、9 6 b がそれぞれ設けられ、半導体チップ 9 6 a の裏面には、半導体チップ 9 6 a に一体的に形成された突出部 9 6 e が設けられている。なお、突出電極 9 3、9 4 c としては、例えば、A u バンプ、半田材などで被覆されたC u バンプやN i バンプ、あるいは半田ボールなどを用いることができる。

30

【 0 0 8 5 】

そして、キャリア基板 9 1 上には、突出電極 9 4 c を介して半導体チップ 9 4 a がフリップチップ実装されている。なお、突出電極 9 4 c を介して半導体チップ 9 4 a をキャリア基板 9 1 上にフリップチップ実装する場合、例えば、A C F 接合、N C F 接合、A C P 接合、N C P 接合などの接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。

40

【 0 0 8 6 】

また、フリップチップ実装された半導体チップ 9 4 a の裏面上には、接着層 9 5 c を介して半導体チップ 9 5 a がフェースアップ実装されている。さらに、半導体チップ 9 5 a 上には、突出部 9 6 e を介して半導体チップ 9 6 a がフェースアップ実装され、突出部 9 6 e は、絶縁性樹脂 9 6 c により半導体チップ 9 5 a 上に固着されている。

50

【0087】

そして、半導体チップ94aの裏面上に実装された半導体チップ95aは、導電性ワイヤ95dを介してキャリア基板91のランド92aに電気的に接続されるとともに、絶縁性樹脂97を介して半導体チップ95a上に積層された半導体チップ96aは、導電性ワイヤ96dを介してキャリア基板91のランド92aに電気的に接続されている。そして、フリップチップ実装された半導体チップ94aおよび導電性ワイヤ95d、96dがそれぞれ接続された半導体チップ95a、96aは、封止樹脂97により封止されている。

【0088】

ここで、突出部96eの高さは、半導体チップ95a上に半導体チップ96aを積層した場合、導電性ワイヤ95dが半導体チップ96aの裏面に接触しないように設定することができる。また、突出部96eは、半導体チップ95aに接続された導電性ワイヤ95dを避けるように、半導体チップ95a上に配置することができる。また、絶縁性樹脂96cが突出部96eの周囲に食み出すようにすることにより、突出部96eが形成された半導体チップ96aの裏面の段差部分に絶縁性樹脂96cを充填し、半導体チップ95a上の導電性ワイヤ95dを絶縁性樹脂96cで包み込んだり、半導体チップ96aの電極パッド96b下を絶縁性樹脂96cで補強したりすることができる。

10

【0089】

これにより、半導体チップ95a上に半導体チップ96aを積層することで、半導体チップ96aの裏面に導電性ワイヤ95dが接触することを防止しつつ、半導体チップ95a、96aを固定することができるとともに、高さの増大を抑制しつつ、半導体チップ95aとキャリア基板91との間に半導体チップ94aを介装することが可能となる。このため、工程数の増大を抑制しつつ、ワイヤボンド接続された半導体チップ95a上に半導体チップ96aを積層することが可能となるとともに、省スペース化を可能としつつ、半導体チップ94a～96aの積層数を増加させることができる。

20

【0090】

なお、上述した半導体装置は、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD(Mini Disc)プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器のコストダウンを図ることができる。

【図面の簡単な説明】

30

【図1】 第1実施形態に係る半導体装置の概略構成を示す断面図。

【図2】 図1の半導体装置の製造方法を示す断面図。

【図3】 図1の半導体装置の製造方法を示す断面図。

【図4】 第2実施形態に係る半導体装置の概略構成を示す断面図。

【図5】 図4の半導体装置の製造方法を示す断面図。

【図6】 第3実施形態に係る半導体装置の概略構成を示す断面図。

【図7】 図6の半導体装置の製造方法を示す断面図。

【図8】 第4実施形態に係る半導体装置の概略構成を示す断面図。

【図9】 第5実施形態に係る半導体装置の概略構成を示す断面図。

【図10】 第6実施形態に係る半導体装置の概略構成を示す断面図。

40

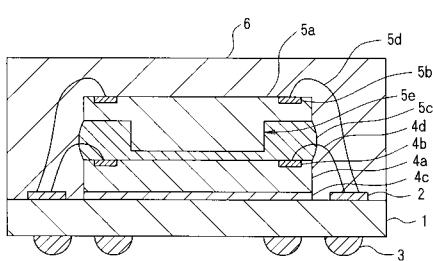
【図11】 従来の半導体装置の概略構成を示す断面図。

【符号の説明】

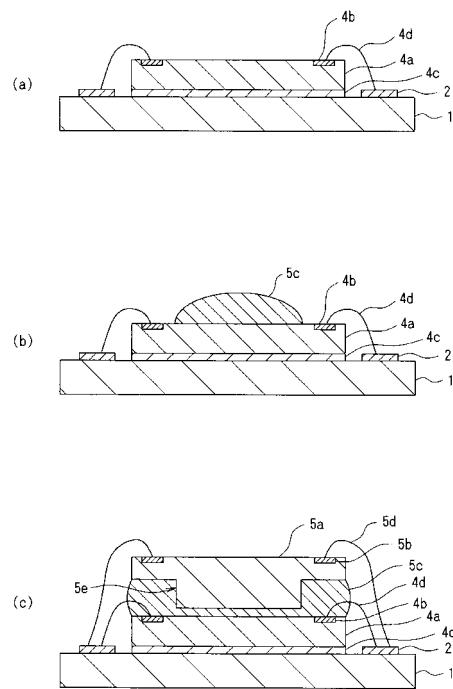
1、21、41、71、91 キャリア基板、2、22、42、72、92a、92b
 ランド、3、23、43、73、93、94c 突出電極、4a、5a、11a～11c
 、24a、25a、31a～31c、44a、45a、51a、52a、53a、61a
 ～61c、74a、75a、84a、85a、94a、95a、96a 半導体チップ、
 4b、5b、12a～12c、24b、25b、32a～32c、44b、45b、51
 b、52b、53b、62a～62c、74b、75b、84b、85b、94b、95
 b、96b 電極パッド、4c、24c、44c、74c、84c、95c 接着層、5
 c、25c、45c、75c、85c 絶縁性樹脂、4d、5d、24d、25d、44
 50

d、45d、74d、75d、84d、85d、95d、96d 導電性ワイヤ、5e、
 25e、16a～16c、36a～36c、45e、51c、52c、53c、66a～
 66c、75e、85e、96e 突出部、6、46、76、86、97 封止樹脂、S
 B1～SB4、SB11～SB14、SB21～SB24 スクライブライン、11、3
 1、61 半導体ウェハ、11'、61' 裏面、13、63 開口部、13'、33、
 63' 貫通孔、14、17、34、37、64、67 ダイシングテープ、15、18
 、35、38、65、68 ブレード、25f、39、39a～39c 絶縁層、52d
 傾斜面、53d 平坦面、81 リードフレーム、82 ダイパッド、83 リード

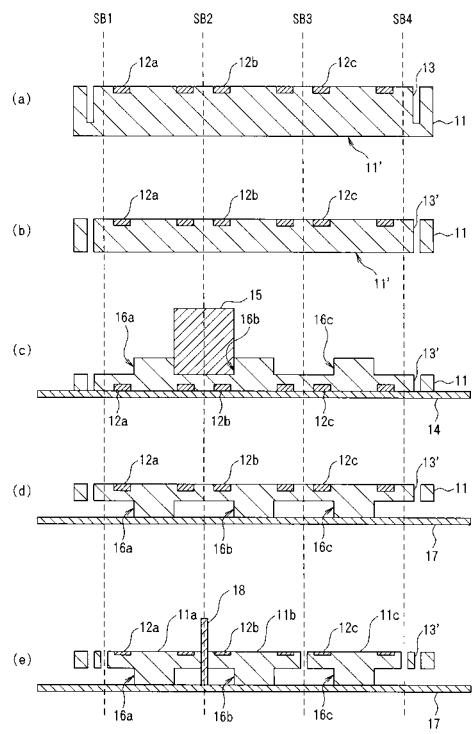
【図1】



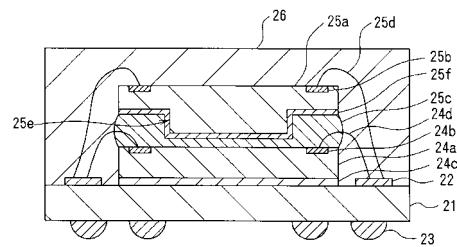
【図2】



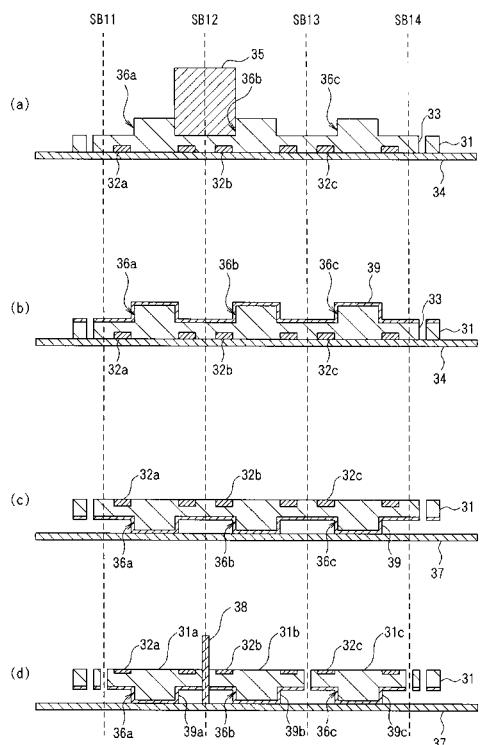
【図3】



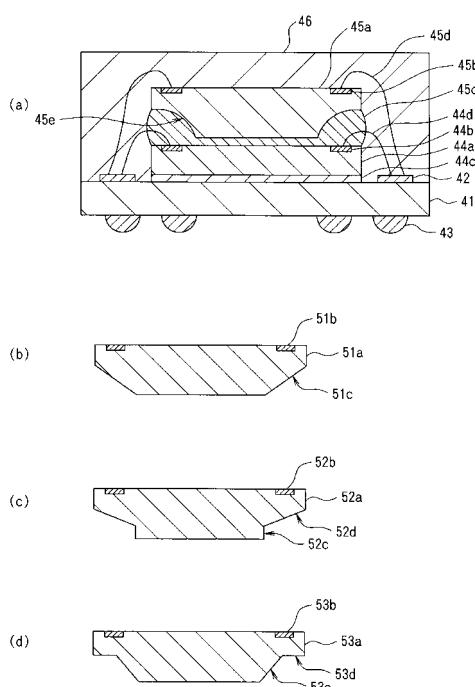
【図4】



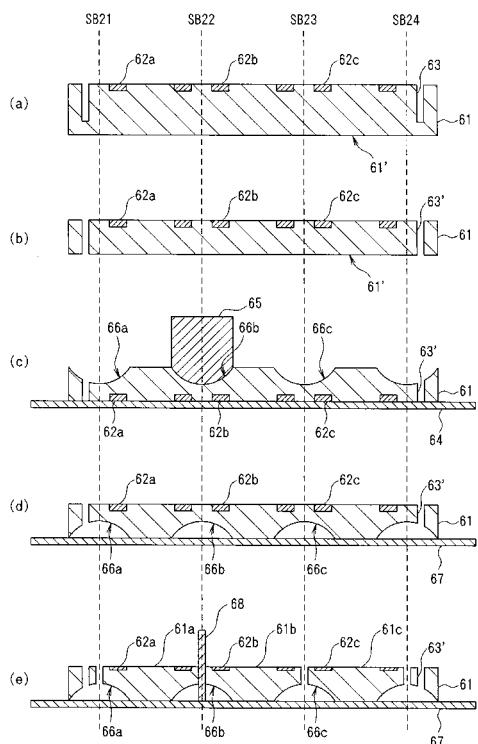
【図5】



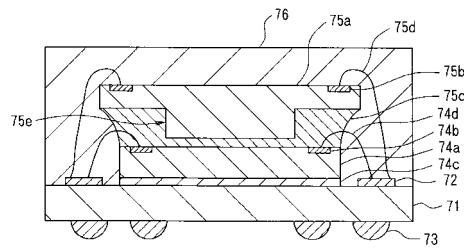
【図6】



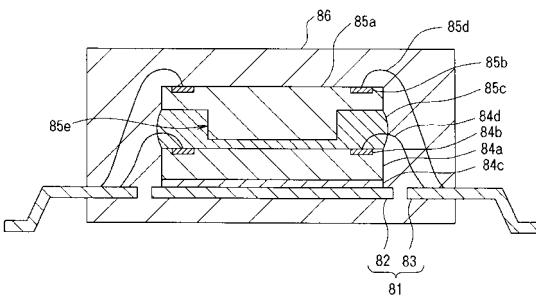
【図7】



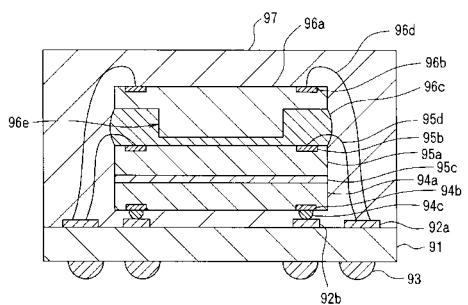
【図8】



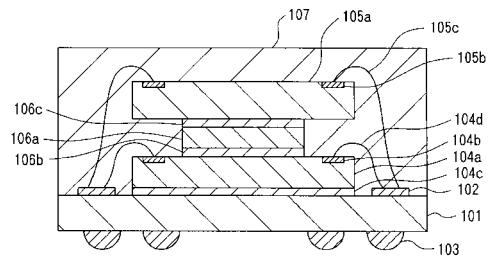
【図9】



【図10】



【図11】



フロントページの続き

(56)参考文献 特開2003-078106(JP,A)
特開2000-058742(JP,A)
特開2002-222913(JP,A)
特開2002-141459(JP,A)
特開平06-244360(JP,A)
特開2002-359346(JP,A)
特開2002-265888(JP,A)
特開2003-163313(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065
H01L 25/07
H01L 25/18