

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H03M 13/12

[12] 发明专利申请公开说明书

[21] 申请号 98125339.3

[43]公开日 1999 年 6 月 23 日

[11]公开号 CN 1220522A

[22]申请日 98.12.18 [21]申请号 98125339.3

[30]优先权

[32]97.12.19 [33]JP [31]351434/97

[71]申请人 索尼株式会社

地址 日本东京都

[72]发明人 服部雅之 宫内俊之

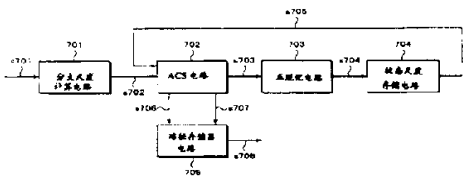
[74]专利代理机构 中国国际贸易促进委员会专利商标事
务所
代理人 鄧 迅

权利要求书 2 页 说明书 11 页 附图页数 17 页

[54]发明名称 维特比译码装置及维特比译码方法

[57]摘要

除了存储单元序列之外设置一个与分割长度一样长的寄存器序列,相应于每个状态排列。与状态 00 相应的寄存器序列中各级的选择器的输出被输入到寄存器序列中的一个寄存器 1021 中和选择器中。将前级寄存器的输出分别输入到那三个选择器中。在终止接收字以及其他情形下,这三个选择器根据控制电路的控制将输出切换到后级。从而,在终止接收字时,原样传送存储在寄存器序列中的信息。利用这种操作,在终止接收字时能对到达状态 00 的路径进行译码。



ISSN 1008-4274

权 利 要 求 书

1. 用于连续接收终止的卷积编码的维特比译码装置，包括：

终止状态路径译码装置，用于对到达即将终止状态的路径进行确定地译码。

2. 根据权利要求 1 的装置，其中

执行寄存器变换方法的路径存储器具有一个与分割长度一样长的寄存器序列，并且

与即将终止状态相应的译码字存储在所述寄存器序列中，并且在终止时，顺序输出存储在所述寄存器序列中的所述译码字。

3. 根据权利要求 1 的装置，其中

进一步将用于对与即将终止状态相应的所述寄存器序列中的每个存储单元的选择信息进行控制的控制电路增加到路径存储器中，以执行寄存器变换方法，并且

在利用所述控制电路的操作终止时，原样输出与即将终止状态相应的译码字。

4. 根据权利要求 1 的装置，包括

一个路径存储器，用于执行反向跟踪方法，

并且其中通过将分割长度设定为终止长度的 m/n ， m 和 n 是整数，在终止时从即将终止的状态开始跟踪。

5. 根据权利要求 1 的装置，其中在终止时通过将终止状态之外的状态的状态尺度设定为一个足够大的值，

对通过即将终止状态的路径进行确定地译码。

6. 用于连续接收终止的卷积编码的维特比译码方法，包括：

终止状态路径译码步骤：对到达即将终止状态的路径进行确定地译码。

7. 根据权利要求 6 的方法，其中当利用寄存器变换方法进行译码时，所述维特比译码方法还包括：

一个存储步骤：将与即将终止状态相应的译码字存储到与分割长度一

样长的被增加到路径存储器的寄存器序列中，以便执行寄存器变换方法；以及

一个输出步骤：在终止时，顺序输出存储在所述寄存器序列中的所述译码字。

8. 根据权利要求 6 的方法，其中当利用寄存器变换方法进行译码时，所述维特比译码方法还包括：

一个控制步骤：对与即将终止状态相应的寄存器序列中的每个存储单元的选择信息进行控制；以及

一个输出步骤：在利用所述控制步骤终止时，原样输出与即将终止状态相应的译码字。

9. 根据权利要求 6 的方法，其中当利用反向跟踪方法进行译码时，所述维特比译码方法还包括：

一个将截断长度设定为所述分割长度的终止长度的 m/n 的步骤， m 和 n 整数；以及

一个在终止时从即将终止状态开始跟踪的步骤。

10. 根据权利要求 6 的方法，还包括：

一个在终止时将终止状态之外的状态的状态尺度设定为足够大的值的步骤；以及

一个对通过即将终止状态的路径进行确定地译码的步骤。

说明书

维特比译码装置及维特比译码方法

本发明涉及在对例如使用在卫星广播等中的卷积编码进行最大似然译码的方法中所使用的维特比译码装置以及维特比译码方法。

作为对卷积编码的译码方法之一，维特比译码方法是公知的。维特比译码方法是对于卷积编码的最大似然译码方法，借助这种方法，通过从发送方的编码器能够形成的编码序列中选择一个与接收的编码序列最接近的序列(后文中将这样的—个序列称为最大似然路径)，进行错误校正。也就是，使用发送方编码器根据编码方法形成的变换图(后文中称为格子)，作为先决条件。例如，从变换图中能够产生的变换中，将其与接收编码序列的汉明间距最短的路径选择为最大似然路径。

用于执行维特比译码方法的维特比译码装置包括：一个分支尺度计算电路，用于计算一个分支尺度，即到达格子中每个状态的路径与根据时钟收到的编码序列之间的汉明间距；一个 ACS 电路，用于根据分支尺度计算状态尺度，比较状态尺度的值，并且选择最大似然路径；一个正规化电路，用于正规化状态尺度的值；一个状态尺度存储电路，用于存储状态尺度的值；以及一个路径存储器电路，用于根据 ACS 的选择结果形成译码数据。

在该例中，作为路径存储器电路，有两种电路，一种是执行寄存器变换方法以便通过使用寄存器序列来传送路径选择内容的电路，一种是用于执行通过使用 RAM 来存储路径选择内容、跟踪存储内容和从而译码的方法的电路。下面来描述这两种方法。

在寄存器变换方法中，该方法一般使用在维特比译码装置中，包括一个选择器和一个寄存器的每个存储单元被设置在路径存储器电路的格子上，根据从 ACS 电路输出的路径选择信息传送寄存器的内容。通过从最后级的存储单元的输出中选择最大似然状态的输出，选择最大似然路径的

信息并且输出译码数据。

尽管这种寄存器变换方法具有这样的优点：可以执行高速操作，但是有一个缺点：当分割长度增加时，电路规模变得很大。特别是，因为最近几年已经出现了分割长度超过 100 的应用，所以电路规模的扩大成为一个严重的问题。

最近几年中，通过使用 RAM(随机存取存储器)存储路径信息以及跟踪存储信息的方法已得到广泛研究。下文中将这种方法称为反向跟踪方法。

作为终止卷积编码的一种方法，已经知道了终止。当所终止的卷积编码是维特比译码的时，通过从全部为 0 的状态反向跟踪一条路径进行译码而获得最大似然路径。在迄今使用的维特比译码装置中，当连续收到终止的卷积编码时，在许多情况下由正常操作执行译码。

在这种译码方法中，存在一个问题，在终止卷积编码之后继续输入下一个卷积编码时，不能执行严格的最大似然译码，因此恐怕产生译码错误。因为这个问题是进行维特比译码时未考虑终止间隔的观点引起的，所以这个问题也存在于前述寄存器变换方法和反向跟踪方法中。

考虑到这种情况提出了本发明。因此，本发明的一个目的在于提供一种维特比译码装置和维特比译码方法，它们即使对于终止的卷积编码也能够执行严格的最大似然译码。

为实现上述目的，本发明提供一种维特比译码装置，用于连续接收终止的卷积编码，包括终止状态路径译码装置，用于对一条到达将被终止的状态的路径进行确定地译码。

本发明还提供一种维特比译码方法，连续地接收终止卷积编码，包括一个终止状态路径译码步骤，对到达将被终止的状态的路径进行确定地译码。

根据上述的本发明，因为到达将被终止的状态的路径能够被确定地译码，所以对于终止的卷积编码能够执行最大似然译码。

通过以下结合附图进行的详细描述，本发明的上述及其他目的、特征和优点将会更加明显。

图 1 是用于说明本发明的一个实施方式的总体结构的框图；
图 2 是用于说明约束长度等于 3 的情形下变换图的框图；
图 3 是用于说明常规使用的一般装置中的状态尺度存储电路的框图；
图 4 是用于说明寄存器变换方法中路径存储器的存储单元的示意图；
图 5 是用于说明寄存器变换方法中路径存储器的存储单元设置的示意图；
图 6 是用于说明终止的示意图；
图 7 是示出约束长度为 3 的卷积编码器例子的示意图；
图 8A 和图 8B 是用于说明常规使用的维特比译码装置中终止和译码错误时刻的格子的示意图；
图 9 是用于说明本发明第一实施方式中路径存储器电路的框图；
图 10 是用于说明本发明第二实施方式中路径存储器电路的框图；
图 11 是用于说明反向跟踪方法中跟踪原理的示意图；
图 12 是用于说明反向跟踪方法中跟踪方法的示意图；
图 13 是用于说明已经常规使用的一般反向跟踪方法中每个 RAM 作用的示意图；
图 14 是用于说明常规使用的一般反向跟踪方法中的存储器操作的框图；
图 15 是用于说明本发明第三实施方式中路径存储器电路的框图；
图 16 是用于说明本发明第四实施方式中路径存储器电路的框图；
图 17 是用于说明状态 00 开始的路径尺度的示意图。

下面结合附图描述本发明第一个实施方式。首先，参照图 1 描述本发明的第一实施方式的总体结构。本发明的第一实施方式包括：一个分支尺度计算电路 701；一个 ACS 电路 702；一个正规化电路 703；一个状态尺度存储电路 704；以及一个路径存储器电路 705。当从发送方输入经过发送路径接收的数据时，从可以由发送方的编码器形成的编码序列中选择一个最大似然路径，并且根据选择内容形成译码数据。

也就是说，例如，使用由发送方的编码器根据编码方法形成的如图 2 中所示的变换图(后文中称为格子)，作为先决条件，并且例如，从能够在变换图中产生的变换中，将其与接收编码序列的汉明间距为最小的路径选择为最大似然路径。

当输入接收数据信号 S701 时，分支尺度计算电路 701 计算接收数据的分支尺度，并且输出一个计算结果，作为分支尺度信号 S702。根据分支尺度信号 S702 和从状态尺度存储电路 704 输入的状态尺度信号 S705，ACS 电路 702 将分支尺度和状态尺度加到连结某个状态的两个路径中的每一个上，比较它们的加法值，根据比较结果选择具有较高似然的加法值，并将其设定为新的状态尺度。

如此选择的内容作为路径选择信息 S706 得以输出，将具有最小状态尺度的状态号码作为最大似然状态信号 S707 进行输出，将新获得的状态尺度作为新的状态尺度信号 S703 进行输出。

现在以约束长度为 3 这种情形为例描述选择路径的方法。图 2 的格子示出具有四个状态 00、01、10 和 11 以及约束长度等 3 情形下的格子的例子。箭头指示每个时隙能够产生的路径。与译码数据“0”相应的路径由虚线所示。与译码数据“1”相应的路径由实线所示。两条连接的路径存在于每个时隙的所有状态中。因此，对于连接某个状态的两条路径中的每一条，将接收信号与该路径之间的汉明间距(分支尺度)与到目前为止的分支尺度的累加和(状态尺度)相加并且比较加法结果，根据比较结果选择具有较高似然的值。

正规化电路 703 使用一个方法进行正规化，从而从 ACS 电路 702 等所输出的新状态尺度信号 S703 中减去最小状态尺度，将经过正规化的值设定到预置范围内的一个值，并且作为正规化状态尺度信号 S704 进行输出。状态尺度存储电路 704 对从正规化电路 703 输出的正规化状态尺度信号 S704 进行存储，并且作为状态尺度信号 S705 将其返回到 ACS 电路 702。图 3 示出状态尺度存储电路 704 的结构例子。假设存储电路 704 具有四个寄存器，相应于图 2 格子中的四个状态。尽管四个寄存器中的每一个是一个图 3 所示的 5 位寄存器，但是也可以使用其他位数的寄存器。

因此，在说明本发明第一实施方式中的路径存储器电路 705 之前，为了便于理解，现在说明为了实现寄存器变换方法的一般路径存储器电路的结构。图 5 示出的路径存储器电路结构中，每个存储单元包括图 4 所示的选择器和寄存器，按照图 2 所示的格子排列。在图 5 中，存储单元由 MS 表示。在上述结构中，通过根据从 ACS 电路 702 输出的路径选择信息传送寄存器的内容，将与每个状态的存活路径相应的信息保留在每个存储单元的寄存器中。因此，实现了使用图 2 所示的格子作为先决条件的译码，也就是在具有四个状态且约束长度为 3 分割长度为 4 的情形下实现寄存器变换方法的译码。

在这种一般路径存储器电路中，存在一个问题，即在连续收到终止的卷积编码时不能进行严格的最大似然译码。下面详细说明这个问题。为了终止对卷积编码的编码，在输入了所有信息位之后，向编码器输入数 0 (约束长度-1) 的方法是已知的 (见图 6)。如上所述在预定时间点将编码器的状态全都设为 0 的过程称为“终止”。在开始编码之后在结束终止之前的时间数称为“终止长度”。

在对终止的卷积编码进行维特比译码的情形下，通过从全部为 0 的状态反向跟踪路径进行译码，能够获得最大似然路径。然而，在实际维特比译码装置中，在连续收到终止的卷积编码的情形下，通常利用普通操作进行译码。

然而，在这种译码方法中，当在终止卷积编码之后连续输入下一卷积编码时，存在一种不能进行严格的最大似然译码的情况。下面描述这种情况。在使用图 7 所示的约束长度为 3 的卷积编码器的情形下，现有考虑在编码终止之后顺序执行下一编码的情形。这种情形中格子的例子示于图 8A。图 8A 示出在从全部为 0 的状态反向跟踪路径而对终止间隔之后的编码进行译码从而获得最大似然路径的情形下所跟踪的格子。

现在考虑正确路径是全部为 0 的路径 (图 8B 中的 Pr) 的情形。在这种情形下，如果不考虑终止进行译码，则恐怕对图 8B 所示的错误路径 Pe 进行译码。这是因为对于错误路径 Pe，因为与全部为 0 的路径 Pr 的汉明距离小，为 6，所以被错误地设置为译码结果的概率相当高。

现在，假设对错误路径 P_e 错误地进行了译码，即使忽略了执行终止时间间隔中的译码位，在与发送信息有关的信息位中也包括一位错误。因为这个路径在固有的终止格子中并不存在，如果考虑到终止间隔进行严格的最大似然译码，则不产生这种译码错误。

图 9 示出在上述情况下考虑到终止间隔时进行最大似然译码的本发明第一实施方式中路径存储器电路 705 的结构。除了与每个状态相应设置的分割长度一样多的存储单元序列，路径存储器电路 705 还具有一个寄存器序列 102 和一个根据终止信息控制寄存器序列 102 的控制电路 101。

即，在与状态 00 相应的寄存器序列中第一级、第二级、第三级和第四级的选择器的输出分别输入到寄存器序列 102 中的寄存器 1021 和选择器 1022、1024 和 1026。前一级的寄存器 1021、1023 和 1025 的输出分别输入到选择器 1022、1024 和 1026。每个选择器 1022、1024 和 1026 输出一个数据，该数据响应于控制电路 101 的命令输入到后一级的寄存器。

通过根据从 ACS 电路 702 输入的每个状态的路径选择信息进行传送，将与每个状态的存活路径相应的信息存储到寄存器中。在终止接收字之前的间隔中，通过从最后级输出中选择最大似然状态的输出，选择与最大似然路径相应的信息，并且输出译码数据。在这个间隔中，例如，从控制电路向寄存器序列 102 输出“1”，还将与状态 0 相应的译码字存储到寄存器序列 102 中。

另一方面，当终止接收字时，将从控制电路 101 到寄存器序列 102 的信号例如切换为“0”，从而允许原样传送存储在寄存器序列 102 中的信息。利用最后级的选择电路 103，作为译码字原样输出寄存器序列 102 的输出。利用这种操作，在终止接收字时可以对到达状态 00 的路径进行译码。

在输出寄存器 102 内容时的间隔内，其他四个寄存器序列中的每一个重新开始相应于后继卷积编码的普通变换，将操作返回到普通译码，同时输出寄存器序列 102 的所有内容，将控制电路 101 的信号切换为“0”。在上述本发明的第一实施方式中，即使在连续输入终止的卷积编码的情形

下，在继续译码操作的同时可以对到达即将终止状态的路径进行译码。因此，也可以对终止编码进行严格的最大似然译码，能够改进译码错误率。

现在描述具有与本发明第一实施方式不同结构的路径存储器电路 805 的本发明第二实施方式。图 10 示出本发明第二实施方式中路径存储器电路 805 的结构。当进行约束长度为 3 分割长度为 4 的译码时，路径存储器电路 805 具有即使对于终止的接收字也进行严格的最大似然译码的功能。

在路径存储器电路 805 中，在与每个状态相应设置的分割长度一样多的存储单元的序列中，输入到与状态 00 相应的寄存器序列 203 中每个存储单元的选择器的信号受到控制电路的控制。即，设置了选择器 204、205、206 和 207，将路径选择信息和“0”输入到这些选择器中。响应于控制电路 201 的命令，每个选择器 204 至 207 向寄存器序列 203 中的每个存储单元的选择器输入路径选择信息与“0”中的一个，作为控制信号。

以下操作是利用这种结构实现的。即，在终止接收字之前的间隔中，作为控制信号向状态 00 的寄存器序列 203 给出路径选择信息，并且进行普通寄存器变换。在最后级的输出中，通过选择最大似然状态的输出，选择与最大似然路径相应的信息，并且输出译码数据。另一方面，在终止接收字的时钟，进行控制，使得选择器 204 至 207 给出“0”，作为状态 00 的寄存器序列 203 的控制信号。原样传送这个时钟的存储内容。

在下一时钟，选择器 204 将路径选择信息给到第一级的存储单元的选择器，选择 205 至 207 将“0”给到第二至最后一级的存储单元的选择器。又在下一时钟，选择器 204 和 205 将路径选择信息给到直到第二级的存储单元的选择器。选择器 206 和 207 将“0”给到第三至最后一级的存储单元的选择器。以类似于上述的方式，控制信号被顺序切换与分割长度相应的信号次数。在终止时，直至完成输出状态 00 的寄存器序列中所存储的译码字，最后级的选择电路 202 产生状态 00 的输出，作为译码数据。

在完成输出状态 00 的寄存器序列中所存储的译码字之前的时间周期内，路径存储器执行后续输入的卷积编码的普通操作。因此，在结束终止

编码的译码的同时，可以将操作返回到普通译码。

如上所述，同样在本发明的第二实施方式中，即使连续输入终止的卷积编码，在继续译码操作的同时也可能对到达即将终止状态的路径进行译码。

以上本发明的第一和第二实施方式与作为先决条件的寄存器变换方法相关。在连续输入终止的卷积编码的情形下能够产生的译码错误也同样成为维特比译码装置在执行反向跟踪方法时的问题。因此，现在描述为了解决反向跟踪方法中的这一问题的本发明的第三实施方式。为了便于理解，首先描述迄今已被使用的一般反向跟踪方法。

现在以约束长度等于 3 这种情形为例描述反向跟踪方法中的主要跟踪操作。在图 11 中，考虑从状态 01 跟踪的情形。具有变换到状态 01 的可能性的状态为状态 00 和状态 10。当选择了状态 00 侧的路径时，已经将“0”存储到了路径存储器中。当选择了状态 10 侧的路径时，已经将“1”(即先前状态的最高有效位)存储到了路径存储器中。

甚至在从任何状态变换的情形下，输入为 1，将其表示为状态 01 的最低有效位。通过以上描述，足以如下执行跟踪操作。即，如图 12 所示，用于开始跟踪的跟踪起始状态的最低有效位被用作译码位。通过新增加路径存储器中的这一位，作为跟踪起始状态的最高有效位到第二最低位范围的最高有效位，形成后序跟踪到跟踪起始状态的下一跟踪状态的号码。通过这种操作，能够从具有最小状态尺度的状态跟踪所选择的路径。

为了使维特比译码装置高速工作，必须每个时钟仅执行一次对 RAM 的访问。现在描述这种情形，其中使用了具有四个单端口存储器的路径存储器电路，以便通过一次访问对每个 RAM 进行译码。在以下描述中，将编码的约束长度为 3 分割长度为 4 作为先决条件。在这种情形下所使用的路径存储器电路，是一个具有四个单端口 RAM 的路径存储器电路，每个 RAM 具有与状态数一样多的位数(该情形下为 4 位)以及与分割长度一般多的字数(该情形下为 4 个字)。

每个时钟，从 ACS 电路 702 向路径存储器电路输入与状态数一样多的路径选择信息。对于四个 RAM，与分割长度相应的每个时钟(该情形

下为四个时钟)对以下四个作用(1)至(4)顺序切换(参见图 13)。根据这种操作的对四个 RAM 中的每一个的操作的例子示于图 14。

- (1) 顺序写入路径选择信息。
- (2) 根据写入的路径选择信息顺序执行跟踪。不进行译码。
- (3) 无访问。
- (4) 从(2)中的跟踪结果顺序执行跟踪，并且输出译码位。

反向跟踪方法进行的译码是利用路径存储器电路的结构和操作实现的。

现有描述在如上所述的进行反向跟踪方法的维特比译码装置中，为了解决与卷积编码的终止有关的前述问题的本发明的第三实施方式。图 15 示出本发明第三实施方式中的路径存储器电路 905 的结构。路径存储器电路 905 是一种利用反向跟踪方法进行译码的路径存储器电路，在对约束长度为 3 终止长度为 16 的编码进行(分割长度)=(终止长度/4)=4 的译码时的情形下，使用了四个四位四字的单端口 RAM。现在假设将路径选择信息写入 RAM 的起始时间点与编码的起始时间点匹配。

对于 RAM 30、31、32 和 33，写入 ACS 电路输入的路径选择信息 S302 和读出存储的路径选择信息是响应于控制电路 301 形成的控制信号 S303 进行的，并且将读取的路径选择信息 S304、S305、S306 和 S307 输入到控制电路 301 中。在类似于常规的方式，通过切换以下作用执行接收字终止之前的存储器操作：

- (1) 顺序写入路径选择信息。
- (2) 根据写入的路径选择信息顺序执行跟踪。不进行译码。
- (3) 无访问。
- (4) 从(2)中的跟踪结果顺序执行跟踪，并且输出译码位。

在对终止间隔进行译码时，执行作用(4)的 RAM 从状态 00 而不是从(2)的跟踪结果开始跟踪，并且进行译码。因此，控制电路 301 根据终止信号 S301 切换每个 RAM 的操作。因为编码的起始时间点与写入 RAM 的起始时间点匹配，并且存在一种关系使得分割长度等于终止长度的 1/4，所以完成终止的时序与开始跟踪的时序吻合。即使在对终止的间隔

进行译码期间，也执行部分(2)的跟踪，以对下一间隔进行译码。因此，在结束终止编码的译码的同时，可以将操作返回到普通译码操作。

(4)中跟踪所译码的信号 S308 被输入到一个输出缓冲器 302，并且根据固有时间序列的顺序重新安排。此后，作为译码位信号 S309 进行输出。如上所述，同样在本发明的第三实施方式中，即使连续输入终止的卷积编码，在继续译码操作的同时也可能对到达即将终止状态的路径进行译码。

本发明的前述第一、第二和第三实施方式目的在于解决与路径存储器电路中的终止有关的问题。另一方面，现在描述能够解决与状态尺寸存储电路中的终止有关的问题的本发明的第四实施方式。本发明第四实施方式的整体结构与上述本发明的第一实施方式等类似。本发明第四实施方式中的状态尺度存储电路 1004 的结构示于图 16。状态尺度存储电路 1004 是在对约束长度为 3 的编码进行译码时设置分支尺度为 4 位及状态尺度为 5 位的情形下的状态尺度的存储电路。

在用于存储到达状态 00、01、10 和 11 的路径的状态尺度的四个寄存器的前级，设置了选择器 401、402、403 和 404。从正规化电路向每个选择器输入正规化的状态尺度的值。还将 0 值输入到与状态 00 相应的寄存器 401 中。还将值 31(由 5 位表示的最大值)输入到与其他状态相应的选择器 402 至 404。将终止信息输入到选择器 401 至 404，并且每个选择器根据终止信息输出状态尺度以及值 0 和 31 中的一个。对值 31 进行剪取，使得状态尺度在 ACS 电路 702 中不溢出。

在状态尺度存储电路 1004 中，在终止接收字之前的时间周期内，选择器 401 至 404 分别向后一级的寄存器输出状态尺度值。这样，进行普通译码操作，使得顺序更新状态尺度，并且输出分割长度之前的译码数据。另一方面，当终止接收字时，每个选择器向后一级的每个寄存器输出除了状态尺度值之外的值。

因此，状态 00 的状态尺度被初始化为 0，其他状态的状态尺度被初始化为 31。因为每个时钟的分支尺度由四位组成，如图 17 所示，所以周期 P51 和 P52 中的分支尺度值等于或小于 15(由 4 位表示的最大值)，在新卷积编码开始之后的两个时钟中的一个时间周期内(即周期 P51 和 P52

之后), 用作为起始点的状态 00 中的路径的尺度数等于或小于 30。这样, 确定选择了状态 00 的路径。

即使以类似于普通译码操作的方式执行后续操作, 并且利用相应于分割长度的间隔进行反向跟踪而执行译码, 对于进行终止时的时序的译码, 也能够从经过状态 00 的路径中确定地选择最大似然路径。甚至在上述本发明的第四实施方式中, 当同样连续输入终止的卷积编码时, 在继续译码操作的同时也能够对到达即将终止状态的路径进行译码。

尽管已经相对于约束长度为 3 分割长度为 4 的情形描述了上述本发明的第一实施方式和其他实施方式, 但是本发明能够适用于约束长度和分割长度为任意值的情形。

如上所述, 本发明目的在于在考虑到接收字的终止间隔时进行维特比译码。所以, 可以对终止的卷积编码进行最大似然译码。

在参照附图描述了本发明的具体的较佳实施方式之后, 应理解到本发明不限于那些具体的实施方式, 本领域内熟练的技术人员可以做出各改变和修改, 而不背离如权利要求书限定的本发明的范围和实质。

图 1

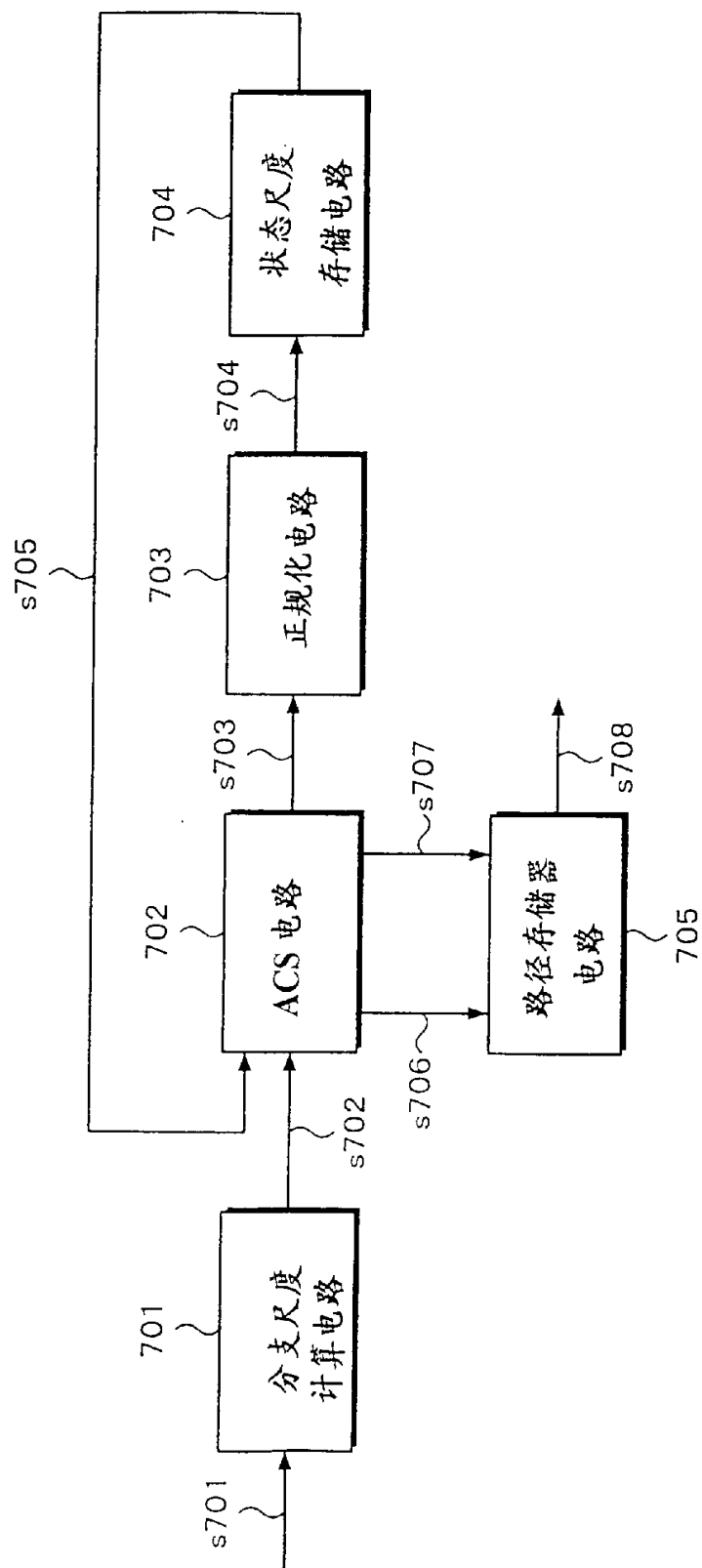


图 2

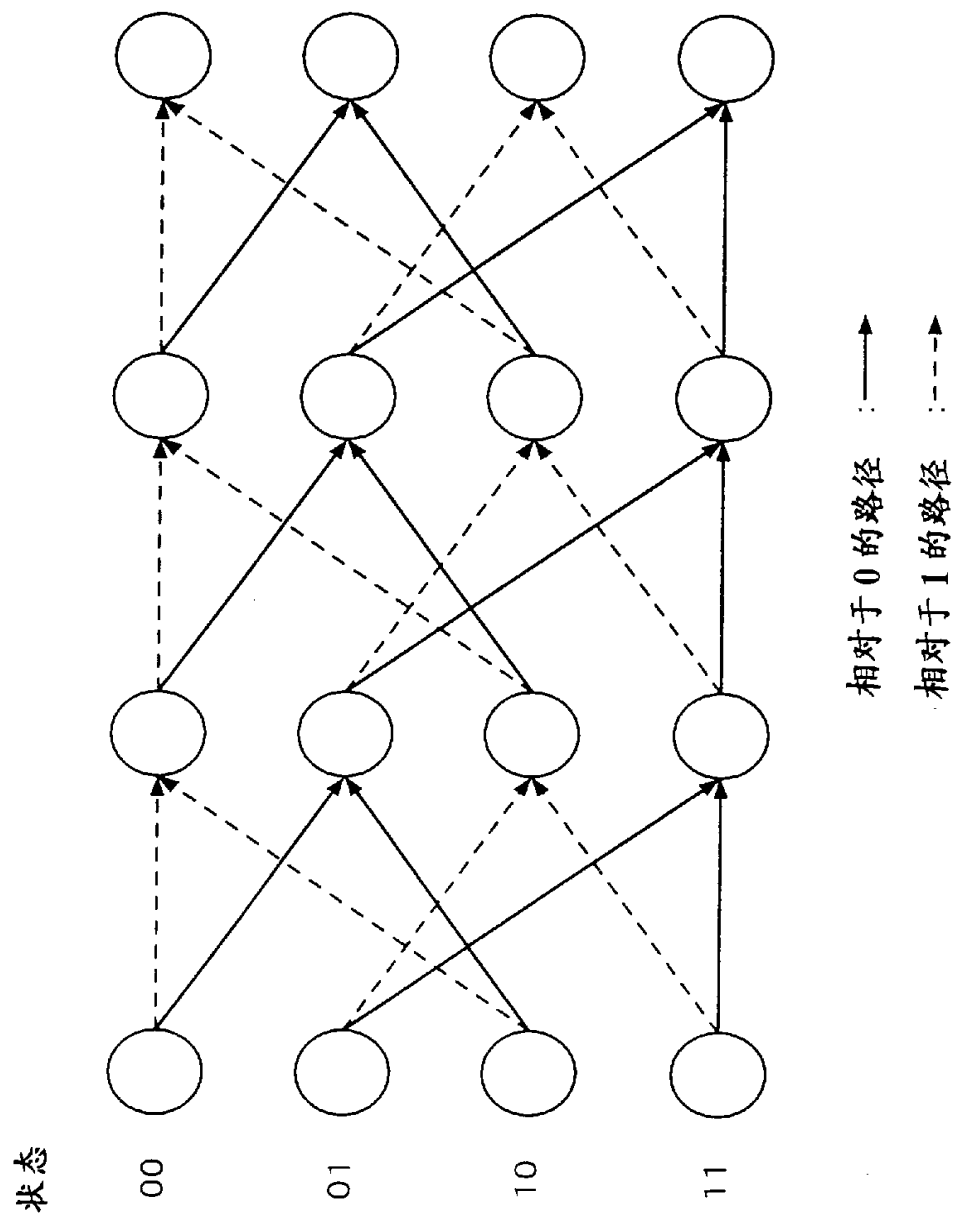


图 3

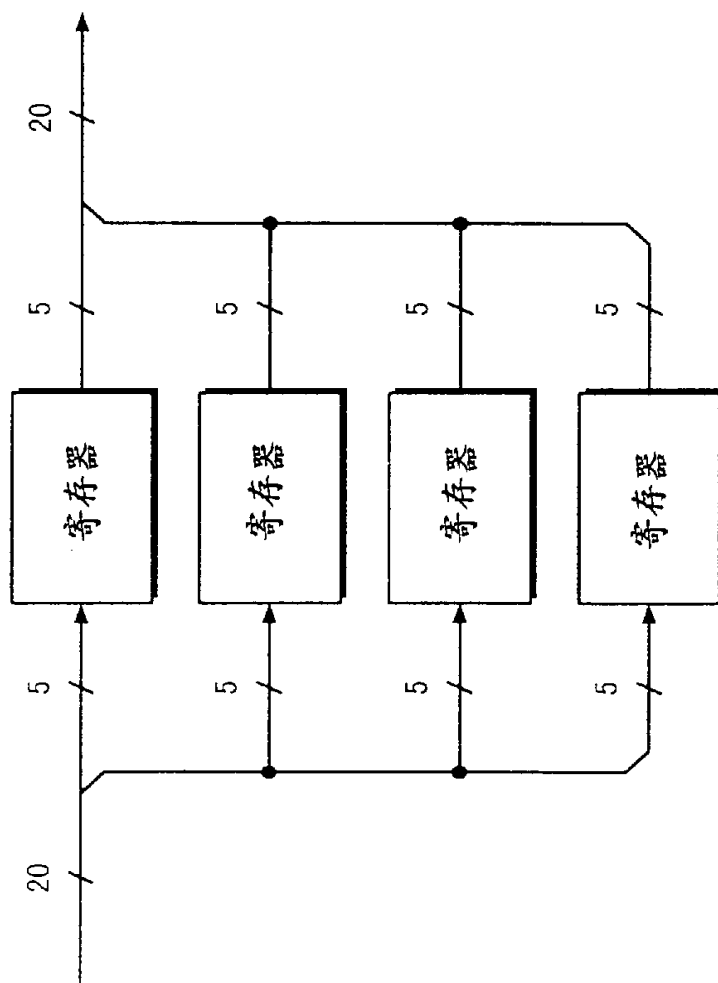


图 4

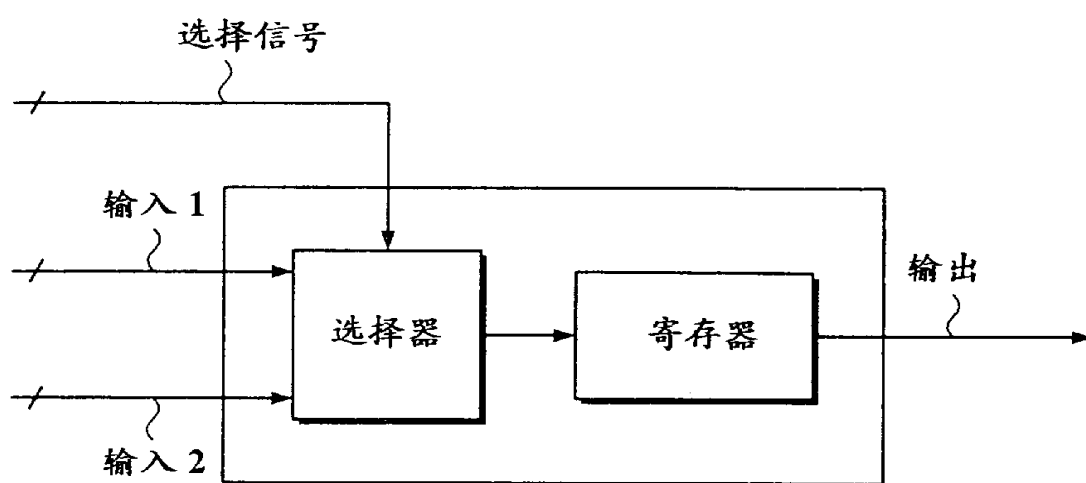


图 5

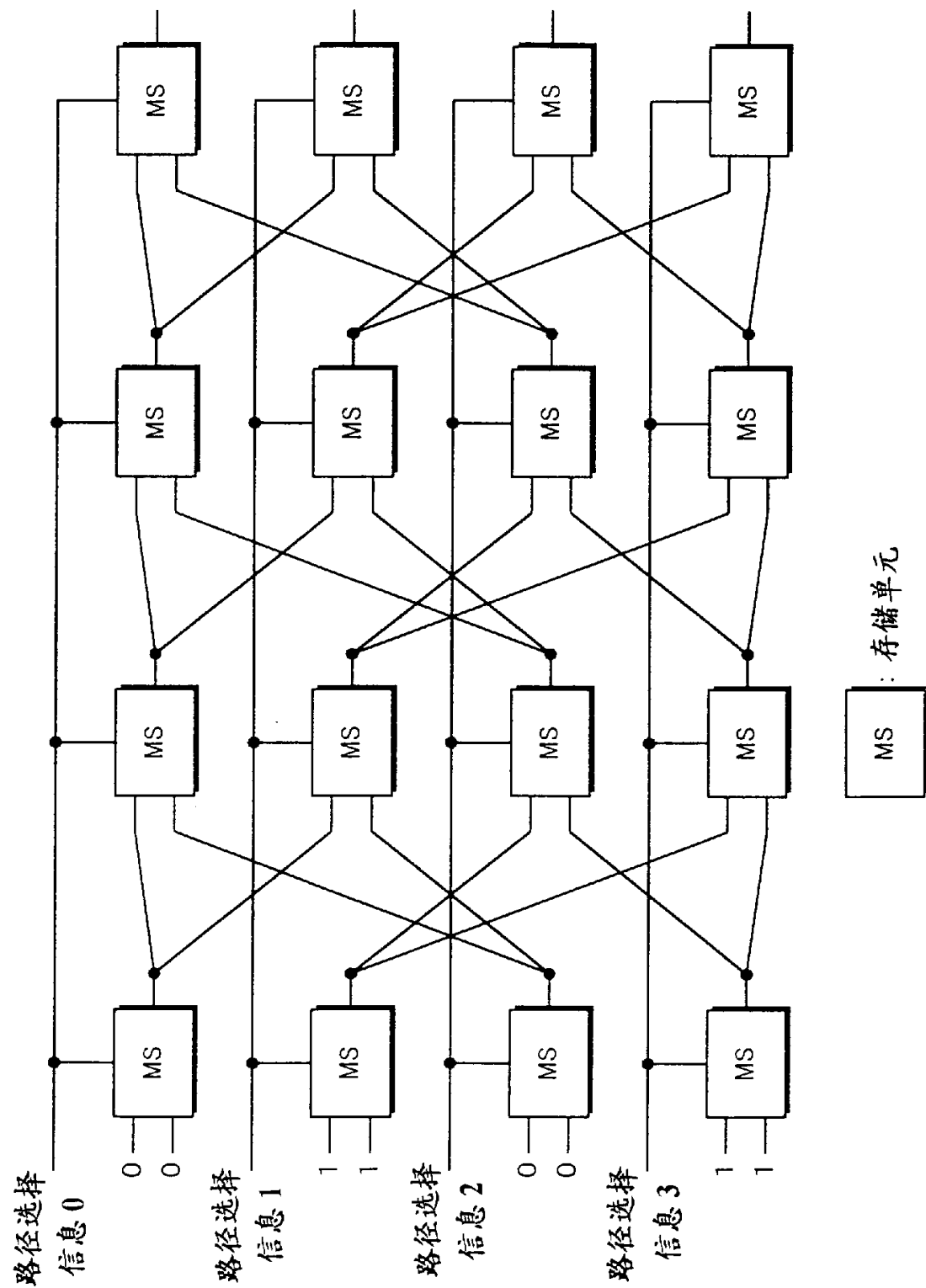
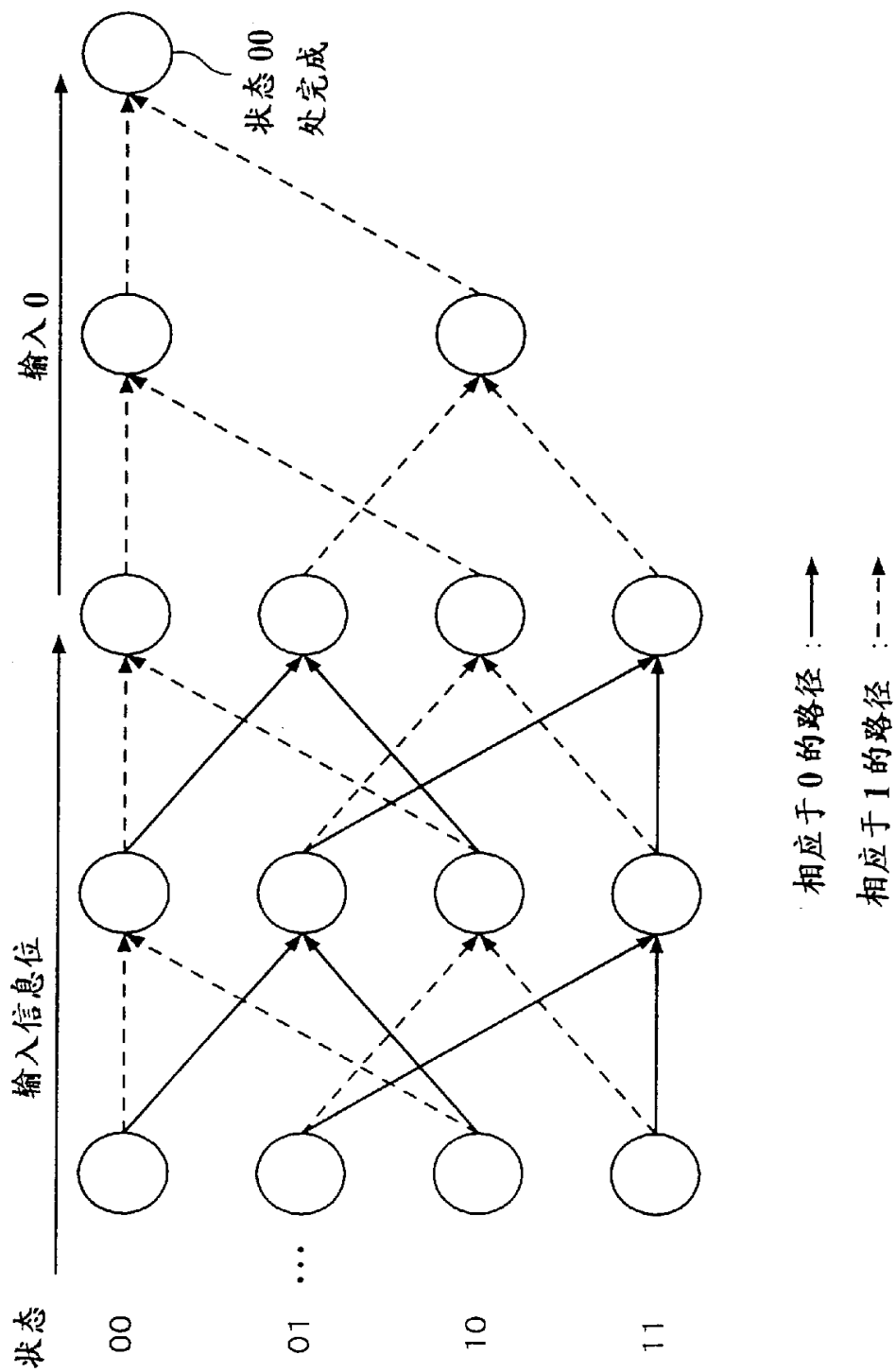


图 6



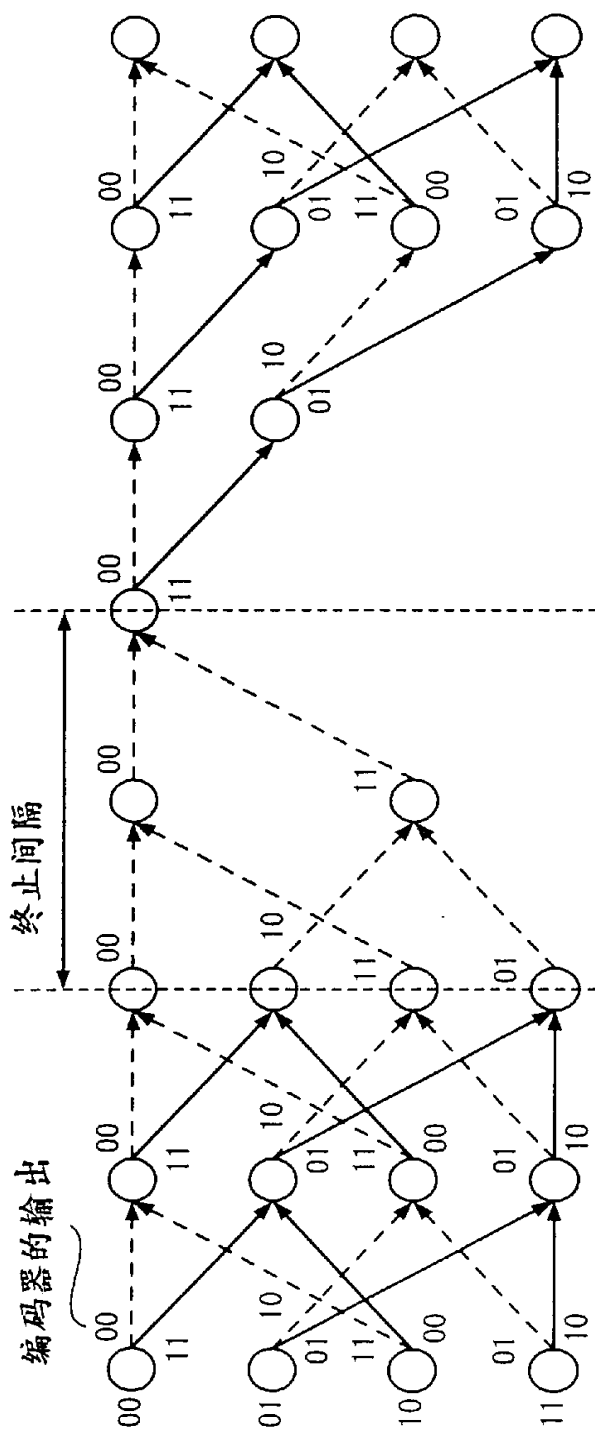


图 8A

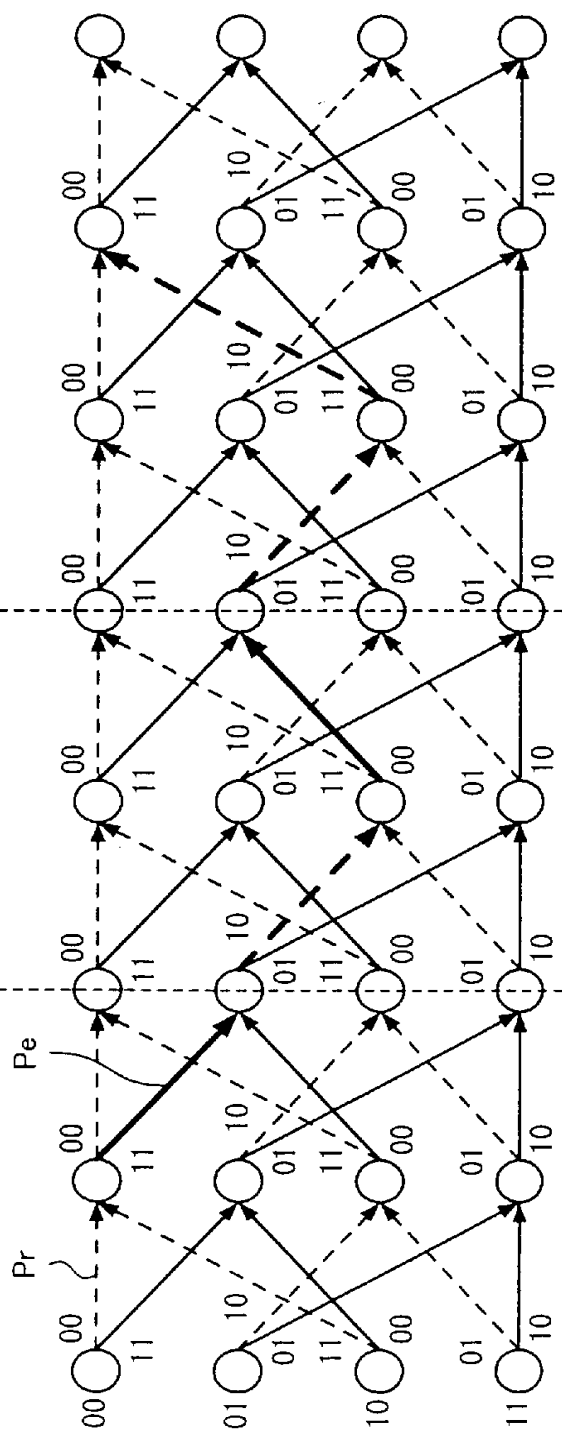


图 8B

图 9

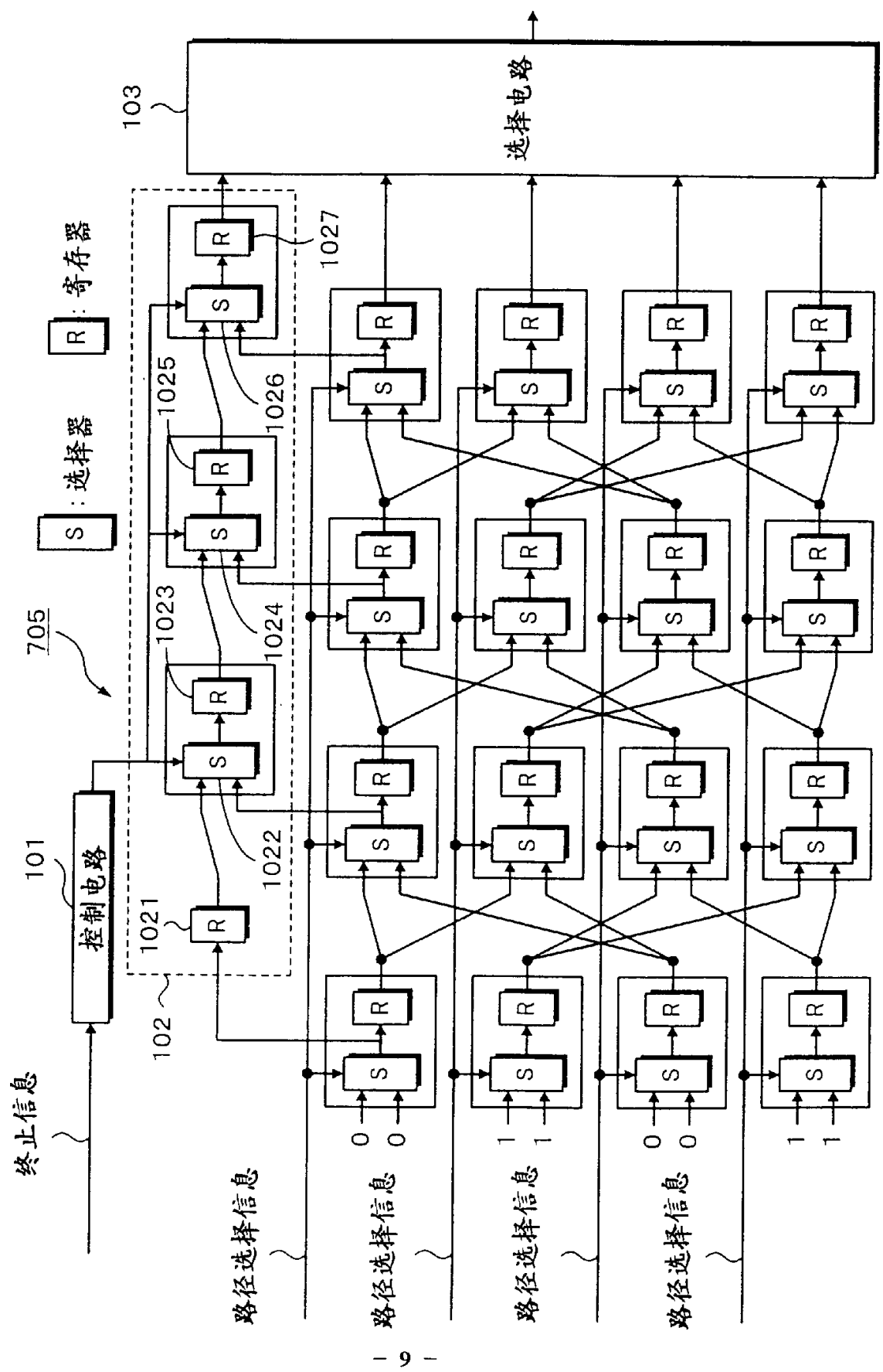


图 10

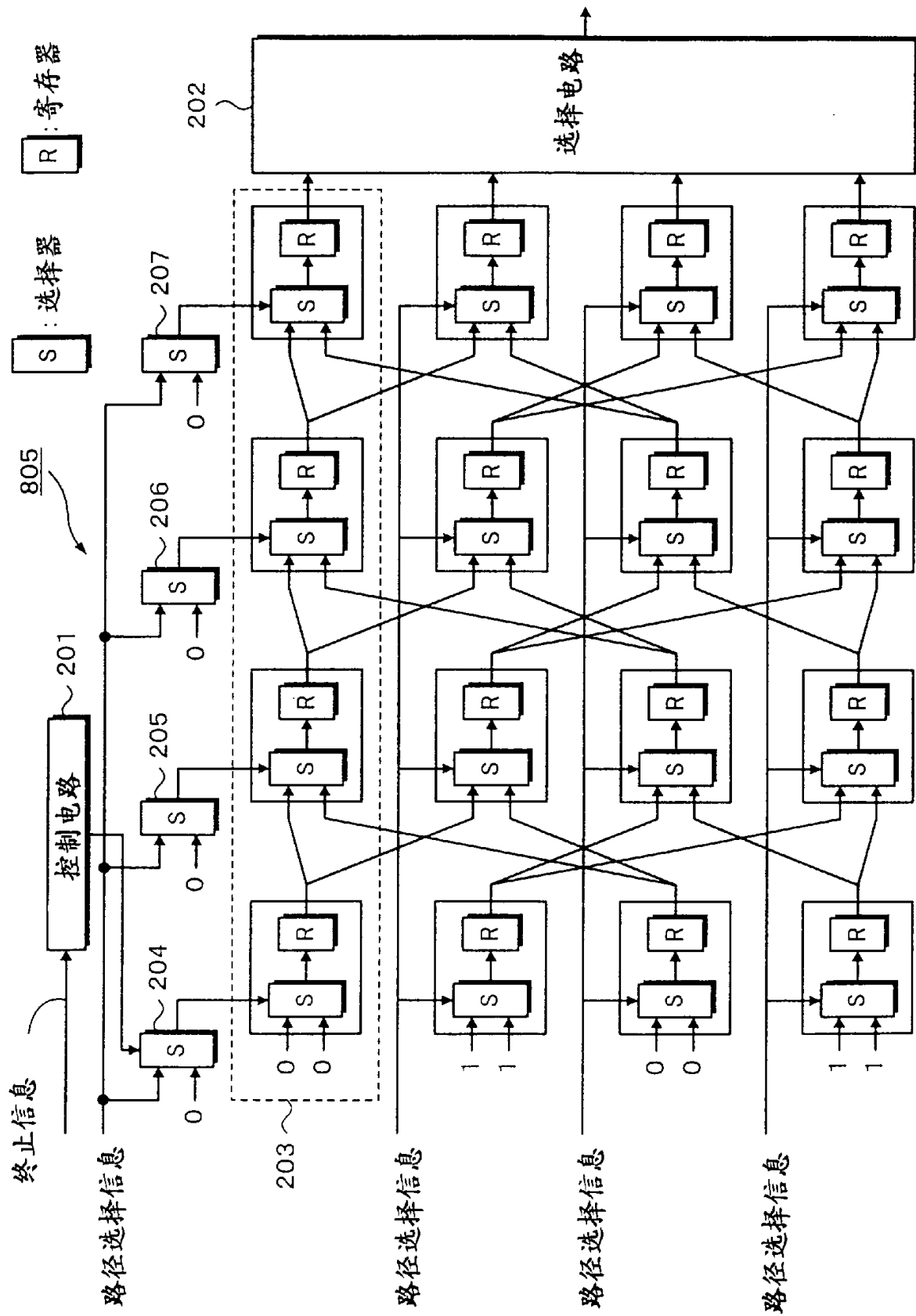


图 11

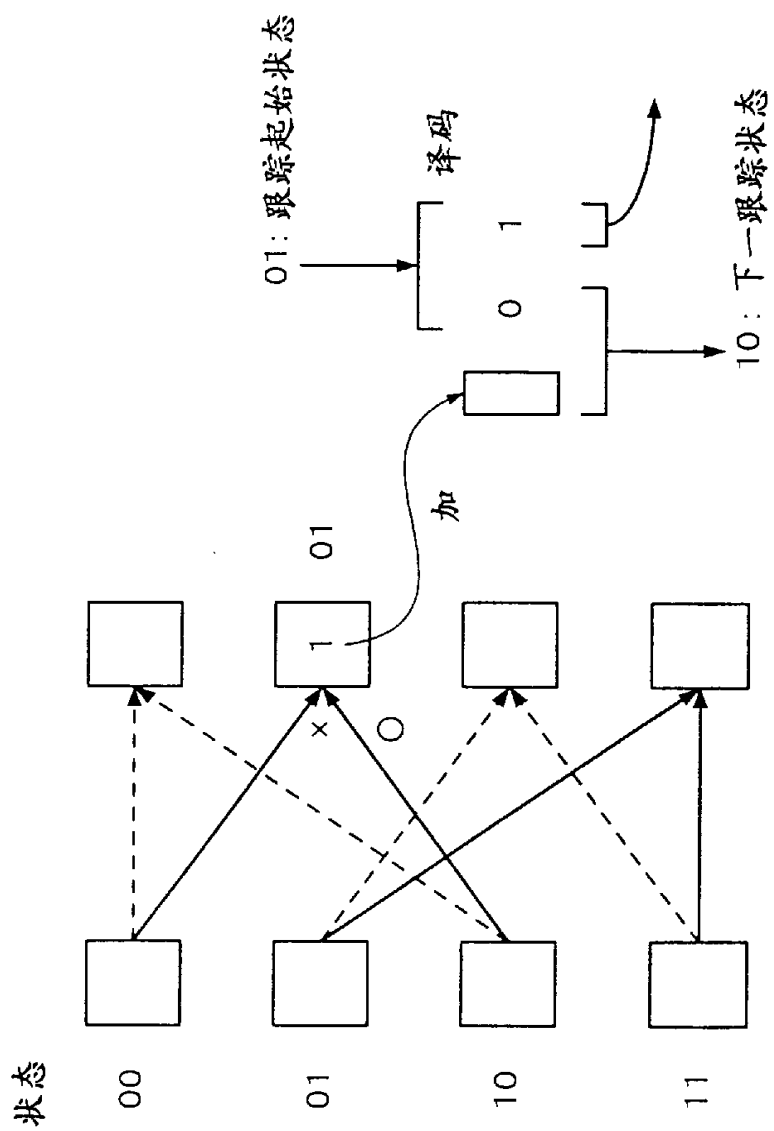


图 12

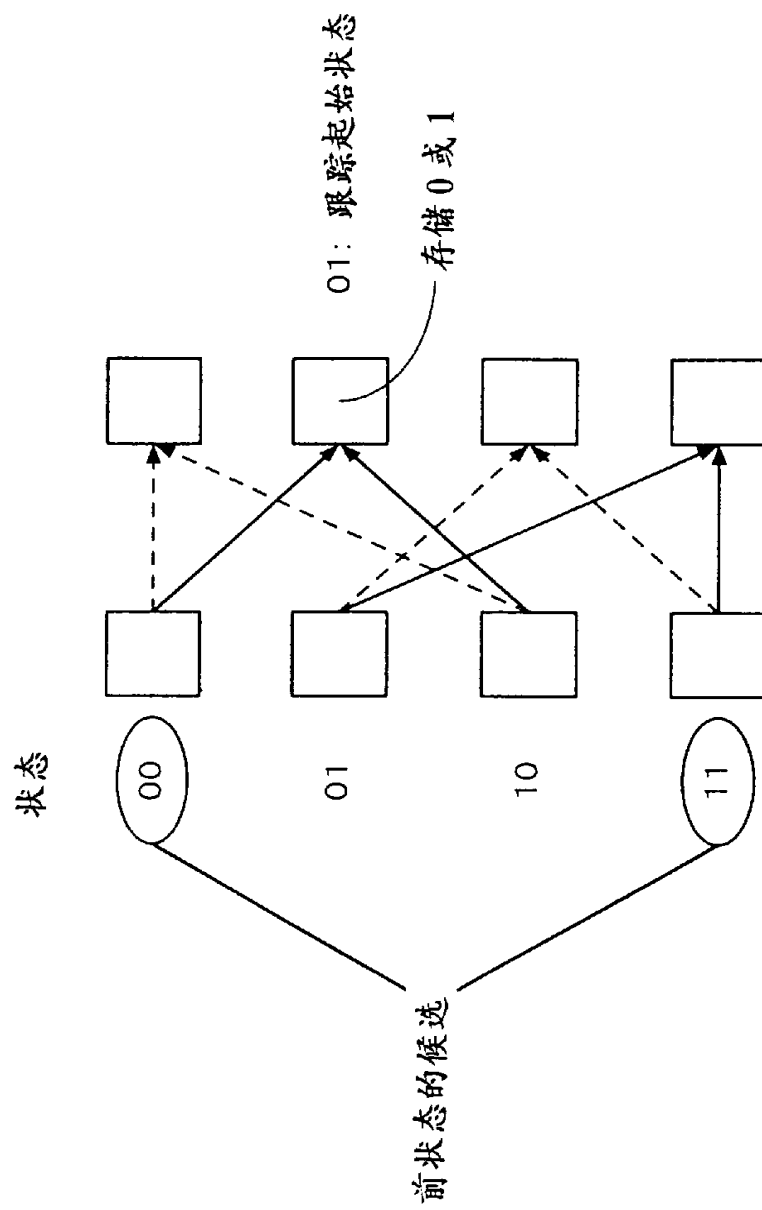


图 13

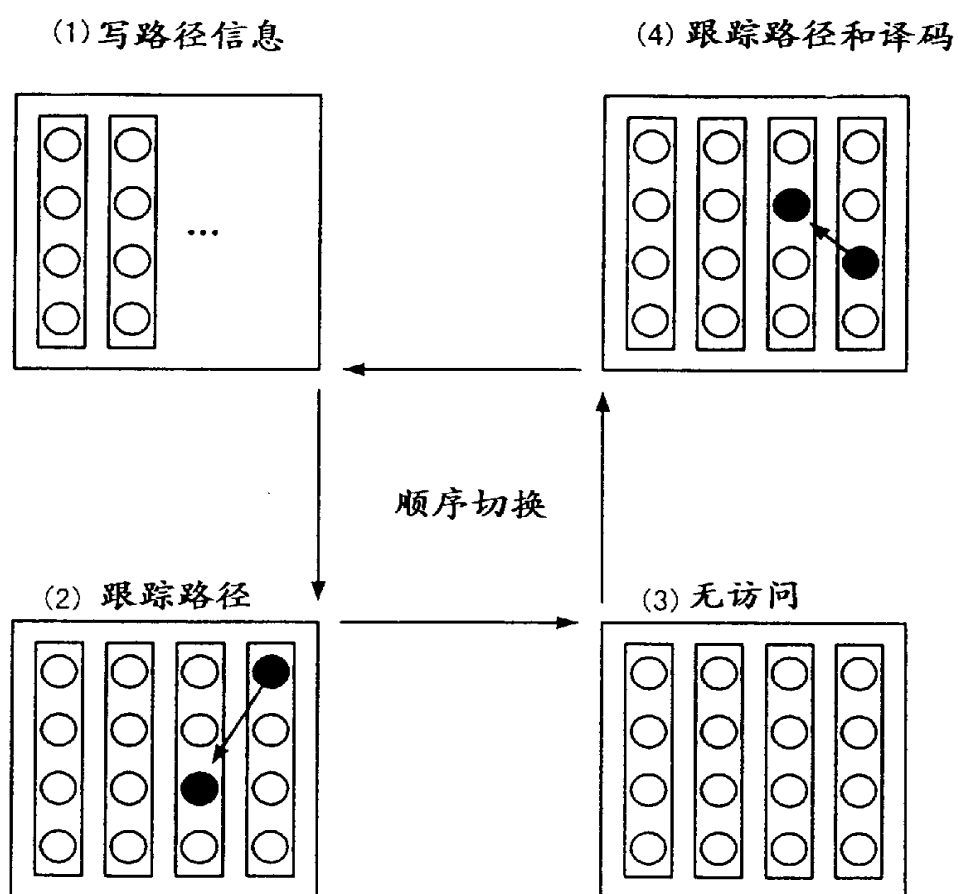


图 14

时间

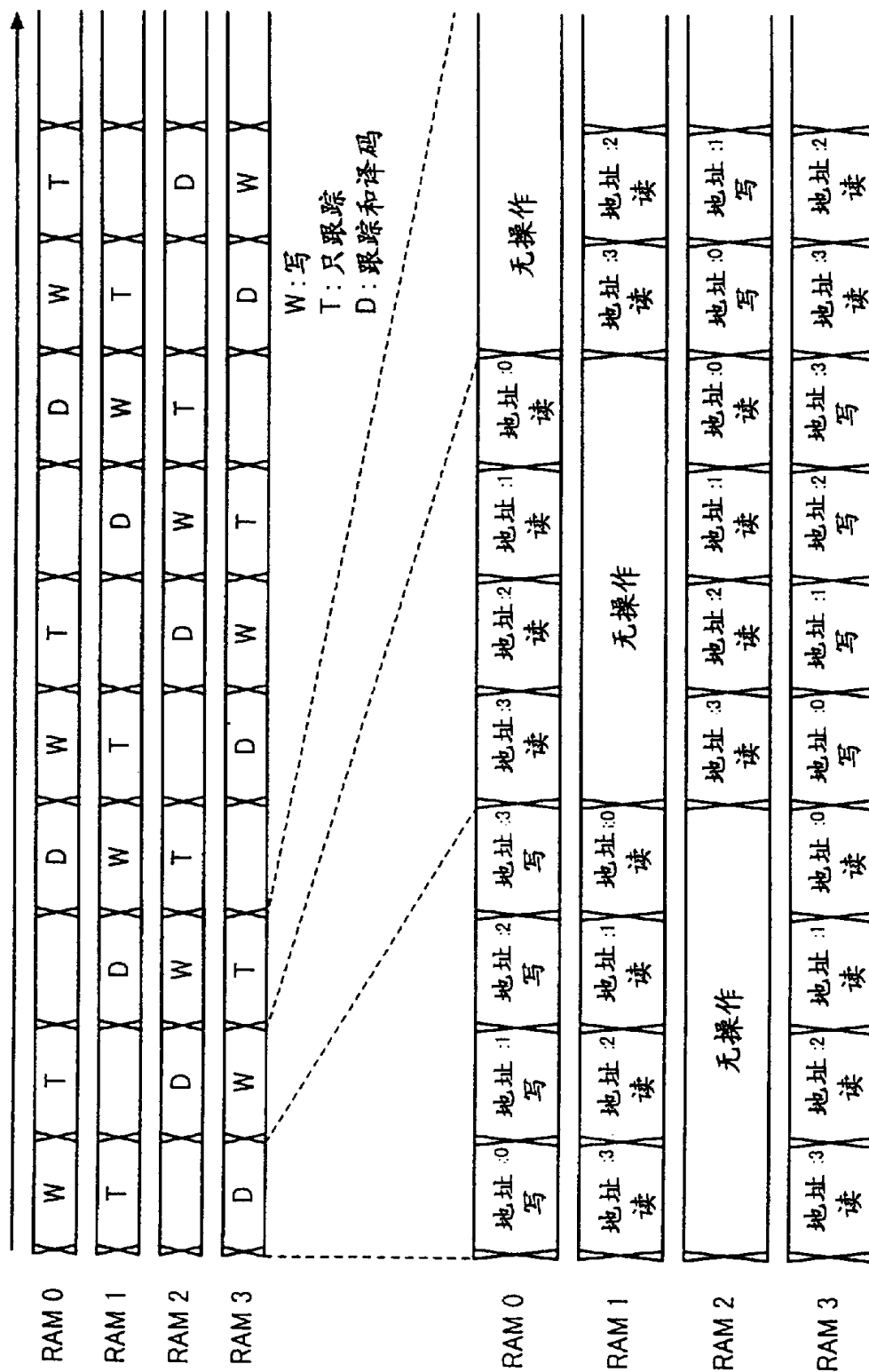


图 15

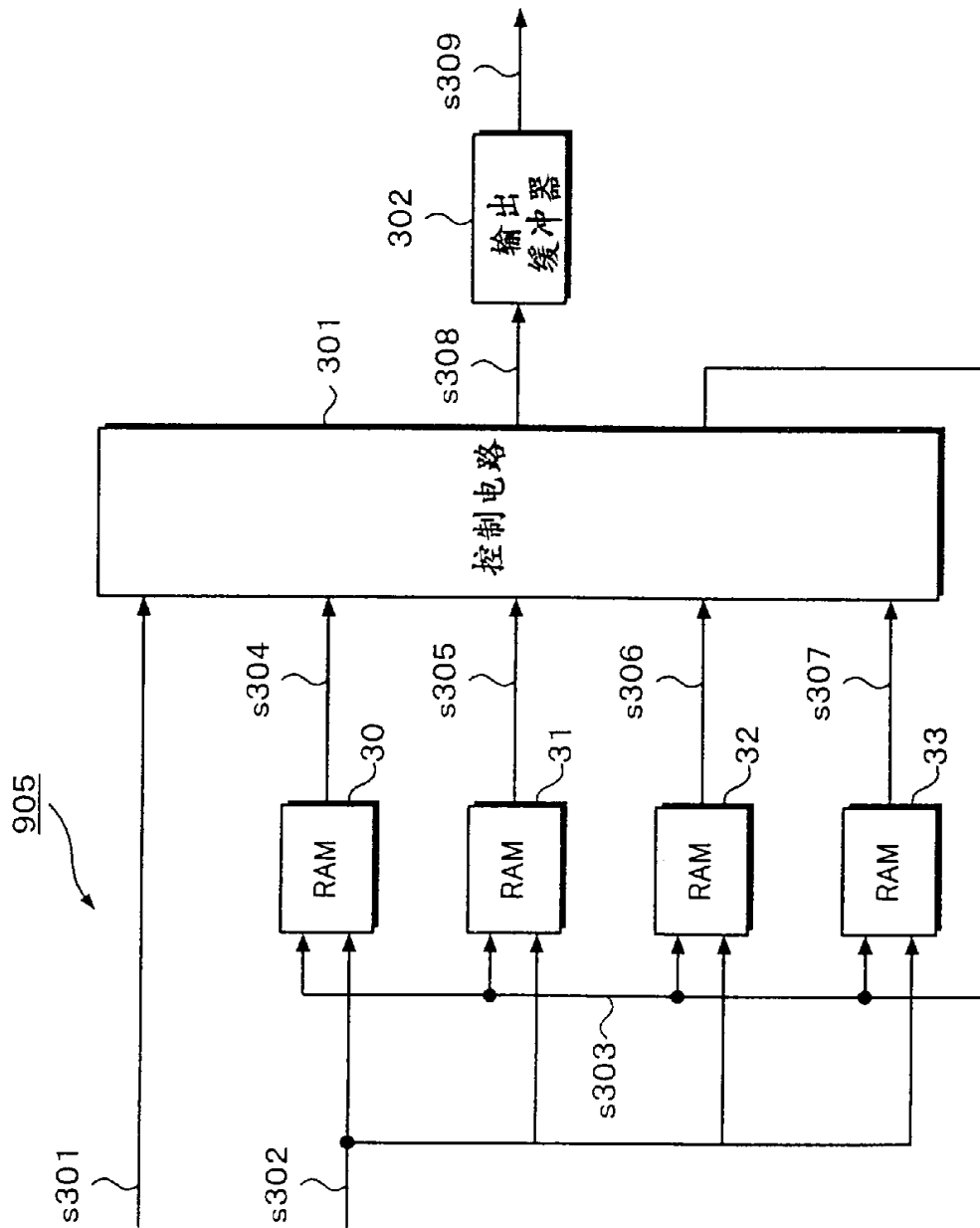


图 16

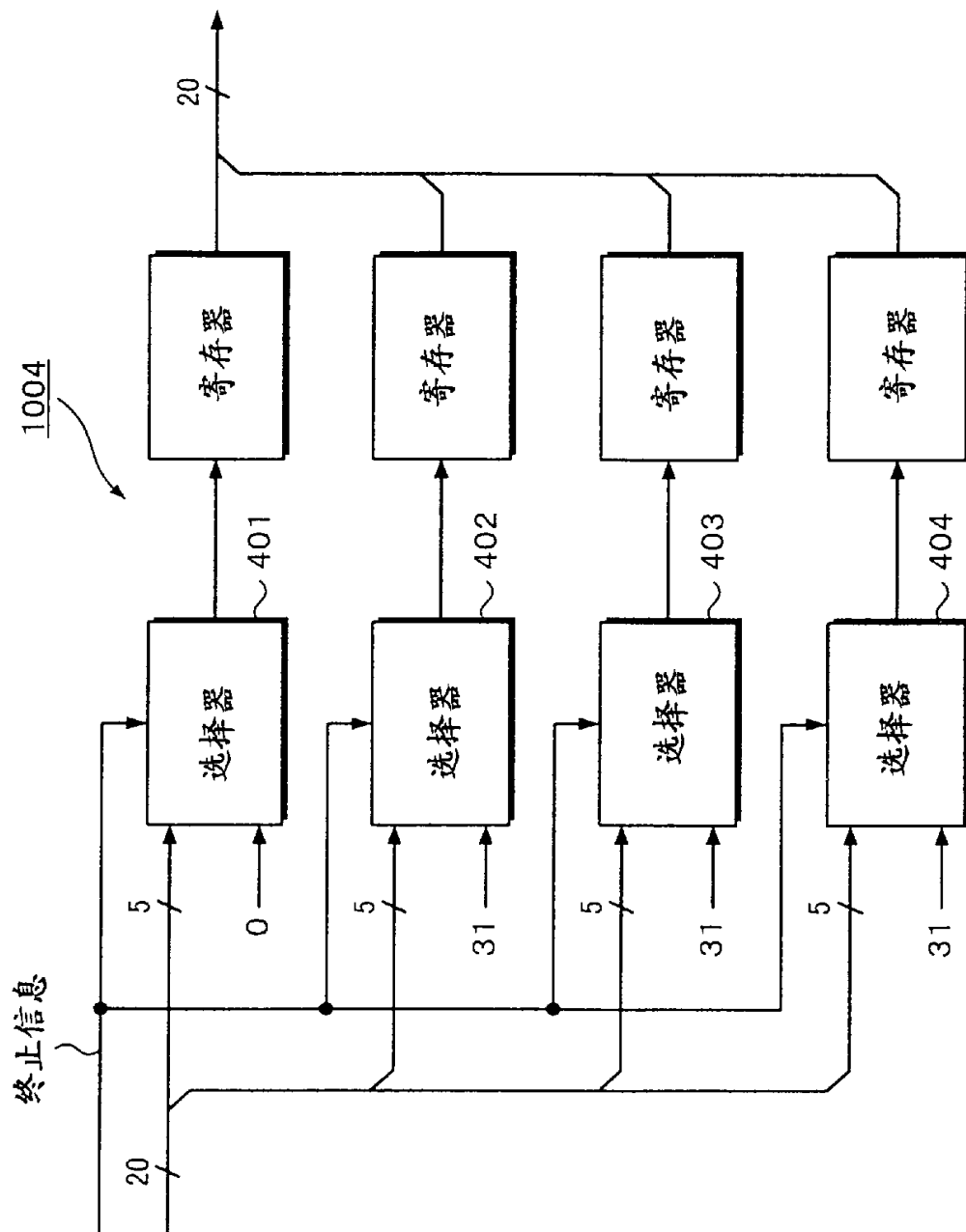


图 17

