



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

224271

(11) (B1)

(22) Přihlášeno 04 02 81
(21) (PV 818-81)

(51) Int. Cl.³
H 02 P 9/30

(40) Zveřejněno 25 02 83
(45) Vydáno 15 12 85

(75)
Autor vynálezu

ŠKOPEK JAROSLAV ing. CSc., BOREK JOSEF ing., PRAHA

(54) Zapojení pro číslicové řízení výkonu

1

Vynález se týká zapojení pro číslicové řízení výkonu, zvláště většího počtu spotřebičů, např. servomotorů, krokových motorů s interpolací spod.

Dosud se podobná zařízení řešila buď hybridními obvody analogově číslicovými nebo sekvencními logickými obvody, separátně pro každý spotřebič. Ke každému motoru byla tedy dodávána zvláštní přídatná ovládací zařízení, čímž docházelo k narůstání počtu typů ovládacích zařízení a jejich cena.

Tyto nevýhody odstraňuje zapojení podle vynálezu, jehož podstata spočívá v tom, že výstup oscilátoru je připojen na vstup čítače, přičemž čtvrtý výstup čítače je zapojen na vstup prvního invertujícího součinného hradla, jehož výstup je zapojen jednak přes první budič na první vodič sběrnice, jednak na první vstup druhého invertujícího součinného hradla, jednak na druhý vstup třetího invertujícího součinného hradla a jednak na třetí vstup čtvrtého invertujícího součinného hradla. Třetí výstup čítače je spojen s druhým vstupem druhého invertujícího součinného hradla, jehož výstup je zapojen jednak přes druhý budič na druhý vodič sběrnice, jednak na první vstup třetího invertujícího součinného hradla a jednak na druhý vstup čtvrtého invertujícího součinného hradla.

Druhý výstup čítače je spojen s třetím vstupem třetího invertujícího součinného hradla, jehož výstup je zapojen jednak přes třetí budič na třetí vodič sběrnice a jednak na první vstup čtvrtého invertujícího součinného hradla. První výstup čítače je spojen se čtvrtým vstupem čtvrtého invertujícího součinného hradla, jehož výstup je zapojen přes čtvrtý budič na čtvrtý vodič sběrnice.

Jednotlivé vodiče sběrnice jsou spojeny s řídicími vstupy logického obvodu, jehož datové vstupy jsou spojeny s datovými výstupy pevné paměti, obsahující adresové vstupy. Výstup logického obvodu je spojen jednak přes první urychlovací obvod se vstupem prvního spínacího tranzistoru a jednak přes invertor v sérii s druhým urychlovacím obvodem se vstupem druhého spínacího tranzistoru. Zátěž je zapojena mezi kolektory prvního a druhého spínacího tranzistoru a střední vývod zátěže je zapojen na napájecí svorku.

Zapojení podle vynálezu vytváří sběrnicový systém s jednoduchými kombinačními obvody pro řízení každé zátěže, čímž je možno zúžit počet ovládacích obvodů na jeden společný pro všechny spotřebiče, např. servomotory, krokové motory s interpolací apod.

Na výkresu je znázorněno schéma zapojení pro případ čtyř invertujících součinnových hradel. Výstup oscilátoru 1 je připojen na vstup čítače 2. Čtvrtý výstup D čítače 2 je zapojen na vstup prvního invertujícího součinnového hradla 31, jehož výstup je zapojen jednak přes první budič 41 na první vodič sběrnice 5, jednak na první vstup druhého invertujícího součinnového hradla 32, jednak na druhý vstup třetího invertujícího součinnového hradla 33 a jednak na třetí vstup čtvrtého invertujícího součinnového hradla 34. Třetí výstup C čítače 2 je spojen s druhým vstupem druhého invertujícího součinnového hradla 32, jehož výstup je zapojen jednak přes druhý budič 42 na druhý vodič sběrnice 5, jednak na první vstup třetího invertujícího součinnového hradla 33 a jednak na druhý vstup čtvrtého invertujícího součinnového hradla 34.

Druhý výstup B čítače 2 je spojen s třetím vstupem třetího invertujícího součinnového hradla 33, jehož výstup je zapojen jednak přes třetí budič 43 na třetí vodič sběrnice 5 a jednak na první vstup čtvrtého invertujícího součinnového hradla 34. První výstup A čítače 2 je spojen se čtvrtým vstupem čtvrtého invertujícího součinnového hradla 34 a jeho výstup je zapojen přes čtvrtý budič 44 na čtvrtý vodič sběrnice 5. Jednotlivé vodiče sběrnice 5 jsou spojeny s řídicími vstupy logického obvodu 8, na jehož datové vstupy jsou přivedeny datové výstupy pevné paměti 7, obsahující adresové vstupy 6. Výstup logického obvodu 8 je spojen jednak přes první urychlovací obvod 10 se vstupem prvního spínacího tranzistoru 11 a jednak přes invertor 9 v sérii s druhým urychlovacím obvodem 14 se vstupem druhého spínacího tranzistoru 13.

Mezi kolektory prvního a druhého spínacího tranzistoru 11, 13 je zapojena zátěž 12, jejíž střední vývod je zapojen na napájecí svorku 20.

Zapojení pracuje takto:

Oscilátor 1 budí cyklicky pracující čítač 2 a jeho výstupní signály D', C', B', A', jsou přivedeny na invertující součinnová hradla 31, 32, 33, 34 a budiče 41, 42, 43, 44, přičemž na výstupech budičů jsou signály Y_D , Y_C , Y_B , Y_A , pro něž platí:

$$Y_D = D'$$

$$Y_C = C' \bar{Y}_D = C' \bar{D}'$$

$$Y_B = B' \bar{Y}_C \bar{Y}_D = B' \bar{D}' \bar{C}' \bar{D}' = B' \bar{C}' \bar{D}'$$

$$Y_A = A' \bar{Y}_B \bar{Y}_C \bar{Y}_D = A' \bar{B}' \bar{D}' \bar{C}' \bar{D}' = A' (B' + \bar{D}' \bar{C}') (\bar{C}' + D') \bar{D}' = A' \bar{B}' \bar{C}' \bar{D}'$$

Signály Y_A až Y_D nejsou ani dva současně rovny logické jednotce a pro střední hodnoty jejich napěťových úrovní platí:

$$M(Y_D) = 1/2$$

$$M(Y_C) = 1/4$$

$$M(Y_B) = 1/8$$

$$M(Y_A) = 1/16,$$

kde napěťová úroveň logické jednotky se považuje za jednotkovou. Tudiž střední hodnota napěťové úrovně logické kombinace těchto signálů bude rovna lineární kombinaci středních hodnot jejich napěťových úrovní.

$$M(\sum k'_i Y_i) = \sum k'_i M(Y_i),$$

kde index $i \in \{A, B, C, D\}$, k_i jsou logické signály na výstupu pevné paměti Z

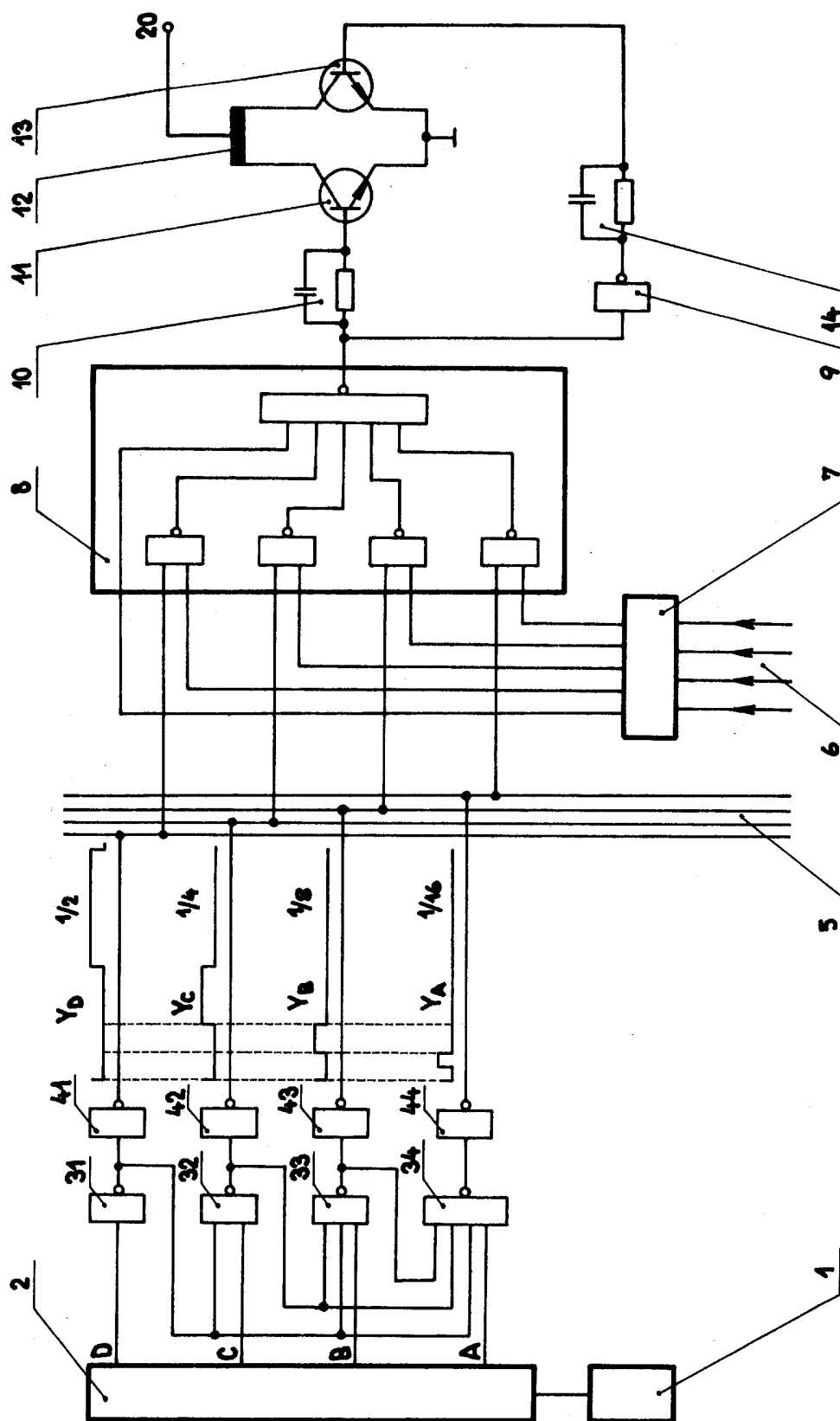
a $k'_i \in \{0, 1\}$ jsou jim přiřazené číselné hodnoty. Zapojení je možno rozšířit na n hradel a rozlišovací schopnost napěťové úrovně je 2^{-n} .

Zapojení podle vynálezu může být použito pro řízení výkonu např. servomotorů, krokových motorů s interpolací apod. Tohoto zapojení je možno použít např. pro měření rozměrů keramických výrobků pomocí číselníkového úchylkoměru ovládaného krokovým motorem, kde zvětšením počtu kroků krokového motoru umožňuje zvýšení přesnosti měření.

PŘEDMĚT VYNÁLEZU

Zapojení pro číslicové řízení výkonu, sestávající z oscilátoru, čítače, invertujících součinných hradel, invertujících budičů, sběrnice, pevné paměti, logického obvodu, spínacích tranzistorů a zátěže, vyznačené tím, že výstup oscilátoru (1) je připojen na vstup čítače (2), přičemž čtvrtý výstup (D) čítače (2) je zapojen na vstup prvního invertujícího součinného hradla (31), jehož výstup je zapojen jednak přes první budič (41) na první vodič sběrnice (5), jednak na první vstup druhého invertujícího součinného hradla (32), jednak na druhý vstup třetího invertujícího součinného hradla (33) a jednak na třetí vstup čtvrtého invertujícího součinného hradla (34), přičemž třetí výstup (C) čítače (2) je spojen s druhým vstupem druhého invertujícího součinného hradla (32), jehož výstup je zapojen jednak přes druhý budič (42) na druhý vodič sběrnice (5), jednak na první vstup třetího invertujícího součinného hradla (33) a jednak na druhý vstup čtvrtého invertujícího součinného hradla (34), přičemž druhý výstup (B) čítače (2) je spojen s třetím vstupem třetího invertujícího součinného hradla (33), jehož výstup je zapojen jednak přes třetí budič (43) na třetí vodič sběrnice (5) a jednak na první vstup čtvrtého invertujícího součinného hradla (34), přičemž první výstup (A) čítače (2) je spojen se čtvrtým vstupem čtvrtého invertujícího součinného hradla (34), jehož výstup je zapojen přes čtvrtý budič (44) na čtvrtý vodič sběrnice (5), přičemž jednotlivé vodiče sběrnice (5) jsou spojeny s řídicími vstupy logického obvodu (8), jehož datové vstupy jsou spojeny s datovými výstupy pevné paměti (7), obsahující adresové vstupy, přičemž výstup logického obvodu (8) je spojen jednak přes první urychlovací obvod (10) se vstupem prvního spínacího tranzistoru (11) a jednak přes invertor (9) v sérii s druhým urychlovacím obvodem (14) se vstupem druhého spínacího tranzistoru (13), přičemž zátěž (12) je zapojena mezi kolektory prvního a druhého spínacího tranzistoru (11, 13), zatímco střední vývod zátěže (12) je zapojen na napájecí svorku (20).

224271



Severografia, n. p., MOST

Cena 2,40 Kčs