

# 公告本

申請日期	88.10.25
案 號	88118033
類 別	G01R 31/68

A4  
C4

571107

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 新型名稱	中 文	積體多通道類比測試設備架構						
	英 文	INTEGRATED MULTI-CHANNEL ANALOG TEST INSTRUMENT ARCHITECTURE						
二、發明 人創作	姓 名	<table style="width: 100%; border: none;"> <tr> <td style="width: 50%;">1. 艾瑞克 L. 楚本巴賀</td> <td style="width: 50%;">4. 約翰 J. 阿瑞納</td> </tr> <tr> <td>2. 陳江南</td> <td>5. 泰瑞莎 P. 羅培茲</td> </tr> <tr> <td>3. 李察 P. 戴維斯</td> <td>6. 大衛 J. 林德</td> </tr> </table>	1. 艾瑞克 L. 楚本巴賀	4. 約翰 J. 阿瑞納	2. 陳江南	5. 泰瑞莎 P. 羅培茲	3. 李察 P. 戴維斯	6. 大衛 J. 林德
1. 艾瑞克 L. 楚本巴賀	4. 約翰 J. 阿瑞納							
2. 陳江南	5. 泰瑞莎 P. 羅培茲							
3. 李察 P. 戴維斯	6. 大衛 J. 林德							
	國 籍	1.2.3.4.5.6. 美國						
	住、居所	<table style="width: 100%; border: none;"> <tr><td>1. 美國. 麻州</td></tr> <tr><td>2. 美國. 麻州</td></tr> <tr><td>3. 美國. 麻州</td></tr> <tr><td>4. 美國. 麻州</td></tr> <tr><td>5. 美國. 麻州</td></tr> <tr><td>6. 美國. 麻州</td></tr> </table>	1. 美國. 麻州	2. 美國. 麻州	3. 美國. 麻州	4. 美國. 麻州	5. 美國. 麻州	6. 美國. 麻州
1. 美國. 麻州								
2. 美國. 麻州								
3. 美國. 麻州								
4. 美國. 麻州								
5. 美國. 麻州								
6. 美國. 麻州								
三、申請人	姓 名 (名稱)	泰瑞丹公司						
	國 籍	美國						
	住、居所 (事務所)	美國. 麻州 02118, 波士頓, 哈瑞森大道 321 號						
	代 表 人 姓 名	都南 G. 雷卡						

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權  
 美 1998.10.19. 09/174,866

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( 1 )

本發明一般係關於自動測試裝置，且更特別係關於一種可測試類比及混合訊號電路組件的測試設備架構。

電路組件於其製造期間通常至少被測試一次。普遍熟知的測試類型之一為功能性測試，其通常被用以決定被測單元(UUT)是否能於其最後操作環境中適當地被實施。最後，功能性測試包含將激發物應用至被測單元，觀察由被測單元產生之反應，且接著決定被觀察之反應對於適當用途之被測單元是否可以接受。

包含只有類比或類比及數位電路兩者(亦即混合訊號)之電路組件的功能性測試會有特殊的問題，是因為被應用至這些組件的測試激發物及被觀察之反應通常包含許多不同的波形及準位。再者，被觀察之反應通常必須相對於測試激發物作評價，且有時互相來評價。因此，要相當近似地模擬這些電路組件之操作環境的方式來產生測試激發物及評價反應是非常具有挑戰性。

再者，因為電路組件的功能性測試通常發生於製造環境中，所以快速測試電路組件且快速辨識組件中的問題是很重要的，可使製造成本下降。

圖 1 顯示被用來實施類比及/或混合訊號電路之電路組件之功能性測試的傳統測試設備架構 100。架構 100 包含幾個分離設備 104，106 及 108，其測試激發物應用至被測單元 112 及觀察由被測單元 112 所產生的反應。

因為被測單元 112 可包含類比或混合訊號電路，所以設備 104，106 及 108 可包含類比及數位裝備。舉例而言，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 2 )

類比設備包含一個可產生諸如正弦波、三角波或方波的標準波形或任意波形的函數產生器；一個可測量由被測單元 112 產生之水準的多重計量器；一個可試驗由被測單元 112 所產生之波形及將樣本儲存於記憶體中(無圖示)以連續分析的波形數字轉換位器；或一個可製造頻率，期間，及時段測量的計時器/計數器。

除此之外，數位設備可包含可驅動被測單元 112 上之數位訊號及偵測其邏輯狀態，且可測量由被測單元 112 製造之數位訊號之特定參數的裝置。舉例而言，數位設備之一可被用來測量特定時點之數位訊號的邏輯水準。

設備 104，106 及 108 是由主電腦 102 所控制的，其經由匯流排 114 與設備 104，106 及 108 通訊。設備 104，106 及 108 同時也常態地被連接至可攜帶設備之間之觸發訊號的匯流排 116。在典型的測試輪廓中，匯流排 114 及 116 是以諸如 HP-IB(IEEE-488)或 VXI 匯流排(IEEE-1155)的標準介面來相容的。於是，主電腦 102 可被設定藉由明確控制及匯流排 114 及 116 分別所攜帶之觸發訊號來同步化及控制設備 104，106 及 108 的操作。

如上述，功能性測試包含將激發物應用至被測單元及觀察由被測單元產生之反應。因此，典型架構 100 同時也包含一個轉換矩陣 110，其亦經由 114 被主電腦 102 所控制。轉換矩陣 110 通常包含被控制以將設備 104，106 及 108 連接至被測單元 112 之被挑選節點的繼電器。功能性測試期間之被挑選節點通常為這些被用於被測單元之最後

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明( )

操作環境的節點。

舉例而言，一個或一個以上之設備 104，106 及 108 可被連接至被測單元 112 之節點以應用測試訊號至節點。再者，被測單元 112 之其他節點上的反應訊號可藉由一個或一個以上之設備 104，106 及 108 來測量。於是，主電腦 102 可被設定以驅動轉換矩陣 110 中之繼電器，藉以於測試期間形成設備 104，106 及 108 與被測單元 112 之節點之間必要的連接。

讓渡給美國加州 Walnut Creek 之 TERADYNE 公司的美國專利第 4,070,565 號之中說明了類比及數位設備經由轉換矩陣被連接至被測單元之一個架構 100 的例子。另一個驅動器設備直接被連接至被測單元而測量設備經由轉換矩陣被連接至被測單元的測試設備架構例子，於亦讓渡給 TERADYNE 公司的美國專利第 4,216,539 號中亦有說明。

雖然測試設備架構 100 已被用來實施電路組件的功能性測試，但我們亦承認許多缺失。舉例而言，上述功能性測試通常被用來決定被測單元是否可於其最後操作環境中適當地實施。此通常意指架構 100 必須儘可能地模擬被測單元的操作環境，且於此被模擬環境中正確地評價被測單元的性能。然而，傳統架構 100 是於分離設備 104，106 及 108 整合的基礎上，其經常無法模擬預期的操作環境。

舉例而言，若需多重測量來評價被測單元 112 之節點上的訊號，則主電腦 102 可控制轉換矩陣 110 來連接多重測量設備至此節點上。然而，此可能使節點容易遭受正常

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 4 )

操作期間通常不會發生之不想要的負載狀況。

即使將多重測量設備連接至節點不會導致不想要的負載狀況，但是測量的正確性仍可能被影響。特別是，不同的測量設備可能有不同的輸入結構，每個均有其本身既存的延遲特性。這些延遲可能未知及可變，且甚至可能加總遍及傳統的架構 100，藉此更進一步降低測量的正確性。

除了將多重測量設備連接至單一節點，主電腦 102 另外可控制轉換矩陣 110 以連續方式將測量設備連接至節點上。雖然此方法可避免不想要的負載狀況，但其通常需節點上之多重測量於不同時間達成才可。此會排除節點上之瞬間測量，且非常難以任何水準之正確性或重複性來分析其一相對另一之測量。

傳統的架構 100 的另一缺點是其通常為非同步的。再次，此因為架構 100 是建構於分離設備 104，106 及 108 之整合附近。雖然設備 104，106 及 108 被連接至觸發匯流排 116 且因此可被用來反應相同的觸發事件，然而設備 104，106 及 108 通常不會與相同時鐘參考一起運作。此使得很難去預測設備何時會實際反應觸發事件。因此，很難藉由不同設備來達成設備之間的良好關連。

分離設備 104，106 及 108 整合為基礎的架構的另一個缺點是經常會產生功能的副產品，因而增加了成本及所需的空間。舉例而言，每個不同的設備 104，106 及 108 通常擁有其自己提供訊號調解，電路保護，及延伸功能的輸入部份。然而，當使用設備 104，106 及 108 於被測單元

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( < )

112 之單節點上製造設備時，此功能的副產品通常特別明顯。

然而，另一個缺點是測試設備 100 及被測單元之間通常需要訂製電纜。任何訂製硬體通常伴隨著顯著的成本。再者，通常以昂貴且時常不可靠的繼電器來執行轉換矩陣 110。

因此，預期擁有可盡可能地模擬類比或混合訊號電路組件的操作環境，且於此被模擬環境中正確地評價其表現的測試設備架構。此測試設備架構對電路組件製造期間實施其功能測試相當有用。同時亦非常期待擁有可提供多重測試測量之間更好相關的類比測試設備。

### 發明概要

由於心中已有上述的背景，所以本發明的目的是提供一種可以較高程度的正確性及可重複性來實施類比或混合訊號電路組件測試的測試設備。

本發明的另一個目的是提供一種可達成測試測量之間更好相關的類比測試設備。

本發明的另一個目的是提供一種更便宜且更可靠的類比測試設備。

上述及其他目的可於擁有眾多通道的類比測試設備中達成，每個通道被耦合至被測單元之節點，且每個通道包含眾多的驅動器及測量電路。在較佳實施例中，每個通道

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明( b )

包含被耦合至輸出緩衝器以驅動被測單元節點上之測試激發物的驅動器電路，且每個通道包含眾多測量電路，其被耦合至被共享之輸入緩衝器，以測量於被測單元節點上的訊號之參數。

根據一項特色，每個通道更進一步包含被耦合至驅動器及測量電路以提供被分配之時點事件至驅動器及測量電路及眾多通道的觸發電路。

另一個實施例中，類比測試設備包含被耦合至每個通道以使通道的輸入，輸出，及內部運作得以同步化的主時鐘參考。

另一個實施例中，測試激發物被應用至類比電路的節點部份且類比電路所產生的反應被測量於節點的另一個部份。再者，此反應被每個通道中的數字轉換器所取樣。被取樣的反應接著被儲存於類比測試設備中的記憶體。當反應測量之一指出測試已失敗時，即分析被儲存的樣本以決定失敗的原因。

另一個實施例中，觸發事件藉由通道之一中的觸發電路定期地被應用於每個通道中的驅動機及測量電路。測試激發物接著自動地被應用，且測試時可於類比電路之節點自動地觀察到反應。於對應定期觸發事件的時點上來應用測試激發物及觀察反應。接著，評價被觀察到的反應，藉以決定測試下的類比電路是否有適當地作用。

從隨後之說明及附圖的考量可了解更進一步的目的及優點。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 7 )

### 圖式簡單說明

藉由參考以下更詳細的說明及附圖將更加了解本發明

:

圖 1 為傳統測試系統架構的方塊圖；

圖 2A 為根據本發明之測試設備架構的整體方塊圖；

圖 2B 為圖 2A 顯示之測試設備架構中的通道架構方塊圖；

圖 3 為基於圖 2B 顯示之通道架構的架構舉例圖；

圖 4 為根據本發明之測試方法的流程圖；

圖 5 為根據本發明之另一個測試方法的流程圖。

### 元件符號說明

102、202：主電腦

104、106、108：設備

110：轉換矩陣

112、212：被測單元

114、116、214、215、216、252：匯流排

204、206、208：通道

218、318：輸出緩衝器

220、320：輸入緩衝器

222：驅動器

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明( 8 )

- 224、226：測量電路
- 228、328：觸發電路
- 234：繼電器
- 244：時鐘參考
- 230、246：線路
- 248：記憶體
- 260、264：暫存器
- 270、272、372：同步電路
- 322：函數產生器
- 324：數位多重計量器
- 326：數字轉換器
- 336：計時器/計數器
- 338：峰值偵測器

### 較佳實施例的說明

圖 2A 顯示根據本發明之類比測試設備的整體架構 200。類比測試設備主要被計劃用來實施包含類比及/或混合訊號電路之電路組件的功能性測試。

架構 200 包含眾多的通道 204，206 及 208，其被連接至測試(被測單元)212 下之單位的個別節點。因為擁有架構 200 的類比測試設備主要被用來實施功能性測試，所以被測單元 212 之個別節點為被用於被測單元 212 正常操作期間的外部節點。然而，應了解通道 204，206 及 208 也可被

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 9 )

連接至被測單元 212 的個別外部節點上。

較佳實施例中，通道 204，206 及 208 是相同的。於是，較佳的是每個通道包含可於被測單元 212 的外部節點上來驅動及/或測量訊號及水準。

通道 204，206 及 208 及被共享記憶體 248，藉匯流排 214 及 215 經由同步電路 270 被耦合至主電腦 202。主電腦 202 可為擁有 WINDOW 95™ 操作系統之內含 INTEL® 的個人電腦。INTEL® 為美國加州 Santa Clara 之 Intel 公司的註冊商標；且 WINDOW 95™ 美國華盛頓之 Redmond 之 Microsoft 公司的註冊商標。因此主電腦 202 是一種可被設定來實施諸如操作者介面功能，數學計算及測試功能之各種運算的一般用途電腦。

再者，通道 204，206 及 208 及被共享記憶體 248 以傳統方式經由匯流排 214 及 215 與主電腦 202 通訊。舉例而言，匯流排 215 可與諸如 HP-IB(IEEE-488)或 VXI 匯流排(IEEE-1155)的標準介面相容。

通道 204，206 及 208 及同步電路 270 經由線路 246 被耦合至主時鐘參考 244。再者，較佳的是，通道 204，206 及 208 同步電路 270 中之電路是基於相同的時鐘參考 244。以此方法，通道 204，206 及 208 可被達成同步操作，且主電腦 202 所產生的控制訊號可以通道 204，206 及 208 來達成同步化。

除此之外，通道 204，206 及 208 被連接至可將觸發訊號分配於通道之間的匯流排 216。匯流排 216 同時也對

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(10)

稍後此說明書將會說明之通道 204，206 及 208 之同步運作有貢獻。

最後，通道 204，206 及 208 經由匯流排 252 被連接至被共享記憶體 248。任何通道 204，206 及 208 之一可寫或讀至/取被用來執行一些類比測試設備之新穎特色的被共享記憶體 248。

圖 2B 顯示通道 204 的架構。如上述，較佳的是，通道 204，206 及 208 是相同的，且因此共享相同的架構。

通道 204 包含驅動器電路 222 及眾多諸如測量電路 224 及 226 的測量電路。每個驅動器電路 222 及測量電路 224 及 226 包含可反應由匯流排 214 上之主電腦 202 所提供之控制訊號的傳統工具(無圖示)。因為控制工具各種實施例對於熟習本項技藝人士而言係已知的，所以應了解控制工具的特殊實行對本發明並不重要。

較佳的是，驅動器電路 222 及測量電路 224 及 226 同時也包含多位元暫存器 260，262 及 264(圖 2B)，其主電腦 202 可詢問以決定如驅動或測量功能是否已啟動；電路 222，224 及 226 是否正等待觸發訊號；電路 222，224 及 226 是否正處於驅動或測量過程；及驅動或測量功能是否已完成的狀態功能。這些暫存器 260，262 及 264 同時也被用來執行類比測試設備之新穎特色。

再者，較佳的是，驅動器電路 222 及測量電路 224 及 226 可執行由傳統測試設備架構中之分離設備所正常提供的功能。舉例而言，圖 3 顯示一個函數產生器 322，其被

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明( 1 )

用來描述驅動器電路 222 的一個實施例。在主電腦 202 的控制下，函數產生器 322 較佳的是可產生用來實施被測單元 212 之功能性測試的標準或任意波形及水準。舉例而言，函數產生器 322 可被控制來提供標準正弦、三角，或方波；及直流電壓及電流水準。

圖 3 顯示一個數位多重計量器(DDM)324，一個數字轉換器 326，一個計時器/計數器 336，及一個峰值偵測器 338。這些電子裝置被用來說明圖 2B 中顯示之眾多測量電路的實施例。舉例而言，多重計量器 324 可被控制以測量被測單元 212 節點上的電壓或電流水準；數字轉換器 326 可被控制以於節點上製作一波形且將此樣本儲存於諸如被分配記憶體 248 的記憶體中；計時器/計數器 336 可被控制以實施節點上之頻率、期間及時段測量；及峰值偵測器 338 可被控制以測量被測單元 212 節點上的電壓極值。

函數產生器 322，數位多重計量器 324，數字轉換器 326，計時器/計數器 336，及峰值偵測器 338 可執行的功能為現行技水準中已知。因此這些裝置的特定實施對本發明並不重要。

如圖 2B 所示，通道 204 更進一步包含觸發電路 228，其同時也包含由匯流排 214 上之主電腦 202 所提供之控制訊號的傳統工具(未示出)。觸發電路 228 提供諸如延遲觸發，事件觸發及邊緣觸發之被發現於傳統測試設備中的特色。

再者，觸發電路 228 提供之訊號是經由線路 232 被驅

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 12 )

動器及測量電路 222，224 及 226 所分享。因此主電腦 202 可詢問電路 222，224 及 226 中之狀態位址器 260，262 及 264 以決定電路是否正等待從觸發電路 228 出來的連鎖反應。在圖 3 顯示之圖示實施例中，由觸發電路 328 提供之訊號同樣地由函數產生器 322，數位多重計量器 324，數字轉換器 326，計時器/計數器 336，及峰值偵測器 338 所共享。

由觸發電路 228 產生之訊號不只被每個通道中之驅動器及測量電路所共享，它們同時也經由觸發匯流排 216 被分配至其他通道。舉例而言，圖 2A 顯示每個通道 204，206 及 208 均可進入觸發匯流排 216。

如上述，較佳的是，架構 200 中之每個通道 204，206 及 208 是相同的。因此每個通道 204，206 及 208 包含相同的觸發電路，其可經由匯流排 216 分配及接收觸發訊號至其他通道或從其分配及接收觸發訊號。

因為觸發電路 228 執行現行技術水準中已知的功能，所以觸發電路 228 的特定實施也對本發明不重要。然而，每個通道中之驅動器及測量電路共享觸發電路 228 及將觸發訊號分配至其他通道可衍生出重要的優點。

舉例而言，主電腦 202 可於偵測波形後之特定時間內設定觸發電路 328 以發出”停止”的觸發。主電腦 202 也可設定函數產生器 322 於”開始”觸發上開始製造波形且於”停止”觸發上停止製造波形。接著主電腦 202 可關閉分離繼電器 334 及控制觸發電路 328 以製造”開始”觸發。函數產生

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 14 )

器 322 接著開始製造由線路 330 上之觸發電路 328 偵測出的波形。接著觸發電路 328 開始計算特定時間。當特定時間消失時，觸發電路 328 停止的觸發，藉使函數產生器 322 得以停止製造波形。因為每個通道被耦至控制匯流排 214 及觸發匯流排 216，所以主電腦 202 同樣可於相同或不同通道中監控函數產生器及觸發電路。

同樣如上述，較佳的是每個通道 204，206 及 208 於被測單元 212 之一節點上驅動及/或測量訊號及水準。針對此原因，每個通道 204，206 及 208 包含一個輸出緩衝器 218 及一個輸入緩衝器 220。再者，如圖 2B 所示，較佳的是，每個通道 204，206 及 208 包含一個可選擇性地從被測單元 212 之節點及輸入緩衝器 220 連接或不連接輸出緩衝器 218 的分離繼電器 234。分離繼電器 234 同時也包含可反應由主電腦 202 提供之控制訊號的傳統工具(未示出)。

舉例而言，當繼電器 234 被關閉時，輸出緩衝器 218 可驅動由驅動器電路 222 產生之驅動測試激發物至被測單元 212 之節點。同樣地，當延遲 234 被關閉時，圖 3 顯示之輸出緩衝器 318 可驅動由函數產生器 322 產生之波形至被測單元 212 之節點。

再者，輸入緩衝器 220 可觀察驅動測試激發物且將它們提供至測量電路 224 及 226 及線路 230 上之觸發電路 228。同樣地，輸入緩衝器 320(圖 3)可觀察驅動測試激發物，且將它們提供至數位多重計量器 324，數字轉換器 326，計時器/計數器 336，峰值偵測器 338，及線路 330 上之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 14 )

觸發電路 328。以此法，舉例而言，與測試激發物有關之參數可經由測量電路來測量；且觸發訊號可於測試激發物所指定時點上由觸發電路來製造。

除此之外，當繼電器 234 被開啓時，輸入緩衝器 220 可於被測單元 212 之節點上觀察反應訊號，且將它們提供至測量電路 224 及 226 及線路 230 上之觸發電路。同樣地，當繼電器 234 被開啓時，輸入緩衝器 320 可於被測單元 212 之節點上觀察反應訊號，且將它們提供至數位多重計量器 324，數字轉換器 326，計時器/計數器 336，峰波偵測器 338，及觸發電路 328。以此法，舉例而言，與反應訊號有關之參數可經由測量電路來測量；且觸發訊號可於反應訊號所指定時點上由觸發電路來製造。

除此之外，當繼電器 234 被關閉且通道 204 被連接至被測單元 212 之節點時，輸入緩衝器 220 可觀察由被測單元 212 產生之測試激發物及反應的結合。同樣地，當繼電器 234 被關閉時，輸入緩衝器 220 可觀察由被測單元 212 產生之測試激發物及反應的結合。通常需要額外電路(未示出)來適當地結合測試激發物及反應。

特別是，電流偵測電阻(未示出)可被連接於節點 340(圖 3)及被測單元 212 之間。接著繼電器 334 可被關閉，且電流偵測電阻可被用來測量輸出緩衝器 318 之電流輸出或將輸出緩衝器 318 提供之電壓轉換為電流值。較佳的是，因為每個通道 204，206 及 208 可於被測單元 212 之一節點上驅動及/或測量訊號及水準，所以接著繼電器 334 可被打

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 15 )

開且此相同的電阻可被用來降低輸入緩衝器 320 及被測單元 212 之間的阻抗不匹配。

由輸入緩衝器 220 及 320 所觀察到的訊號及水準可涵蓋大範圍的類比水準。針對此原因，輸入緩衝器 220 及 320 較佳的包含有助於類比水準之大範圍測量的電路(未示出)。此電路被描述於在此完全被合併於參考文獻之受讓於 TERADYNE 公司之 1998 年 6 月 24 日歸檔之美國專利第 09/104,099 號中。此應用說明了可偵測大範圍之類比電壓及電流水準而滿足測試下之負載需求的電路。

本發明的重要特色為輸入緩衝器 220 被眾多測量電路及觸發電路共享。舉例而言，在電路測量 224 及 226 及觸發電路 228 之間共享輸入緩衝器 220 可節省空間，否則就需要將輸入緩衝器分別耦合至電路 224，226 及 228。

再者，期望擁有經由線路 230 之被耦合至輸入緩衝器 220 的測量電路 224 及 226 將有助測試工程師來達成由電路 224 及 226 所做測量之間的絕對相關。此乃因為測試工程師可立即以電路 224 及 226 做基本的測量。舉例而言，測試工程師可以數位多重計量器 324(圖 3)及計時器/計數器 336(圖 3)做立即的測量。

當實施電路組件之功能性測試時達成測量之間的絕對相關是很重要的，因為其可於相同時間正確地測量一個以上之組件節點上的訊號參數。再者，其可使參數於精確特定時間被測量。此意味由被測組件製造之訊號參數可於其出現於組件之最後操作環境時被測量且接著被評價。實際

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 16 )

上不可能以包含不同設備之傳統類比測試裝置來達成此測量之間的相關。

本發明之另一個重要特色是架構 200(圖 2A)較佳地包含眾多相同的通道，每個通道包含可處理被測電路組件節點上之訊號及水準的電路。期望在類比測試設備中擁有眾多相同的通道將有助測試工程師來達成測量之間的絕對相關。此乃因為相同之通道較佳地擁有相同之同樣傳輸延遲特性的輸入輪廓。如上述，傳統類比測試設備通常包含不同設備的集合，每個均擁有經時無法得知及可變的不同延遲輸入輪廓。

眾多相同通道衍生的其他優點為每個通道均同樣連接至匯流排 214 及 216 及線路 246。特別是，匯流排 214 及 216 及線路 246 可為標準 VXI 匯流排的一部份。舉例而言，匯流排 216 可包含 VXI 匯流排觸發線且線路 246 可攜帶標準 VXI 匯流排時鐘。再者，每個通道提供被測組件相同的介面。個別通道及被測組件之間的定製纜線因而被消除。

如上述，通道 204，206 及 208 中之電路的時點較佳地是基於主時鐘參考 244。預計此將有助測試工程師來達成測量之間的絕對相關。

特別是，圖 2A 顯示之每個通道 204，206 及 208 經由線路 246 被連接至主時鐘參考 244。通道 204，206 及 208 中之驅動器及測量電路及觸發電路因而較佳地被裝配以同步操作。雖然此同步操作普遍被發現於傳統數位系統中，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 17 )

但其並無事先被廣泛地使用於類比測試設備中。

相對地，主電腦 202 及被測單元 212 通常擁有其自己個別的時鐘參考且因此可相對類比測試設備及彼此來同步操作。

然而，被應用至通道 204，206 及 208 的所有訊號及由通道 204，206 及 208 產生的所有訊號較佳地與主時鐘參考 244 同步。此包含由匯流排 214 上之主電腦 202 產生之訊號及被應用至或從被測單元 212 接收的訊號。此同步可以傳統方式藉由包含傳統樣本電路及雙穩態電路(未示出)的同步電路 270 及 272(圖 2B)來達成。

特別是，每個通道中之驅動器電路，測量電路及觸發電路被耦合至主時鐘參考 244 以使其內部運作與時鐘參考 244 同步。再者，同步電路 270 被耦合至主時鐘參考 244 以使控制以時鐘參考 244 通過主電腦 202 及通道 204，206 及 208 及被共享記憶體 248 之的訊號及資料得以同步(圖 2A)。

除此之外，同步電路 272 被耦合至主時鐘參考 244 及輸入緩衝器 220 及測量電路 224 及 226 及觸發電路 228 之間，以將通過輸入緩衝器 220 至測量電路 224 及 226 及觸發電路 228 的訊號同步化(圖 2B)。對應同步電路被包含於相同通道 206 及 208 中。函數產生器 322，多重計量器 324，數字轉換器 326，計時器/計數器 336，峰值偵測器 338，及觸發電路 328(圖 3)同樣地被耦合至主時鐘參考 244 及同步電路 372 以便以時鐘參考 244 將輸入/輸出及內部運作

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 18 )

同步化。

此更進一步有助於測試工程師來達成測量之間的絕對相關，此因其可精確地決定何時利用單通道或眾多通道來達成測量。

架構 200 的同步化設計的其他優點包含可多時段地將資料儲存至及接收被共享記憶體 248 的資料。舉例而言，主電腦 202 可被設計以精確特定時間來控制通道 204，206 及 208 中之數字轉換器電路以取樣由被測單元 212 產生之訊號且將被取樣之訊號儲存於被共享記憶體 248 中。因為通道 204，206 及 208 同步取樣資料，所以資料被寫入被共享記憶體 248 時可確保穩定。同樣地，主電腦 202 可以精確特定時間來控制通道 204，206 及 208 中之函數產生器以接收從被共享記憶體 248 出來之訊號。

除此之外，觸發訊號被同步分配於通道 204，206 及 208 之間。舉例而言，主電腦 202 可控制通道 204 中之觸發電路 228 以偵測觸發事件且接著利用匯流排 216 將此觸發事件傳送至通道 206 及 208。因為架構 200 的同步化設計，通道 206 及 208 可於相同時間被控制以反應觸發事件。因此反應被分配於通道 204，206 及 208 之間的觸發事件是可預測且穩定的。

除此之外，因為架構 200 的同步化設計，主電腦 202 可控制通道 204，206 及 208 中之函數產生器以製造同步相位的波形。此意味波形與主時鐘參考 244 所提供之頻率互相協調。於是，相位改變在波形之間並不會發生。此更進

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明( 9 )

一步有助於類比測試設備運作的預測及穩定。

如上述，架構 200 的同步化設計將有助於測試工程師來達成測量之間的絕對相關。舉例而言，主電腦 202 可控制觸發電路 328(圖 3)以製造與被測單元 212 節點上所提供之脈衝之上升及下降緣一致的觸發，且將這些觸發訊號放置於內線路 232 及匯流排 216 上。接著可利用線路 232 上之觸發來控制計時器/計數器 336 以測量脈衝寬度。

再者，可利用匯流排 216 上之觸發來控制另一個通道中之計時器/計數器以測量波形期間。利用測量到的脈衝寬度及期間，主電腦 202 可被設計以計算脈衝的任務週期。因為數位脈衝的寬度及期間是利用相同之觸發訊號於相同時間被測量的，所以兩測量之間有絕對相關。相較於現行技術水準，預期以此方式來測量將更正確及更具重複性。

除此之外，因為通道 204，206 及 208 中之函數產生器產生之所有波形以主時鐘參考 244 同步化，且因為從主電腦 202 出來之控制訊號同樣也以主時鐘參考 244 被同步電路 270 同步化，所以主電腦 202 可以穩定及可預測方式來控制波形特性。舉例而言，主電腦 202 可控制函數產生器 322(圖 3)以給定之峰值電壓值來製造正弦波。接著主電腦 202 可控制函數產生器 322 來改變正弦波的峰波電壓值。因為正弦波之峰波電壓值的控制是與主時鐘參考 244 同步，所以正弦波值可平順地被更新，藉以確保永遠得知輸出狀態。

除此之外，因為架構 200 的同步化設計，函數 322，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( ㄨ )

324, 326, 328, 336, 及/或 338(圖 3)可利用數位電路來實施。如上述,本發明之目的是提供一種低成本的類比測試設備。數位電路通常較其同等類比電路便宜,所以降低類比測試設備的一個方法是盡可能地利用數位電路。

舉例而言,每個通道 204, 206 及 208 中之觸發電路較佳地實施其輸入之頻率濾波。因為觸發電路以主時鐘參考 244 同步化其輸入,所以此頻率濾波可利用可經濟實用化於標準陣列的數位計數器(無圖示)來實施。

如上述,匯流排 214 及 216 及線路 246 可為標準 VXI 匯流排的一部份。此案例中,類比測試設備之主時鐘參考 244 可包含傳統電路(未示出)來鎖住 VXI 匯流排時鐘的相位,其通常為 VXI 背平板上之精確相位時鐘。

再者,多重類比測試設備可以相同方式以 VXI 匯流排時鐘衍生出之其個別主時鐘參考被插入底板。因為類比測試設備中之通道的時點與依序從相同 VXI 匯流排時鐘衍生出來的個別主時鐘參考同步的,所以整個多重類比測試設備的輸入,輸出及觸發電路是同步的。整個多重類比測試設備的輸出也是同相位的。於是,架構 200 之同步化設計所衍生的所有優點也應用至被插入 VXI 背平板的多重類比測試設備。

如上述,本發明之重要特色包含架構 200 之同步化設計;被共享記憶體 248;相同的通道 204, 206 及 208;及每個通道 204, 206 及 208 中之被共享的觸發電路 228。這些特色可被用來實施諸如圖 4 描述之測試方法的新測試方

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 21 )

法。預計在被設計進入主電腦 202 中之軟體控制下來實施此測試方法。

首先，不論個別通道中之來源或測量函數何時開始，主電腦 202 於方塊 400 中之個別通道中均設計數字轉換器以獲得資料樣本。舉例而言，數字轉換器可為這些被包含於通道 204 及 206 者(圖 2A)。再者，數字轉換器可被設計以獲得出現於個別線路 230(圖 2B)上之資料樣本。較佳的是，數字轉換器可被設計以將這些樣本儲存於被共享記憶體 248(圖 2A)的被挑選區域中。

接著，諸如被測單元 212 之被測單元的測試於方塊 402 中被啓動。此測試通常為功能性測試，其可包含將測試激發物應用至被測單元 212 及觀察由被測單元 212 產生之反應。舉例而言，通道 304 中之延遲 318(圖 3)可被關閉且函數產生器 322 經由輸出緩衝器 318 被控制以應用正弦波至被測單元 212 之外節點。接著反應訊號被通道 206 中之被共享輸入緩衝器測量，其應用這些訊號至諸如多重計量器，計時器/計數器及峰波偵測器的對應測量電路及至觸發電路。通道 206 中之觸發電路同時也將觸發傳送至對應的測量電路。觸發可與被測量反應訊號之緣一致。對應的測量電路接著可藉由觸發於指定時點實施反應訊號的測量。

當測試產生時，通道 204 及 206 中之數字轉換器連續地取樣出現於個別線路 230 上之所有訊號及/或水準，且將樣本儲存於記憶體 248 中。被儲存之樣本包含藉由通道

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 (續)

204 中之函數產生器而應用至被測單元 212 之正弦波的樣本。再者，被儲存之樣本包含由通道 206 中輸入緩衝器所測量之反應訊號的樣本。

在較佳實施例中，數字轉換器同時也將發生於測試期間之記憶體 248 中之特定事件的指示儲存起來。通常這些指示已知為“標記”。舉例而言，數字轉換器 326(圖 3)被耦合至可攜帶由觸發電路 328 製造之觸發的線路 232。因為數字轉換器 326 可偵測觸發何時產生，所以其可將指示觸發被證實時獲得之記憶體 248 中樣本的標記儲存起來。此因觸發電路 328 及數字轉換器 326 的同步運作而成為可能。

再者，因為數字轉換器 326 也被耦合至控制匯流排 214，所以其可偵測驅動或測量功能何時開始及結束，且因此可為這些事件將標記儲存於記憶體 248 中。

如上述，功能性測試通常也包含決定被觀察反應是否可被適當功用之被測單元接受的步驟。此步驟被執行於圖 4 顯示之決定方塊 404 中。特別是，主電腦可將測量電路所測量之訊號參數與預期參數值做比較。若比較顯示被測單元 212 的功能合適，則測試方法回至方塊 402 以啟動另一個測試。

然而，若比較顯示被測單元 212 的功能不合適，則測試方法分叉至方塊 406，其中主電腦 202 上載被儲存於記憶體 248 中之樣本。在較佳實施例中，被上載的樣本包含測試被啟動於方塊 402 之前，期間及之後獲得的這些樣本

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 (六)

。再者，較佳的是被上載的樣本包含被儲存的標記。

被上載的樣本及標記接著於方塊 408 中被分析以決定被測單元為何於方塊 404 中被發現功能不合適。此可包含在被耦合至主電腦 202 之監視器(無圖示)上之某些有用之格式中顯示樣本。此樣本因此可被用來決定觸發何時發生及測量電路何時實施測量功能。

預期此測試方法可被用來糾正測試下的單位。因為數字轉換器於通道 204 及 206 之測試期間可連續收集資料樣本，所以可獲得通道中之活動的完整圖形。若測試指出測試下的單位有缺陷，則稍後分析此資料。

因為架構 200 中之通道較佳地是相同的，所以類比測試設備中之所有通道可立即實施圖 4 顯示的方法。特別是，每個通道包含可取樣由個別輸入緩衝器提供之訊號及/或水準。再者，每個數字轉換器可將樣本及相關標記儲存於被共享記憶體 248 之被挑選區域中。因此可獲得類比測試設備中所有通道之活動的完整圖形且可利用其來改善測試的缺陷。

除此之外，架構 200 中之通道較佳地可與主時鐘參考 244 同步運作。再者，每個通道被耦合至觸發匯流排 216 及控制匯流排 214。於是，對於所有通道之測試激發物，反應，控制訊號及觸發之間的時點關係是已知的。因此，架構 200 中之所有通道的活動於糾正期間可正確地彼此相關。

此特別有用於當以類比診斷軟體來設計主電腦 202 時

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 續 )

，因為其通常需要被測單位之許多節點上的資料來決定為何測試會失敗。類比診斷軟體可僅進入且隨即分析被儲存於對應測試中之通道之被共享記憶體 248 中的資料樣本及標記。因為每個通道中之數字轉換器可被製造以於測試期間連續運作，若需要這些資料樣本及標記來糾正測試，則其可於記憶體中得到。最明顯的是，其可於記憶體中得到而不需重新測試。

圖 5 顯示另一新的測試方法。也預計可於被設計進入主電腦 202 中之軟體的控制下來實施此測試方法。

首先，方塊 500 中可獲得熟知的完美電路組件。因為類比測試設備主要被用來實施功能性測試，所以熟知完美電路組件的外部節點被連接至類比測試設備的通道。然而，應注意的是，通道也被連接至完美電路組件的內部節點。

接著，定期觸發事件被應用至方塊 502 中之類比測試設備的通道。如上述，包含於每個通道中之由觸發電路提供之觸發事件是經如線路 232(圖 2B)的線路由通道中之驅動器及測量電路所共享。再者，包含於類比測試設備中之通道被連接至如匯流排 216 之可分配通道之間之觸發事件的觸發匯流排。

於是，較佳地是，主電腦 202 可控制如通道 204 之通道中的觸發電路，以定期地提供觸發事件至這通道及測試設備之其他通道中的驅動器及測量電路。更明確的是，主電腦 202 可控制通道之一中的觸發電路以提供定期的觸發

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 5 )

事件至這些被連接至完美電路組件之節點之通道中的驅動器及測量電路。應注意的是被應用至通道之觸發事件的特定速率對本發明並不重要。

接著於方塊 504 中，於完美電路組件之被挑選節點上應用測試激發物且觀察反應。再者，於定期之觸發事件所指定的時點上應用測試激發物且觀察反應。

測試方法中之此步驟的目的是人工產生完美組件的功能性測試的程式。最後，測試工程師可重複地設計主電腦 202 以控制一個或一個以上通道中之函數產生器及測量電路，藉以應用測試激發物且觀察由完美組件產生的反應。應用測試激發物且觀察反應以至少測試一部份完美組件。以此法，類比測試設備可”得知”適當功能的組件如何運作。

接著，與被應用之測試激發物及被觀察之反應有關的資料被儲存於方塊 506 中之功能性測試的程式中。此資料可被儲存於主電腦 202 中之記憶體(無圖示)。以此法，完美組件之功能性測試的程式可以逐步方式以人工產生。

若完美組件尚未完全被測試，則決定方塊 508 使得測試方法回到方塊 504，藉以使類比測試設備得以應用新的激發物組且觀察新的反應。然而，若完美組件已完全被測試且功能性測試之程式已完成，則方塊 508 使得測試方法分叉至方塊 510。

方塊 500 至方塊 508 之測試方法主要被預期實施於類比測試設備的最初設計期間。此方塊 500 至方塊 508 之方

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 續 )

法因此不常被實施。然而，方塊 510 至方塊 514 被預期重複實施於快速及自動測試電路板組件數量的製造程序中。

特別是，方塊 510 中可得典型的電路組件。此組件的形式與方塊 500 中獲得的完美組件相同。再次，典型電路組件的外部節點被連接至類比測試設備的通道。

接著，定期觸發事件被應用至方塊 512 中之類比測試設備的通道中。此較佳地精確地對應被應用至方塊 502 中的定期觸發事件。

步驟 510 至 514 之測試方法的目的是利用人工產生之步驟 500 至 508 的功能性測試來自動測試電路組件。針對此原因，被控制於被應用於方塊 512 中之定期觸發事件上起作用的驅動器及測量電路為這些必須執行功能性測試程式者。

接著功能性測試程式被自動執行於方塊 514。最後，於典型電路組件之各種外部節點上應用測試激發物且觀察反應。然而，不需如步驟 504 般重複設計主電腦 202 以控制驅動器及測量電路，主電腦 202 可符合功能性測試程式以自動更新且啟動驅動器及測量電路。預期主電腦 202 也可定期詢問暫存器 260，262 及 263(圖 2B)以決定功能性測試程式執行期間驅動器及測量電路的狀態。

再者，預期擁有精確符合被應用於方塊 502 中之觸發事件的被應用於方塊 512 中之定期觸發事件將有助於測試工程師來達成方塊 504 及方塊 514 中所作測量之間的絕對相關。同時也預期定期觸發事件的使用將使得此測量更具

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 27 )

重複性。

當典型電路組件完成測試時，測試方法接著回到方塊 510 以測試其他電路組件。此類比測試設備的同步設計及被共享觸發因而可使人工產生之功能性測試程式被自動及重複執行。此特色及功能在傳統的類比測試設備中找不到。

敘述完一個實施例後，可製出許多或各種可替代的實施例。舉例而言，已說明類比測試設備主要被預期用來實施電路組件的功能性測試。

然而，此僅為敘述。根據本發明之類比測試設備也可被用來實施包含個別測試組件上之每個成份之電路內測試的其他類型測試。在此案例中，類比測試設備不只被連接至被測單元的外部節點，其同時也根據個別測試被連接至不同組的內部節點。

除此之外，已說明較佳的是類比測試設備中之通道是相同的。然而，其也僅為敘述。通道不必相同只要其每個包含觸發電路及眾多的驅動器及測量電路以實施用來測試電路組件的功能。

除此之外，已說明通道被連接至被共享記憶體 248。然而，通道也可合併個別記憶體與被共享記憶體以儲存被數位化資料及用以產生波形的資料。

除此之外，也已說明類比測試設備中之驅動器及測量電路的特定實施例。舉例而言，驅動器電路的特定實施例為函數產生器；且測量電路的特定實施例為多重計量器，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(28)

數字轉換器，計時器/計數器及峰值偵測器。然而，應了解的是驅動器及測量電路並不受限於特定實施例。驅動器及測量電路可實施用來測試電路組件的其他功能。

除此之外，已說明類比測試設備可利用如 HP-IB(IEEE-488)或 VXI 匯流排(IEEE-1155)的標準介面來實施。然而，也僅為敘述。類比測試設備不可利用其他標準介面或非標準介面來實施。

除此之外，已說明每個通道包含一個驅動器電路及眾多的測量電路。然而，也僅為敘述。每個通道可替代性地包含眾多的驅動器電路及一個測量電路；眾多的驅動器電路及眾多的測量電路；或任何對測試電路組件最有用的驅動器及測量電路數量。

因此，本發明應僅被後附申請專利範圍的精神及範疇所限制。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱：)

積體多通道類比測試設備架構

本發明揭示用來實施電路組件之功能性測試的類比測試設備架構。類比測試設備包含複數個相同的通道，每個通道包含可於被測電路組件之一節點上驅動測試激發物及測量反應的電路。每個通道中之驅動器及測量電路利用分離設備來執行傳統上已於測試系統中執行的功能。類比測試設備更進一步包含一個主時鐘參考，其被用來將驅動器及測量電路的運作同步化。每個通道更進一步包含可將觸發事件分配於通道內及其他通道的觸發電路；一個被通道中之測量電路共享的輸入緩衝器。同步化的運作，被分配

英文發明摘要(發明之名稱： INTEGRATED MULTI-CHANNEL ANALOG TEST INSTRUMENT ARCHITECTURE )

Analog test instrument architecture for performing functional testing of electronic circuit assemblies is disclosed. The analog test instrument includes a plurality of identical channels, each channel including circuitry for driving test stimuli and measuring responses at one node of a circuit assembly under test. The driver and measurement circuitry in each channel implement functions that traditionally have been implemented in a test system using discrete instruments. The analog test instrument further includes a master clock reference, which is used for synchronizing the operation of the driver and measurement circuits. Each channel further includes triggering circuitry for distributing trigger events within the channel and to the other channels; and, an input buffer, which is shared by the measurement circuits in the channel. The synchronized operation, distributed trigger events, and shared input buffers are used to improve the correlation of measurements made during functional testing.

四、中文發明摘要（發明之名稱：

的觸發事件，及被共享的輸入緩衝器被用來改善功能性測試期間的測量相關性。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

英文發明摘要（發明之名稱：

## 六、申請專利範圍

道透過該觸發匯流排傳輸而來之觸發訊號。

3. 如申請專利範圍第 1 項之設備，其中，該至少一個測量電路係包含用於測量該輸入訊號之不同特性之不同裝置。
4. 如申請專利範圍第 1 項之設備，其中，該觸發電路係連接至一個參考時脈，該參考時脈係用於產生與該參考時脈同步之觸發訊號。
5. 如申請專利範圍第 4 項之設備，其係進一步包含：一個輸入同步化電路，其係設置於該輸入端及該複數個測量裝置之間，以用於取樣與該參考時脈同步之該輸入訊號。
6. 如申請專利範圍第 5 項之設備，其係進一步包含：  
一個控制匯流排，其係用於在該複數個通道及一個主電腦之間傳輸控制訊號；及  
一個控制同步電路，其係連接至該控制匯流排，以用於以該參考時脈同步化該主電腦及該些複數個通道之間之控制訊號的傳輸。
7. 如申請專利範圍第 1 項之設備，其係進一步包含：  
一個控制匯流排，其係用於在該複數個通道及一個主電腦之間傳輸控制訊號；及  
一個控制同步電路，其係連接至該控制匯流排，以用於以該參考時脈同步化該主電腦及該些複數個通道之間之控制訊號的傳輸。
8. 如申請專利範圍第 7 項之設備，其係進一步包含：。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

一個記憶體，該至少一個測量電路及該至少一個驅動器電路係能夠寫入至該記憶體之內且能夠由該記憶體讀出。

- 9 · 如申請專利範圍第 8 項之設備，其中，該記憶體係連接至控制匯流排及控制同步電路，以接收與參考時脈同步化之命令。
- 10 · 如申請專利範圍第 7 項之設備，其中，每一個通道係包含一個可由該主電腦讀取之至少一個狀態暫存器。
- 11 · 如申請專利範圍第 10 項之設備，其中，該狀態暫存器係被建構及配置成儲存指示下列狀態之至少一個之狀態資訊：  
一個等待一個觸發之測量電路；  
一個等待一個觸發之驅動器電路；  
一個實施一項測量之測量電路；及  
一個產生一個輸出訊號之驅動器電路。
- 12 · 如申請專利範圍第 1 項之設備，其中，該複數個通道之每一個係進一步包含一個開關，其係連接於該輸入端及該輸出端之間，以用於選擇性地連接該輸入端至該輸出端。
- 13 · 如申請專利範圍第 1 項之設備，其中，該每個通道之該觸發電路係連接至一個控制匯流排，且該觸發電路係被建構及配置成產生觸發訊號，以回應由一個主電腦而來而於該控制匯流排上傳輸之命令。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1 4 . 如申請專利範圍第 1 3 項之設備，其中，該些觸發訊號係為週期性地產生之觸發訊號。

1 5 . 一種用於測試在自動測試系統中之電子受測單元之設備，其係包含：

一個觸發匯流排；及

複數個通道，其係連接至該觸發匯流排，以用於測量於該受測單元之節點處之電子訊號，該些複數個通道之每一個係包含：

一個輸入端，其用於接收由該受測單元之一個節點而來之一個輸入訊號；

一個輸出端，其係用於提供一個輸出訊號至該受測單元之一個節點；

用於測量該輸入訊號之裝置；

用於發源該輸出訊號之裝置；及

觸發裝置，其係連接至該輸入端，以用於產生觸發訊號，以回應於該輸入端之預定事件，

其中，該用於測量之裝置係可操作成回應由該觸發裝置而來之該些觸發訊號以及由該些複數個通道之其他通道透過該觸發匯流排傳輸而來之觸發訊號，且

其中，該些複數個通道之不同通道係可建構於實質上相同之時間下操作，以回應起源於該些複數個通道之任一個而來之觸發訊號。

1 6 . 如申請專利範圍第 1 5 項之設備，其中，該用於發

## 六、申請專利範圍

源之裝置係可操作於回應由該觸發裝置而來之該些觸發訊號以及由該些複數個通道之其他通道透過該觸發匯流排傳輸而來之觸發訊號。

- 1 7 . 如申請專利範圍第 1 5 項之設備，其中，該用於測量之裝置係包含用於測量該輸入訊號之不同特性之不同裝置。
- 1 8 . 如申請專利範圍第 1 5 項之設備，其中，該觸發裝置係連接至一個參考時脈，該參考時脈係用於產生與該參考時脈同步之觸發訊號。
- 1 9 . 如申請專利範圍第 1 5 項之設備，其係進一步包含：  
：一個輸入裝置，其係用於取樣與該參考時脈同步之該輸入訊號。
- 2 0 . 一種測試於一自動測試系統中之電路的方法，該自動測試系統係包含複數個通道以運用該電路之不同節點，該方法係包含：
  - (A) 由該複數個通道之至少一個起源一個個別的輸出訊號；
  - (B) 取樣該複數個通道之至少一個的一個個別輸入端；及
  - (C) 產生複數個觸發訊號，以致動該起源及取樣步驟，其中，該複數個觸發訊號係由許多事件之任一個所產生，其係包含產生於該個別通道之該輸入訊號之個別的預定之事件，且

## 六、申請專利範圍

其中，該複數個觸發訊號係被傳送至該些通道之每一個，以同時於該複數個通道之不同通道中致動起源及取樣行動。

2 1 · 如申請專利範圍第 2 0 項之方法，其係進一步包含：

(D) 測量於步驟 B 中接收到之每一個輸入訊號之複數個類比特性，以回應於步驟 C 中產生之該些觸發訊號。

2 2 · 如申請專利範圍第 2 0 項之方法，其中，該許多事件係進一步包含產生於除了該個別通道之外之複數個通道之一之該輸入訊號上之一個預定之事件。

2 3 · 如申請專利範圍第 2 0 項之方法，其中，該許多事件係進一步包含一個由一個主電腦所發出之觸發命令。

2 4 · 如申請專利範圍第 2 3 項之方法，其係進一步包含一個由該主電腦發出個別重複的觸發命令之步驟，以產生週期性的觸發事件。

2 5 · 如申請專利範圍第 2 0 項之方法，其係進一步包含：

起始一個起源及取樣步驟之一，以回應由該複數個通道之一所產生之觸發訊號；及

停止該起源及取樣步驟之一，以回應由該複數個通道之另一個通道所產生之觸發訊號。

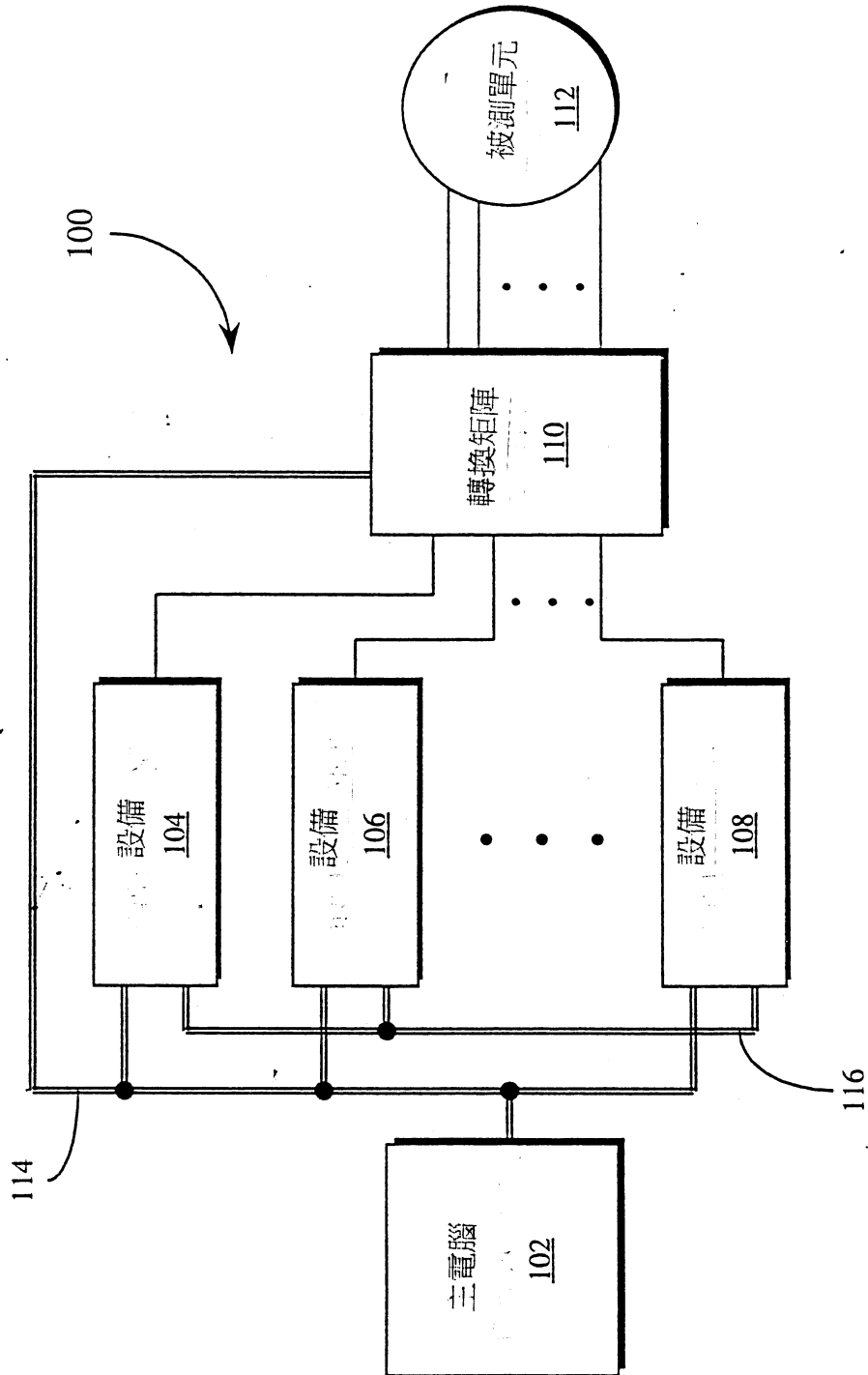


圖 1 - 先前技藝





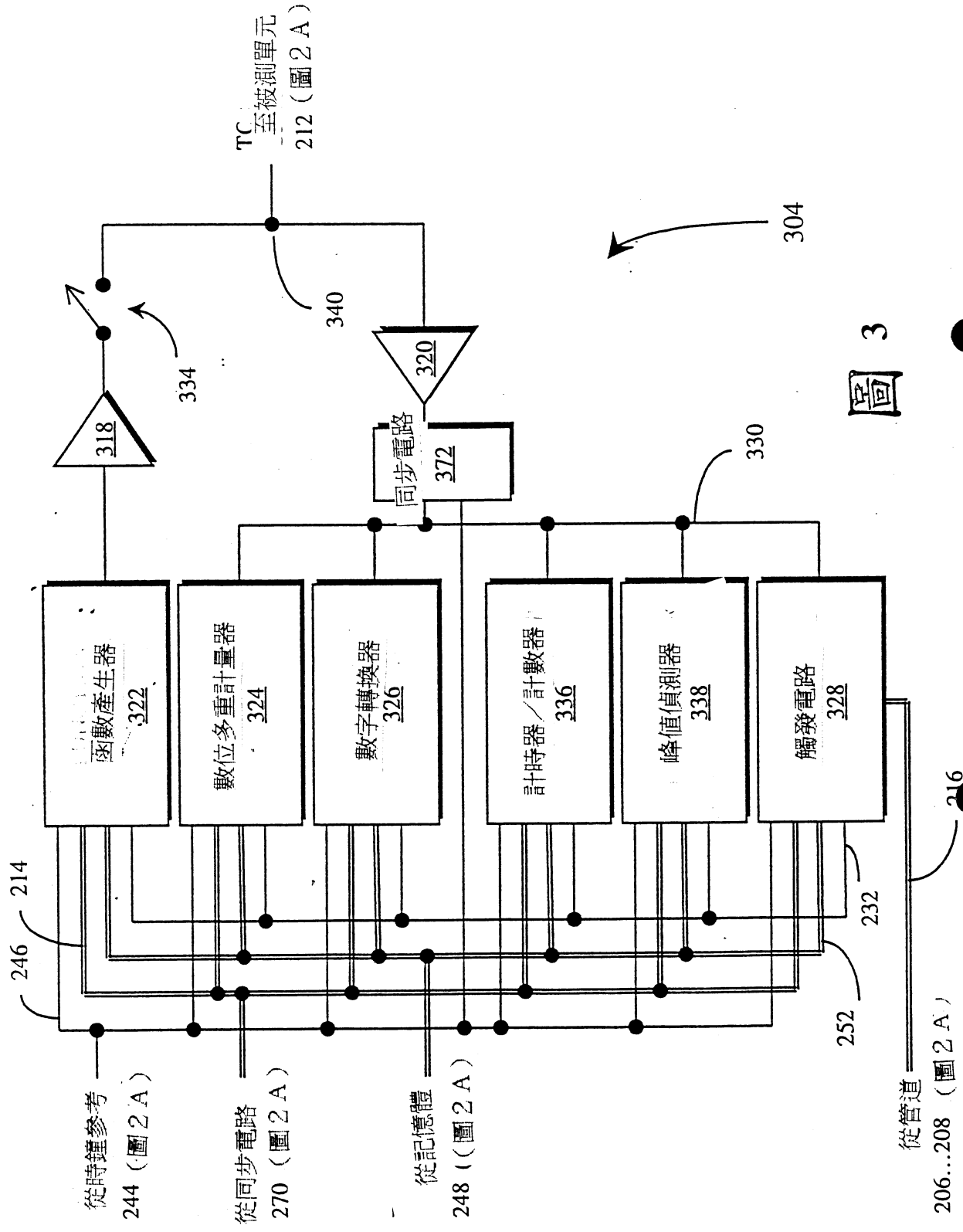


圖 3

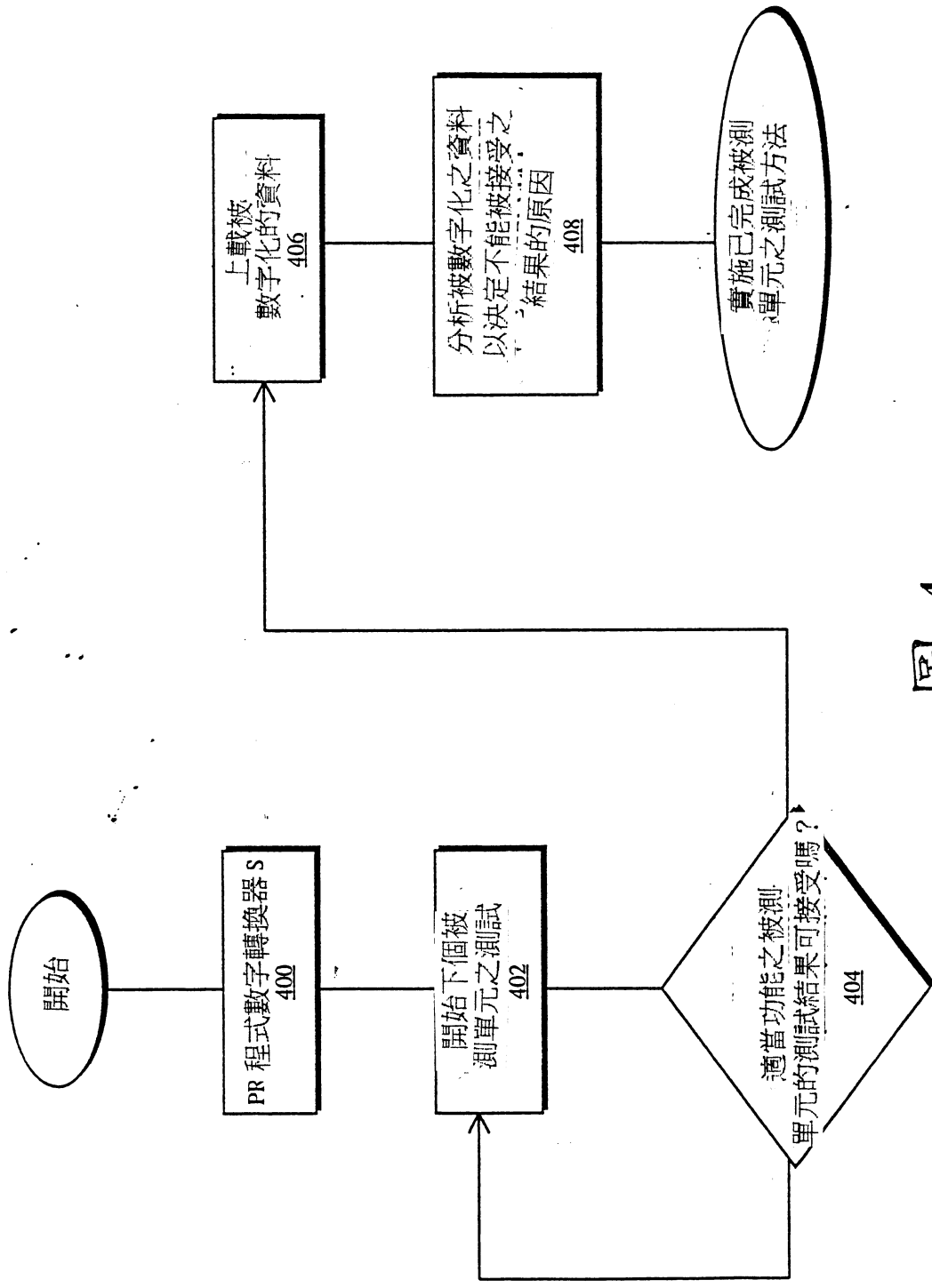


圖 4

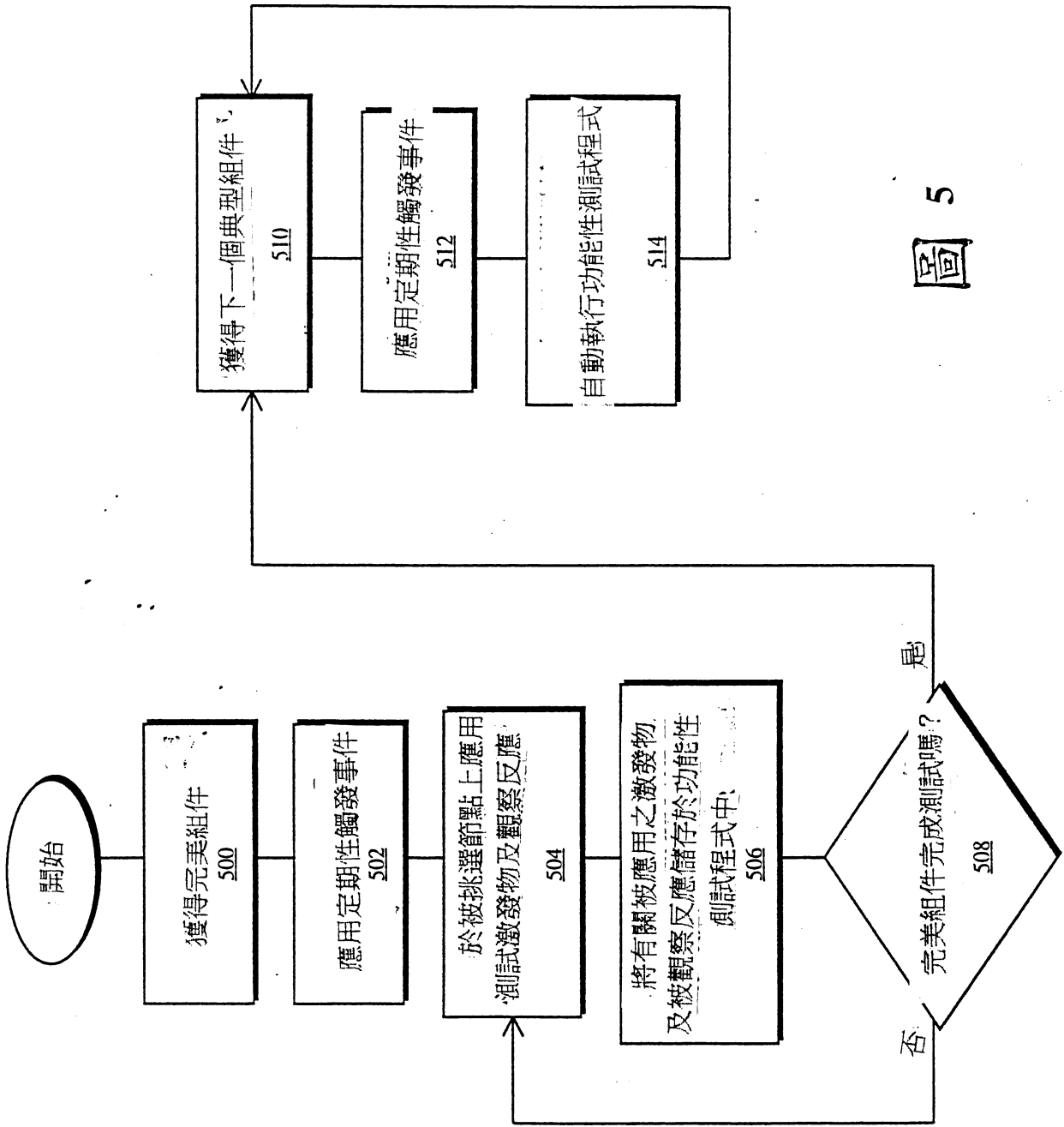


圖 5

## 六、申請專利範圍

1. 一種用於測試在自動測試系統中之電子受測單元之設備，其係包含：

一個觸發匯流排；及

複數個通道，其係連接至該觸發匯流排，以用於發源及測量於該受測單元之節點處之電子訊號，該些複數個通道之每一個係包含：

一個輸入端，其用於接收由該受測單元之一個節點而來之一個輸入訊號；

一個輸出端，其係用於提供一個輸出訊號至該受測單元之一個節點；

至少一個測量電路，其係連接至該輸入端；

至少一個驅動器電路，其係連接至該輸出端；及

一個觸發電路，其係連接至該輸入端，以用於產生觸發訊號，以回應於該輸入端之預定事件，

其中，該至少一個測量電路係建構及配置成操作，以回應由該觸發電路而來之該些觸發訊號以及由該些複數個通道之其他通道透過該觸發匯流排傳輸而來之觸發訊號，且

其中，該些複數個通道之不同通道係可建構於實質上相同之時間下操作，以回應起源於該些複數個通道之任一個而來之觸發訊號。

2. 如申請專利範圍第1項之設備，其中，該至少一個驅動器電路係建構及配置成操作，以回應由該觸發電路而來之該些觸發訊號以及由該些複數個通道之其他通

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線