(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4809658号
(P4809658)

(45)発行日　平成23年11月9日(2011.11.9)　(24)登録日　平成23年8月26日(2011.8.26)

(51)Int.Cl.		F I		
G09F 9/30	(2006.01)	G09F	9/30	338
H01L 27/32	(2006.01)	G09F	9/30	365Z
G09G 3/30	(2006.01)	G09F	9/30	349Z
G09G 3/20	(2006.01)	G09G	3/30	H
H01L 51/50	(2006.01)	G09G	3/20	624B

請求項の数 5　(全 28 頁)　最終頁に続く

(21)出願番号　特願2005-314045 (P2005-314045)
(22)出願日　平成17年10月28日 (2005.10.28)
(65)公開番号　特開2006-154789 (P2006-154789A)
(43)公開日　平成18年6月15日 (2006.6.15)
審査請求日　平成20年8月28日 (2008.8.28)
(31)優先権主張番号　特願2004-316439 (P2004-316439)
(32)優先日　平成16年10月29日 (2004.10.29)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　渡辺　康子
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　荒井　康行
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　安部　寛子
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　岩城　裕司
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】表示装置及びそれを用いた電子機器

(57)【特許請求の範囲】

【請求項１】

複数の画素を含む画素部と複数のメモリセルを含むメモリセル部を有し、

前記複数の画素はそれぞれ、発光素子を有し、

前記複数のメモリセルはそれぞれ、記憶素子を有し、

前記発光素子と前記記憶素子はそれぞれ、第１の導電層、前記第１の導電層に接する有機化合物層、および前記有機化合物層に接する第２の導電層を有し、

前記画素部と前記メモリセル部は同一の基板上に設けられており、

前記複数の画素はそれぞれ、第１のトランジスタを有し、

前記第１のトランジスタのソース又はドレインの一方は、前記発光素子が含む前記第１の導電層または前記第２の導電層に電気的に接続され、

前記複数のメモリセルはそれぞれ、第２のトランジスタを有し、

前記第２のトランジスタのソース又はドレインの一方は、前記記憶素子が含む前記第１の導電層または前記第２の導電層に電気的に接続されており、

前記画素部と前記メモリセル部に電気的に接続された駆動回路部を有し、

前記駆動回路部は、前記メモリセル部に重なるように設けられていることを特徴とする表示装置。

【請求項２】

請求項１において、

前記有機化合物層は、光酸発生剤がドーピングされた共役高分子材料、電子輸送材料、

ホール輸送材料またはキャリア輸送性材料からなることを特徴とする表示装置。
【請求項３】
請求項１において、
前記有機化合物層の厚さは、５ｎｍ～６０ｎｍであることを特徴とする表示装置。
【請求項４】
請求項１において、
前記発光素子が含む前記有機化合物層と、前記記憶素子が含む前記有機化合物層は、互いに異なる材料からなることを特徴とする表示装置。
【請求項５】
請求項１乃至請求項４のいずれか一項に記載の表示装置を用いることを特徴とする電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、複数の画素と複数のメモリセルを有する表示装置に関する。本発明は、複数の画素と複数のメモリセルを有する表示装置を用いた電子機器に関する。
【背景技術】
【０００２】
近年、基板上に様々な回路を作り込んだ表示装置の開発が進められており、例えば、画像を表示するアクティブマトリクス回路と、アクティブマトリクス回路の動作を制御する駆動回路とを一体形成したモノリシック型表示装置がある（例えば、特許文献１参照）。
【特許文献１】特開平１０－２２８２４８号公報
【発明の開示】
【発明が解決しようとする課題】
【０００３】
基板上に作り込む回路として、画像を表示する画素部と、画素部の動作を制御する駆動回路だけではなく、データを記憶する記憶回路を設けると、高機能、多機能、付加価値が高い表示装置を提供することができる。記憶回路としては、ＤＲＡＭ（Ｄｙｎａｍｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、ＳＲＡＭ（Ｓｔａｔｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、ＦｅＲＡＭ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、マスクＲＯＭ（Ｒｅａｄ Ｏｎｌｙ Ｍｅｍｏｒｙ）、ＥＰＲＯＭ（Ｅｌｅｃｔｒｉｃａｌｌｙ Ｐｒｏｇｒａｍｍａｂｌｅ Ｒｅａｄ Ｏｎｌｙ Ｍｅｍｏｒｙ）、ＥＥＰＲＯＭ（Ｅｌｅｃｔｒｉｃａｌｌｙ Ｅｒａｓａｂｌｅ Ｒｅａｄ Ｏｎｌｙ Ｍｅｍｏｒｙ）、フラッシュメモリなどが挙げられる。このうち、ＤＲＡＭ、ＳＲＡＭは揮発性のメモリであり、電源をオフにすると、データを再書き込みしなければならないという欠点がある。ＦｅＲＡＭは不揮発性のメモリであるが、強誘電体層を含む容量素子を用いているため、作製工程が増加するという欠点がある。マスクＲＯＭは、簡単な構造であるが、製造工程でデータを書き込む必要があり、追記することはできないという欠点がある。ＥＰＲＯＭ、ＥＥＰＲＯＭ、フラッシュメモリは、不揮発性のメモリではあるが、２つのゲート電極を含む素子を用いているため、作製工程が増加するという欠点がある。
【０００４】
そこで本発明は、不揮発性であって、データの追記が可能で、作製工程が増加することがない記憶回路を有する表示装置、表示装置を用いた電子機器の提供を課題とする。
【課題を解決するための手段】
【０００５】
本発明は、一対の導電層間に有機化合物層が挟まれた簡単な構造の記憶素子からなる記憶回路を有する表示装置を提供する。上記構成を有する本発明により、不揮発性であって、データの追記が可能で、作製工程が増加することがない記憶回路を有する表示装置を提供することができる。

【０００６】
本発明の表示装置は、基板上に設けられ、画像を表示する複数の画素と、データを記憶する複数のメモリセルを有する。複数の画素の各々は発光素子を有し、複数のメモリセルの各々は記憶素子を有する。発光素子と記憶素子の各々は、第１の導電層と、第１の導電層に接する有機化合物層と、有機化合物層に接する第２の導電層とを有する。
【０００７】
本発明の表示装置は、基板上に設けられた画素部とメモリセル部を有する。画素部は複数の画素を有し、メモリセル部は複数のメモリセルを有する。複数の画素の各々は発光素子を有し、複数のメモリセルの各々は記憶素子を有する。画素部とメモリセル部の各々は、第１の方向に延在する第１の配線と、第１の方向と垂直な第２の方向に延在する第２の配線を複数有する。発光素子と記憶素子の各々は、第１の配線として機能する第１の導電層と、第１の導電層に接する有機化合物層と、有機化合物層に接し第２の配線として機能する第２の導電層とを有する。
【０００８】
本発明の表示装置は、基板上に設けられた画素部とメモリセル部を有する。画素部は複数の画素を有し、メモリセル部は複数のメモリセルを有する。複数の画素の各々は、発光素子と駆動用トランジスタ（第１のトランジスタに相当）を有し、複数のメモリセルの各々は、記憶素子とスイッチ用トランジスタ（第２のトランジスタに相当）を有する。発光素子と記憶素子の各々は、第１の導電層と、第１の導電層に接する有機化合物層と、有機化合物層に接する第２の導電層を有する。発光素子が含む第１の導電層又は第２の導電層は、駆動用トランジスタのソース領域又はドレイン領域に接続し、記憶素子が含む第１の導電層又は第２の導電層は、スイッチ用トランジスタのソース領域又はドレイン領域に接続する。
【０００９】
本発明の表示装置は、基板上に設けられた画素部とメモリセル部を有する。画素部は複数の画素を有する。メモリセル部は複数のメモリセルを有し、複数の画素の各々は、発光素子と駆動用トランジスタを有する。発光素子は一対の導電層と、一対の導電層の間に設けられた有機化合物層を有する。発光素子が含む一対の導電層の一方は、駆動用トランジスタのソース領域又はドレイン領域に接続する。メモリセル部は、第１の方向に延在する第１の配線と、第１の方向と垂直な第２の方向に延在する第２の配線を複数有する。複数のメモリセルの各々は、記憶素子を有し、記憶素子は、第１の配線として機能する第１の導電層と、第１の導電層に接する有機化合物層と、有機化合物層に接し第２の配線として機能する第２の導電層とを有する。
【００１０】
本発明の表示装置は、基板上に設けられた画素部とメモリセル部と駆動回路部を有する。画素部は複数の画素を有し、メモリセル部は複数のメモリセルを有し、駆動回路部は複数のトランジスタを有する。複数の画素の各々は、発光素子と駆動用トランジスタを有し、発光素子は一対の導電層と、一対の導電層の間に設けられた有機化合物層を有する。発光素子が含む一対の導電層の一方は、駆動用トランジスタのソース領域又はドレイン領域に接続する。メモリセル部は、第１の方向に延在する第１の配線と、第１の方向と垂直な第２の方向に延在する第２の配線を複数有する。複数のメモリセルの各々は、記憶素子を有し、記憶素子は、第１の配線として機能する第１の導電層と、第１の導電層に接する有機化合物層と、有機化合物層に接し第２の配線として機能する第２の導電層とを有する。メモリセル部は駆動回路部と重なるように設けられる。
【００１１】
本発明の表示装置は、基板上に設けられた画素部とメモリセル部を有する。画素部は複数の画素を有し、メモリセル部は複数のメモリセルを有する。複数の画素の各々は、液晶素子とトランジスタを有する。メモリセル部は、第１の方向に延在する第１の配線と、第１の方向と垂直な第２の方向に延在する第２の配線を複数有する。複数のメモリセルの各々は、記憶素子を有し、記憶素子は、第１の配線として機能する第１の導電層と、第１の導

電層に接する有機化合物層と、有機化合物層に接し第２の配線として機能する第２の導電層とを有することを特徴とする。

【００１２】

上記構成を有する表示装置において、記憶素子は、光学的作用により導電性が変化する素子である。また、記憶素子は、光学的作用により抵抗値が変化する素子である。また、記憶素子は、電気的作用により抵抗値が変化する素子である。また、有機化合物層は、光酸発生剤がドーピングされた共役高分子材料からなる。また、有機化合物層は、電子輸送材料又はホール輸送材料からなる。また、本発明は、上記構成の表示装置を用いることを特徴とする電子機器を提供する。

【００１３】

上記構成を有する表示装置において、記憶素子は、電気的作用により、第１の導電層と第２の導電層の距離が変化する素子である。これは、電気的作用により、記憶素子にデータの書き込みを行う際、記憶素子に電圧を印加し、第１の導電層と第２の導電層を短絡させる場合があることに相当する。つまり、記憶素子に電圧を印加して第１の導電層と第２の導電層を短絡させる場合は、第１の導電層と第２の導電層を短絡させる前と比較して、第１の導電層と第２の導電層の距離が変化する。

【００１４】

また、有機化合物層は、少なくとも、キャリア輸送性材料を有する。これは、電気的作用によりデータの書き込みを行う際に、キャリアを輸送して、電流を流すことが必要となるためである。また、有機化合物層は、キャリア輸送性材料を有し、その導電率は、１．０×１０$^{-3}$Ｓ・ｃｍ以下であり、なおかつ１．０×１０$^{-15}$Ｓ・ｃｍ以上である。

【００１５】

また、有機化合物層の厚さは５～６０ｎｍ、好ましくは１０～２０ｎｍである。これは、有機化合物層の厚さが５ｎｍ以下だと、厚さの制御が困難であり、厚さにバラツキが生じてしまうからである。また、有機化合物層の厚さが６０ｎｍ以上だと、電気的作用によるデータの書き込みに必要な消費電力が高くなってしまうからである。また、有機化合物層の１０～２０ｎｍという厚さの範囲は、より、有機化合物層の厚さにバラツキが生じにくく、なおかつ、消費電力を抑制することができる範囲である。また、基板は、フレキシブル性を有していてもよい。

【００１６】

本発明の表示装置には、非晶質半導体層、微結晶半導体層、結晶質半導体層、単結晶半導体層、有機半導体層等のいずれを用いたトランジスタを用いてもよい。トランジスタは、半導体層、ゲート絶縁層及びゲート電極が順に積層されたトップゲート型、ゲート電極、ゲート絶縁層及び半導体層が順に積層されたボトムゲート型、第１のゲート電極、第１のゲート絶縁層、半導体層、第２のゲート絶縁層及び第２のゲート電極が順に積層されたデュアルゲート型のいずれの構造のトランジスタを用いてもよい。また、ソース、ドレイン、ゲート電極及びチャネル形成領域を含むトランジスタ、ソース、ドレイン、複数のゲート電極及び複数のチャネル形成領域を含むトランジスタのどちらの構造のトランジスタを用いてもよい。

【００１７】

また、本発明の表示装置が含むメモリセル部には、ビデオ信号や各種の制御信号などのデータが記憶されている。メモリセル部に記憶されたデータは、適宜、画素部に供給される。画素部は、メモリセル部から供給されたビデオ信号や各種信号に基づき、画像を表示する。このように、画像を表示する画素部と、データを記憶するメモリセル部とを同一基板上に形成することで、外部に接続されるＩＣチップの個数を減らし、小型、薄型、軽量を実現した表示装置を提供することができる。

【発明の効果】

【００１８】

本発明の表示装置が含む記憶回路は、光学的作用又は電気的作用によりデータの書き込みを行うものであり、不揮発性であって、データの追記が可能であることを特徴とする。上

記特徴により、書き換えによる偽造（不正に書き換える行為）を防止してセキュリティを確保しつつ、新たなデータを追記することができる。従って、本発明は、多機能化と高機能化と高付加価値化を実現した表示装置を提供することができる。

【００１９】

本発明の表示装置は、一対の導電層間に有機化合物層が挟まれた構造の記憶素子からなる記憶回路を有することを特徴とする。上記の記憶素子の構造は、発光素子の構造と同じ又はほぼ同じであるため作製工程が増加することがない上、構造が簡単なために作製が簡単であり、安価な表示装置を提供することができる。また、メモリセルの面積を小型化することが容易であるために高集積化が容易であり、大容量の記憶回路を有する表示装置を提供することができる。

【００２０】

また、本発明の表示装置は、画像を表示する複数の画素と、記憶回路とを同一基板上に設けることを特徴とする。上記特徴により、外部に接続させるＩＣチップの個数を減らすことができるため、小型、薄型、軽量を実現した表示装置を提供することができる。このような効果は、小型、薄型、軽量が求められる携帯端末にとって特に有用な効果である。

【発明を実施するための最良の形態】

【００２１】

本発明の実施の形態について、図面を参照して詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

（実施の形態１）

【００２２】

本発明の表示装置の構成について、図１～８を参照して説明する。本発明の表示装置は、画素部１１と、メモリセル部１２を有し、画素部１１とメモリセル部１２の構成によって、以下のような３つの場合に大別される。従って、以下には、（ａ）画素部１１がパッシブマトリクス型、メモリセル部１２がパッシブマトリクス型、（ｂ）画素部１１がアクティブマトリクス型、メモリセル部１２がアクティブマトリクス型、（ｃ）画素部１１がアクティブマトリクス型、メモリセル部１２がパッシブマトリクス型の３つ場合に大別して説明する。

【００２３】

まず、（ａ）画素部１１がパッシブマトリクス型、メモリセル部１２がパッシブマトリクス型の構成について、図１、２を参照して説明する。

【００２４】

画素部１１とメモリセル部１２は、基板２５上に設けられている（図１（Ａ）参照）。画素部１１は画素１３を複数有し、メモリセル部１２はメモリセル１４を複数有する（図１（Ｂ）参照）。また、画素１３は発光素子１５を有し、メモリセル１４は記憶素子１６を有する。また、画素部１１は、第１の方向に延在する第１の配線Ｓａ（１≦ａ≦ｘ、ａ、ｘは自然数、ソース線ともよぶ）と、第１の方向と垂直な第２の方向に延在する第２の配線Ｇｂ（１≦ｂ≦ｙ、ｂ、ｙは自然数、ゲート線ともよぶ）を複数有する。メモリセル部１２は、第１の方向に延在する第１の配線Ｂａ（１≦ａ≦ｍ、ｍは自然数、ビット線ともよぶ）と、第１の方向と垂直な第２の方向に延在する第２の配線Ｗｂ（１≦ｂ≦ｎ、ｎは自然数、ワード線ともよぶ）を複数有する。

【００２５】

次に、上記構成を有する表示装置の断面構造について、図２を参照して説明する。図２の断面図におけるＡ－Ｂと、図１（Ａ）の上面図におけるＡ－Ｂは対応する。

【００２６】

画素部１１には、発光素子１５が設けられており、発光素子１５は、第１の配線Ｓａとして機能する第１の導電層１７と、有機化合物層１８と、第２の配線Ｇｂとして機能する第

２の導電層１９とを有する（図２参照）。第１の導電層１７と、有機化合物層１８と、第２の導電層１９は、積層して設けられている。隣接する発光素子１５の間には、土手として機能する絶縁層２６が設けられている。

【００２７】

メモリセル部１２には、記憶素子１６が設けられており、記憶素子１６は、第１の配線Ｂａとして機能する第１の導電層２０と、有機化合物層２１と、第２の配線Ｗｂとして機能する第２の導電層２２とを有する。第１の導電層２０と、有機化合物層２１と、第２の導電層２２は積層して設けられている。隣接する記憶素子１６の間には、土手として機能する絶縁層２７が設けられている。

【００２８】

基板２５上にはシール材２８が設けられ、基板２５と対向基板２９は、シール材２８により貼り合わされている。また、基板２５上には、異方性導電層３２を介して第１の導電層１７に接する接続フィルム３０と、異方性導電層３３を介して第１の導電層２０に接する接続フィルム３１が設けられている。接続フィルム３０、３１は、具体的には、フレキシブルプリント回路（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔ　Ｃｉｒｃｕｉｔ、ＦＰＣ）等に相当する。画素部１１とメモリセル部１２の各々を構成する複数の素子の動作を制御する信号や電源電位は、接続フィルム３０、３１を介して、外部から入力される。

【００２９】

なお、上記の構成では、画素部１１とメモリセル部１２が共にパッシブマトリクス型であり、基板２５上にはトランジスタを作製していない。従って、画素部１１とメモリセル部１２を制御するためにはＩＣチップを用いるが、そのＩＣチップは、例えば、以下のように設けるとよい。接続フィルム３０、３１に、駆動回路として機能するＩＣチップ３４、３５を貼り合わせるか（図１（Ａ）、２参照）、または、基板２５上にＩＣチップ３４、３５を設けるとよい。そうすると、外部に接続するＩＣチップの個数を減らすことができるため、表示装置自体の小型化、薄型化が実現される。つまり、外部に設けるプリント配線基板に設置するＩＣチップの個数を減らすことができるため、表示装置自体の小型化、薄型化が実現される。

【００３０】

なお、メモリセル１４が含む記憶素子１６に対するデータの読み出しは、電気的作用により行われる。具体的には、記憶素子１６の第１の導電層２０と第２の導電層２２の間に電圧を印加し、記憶素子１６の抵抗値を読み取ることにより、データの読み出しが行われる。このようなデータの読み出しを行うとき、記憶素子１６に電圧を印加した際に記憶素子１６が発光してしまう場合がある。

【００３１】

従って、発光素子１５が含む有機化合物層１８と記憶素子１６が含む有機化合物層２１とが同じ材料から形成されている場合、メモリセル部１２が視認されないように筐体を配置して、記憶素子１６の発光を視認されないようにするとよい。これは、本発明の表示装置を電子機器に用いた場合に有効である。

【００３２】

または、発光素子１５が含む有機化合物層１８と、記憶素子１６が含む有機化合物層２１を、互いに異なる構造にするとよい。例えば、有機化合物層１８は、電子注入層、電子輸送層、発光層、正孔輸送層、正孔注入層の５層構造とし、有機化合物層２１は、発光層を除いた構造とするとよい。具体的には、有機化合物層２１を、電子注入層のみ、電子注入層と電子輸送層のみ、正孔輸送層と正孔注入層のみといった構造にするとよい。そうすると、記憶素子１６は電圧を印加しても発光しないような素子構造とすることができる。

【００３３】

また、発光素子１５から発せられる光は、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれており、一方又は両方を用いることができる。

【００３４】

次に、（ｂ）画素部１１がアクティブマトリクス型、メモリセル部１２がアクティブマトリクス型の構成について、図３、４を参照して説明する。

【００３５】

画素部１１とメモリセル部１２は、基板２５上に設けられており、図示する構成では、さらに、駆動回路部６１、６２が基板２５上に設けられている（図３（Ａ）参照）。なお、駆動回路部６１、６２は、画素部１１とメモリセル部１２の一方又は両方を制御する複数のトランジスタが設けられている。駆動回路部６１、６２は、必要がなければ設けなくてもよい。

【００３６】

画素部１１は画素１３を複数有し、メモリセル部１２はメモリセル１４を複数有する（図３（Ｂ）（Ｃ）参照）。また、画素１３は、発光素子１５と、画素１３に対する映像信号の入力を制御するスイッチ用トランジスタ（第１のトランジスタとよぶことがある）４１と、発光素子１５に対する電流の供給を制御する駆動用トランジスタ（第２のトランジスタとよぶことがある）４２を有する。メモリセル１４は、記憶素子１６と、記憶素子１６に対するデータの読み出しやデータの書き込みを制御するスイッチ用トランジスタ４３を有する。また、画素部１１は、第１の方向に延在する第１の配線Ｓａ（１≦ａ≦ｘ、ａ、ｘは自然数）と、第１の方向と垂直な第２の方向に延在する第２の配線Ｇｂ（１≦ｂ≦ｙ、ｂ、ｙは自然数）と、第１の方向に延在する第３の配線Ｖａ（１≦ａ≦ｘ、電源線ともよぶ）を複数有する。メモリセル部１２は、第１の方向に延在する第１の配線Ｂａ（１≦ａ≦ｍ、ｍは自然数）と、第１の方向と垂直な第２の方向に延在する第２の配線Ｗｂ（１≦ｂ≦ｎ、ｎは自然数）を複数有する。

【００３７】

次に、上記構成を有する表示装置の断面構造について説明する。図４（Ａ）（Ｂ）の断面図におけるＡ－Ｂと、図３（Ａ）の上面図におけるＡ－Ｂは対応する。

【００３８】

画素部１１には、発光素子１５が設けられており、発光素子１５は、第１の導電層４４と、有機化合物層４５と、第２の導電層４６を有する（図４（Ａ）参照）。第１の導電層４４と有機化合物層４５と第２の導電層４６は積層して設けられている。発光素子１５が含む第１の導電層４４は、駆動用トランジスタ４２のソース配線又はドレイン配線として機能する導電層５０に接続する。隣接する発光素子１５の間には、土手として機能する絶縁層５８が設けられる。

【００３９】

メモリセル部１２には、記憶素子１６が設けられており、記憶素子１６は、第１の導電層４７と、有機化合物層４８と、第２の導電層４９を有する（図４（Ｂ）参照）。第１の導電層４７と有機化合物層４８と第２の導電層４９は積層して設けられている。記憶素子１６が含む第１の導電層４７は、スイッチ用トランジスタ４３のソース配線又はドレイン配線として機能する導電層５１に接続する。隣接する記憶素子１６の間には、土手として機能する絶縁層５９が設けられる。

【００４０】

駆動回路部６１には素子群５２が設けられ、駆動回路部６２には素子群５３が設けられている。素子群５２、５３は複数のトランジスタからなる。素子群５２は、画素部１１の動作を制御する駆動回路を構成し、素子群５３は、メモリセル部１２の動作を制御する駆動回路を構成する。画素部１１の動作を制御する駆動回路とは、例えば、シフトレジスタ、デコーダ、バッファ、サンプリング回路、ラッチ等である。また、メモリセル部１２の動作を制御する駆動回路とは、例えば、デコーダ、センスアンプ、セレクタ、バッファ、読み出し回路、書き込み回路等である。

【００４１】

基板２５上にはシール材５４が設けられ、基板２５と対向基板２９は、シール材５４により貼りあわされている。また、基板２５上には、異方性導電層５５を介して接続用導電層５７に接する接続フィルム５６が設けられている。画素部１１、メモリセル部１２、駆動

回路部６１、６２の各々を構成する複数の素子の動作を制御する信号や電源電位は、接続フィルム５６を介して、外部から入力される。

【００４２】

接続用導電層５７は、導電層３６に接続されている。導電層３６は、素子群５３が含むトランジスタのゲート電極、又は、素子群５３が含むトランジスタに接続されたソース配線又はドレイン配線に接続されている。

【００４３】

なお、発光素子１５が含む有機化合物層４５と記憶素子１６が含む有機化合物層４８とが同じ材料から形成されている場合、メモリセル部１２が視認されないように筐体を配置することにより、記憶素子１６の発光を視認されないようにするとよい。これは、本発明の表示装置を電子機器に用いた場合に有効である。

【００４４】

または、発光素子１５が含む有機化合物層４５と、記憶素子１６が含む有機化合物層４８を、互いに異なる構造にするとよい。そして、記憶素子１６は電圧を印加しても発光しないような素子構造とするとよい。

【００４５】

また、上記の構造では、発光素子１５から発する光が基板２５側に向かう下面出射の構造を示すが、本発明はこれに制約されない。発光素子１５から発する光が対向基板２９側に向かう上面出射の構造を採用してもよいし、第１の導電層４４と第２の導電層４６の両方を、透光性を有する材料で形成するか、光を透過する厚さで形成することにより、発光素子１５から発する光が基板２５と対向基板２９の両方に向かう両面出射の構造を採用してもよい。

【００４６】

次に、（ｃ）画素部１１がアクティブマトリクス型、メモリセル部１２がパッシブマトリクス型の構成について図５～８を参照して説明する。

【００４７】

画素部１１とメモリセル部１２は、基板２５上に設けられており、また、図示する構成では、駆動回路部６３が基板２５上に設けられている（図５（Ａ）参照）。駆動回路部６３は、画素部１１とメモリセル部１２の一方又は両方を制御する複数のトランジスタが設けられており、駆動回路部６３は必要がなければ設けなくてもよい。

【００４８】

画素部１１は画素１３を複数有し、メモリセル部１２はメモリセル１４を複数有する（図５（Ｂ）（Ｃ）参照）。ここで示す画素部１１は、図３（Ｂ）に示す画素部１１の構成と同様であり、メモリセル部１２は図１（Ｃ）に示すメモリセル部１２の構成と同様である。

【００４９】

次に、上記構成を有する表示装置の断面構造について、図６を参照して説明する。図６（Ａ）の断面図におけるＡ－Ｂと、図５（Ａ）の上面図におけるＡ－Ｂは対応する。なお、この場合の断面構造は、メモリセル部１２と駆動回路部６３が同一の層に設けられる場合（図６（Ａ）参照）と、メモリセル部１２が駆動回路部６３上に積層して設けられる場合（図６（Ｂ）参照）の２つの場合がある。

【００５０】

まず、前者の断面構造について説明する（図６（Ａ）参照）。画素部１１には、駆動用トランジスタ４２と発光素子１５が設けられている。画素部１１の断面構造は、図４（Ａ）に示す画素部１１の断面構造と同様である。メモリセル部１２には、記憶素子１６が設けられている。メモリセル部１２の断面構造は、図２（Ｂ）に示すメモリセル部１２の断面構造と同様である。

【００５１】

上記の構成は、アクティブマトリクス型の画素部１１と、パッシブマトリクス型のメモリセル部１２が同一の基板２５上に設けられている点、記憶素子１６の第１の導電層２０は

、素子群６０が含むトランジスタのソース配線又はドレイン配線として機能する導電層６４に接続する点を特徴とする。

【００５２】

次に、後者の断面構造について説明する（図６（Ｂ）参照）。画素部１１には、駆動用トランジスタ４２と発光素子１５が設けられている。画素部１１の断面構造は、図４（Ａ）、図６（Ａ）に示す画素部１１の断面構造と同様である。メモリセル部１２には、記憶素子１６が設けられている。メモリセル部１２の断面構造は、図２（Ｂ）、図６（Ａ）に示すメモリセル部１２の断面構造と同様である。

【００５３】

上記の構成は、アクティブマトリクス型の画素部１１と、パッシブマトリクス型のメモリセル部１２が同一の基板２５上に設けられている点、駆動回路部６３上にメモリセル部１２が積層して設けられている点を特徴とする。

【００５４】

基板２５上にはシール材５４が設けられ、基板２５と対向基板２９は、シール材５４により貼りあわされている。また、基板２５上には、異方性導電層５５を介して接続用導電層５７に接する接続フィルム５６が設けられている。画素部１１、メモリセル部１２、駆動回路部６３の各々を構成する複数の素子の動作を制御する信号や電源電位は、接続フィルム５６を介して、外部から入力される。

【００５５】

接続用導電層５７は、導電層３６に接続されている。導電層３６は、素子群６０が含むトランジスタのゲート電極、又は、素子群６０が含むトランジスタに接続されたソース配線又はドレイン配線に接続されている。

【００５６】

次に、上記構成とは異なる構成の本発明の表示装置について、図７、８を参照して説明する。

【００５７】

画素部１１とメモリセル部１２は、基板２５上に設けられており、また図示する構成では、駆動回路部７１、７２が基板２５上に設けられている（図７（Ａ）参照）。駆動回路部７１、７２は、画素部１１とメモリセル部１２の一方又は両方を制御する複数のトランジスタが設けられており、駆動回路部７１、７２は必要がなければ設けなくてもよい。

【００５８】

画素部１１は画素１３を複数有し、メモリセル部１２はメモリセル１４を複数有する。画素１３は、画素１３に対する映像信号の入力を制御するスイッチ用トランジスタ７３と液晶素子７４を有する。画素部１１は、第１の方向に延在する第１の配線Ｓａ（１≦ａ≦ｘ、ａ、ｘは自然数）と、第１の方向と垂直な第２の方向に延在する第２の配線Ｇｂ（１≦ｂ≦ｙ、ｂ、ｙは自然数）を複数有する。また、メモリセル部１２は、図１（Ｃ）に示すメモリセル部１２の構成と同様である。

【００５９】

次に、上記構成を有する表示装置の断面構造について、図８を参照して説明する。図８の断面図におけるＡ－Ｂと、図７（Ａ）の上面図におけるＡ－Ｂは対応する。

【００６０】

画素部１１には、スイッチ用トランジスタ７３と液晶素子７４と容量素子７５が設けられている。液晶素子７４は、画素電極として機能する第１の導電層７６と、液晶層８０と、対向電極として機能する第２の導電層７８からなる。第１の導電層７６と液晶層８０の間には配向層７７が設けられ、第２の導電層７８と液晶層８０の間にも配向層７９が設けられている。

【００６１】

メモリセル部１２には、記憶素子１６が設けられている。メモリセル部１２の断面構造は、図２（Ｂ）、図６（Ａ）（Ｂ）に示すメモリセル部１２の断面構造と同様である。

【００６２】

駆動回路部７１には素子群８２が設けられ、駆動回路部７２には素子群８３が設けられている。素子群８２、８３は複数のトランジスタからなる。素子群８２は、画素部１１の動作を制御する駆動回路を構成し、素子群８３はメモリセル部１２の動作を制御する駆動回路を構成する。

【００６３】

基板２５上にはシール材５４が設けられ、基板２５と対向基板２９はシール材５４により貼りあわされている。また、基板２５上には、異方性導電層５５を介して接続用導電層５７に接する接続フィルム５６が設けられている。画素部１１、メモリセル部１２及び駆動回路部７１、７２の各々を構成する複数の素子を制御する信号や電源電位は、接続フィルム５６を介して、外部から入力される。

【００６４】

図８に示す構成は、アクティブマトリクス型の画素部１１と、パッシブマトリクス型のメモリセル部１２が同一の基板２５上に設けられている点、基板２５と対向基板２９の間に液晶層８０が設けられている点を特徴とする。

【００６５】

上記構成を有する本発明の表示装置は、一対の導電層間に有機化合物層が挟まれた構造の記憶素子からなる記憶回路を有することを特徴とする。上記の記憶素子の構造は、発光素子の構造と同じ又はほぼ同じであるため作製工程が増加することがない上、構造が簡単なために作製が簡単であり、安価な表示装置を提供することができる。また、メモリセルの面積を小型化することが容易であるために高集積化が容易であり、大容量の記憶回路を有する表示装置を提供することができる。

【００６６】

また、本発明の表示装置は、画像を表示する複数の画素と、記憶回路とを同一基板上に設けることを特徴とする。上記特徴により、外部に接続させるＩＣチップの個数を減らすことができるため、小型、薄型、軽量を実現した表示装置を提供することができる。

（実施の形態２）

【００６７】

本発明の表示装置が有する記憶回路の動作について、図９、１０を参照して説明する。記憶回路は、メモリセル１４がマトリクス状に設けられたメモリセル部１２、デコーダ１２３、１２４、セレクタ１２５、読み出し書き込み回路１２６を有する（図９（Ａ）参照）。

【００６８】

記憶素子１６は、第１の配線Ｂａ（１≦ａ≦ｍ）として機能する第１の導電層１２７と、第２の配線Ｗｂ（１≦ｂ≦ｎ）として機能する第２の導電層１２８と、第１の導電層１２７と第２の導電層１２８の間に設けられた有機化合物層１２９を有する（図１０（Ａ）参照）。第１の導電層１２７と、有機化合物層１２９と、第２の導電層１２８の積層体が記憶素子１６に相当する。隣接する有機化合物層１２９の間には、絶縁層１３３が設けられている。

【００６９】

第１の配線Ｂａを構成する第１の導電層１２７は、第１の方向に延在して設けられ、ワード線Ｗｂを構成する第２の導電層１２８は、第１の方向と垂直な第２の方向に延在して設けられる。つまり、第１の導電層１２７と第２の導電層１２８はストライプ状に、互いに交差するように設けられる。

【００７０】

なお、後述するが、有機化合物層１２９の構成によっては、記憶素子１６に対するデータの書き込みを光学的作用により行う場合がある。その場合、第１の導電層１２７と第２の導電層１２８のうち、一方又は両方は透光性を有することが必要である。透光性を有する導電層は、インジウム錫酸化物（ＩＴＯ）等の透明な導電性材料を用いて形成するか、又は、透明な導電性材料でなくても、光を透過する厚さで形成する。

【００７１】

また、図９（Ａ）に示す等価回路図は、パッシブマトリクス型の場合であるが、図３（Ｃ）に示したように、各メモリセル１４に記憶素子１６とスイッチ用トランジスタ４３を設けたアクティブマトリクス型を採用してもよい。

【００７２】

第１の導電層１２７と第２の導電層１２８には、公知の材料を用いることができる。第１の導電層１２７と第２の導電層１２８の一方が陽極であり、他方が陰極となる。

【００７３】

陽極に用いる材料としては、仕事関数の大きい（好ましくは４．０ｅＶ以上）金属材料、合金材料、導電性化合物材料や、これらの混合物材料等を用いることが好ましい。具体的には、インジウム錫酸化物、珪素を含有するインジウム錫酸化物、酸化亜鉛（ＺｎＯ）を含む酸化インジウム、金（Ａｕ）、白金（Ｐｔ）、ニッケル（Ｎｉ）、タングステン（Ｗ）、クロム（Ｃｒ）、モリブデン（Ｍｏ）、鉄（Ｆｅ）、コバルト（Ｃｏ）、銅（Ｃｕ）、パラジウム（Ｐｄ）、金属材料の窒化物（例えば、窒化チタン）等が挙げられる。

【００７４】

一方、陰極に用いる材料としては、仕事関数の小さい（好ましくは３．８ｅＶ以下）金属材料、合金材料、導電性化合物材料や、これらの混合物材料等を用いることが好ましい。具体的には、元素周期律の１族または２族に属する金属、つまり、リチウム（Ｌｉ）やセシウム（Ｃｓ）等のアルカリ金属、マグネシウム（Ｍｇ）、カルシウム（Ｃａ）、ストロンチウム（Ｓｒ）等のアルカリ土類金属、およびこれらを含む合金（ＭｇＡｇ、ＡｌＬｉ）、ユウロピウム（Ｅｒ）、イットリビウム（Ｙｂ）等の希土類金属およびこれらを含む合金等が挙げられる。ただし、高い電子注入性を有する電子注入層を用いることにより、仕事関数の高い材料、すなわち、通常は陽極に用いられている材料で陰極を形成することもできる。例えば、Ａｌ、Ａｇ、ＩＴＯ等の金属・導電性無機化合物により陰極を形成することもできる。

【００７５】

有機化合物層１２９は、公知の材料を用いることができ、低分子系材料、高分子系材料、シングレット材料、トリプレット材料のいずれを用いることもできる。有機化合物層１２９を形成する材料には、有機化合物材料のみからなるものだけでなく、無機化合物を一部に含む材料もあり得る。また、有機化合物層１２９は、正孔注入層、正孔輸送層、正孔阻止層（ホールブロッキング層）、発光層、電子輸送層、電子注入層等を適宜組み合わせて構成されるが、単層で構成してもよいし、複数の層を積層させた構成としてもよいし、複数の層からなるがその境界が明確ではない混合型の構成でもよい。また、有機化合物層１２９は、インクジェットに代表される液滴吐出法や蒸着法等により形成する。液滴吐出法を用いることにより、材料の利用効率、作製工程の簡略化による作製時間の短縮、作製費用の低減を実現した表示装置を提供することができる。

【００７６】

有機化合物層１２９の具体的な有機化合物材料として、例えば、４、４’－ビス［Ｎ－（１－ナフチル）－Ｎ－フェニル－アミノ］－ビフェニル（略称：α－ＮＰＤ）やＮ，Ｎ’－ビス（３－メチルフェニル）－Ｎ，Ｎ’－ジフェニルベンジジン（略称：ＴＰＤ）や４，４’，４’’－トリス（Ｎ，Ｎ－ジフェニル－アミノ）－トリフェニルアミン（略称：ＴＤＡＴＡ）、４，４’，４’’－トリス［Ｎ－（３－メチルフェニル）－Ｎ－フェニル－アミノ］－トリフェニルアミン（略称：ＭＴＤＡＴＡ）などの芳香族アミン系（即ち、ベンゼン環－窒素の結合を有する）の化合物やフタロシアニン（略称：$Ｈ_{2}$Ｐｃ）、銅フタロシアニン（略称：ＣｕＰｃ）、バナジルフタロシアニン（略称：ＶＯＰｃ）等のフタロシアニン化合物等の正孔輸送性の高い物質を用いることができる。

【００７７】

また、他にも有機化合物材料として、電子輸送性が高い材料を用いることができ、例えばトリス（８－キノリノラト）アルミニウム（略称：$Ａｌｑ_{3}$）、トリス（４－メチル－８－キノリノラト）アルミニウム（略称：$Ａｌｍｑ_{3}$）、ビス（１０－ヒドロキシベンゾ［ｈ］－キノリナト）ベリリウム（略称：$ＢｅＢｑ_{2}$）、ビス（２－メチル－８－キノリノ

ラト）－４－フェニルフェノラト－アルミニウム（略称：ＢＡｌｑ）等キノリン骨格またはベンゾキノリン骨格を有する金属錯体等からなる材料や、ビス［２－（２－ヒドロキシフェニル）ベンゾオキサゾラト］亜鉛（略称：Ｚｎ（ＢＯＸ）$_2$）、ビス［２－（２－ヒドロキシフェニル）ベンゾチアゾラト］亜鉛（略称：Ｚｎ（ＢＴＺ）$_2$）などのオキサゾール系、チアゾール系配位子を有する金属錯体などの材料も用いることができる。さらに、金属錯体以外にも、２－（４－ビフェニリル）－５－（４－ｔｅｒｔ－ブチルフェニル）－１，３，４－オキサジアゾール（略称：ＰＢＤ）、１，３－ビス［５－（ｐ－ｔｅｒｔ－ブチルフェニル）－１，３，４－オキサジアゾール－２－イル］ベンゼン（略称：ＯＸＤ－７）、３－（４－ビフェニリル）－４－フェニル－５－（４－ｔｅｒｔ－ブチルフェニル）－１，２，４－トリアゾール（略称：ＴＡＺ）、３－（４－ビフェニリル）－４－（４－エチルフェニル）－５－（４－ｔｅｒｔ－ブチルフェニル）－１，２，４－トリアゾール（略称：ｐ－ＥｔＴＡＺ）、バソフェナントロリン（略称：ＢＰｈｅｎ）、バソキュプロイン（略称：ＢＣＰ）等の化合物等を用いることができる。

【００７８】

また、他にも有機化合物材料として、４－（ジシアノメチレン）－２－メチル－６－［２－（１，１，７，７－テトラメチルジュロリジン－９－イル）エテニル］－４Ｈ－ピラン（略称：ＤＣＪＴ）、ペリフランテン、Ｎ，Ｎ’－ジメチルキナクリドン（略称：ＤＭＱｄ）、クマリン６、クマリン５４５Ｔ、９，９’－ビアントリル、９，１０－ジフェニルアントラセン（略称：ＤＰＡ）や９，１０－ジ（２－ナフチル）アントラセン（略称：ＤＮＡ）、２，５，８，１１－テトラ－ｔ－ブチルペリレン（略称：ＴＢＰ）等が挙げられる。また、上記発光材料を分散してなる層を形成する場合に母体となる材料としては、９，１０－ジ（２－ナフチル）－２－ｔｅｒｔ－ブチルアントラセン（略称：ｔ－ＢｕＤＮＡ）等のアントラセン誘導体、４，４’－ビス（Ｎ－カルバゾリル）ビフェニル（略称：ＣＢＰ）等のカルバゾール誘導体、ビス［２－（２－ヒドロキシフェニル）ピリジナト］亜鉛（略称：Ｚｎｐｐ$_2$）、ビス［２－（２’－ヒドロキシフェニル）ベンズオキサゾラト］亜鉛（略称：ＺｎＢＯＸ）などの金属錯体等を用いることができる。また、ビス（２－メチル－８－キノリノラト）（４－フェニルフェノラト）アルミニウム（略称：ＢＡｌｑ）等を用いることができる。

【００７９】

また、上記の有機化合物材料に金属酸化物材料を混合させた材料を用いてもよい。金属酸化物材料とは、例えば、モリブデン酸化物、亜鉛酸化物又はインジウム酸化物であり、これらの金属酸化物材料から選択された１つ又は複数を有機化合物材料に混合させた材料を用いるとよい。

【００８０】

また、有機化合物層１２９には、光学的作用により、その性質が変化する材料を用いることができる。例えば、光を吸収することによって酸を発生する化合物（光酸発生剤）をドープした共役高分子を用いることができる。共役高分子として、ポリアセチレン類、ポリフェニレンビニレン類、ポリチオフェン類、ポリアニリン類、ポリフェニレンエチニレン類等を用いることができる。また、光酸発生剤としては、アリールスルホニウム塩、アリールヨードニウム塩、ｏ－ニトロベンジルトシレート、アリールスルホン酸ｐ－ニトロベンジルエステル、スルホニルアセトフェノン類、Ｆｅ－アレン錯体ＰＦ６塩等を用いることができる。

【００８１】

次に、上記構成を有する記憶回路にデータの書き込みを行うときの動作について説明する。データの書き込みは、光学的作用又は電気的作用により行う。

【００８２】

まず、電気的作用によりデータの書き込みを行う場合について説明する（図９（Ａ）参照）。

【００８３】

この場合、最初に、デコーダ１２３、１２４、セレクタ１２５により、１つのメモリセル

１４を選択する。その後、読み出し書き込み回路１２６により、メモリセル１４にデータを書き込む。より具体的には、選択されたメモリセル１４が含む記憶素子１６に所定の電圧を印加して、大電流を流し、記憶素子１６が含む一対の導電層間を短絡させる。短絡した記憶素子１６は、他の記憶素子１６と比較すると抵抗値が大幅に小さくなる。このように、電気的作用を加えることにより、記憶素子１６の抵抗値が変化することを利用してデータの書き込みを行う。例えば、電気的作用を加えていない記憶素子１６を「０」のデータとする場合、「１」のデータを書き込む場合、選択された記憶素子１６に電圧を印加して大電流を流すことによって、短絡させる。

【００８４】

なお、本発明は、記憶素子１６に所定の電圧を印加して、記憶素子１６を短絡させることによりデータを書き込む形態に制約されず、記憶素子１６の素子構造や印加する電圧を調整することにより、記憶素子１６に所定の電圧を印加して、一対の導電層間の有機化合物層１２９を絶縁化させることによりデータを書き込んでもよい。この場合、絶縁化した有機化合物層１２９を含む記憶素子１６は、他の記憶素子１６と比較すると、抵抗値が大幅に高くなる。このように、電気的作用を加えることにより、記憶素子１６の抵抗値が変化することを利用してデータの書き込みを行う。例えば、電気的作用を加えていない記憶素子１６を「０」のデータとする場合、「１」のデータを書き込む場合、選択された記憶素子１６に電圧を印加して一対の導電層間の有機化合物層１２９を絶縁化させる。

【００８５】

次に、光学的作用によりデータの書き込みを行う場合について説明する（図１０（Ｂ）（Ｃ）参照）。この場合、透光性を有する導電層側（ここでは第２の導電層１２８とする）から、レーザ照射装置１３２により、有機化合物層１２９にレーザ光を照射することにより、データの書き込みを行う。より詳しくは、選択された記憶素子１６が含む有機化合物層１２９にレーザ光を照射して有機化合物層１２９を破壊する。破壊された有機化合物層１２９は、絶縁化し、他の記憶素子１６と比較すると抵抗値が大幅に大きくなる。このように、レーザ光の照射により、記憶素子１６の抵抗値が変化することを利用してデータの書き込みを行う。例えば、レーザ光を照射していない記憶素子１６を「０」のデータとする場合、「１」のデータを書き込む際は、記憶素子１６にレーザ光を照射して破壊することによって抵抗値を大きくする。

【００８６】

なお、本発明は、記憶素子１６にレーザ光を照射して、有機化合物層１２９を絶縁化することによりデータを書き込む形態に制約されず、記憶素子１６の素子構造やレーザ光の強度を調整することにより、記憶素子１６にレーザ光を照射して、有機化合物層１２９を絶縁破壊して、一対の導電層を短絡させることによりデータを書き込んでもよい。この場合、一対の導電層を短絡させた記憶素子１６は、他の記憶素子１６と比較すると、抵抗値が大幅に低くなる。このように、光学的作用を加えることにより、記憶素子１６の抵抗値が変化することを利用してデータの書き込みを行ってもよい。

【００８７】

また、有機化合物層１２９として、光を吸収することによって酸を発生する化合物（光酸発生剤）をドープした共役高分子を用いた場合、レーザ光を照射すると、照射された有機化合物層１２９の導電性が増加し、記憶素子１６の抵抗値が低くなる。一方、照射されていない有機化合物層１２９は導電性を有することがなく、記憶素子１６の抵抗値は変化しない。この場合も、選択された有機化合物層１２９にレーザ光を照射することにより、記憶素子１６の抵抗値が変化することを利用してデータの書き込みを行う。例えば、レーザ光を照射していない記憶素子１６を「０」のデータとする場合、「１」のデータを書き込む際は、選択された記憶素子１６にレーザ光を照射して導電性を増加させる。

【００８８】

続いて、データの読み出しを行う際の動作について説明する（図９（Ａ）（Ｂ）参照）。ここでは、読み出し書き込み回路１２６は、抵抗素子１４６とセンスアンプ１４７を含む構成とする。但し、読み出し書き込み回路１２６の構成は上記構成に制約されず、どのよ

うな構成を有していてもよい。

【００８９】

データの読み出しは、第１の導電層１２７と第２の導電層１２８の間に電圧を印加して、記憶素子１６の抵抗値を読み取ることにより行う。例えば、上述したように、電気的作用の印加によりデータの書き込みを行った場合、電気的作用を加えていない記憶素子１６の抵抗値と、電気的作用を加えた記憶素子１６の抵抗値は異なる値となる。このような抵抗値の相違を電気的に読み取ることにより、データの読み出しを行う。

【００９０】

また、有機化合物層１２９にレーザ光を照射することによりデータの書き込みを行った場合も同様であり、光学作用を加えていない記憶素子１６の抵抗値と、光学的作用を加えた記憶素子１６の抵抗値の相違を電気的に読み取ることにより、データの読み出しを行う。

【００９１】

また、有機化合物層１２９に、光を吸収することによって酸を発生する化合物（光酸発生剤）をドープした共役高分子を用いた場合も同様であり、光学的作用を加えていない記憶素子１６の抵抗値と、光学的作用を加えた記憶素子の抵抗値の相違を電気的に読み取ることにより、データの読み出しを行う。

【００９２】

例えば、メモリセル部１２が含む複数のメモリセル１４から、ｘ列目ｙ行目に配置されたメモリセル１４のデータの読み出しを行う場合、まず、デコーダ１２３、１２４、セレクタ１２５により、ｘ列目のビット線Ｂｘと、ｙ行目のワード線Ｗｙを選択する。そうすると、メモリセル１４が含む記憶素子１６と、抵抗素子１４６とは、直列に接続された状態となる。ここで、直列に接続された記憶素子１６と抵抗素子１４６の両端に電圧が印加されると、ノードαの電位は、記憶素子１６の抵抗値に従って、抵抗分割された電位（抵抗素子１４６の一端の端子の電位）となる。ノードαの電位は、センスアンプ１４７に供給され、当該センスアンプ１４７において、「０」と「１」のどちらの情報を有しているかを判別される。その後、センスアンプ１４７において判別された「０」と「１」の情報を含む信号は、外部に供給される。

【００９３】

上記の方法によると、記憶素子１６の情報は、抵抗値の相違と抵抗分割を利用して、電圧値で読み取っている。しかしながら、電流値を比較する方法でもよい。これは、例えば、電気的作用を加えていない記憶素子１６と、電気的作用を加えた記憶素子１６の抵抗値の相違に起因した電流値の相違を利用するものである。このように電流値の相違を電気的に読み取ることにより、データの読み出しを行ってもよい。

【００９４】

また、上記構成とは異なる構成として、第１の導電層１２７と有機化合物層１２９の間に、整流性を有する素子を設けてもよい。整流性がある素子とは、ゲート電極とドレイン電極を接続したトランジスタ、又はダイオードである。ダイオードとは、ＰＮ接合を含むダイオード、ＰＩＮ接合を含むダイオード、アバランツェダイオードを用いるとよい。

【００９５】

このように、整流性がある素子を設けることにより、１つの方向にしか電流が流れないために、誤差が減少し、読み出しマージンが向上する。

【００９６】

本発明の表示装置が含む記憶回路は、光学的作用又は電気的作用によりデータの書き込みを行うものであり、不揮発性であって、データの追記が可能であることを特徴とする。上記特徴により、書き換えによる偽造を防止してセキュリティを確保しつつ、新たなデータを追記することができる。従って、本発明は、多機能化と高機能化と高付加価値化を実現した表示装置を提供することができる。

【００９７】

本発明の表示装置は、一対の導電層間に有機化合物層が挟まれた構造の記憶素子からなる記憶回路を有することを特徴とする。上記の記憶素子の構造は、発光素子の構造と同じ又

はほぼ同じであるため作製工程が増加することがない上、構造が簡単なために作製が簡単であり、安価な表示装置を提供することができる。また、メモリセルの面積を小型化することが容易であるために高集積化が容易であり、大容量の記憶回路を有する表示装置を提供することができる。

【００９８】

また、本発明の表示装置は、画像を表示する複数の画素と、記憶回路とを同一基板上に設けることを特徴とする。上記特徴により、外部に接続させるＩＣチップの個数を減らすことができるため、小型、薄型、軽量を実現した表示装置を提供することができる。

【実施例１】

【００９９】

発光素子は、周囲の温度により、抵抗値が変化する性質を有する。具体的には、室温を通常の温度としたとき、温度が室温よりも高くなると抵抗値が低下し、温度が室温よりも低くなると抵抗値が増加する。従って、温度が高くなると電流値が増加して所望の輝度よりも高い輝度となり、温度が低くなると電流値が低下して所望の輝度よりも低い輝度となってしまう。また、発光素子は、時間の経過に伴い、抵抗値が変化する性質を有する。具体的には、時間の経過に伴い、抵抗値が増加する。そのため、時間が経過すると、電流値が減少して、所望の輝度よりも低い輝度となってしまう。そこで、本発明の表示装置が含む記憶回路を用いて、周囲の温度や時間の経過に伴う発光素子の特性変化を補償する方法について、図１１を参照して説明する。

【０１００】

基板２５上には、画素部１１とメモリセル部１２とが設けられており、基板２５の外部には、時間検出回路９３、補正回路９４、温度検出回路９５、電源回路９６が設けられている（図１１（Ａ）参照）。基板２５上の素子と、回路９３～９６の各回路とは、接続フィルム３１を介して電気的接続する。なお、可能ならば、基板２５上に、各回路９３～９６を構成する素子を設けてもよい。

【０１０１】

記憶回路は、メモリセル部１２に設けられた複数の素子により構成される。記憶回路には、発光素子の電流電圧特性のデータが記憶されており、具体的には発光素子の電流電圧特性の経時特性（図１１（Ｂ）参照）と、電流電圧特性の時間特性（図１１（Ｃ）参照）が記憶されている。

【０１０２】

時間検出回路９３は、発光素子の点灯時間を検出する回路であり、点灯時間の検出は、画素部１１に電源が与えられた時間を検出することで行ってもよいし、画素部１１内の画素に入力される映像信号をサンプリングすることで行ってもよい。

【０１０３】

温度検出回路９５は、温度を検出する回路であり、市販の温度センサや、温度モニター用の発光素子により構成される。なお、温度モニター用の発光素子とは、両電極間に常に一定の電流を流すようにして、温度変化による発光素子の抵抗値の変動を検出することで、温度を検出する素子である。

【０１０４】

電源回路９６は、基板２５上の画素部１１とメモリセル部１２の各々の素子に電源を供給する回路である。

【０１０５】

補正回路９４は、発光素子の特性変化を補償するために、画素部１１内の画素に入力される映像信号と、画素部１１に与える電源電位の一方又は両方を補正する。以下には、補正回路９４の詳しい動作について説明する。

【０１０６】

まず、補正回路９４に対し、時間検出回路９３と温度検出回路９５の一方又は両方から、経過時間と温度の一方又は両方の情報が供給される。そうすると、補正回路９４では、時間検出回路９３と温度検出回路９５の一方又は両方から供給された情報と、記憶回路に記

憶された発光素子の経時特性又は温度特性と比較し、発光素子の特性変化を補償するために、映像信号と電源電位の一方又は両方を補正する。

【０１０７】

具体的には、例えば、温度検出回路９５から温度が室温よりも高いという情報を得た場合、記憶回路に記憶された発光素子の温度特性に基づき、映像信号の階調数を下げる補正と電源電位を低くする補正の一方又は両方を行って、所望の輝度を得るようにする。

【０１０８】

また、温度検出回路９５から、温度が室温よりも低いという情報を得た場合、記憶回路に記憶された発光素子の経時特性に基づき、映像信号の階調数を上げる動作と電源電位を高くする動作の一方又は両方を行って、所望の輝度を得るようにする。

【０１０９】

また、時間検出回路９３から得た点灯時間の情報と、記憶回路に記憶された経時特性とを比較し、発光素子の経時変化が進行していることが判明した場合は、映像信号の階調数を上げる動作と電源電位を高くする動作の一方又は両方を行って、所望の輝度を得るようにする。

【０１１０】

なお電源電位を補正する動作は、画素部１１に設けられた全ての画素に対して行うことになるため、特性変化が最も低い発光素子に合わせて電源電位を補正し、それ以外の発光素子に対しては、補正した映像信号を供給することにより対応するとよい。

【実施例２】

【０１１１】

本発明の表示装置が含む画素部１１には、複数の画素１３が設けられる。画素１３の回路構成として、２つのトランジスタを設けられる場合（図３（Ｂ）、図５（Ｂ）参照）を上述したが、以下には、上記構成とは異なる画素１３の回路構成について、図１２を参照して説明する。

【０１１２】

まず、画素１３に３つのトランジスタを設ける場合について説明する（図１２（Ａ）参照）。この場合、画素１３内に、画素１３に対するビデオ信号の入力を制御するスイッチ用トランジスタ４１と、発光素子１５に流れる電流値を制御する駆動用トランジスタ４２と、発光素子１５を強制的に非点灯にする消去用トランジスタ８４の３つのトランジスタが設けられる。また、画素部１１には、ソース線Ｓａ、電源線Ｖａ、ゲート線Ｇｂ、リセット線Ｒｂが設けられる。この構成では、発光素子１５に強制的に電流が流れない状態を作ることができる。従って、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時又は直後に点灯期間を開始することができる。その結果、デューティ比が向上して、動画の表示を良好に行うことができる。

【０１１３】

また、画素１３内に４つのトランジスタが設けられる場合について説明する（図１２（Ｂ）参照）。この場合、画素１３内に、画素１３に対するビデオ信号の入力を制御するスイッチ用トランジスタ４１と、発光素子１５を強制的に非点灯にする消去用トランジスタ８４と、発光素子１５に流れる電流値を決定する駆動用トランジスタ８５と、発光素子１５に対する電流の供給を制御する電流制御用トランジスタ８６とが設けられる。また、画素部１１には、ソース線Ｓａ、電源線Ｖａ、電源線Ｐａ、ゲート線Ｇｂ、リセット線Ｒｂが設けられる。

【０１１４】

この構成では、駆動用トランジスタ８５のゲート電極の電位を固定にして常に電流が流せる状態にし、なおかつを飽和領域で動作させる。一方、電流制御用トランジスタ８６は線形領域で動作させる。線形領域で動作する電流制御用トランジスタ８６のソースとドレインの間の電圧の値は小さい。従って、電流制御用トランジスタ８６のゲート・ソース間電圧の僅かな変動は、発光素子１５に流れる電流値に影響を及ぼさない。発光素子１５の電流値は、飽和領域で動作する駆動用トランジスタ８５により決定される。従って、トラン

ジスタの特性バラツキに起因した発光素子１５の輝度ムラを改善して、画質を高めることができる。

【０１１５】

なお、上記構成において、駆動用トランジスタ４２、電流制御用トランジスタ８６のゲート・ソース間電圧を保持する容量素子を設けてもよい。この容量素子は、画素１３に入力されるビデオ信号を保持するものである。但し、寄生容量やゲート容量で賄うことができる場合は、明示的に設けなくてもよい。

【実施例３】

【０１１６】

本発明の表示装置の一形態について、図１３を参照して説明する。表示装置は、大別して、データ記憶ブロック、表示ブロック、画像処理ブロック、制御ブロックの４つのブロックを有し、全てのブロックは、基板１００上に設けられる。データ記憶ブロックは、プログラム用記憶回路１０１、作業領域用記憶回路１０２、音声データ用記憶回路１０３、ラインバッファ用記憶回路１０４ａ、１０４ｂ、インレンジ用記憶回路１０５、カラーパレット用記憶回路１０６、メモリコントローラ１０７、デコーダとレジスタ１０８、コントローラ１０９、音声データ用ＤＡ変換回路と演算増幅器１１０、メモリ用参照電源発生回路１１１、階調電源１１２を有する。表示ブロックは、画素部１１３と駆動回路部１１４、１１５を有する。画像処理ブロックは、画像処理回路１１６を有する。制御ブロックは、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ、中央処理回路）１１７を有する。

【０１１７】

上記のように、表示ブロックだけではなく、データ記憶ブロック、画像処理ブロック及び制御ブロックを有する表示装置は、接続するＩＣの個数を減らし、小型・薄型・軽量を実現する。また、表示ブロック、画像処理ブロック及び制御ブロックが互いに隣接している本発明の表示装置は、データの流れに沿った配置となっており、動作を正確に行うことができる。

【０１１８】

本発明は、記憶回路１０１～１０６の各々として、一対の導電層間に有機化合物層が挟まれた構造の記憶素子からなる記憶回路を用いることを特徴とする。上記の記憶素子の構造は、発光素子の構造と同じであるため作製工程が増加することがない上、構造が簡単なために作製が簡単であり、安価な表示装置を提供することができる。また、メモリセルの面積を小型化することが容易であるために高集積化が容易であり、大容量の記憶回路を有する表示装置を提供することができる。また、本発明の表示装置は、画像を表示する複数の画素と、記憶回路とを同一基板上に設けることを特徴とする。上記特徴により、外部に接続させるＩＣチップの個数を減らすことができるため、小型、薄型、軽量を実現した表示装置を提供することができる。本実施例は、上記の実施の形態と自由に組み合わせることができる。

【実施例４】

【０１１９】

本発明の表示装置を用いた電子機器の一態様について、図１４、１５を参照して説明する。ここで例示する電子機器は携帯電話機であり、筐体２７００、２７０６、パネル２７０１、ハウジング２７０２、プリント配線基板２７０３、操作ボタン２７０４、バッテリ２７０５とを含む（図１４参照）。パネル２７０１は、画素部１１とメモリセル部１２を有する。また、パネル２７０１はハウジング２７０２に脱着自在に組み込まれ、ハウジング２７０２はプリント配線基板２７０３に嵌着される。ハウジング２７０２はパネル２７０１が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板２７０３には、パッケージングされた複数の半導体装置（ＩＣチップともよぶ）が実装されている。プリント配線基板２７０３に実装される複数の半導体装置は、コントローラ、中央処理回路（ＣＰＵ）、メモリ、電源回路、画像処理回路、音声処理回路、送受信回路、時間検出回路、補正回路、温度検出回路等のいずれかの機能を有する。

【０１２０】
パネル２７０１は、接続フィルム２７０８を介して、プリント配線基板２７０３と一体化される。上記のパネル２７０１、ハウジング２７０２、プリント配線基板２７０３は、操作ボタン２７０４やバッテリ２７０５と共に、筐体２７００、２７０６の内部に収納される。パネル２７０１が含む画素部１１は、筐体２７００に設けられた開口窓から視認できるように配置されている。
【０１２１】
なお、筐体２７００、２７０６は、携帯電話機の外観形状を一例として示したものであり、本実施例に係る電子機器は、その機能や用途に応じて様々な態様に変容しうる。従って、以下に、電子機器の態様の一例について、図１５を参照して説明する。
【０１２２】
携帯電話装置は、画素部９１０２等を含む（図１５（Ａ）参照）。基板上に画素部９１０２と記憶回路を設けることを特徴とする本発明により、小型、薄型、軽量を実現し、さらに高機能化と多機能化と高付加価値化を実現した携帯電話装置を提供することができる。携帯電話装置は持ち運ぶために小型な筐体を有しており、そのために、筐体の内部の空間には制約が生じてしまう。しかし、画素部９１０２と記憶回路を有する本発明の表示装置は、多機能であるにも関わらず、小型、薄型を実現しているため、携帯電話装置に用いることは有用である。
【０１２３】
携帯型ゲーム装置は、画素部９８０１等を含む（図１５（Ｂ）参照）。基板上に画素部９８０１と記憶回路を設けることを特徴とする本発明により、小型、薄型、軽量を実現し、さらに高機能化と多機能化と高付加価値化を実現した携帯型ゲーム機を提供することができる。なお、携帯型ゲーム装置は持ち運ぶために小型な筐体を有しており、そのために、筐体の内部の空間には制約が生じてしまう。しかし、画素部９８０１と記憶回路を有する本発明の表示装置は、多機能であるにも関わらず、小型、薄型を実現しているため、携帯型ゲーム装置に用いることは有用である。
【０１２４】
デジタルビデオカメラは、画素部９７０１、９７０２等を含む（図１５（Ｃ）参照）。基板上に画素部９７０１、９７０２と記憶回路を設けることを特徴とする本発明により、小型、薄型、軽量を実現し、さらに高機能化と多機能化と高付加価値化を実現したデジタルビデオカメラを提供することができる。なお、デジタルビデオカメラは持ち運ぶために小型な筐体を有しており、そのために、筐体の内部の空間には制約が生じてしまう。しかし、画素部９７０１、９７０２と記憶回路を有する本発明の表示装置は、多機能であるにも関わらず、小型、薄型を実現しているため、デジタルビデオカメラに用いることは有用である。
【０１２５】
携帯情報端末は、画素部９２０１等を含む（図１５（Ｄ）参照）。基板上に画素部９２０１と記憶回路を設けることを特徴とする本発明により、小型、薄型、軽量を実現し、さらに高機能化と多機能化と高付加価値化を実現した携帯情報端末を提供することができる。なお、携帯情報端末は持ち運ぶ必要があるために小型な筐体を有しており、そのために、筐体の内部の空間には制約が生じてしまう。しかし、画素部９２０１と記憶回路を有する本発明の表示装置は、高機能であるにも関わらず、小型、薄型を実現しているため、携帯情報端末に用いることは有用である。
【０１２６】
テレビジョン装置は、画素部９３０１等を含む（図１５（Ｅ）参照）。基板上に画素部９３０１と記憶回路を設けることを特徴とする本発明により、小型、薄型、軽量を実現し、さらに高機能化と多機能化と高付加価値化を実現したテレビジョン装置を提供することができる。
【０１２７】
モニター装置は、画素部９４０１等を含む（図１５（Ｆ）参照）。基板上に画素部９４０

１と記憶回路を設けることを特徴とする本発明により、小型、薄型、軽量を実現し、さらに高機能化と多機能化と高付加価値化を実現したモニター装置を提供することができる。

【０１２８】

上記の通り、本発明は、テレビジョン装置（テレビ、テレビジョン受信機ともよぶ）、デジタルカメラ、携帯電話装置（携帯電話機、携帯電話ともよぶ）やＰＤＡ等の携帯情報端末、携帯型ゲーム機、コンピュータ用のモニター装置（モニターともよぶ）、カーオーディオ等の音響再生装置、家庭用ゲーム機等の様々な電子機器に適用することができる。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例５】

【０１２９】

本実施例では、基板上に記憶素子を作製し、その記憶素子に電気的作用によりデータの書き込みを行ったときの電流電圧特性を調べた実験の結果について説明する。記憶素子は、基板上に、第１の導電層、第１の有機化合物層、第２の有機化合物層、第２の導電層の順に積層した素子であり、第１の導電層は酸化珪素とインジウム錫酸化物の化合物、第１の有機化合物層はＮ，Ｎ’－ビス（３－メチルフェニル）－Ｎ，Ｎ’－ジフェニルベンジジン（ＴＰＤと略称されることがある）、第２の有機化合物層は、４，４’－ビス［Ｎ－（１－ナフチル）－Ｎ－フェニル－アミノ］－ビフェニル（α－ＮＰＤと略称されることがある）、第２の導電層はアルミニウムにより形成した。また、第１の有機化合物層は１０ｎｍ、第２の有機化合物層は５０ｎｍの膜厚で形成した。

【０１３０】

まず、電気的作用によりデータの書き込みを行う前と、電気的作用によりデータを書き込んだ後の、記憶素子の電流電圧特性の測定結果について、図１６を参照して説明する。図１６は、横軸が電圧値、縦軸が電流値、プロット２６１は電気的作用によりデータを書き込み前の記憶素子の電流電圧特性、プロット２６２は電気的作用によりデータを書き込んだ後の記憶素子の電流電圧特性を示す。図１６から、データの書き込み前と、データの書き込み後とで、記憶素子の電流電圧特性には大きな変化がみられる。例えば、印加電圧１Ｖでは、データ書き込み前の電流値は４．８×１０$^{-5}$ｍＡであるのに対し、データ書き込み後の電流値は１．１×１０^{2}ｍＡであり、データの書き込み前と、データの書き込み後では、電流値に７桁（１０^{7}倍）の変化が生じている。このように、データの書き込み前と、データの書き込み後では、記憶素子の抵抗値に変化が生じており、この記憶素子の抵抗値の変化を、電圧値又は電流値により読み取れば、記憶回路として機能させることができる。

【０１３１】

なお、上記のような記憶素子を記憶回路として用いる場合、データの読み出し動作の度に、記憶素子には所定の電圧値（短絡しない程度の電圧値）が印加され、その抵抗値の読み取りが行われる。従って、上記の記憶素子の電流電圧特性には、読み出し動作を繰り返し行っても、つまり、所定の電圧値を繰り返し印加しても、変化しないような特性が必要となる。そこで、データの読み出し動作を行った後の記憶素子の電流電圧特性の測定結果について、図１７を参照して説明する。なお、この実験では、データの読み出し動作を１回行う度に、記憶素子の電流電圧特性を測定した。データの読み出し動作は合計５回行ったので、記憶素子の電流電圧特性の測定は合計５回行った。また、この電流電圧特性の測定は、電気的作用によりデータの書き込みが行われて抵抗値が変化した記憶素子と、抵抗値が変化していない記憶素子の２つの記憶素子に対して行った。

【０１３２】

図１７は、横軸が電圧値、縦軸が電流値、プロット２７１は電気的作用によりデータの書き込みが行われて抵抗値が変化した記憶素子の電流電圧特性、プロット２７２は抵抗値が変化していない記憶素子の電流電圧特性を示す。プロット２７１から分かるように、抵抗値が変化していない記憶素子の電流電圧特性は、電圧値が１Ｖ以上のときに特に良好な再現性を示す。同様に、プロット２７２から分かるように、抵抗値が変化した記憶素子の電流電圧特性も、電圧値が１Ｖ以上のときに特に良好な再現性を示す。上記の結果から、デ

ータの読み出し動作を複数回繰り返し行っても、その電流電圧特性は大きく変化せず、再現性は良好である。従って、上記の記憶素子を記憶回路として用いることができることが分かる。

【実施例６】

【０１３３】

本実施例では、基板上に記憶素子を作成し、その記憶素子に電気的作用によりデータの書き込みを行ったときの電流電圧特性の測定結果について、図１８～２０を参照して説明する。図１８～２０において、横軸は電圧値（Ｖ）、縦軸は電流密度値（ｍＡ／cm^2）である。また、図１８～２０において、丸印のプロットはデータの書き込み前の記憶素子の電流電圧特性の測定結果、四角印のプロットはデータの書き込み後の記憶素子の電流電圧特性の測定結果を示す。なお、記憶素子に電気的作用によりデータの書き込みを行うとは、記憶素子に電圧を印加して、記憶素子を短絡させることである。

【０１３４】

電圧電流特性の測定には、６つの試料（試料１～試料６）を用いた。６つの試料の水平面における大きさは、２ｍｍ×２ｍｍである。以下には、６つの試料の積層構造について説明する。

【０１３５】

試料１は、第１の導電層、有機化合物層、第２の導電層の順に積層した素子である。試料１は、第１の導電層として酸化珪素を含むＩＴＯで形成し、有機化合物層をＴＰＤで形成し、第２の導電層をアルミニウムで形成した。また、有機化合物層を厚さ５０ｎｍで形成した。試料１の電流電圧特性の測定結果を図１８（Ａ）に示す。

【０１３６】

試料２は、第１の導電層、有機化合物層、第２の導電層の順に積層した素子である。試料２は、第１の導電層として酸化珪素を含むＩＴＯで形成し、有機化合物層を、２，３，５，６－テトラフルオロ－７，７，８，８，－テトラシアノキノジメンタン（Ｆ４－ＴＣＮＱと略称されることがある）を添加したＴＰＤで形成し、第２の導電層をアルミニウムで形成した。また、有機化合物層を厚さ５０ｎｍで、Ｆ４－ＴＣＮＱを０．０１ｗｔ％添加して形成した。試料２の電流電圧特性の測定結果を図１８（Ｂ）に示す。

【０１３７】

試料３は、第１の導電層、第１の有機化合物層、第２の有機化合物層、第２の導電層の順に積層した素子である。試料３は、第１の導電層として酸化珪素を含むＩＴＯで形成し、第１の有機化合物層をＴＰＤで形成し、第２の有機化合物層をＦ４－ＴＣＮＱで形成し、第２の導電層をアルミニウムで形成した。また、第１の有機化合物層を厚さ５０ｎｍで形成し、第２の有機化合物層を厚さ１ｎｍで形成した。試料３の電流電圧特性の測定結果を図１９（Ａ）に示す。

【０１３８】

試料４は、第１の導電層、第１の有機化合物層、第２の有機化合物層、第２の導電層の順に積層した素子である。試料４は、第１の導電層として酸化珪素を含むＩＴＯで形成し、第１の有機化合物層をＦ４－ＴＣＮＱで形成し、第２の有機化合物層をＴＰＤで形成し、第２の導電層をアルミニウムで形成した。また、第１の有機化合物層を厚さ１ｎｍで形成し、第２の有機化合物層を厚さ５０ｎｍで形成した。試料４の電流電圧特性の測定結果を図１９（Ｂ）に示す。

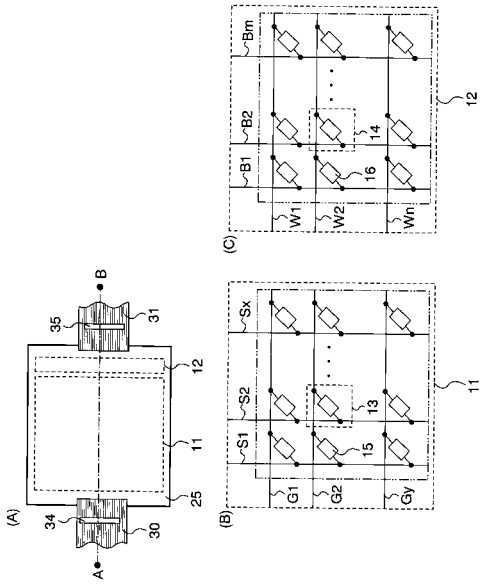
【０１３９】

試料５は、第１の導電層、第１の有機化合物層、第２の有機化合物層、第２の導電層の順に積層した素子である。試料５は、第１の導電層として酸化珪素を含むＩＴＯで形成し、第１の有機化合物層を、Ｆ４－ＴＣＮＱを添加したＴＰＤで形成し、第２の有機化合物層をＴＰＤで形成し、第２の導電層をアルミニウムで形成した。また、第１の有機化合物層を厚さ４０ｎｍで、Ｆ４－ＴＣＮＱを０．０１ｗｔ％添加して形成した。また、第２の有機化合物層を厚さ４０ｎｍで形成した。試料５の電流電圧特性の測定結果を図２０（Ａ）に示す。

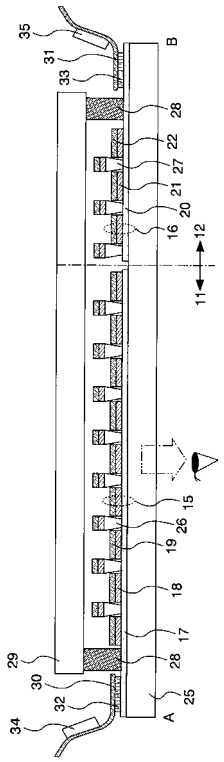
【０１４０】
試料６は、第１の導電層、第１の有機化合物層、第２の有機化合物層、第２の導電層の順に積層した素子である。試料６は、第１の導電層として酸化珪素を含むＩＴＯで形成し、第１の有機化合物層をＴＰＤで形成し、第２の有機化合物層をＦ４－ＴＣＮＱを添加したＴＰＤで形成し、第２の導電層をアルミニウムで形成した。また、第１の有機化合物層を厚さ４０ｎｍで形成した。また、第２の有機化合物層を厚さ１０ｎｍで、Ｆ４－ＴＣＮＱを０．０１ｗｔ％添加して形成した。試料６の電流電圧特性の測定結果を図２０（Ｂ）に示す。
【０１４１】
図１８～２０に示す測定結果から、試料１～試料６において、データの書き込み前（記憶素子の短絡前）と、データの書き込み後（記憶素子の短絡後）で、記憶素子の電流電圧特性に大きな変化がみられた。
【０１４２】
また、試料１の書き込み電圧（Ｖ）は８．４であった。試料２の書き込み電圧（Ｖ）は４．４であった。試料３の書き込み電圧（Ｖ）は３．２であった。試料４の書き込み電圧（Ｖ）は５．０であった。試料５の書き込み電圧（Ｖ）は６．１であった。試料６の書き込み電圧（Ｖ）は７．８であった。試料１～試料６の書き込み電圧には、再現性があり、誤差は０．１Ｖ以内であった。
【０１４３】
次に、試料１～６のデータの書き込み前とデータの書き込み後の電流密度の変化について説明する。電流密度の変化を示す値Ｒ１は、書き込み後の記憶素子に電圧を１Ｖ印加したときの電流密度Ａを、書き込み前の記憶素子に電圧を１Ｖ印加したときの電流密度Ｂで除した値（Ｒ１＝Ａ÷Ｂ）である。電流密度の変化を示す値Ｒ２は、書き込み後の記憶素子に電圧を３Ｖ印加したときの電流密度Ｃを、書き込み前の記憶素子に電圧を３Ｖ印加したときの電流密度Ｄで除した値（Ｒ２＝Ｃ÷Ｄ）である。
【０１４４】
試料１のＲ１は１．９×10^{7}であり、Ｒ２は８．４×10^{3}であった。試料２のＲ１は８．０×10^{8}であり、Ｒ２は２．１×10^{2}であった。試料３のＲ１は８．７×10^{4}であり、Ｒ２は２．０×10^{2}であった。試料４のＲ１は３．７×10^{4}であり、Ｒ２は１．０×10^{1}であった。試料５のＲ１は２．０×10^{5}であり、Ｒ２は５．９×10^{1}であった。試料６のＲ１は２．０×10^{4}であり、Ｒ２は２．５×10^{2}であった。上記の結果より、試料１～６において、印加電圧が３Ｖのときの電流値の変化と、印加電圧が１Ｖのときの電流値の変化は、10^{3}倍以上であることが分かる。
【図面の簡単な説明】
【０１４５】
【図１】本発明の表示装置を示す図（実施の形態１）。
【図２】本発明の表示装置を示す図（実施の形態１）。
【図３】本発明の表示装置を示す図（実施の形態１）。
【図４】本発明の表示装置を示す図（実施の形態１）。
【図５】本発明の表示装置を示す図（実施の形態１）。
【図６】本発明の表示装置を示す図（実施の形態１）。
【図７】本発明の表示装置を示す図（実施の形態１）。
【図８】本発明の表示装置を示す図（実施の形態１）。
【図９】本発明の表示装置を示す図（実施の形態２）。
【図１０】本発明の表示装置を示す図（実施の形態２）。
【図１１】本発明の表示装置を示す図（実施例１）。
【図１２】本発明の表示装置を示す図（実施例２）。
【図１３】本発明の表示装置を示す図（実施例３）。
【図１４】本発明の表示装置を用いた電子機器を示す図（実施例４）。
【図１５】本発明の表示装置を用いた電子機器を示す図（実施例４）。

【図１６】記憶素子の電流電圧特性を示す図（実施例５）。
【図１７】記憶素子の電流電圧特性を示す図（実施例５）。
【図１８】記憶素子の電流電圧特性を示す図（実施例６）。
【図１９】記憶素子の電流電圧特性を示す図（実施例６）。
【図２０】記憶素子の電流電圧特性を示す図（実施例６）。

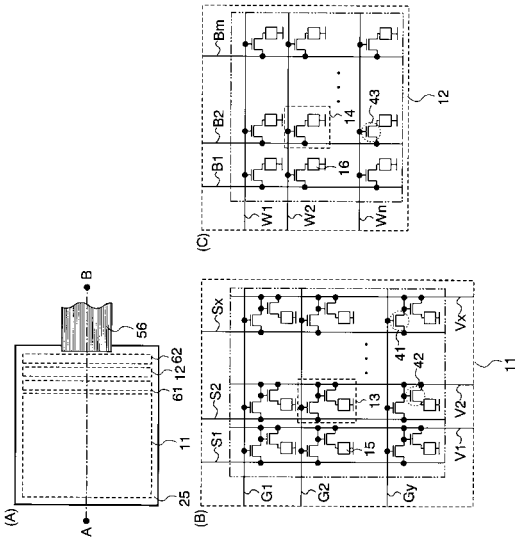
【図１】



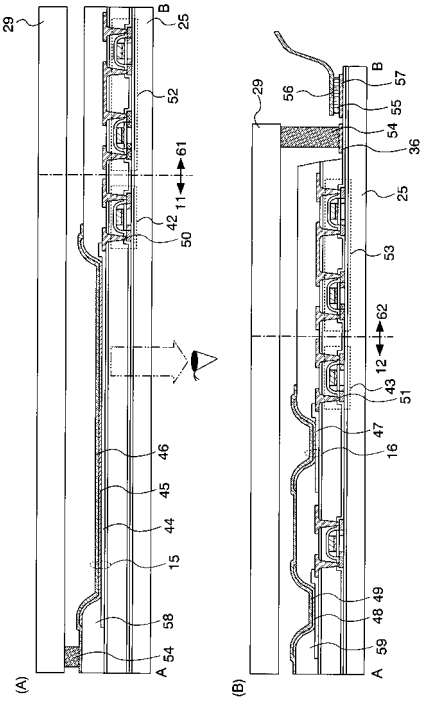
【図２】



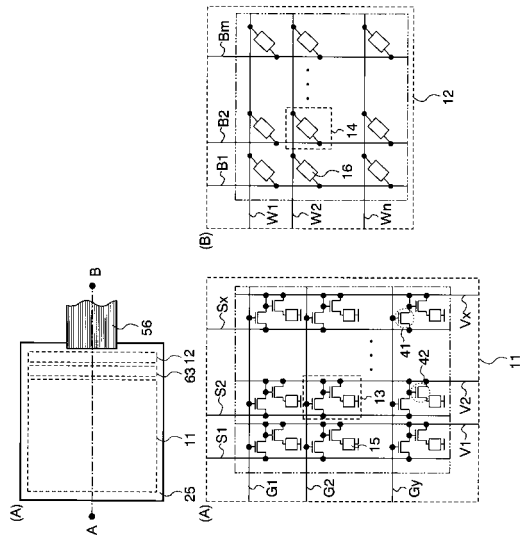
【図３】


(C)
Bm
B2
B1
W1
W2
Wn
12
14
16
43
(A)
B
56
62
12
61
11
25
A
(B)
Sx
S2
S1
G1
G2
Gy
Vx
V2
V1
41
42
13
15
11

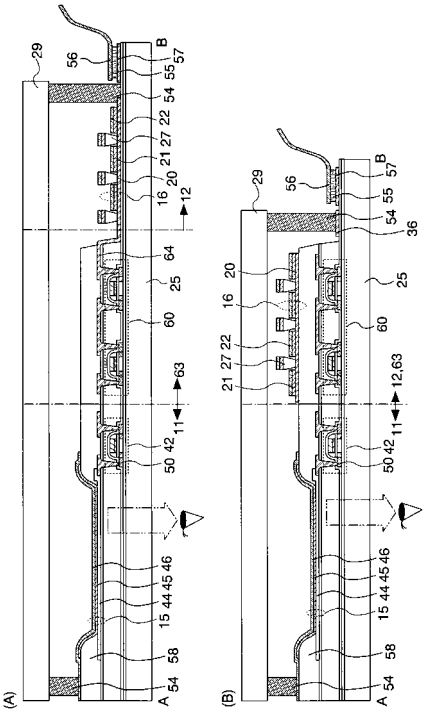
【図４】


(A)
29
B
25
52
61
11
42
50
46
45
44
15
58
A
54
(B)
56
57
55
54
36
53
62
12
43
51
47
16
49
48
59

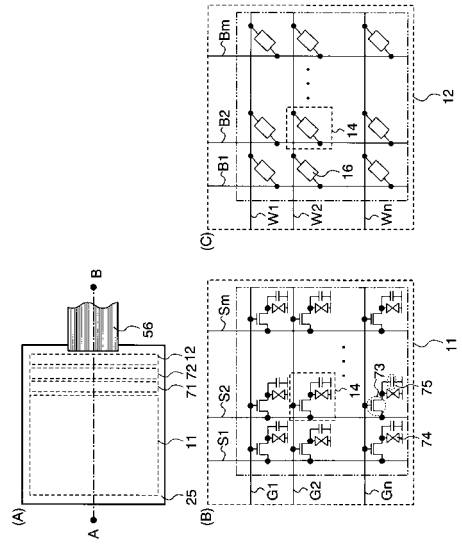
【図５】


(B)
Bm
B2
B1
W1
W2
Wn
12
14
16
(A)
B
56
63
12
11
25
A
Sx
S2
S1
G1
G2
Gy
Vx
V2
V1
41
42
13
15
11

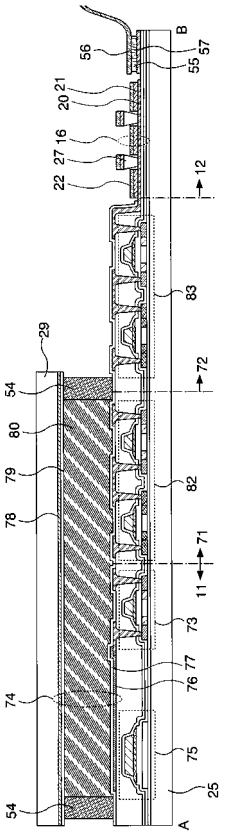
【図６】


(A)
29
56
57
55
54
22
27
21
20
16
12
64
25
60
63
11
42
50
46
45
44
15
58
A
54
(B)
36
20
16
22
27
21
12,63
11
42
50
46
45
44
15
58

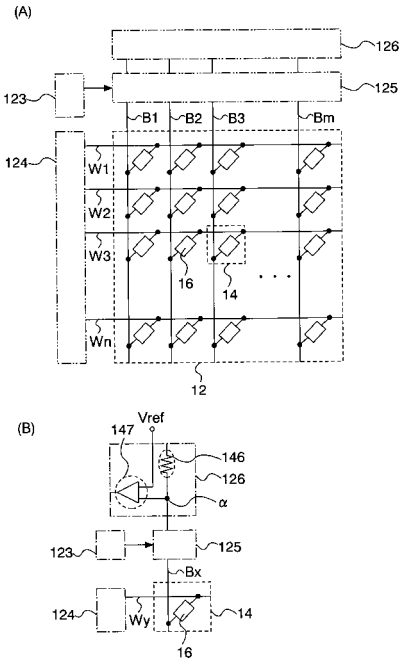
【図７】


Bm
B2
B1
W1
W2
Wn
12
14
16
(C)
B
56
71
72
12
11
25
(A)
A
Sm
S2
S1
G1
G2
Gn
73
75
74
(B)

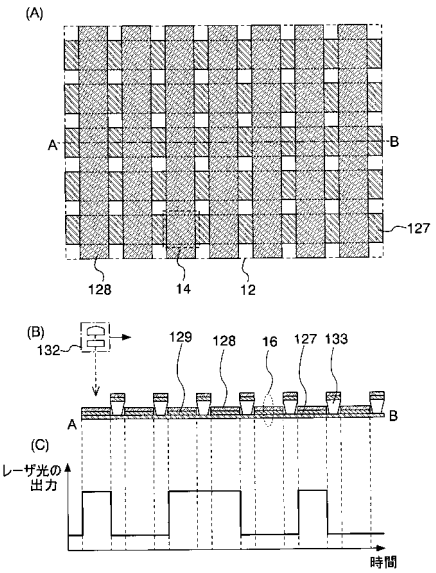
【図８】


B
56
57
55
21
20
16
27
22
12
83
29
54
72
80
79
78
82
71
11
73
77
76
74
75
25
A

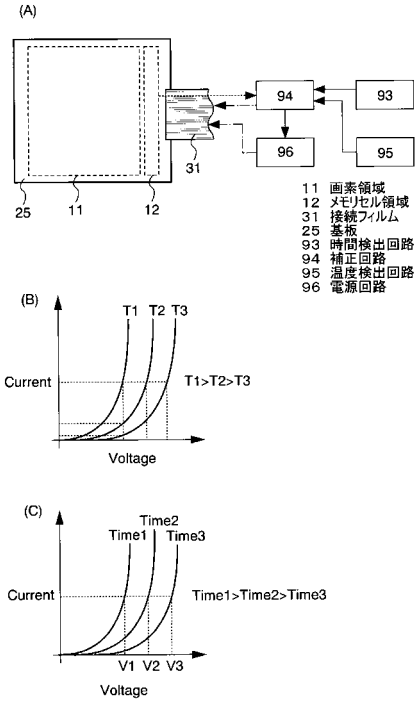
【図９】


(A)
126
125
123
B1
B2
B3
Bm
124
W1
W2
W3
Wn
16
14
12
(B)
Vref
147
146
126
α
123
125
Bx
124
Wy
14
16

【図１０】

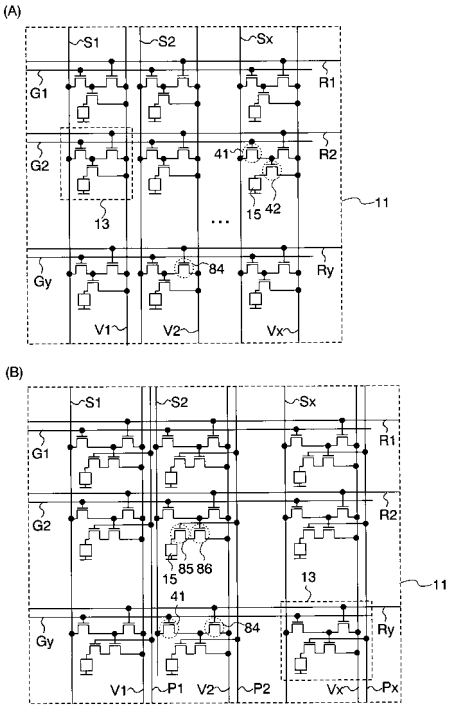

(A)
A
B
127
128
14
12
(B)
132
129
128
16
127
133
A
B
(C)
レーザ光の出力
時間

【図１１】

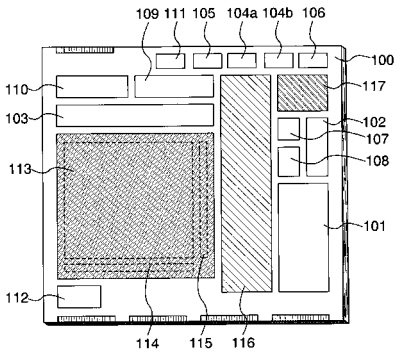


11 画素領域
12 メモリセル領域
31 接続フィルム
25 基板
93 時間検出回路
94 補正回路
95 温度検出回路
96 電源回路

【図１２】

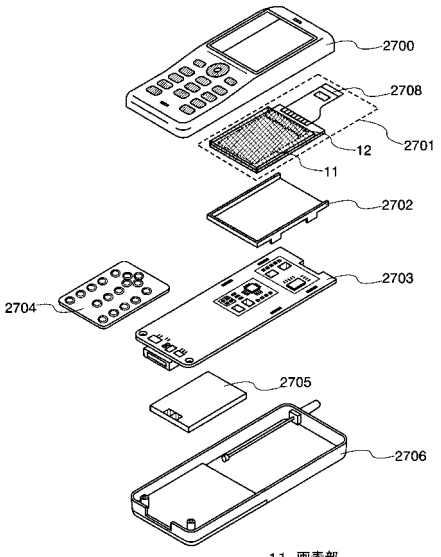


【図１３】



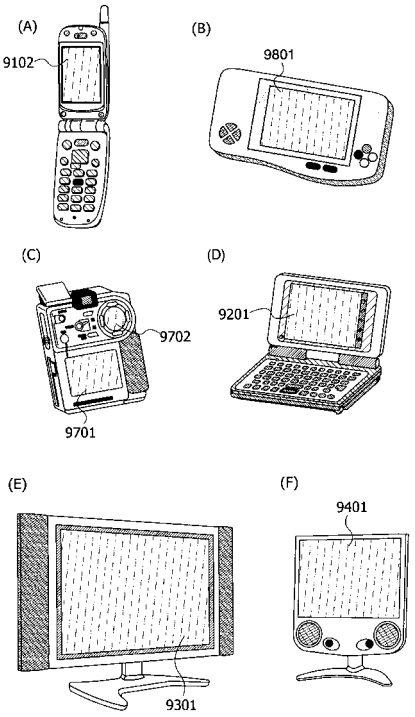
100 基板
101 プログラム用記憶回路
102 作業領域用記憶回路
103 音声データ用記憶回路
104a ラインバッファ用記憶回路
104b ラインバッファ用記憶回路
105 インレンジ用記憶回路
106 カラーパレット用記憶回路
107 メモリコントローラ
108 デコーダとレジスタ
109 コントローラ
110 音声データ用DA変換回路と演算増幅器
111 メモリ用参照電源発生回路
112 階調電源
113 画素部
114 駆動回路部
115 駆動回路部
116 画像処理回路
117 CPU

【図１４】

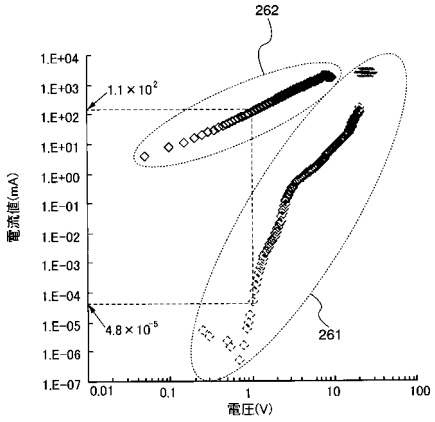


11 画素部
12 メモリセル部
2700 筐体
2701 パネル
2702 ハウジング
2703 プリント配線基板
2704 操作ボタン
2705 バッテリ
2706 筐体
2708 接続フィルム

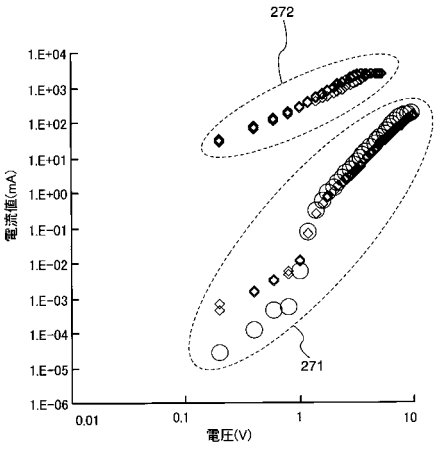
【図１５】



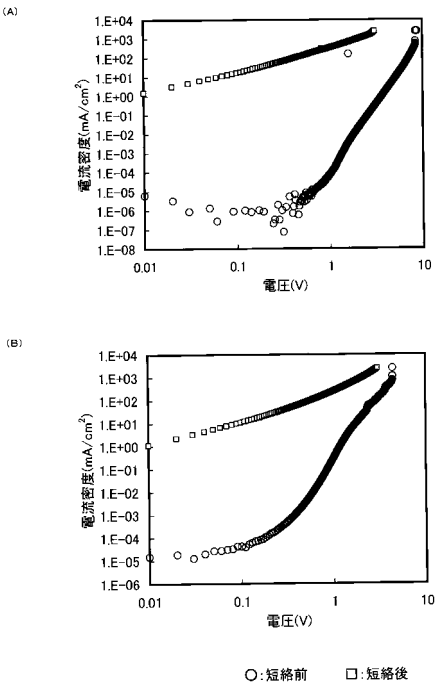
【図１６】



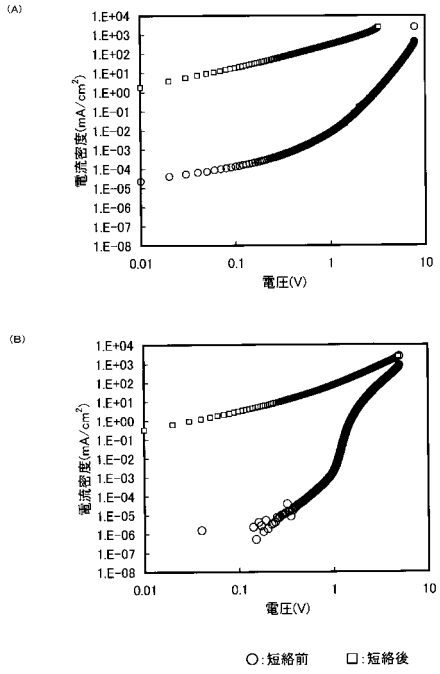
【図１７】



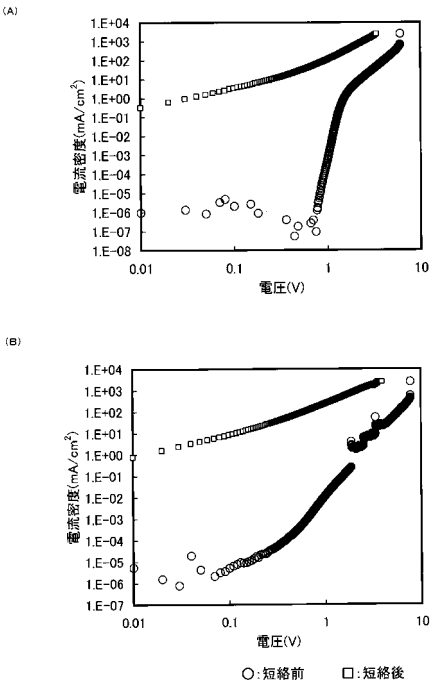
【図１８】



【図１９】


(A)
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
電流密度(mA/cm²)
0.01
0.1
1
10
電圧(V)
(B)
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
電流密度(mA/cm²)
0.01
0.1
1
10
電圧(V)
○:短絡前 □:短絡後

【図２０】


(A)
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
電流密度(mA/cm²)
0.01
0.1
1
10
電圧(V)
(B)
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
電流密度(mA/cm²)
0.01
0.1
1
10
電圧(V)
○:短絡前 □:短絡後

フロントページの続き

(51)Int.Cl.			FI		
H01L	***29/786***	***(2006.01)***	G09G	3/20	631K
H01L	***21/336***	***(2006.01)***	G09G	3/20	680H
H01L	***27/10***	***(2006.01)***	H05B	33/14	A
			H01L	29/78	613B
			H01L	29/78	612Z
			H01L	27/10	431
			H01L	27/10	461
			H01L	27/10	481

(72)発明者　湯川　幹央
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　佐藤　久則

(56)参考文献　特表２００４－５０９４５８（ＪＰ，Ａ）
特開２００２－３２８６１７（ＪＰ，Ａ）
特開２０００－２５２３７３（ＪＰ，Ａ）
特開２００４－１２８４７１（ＪＰ，Ａ）
国際公開第９７／０３０４４５（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０９Ｆ　９／００－９／３０、９／３０７－９／４６、
Ｇ０９Ｇ　３／００－３／０８、３／１２、３／１６－３／２６、
３／３０、３／３４－３／３８、
Ｈ０１Ｌ２１／３３６、２１／８２２９、２１／８２４２－２１／８２４７、
２７／１０－２７／１１５、２７／２８、２７／３２、
２９／７８６、５１／０５、５１／５０、
Ｈ０５Ｂ３３／００－３３／２８