



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 11 2005 001 595 T5 2007.05.24**

(12)

## Veröffentlichung

der internationalen Anmeldung mit der  
 (87) Veröffentlichungs-Nr.: **WO 2006/014386**  
 in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)  
 (21) Deutsches Aktenzeichen: **11 2005 001 595.5**  
 (86) PCT-Aktenzeichen: **PCT/US2005/023632**  
 (86) PCT-Anmeldetag: **30.06.2005**  
 (87) PCT-Veröffentlichungstag: **09.02.2006**  
 (43) Veröffentlichungstag der PCT Anmeldung  
 in deutscher Übersetzung: **24.05.2007**

(51) Int Cl.<sup>8</sup>: **G11C 16/16 (2006.01)**  
**G11C 16/34 (2006.01)**

(30) Unionspriorität:  
**10/885,268      06.07.2004      US**

(71) Anmelder:  
**Spansion LLC, Sunnyvale, Calif., US**

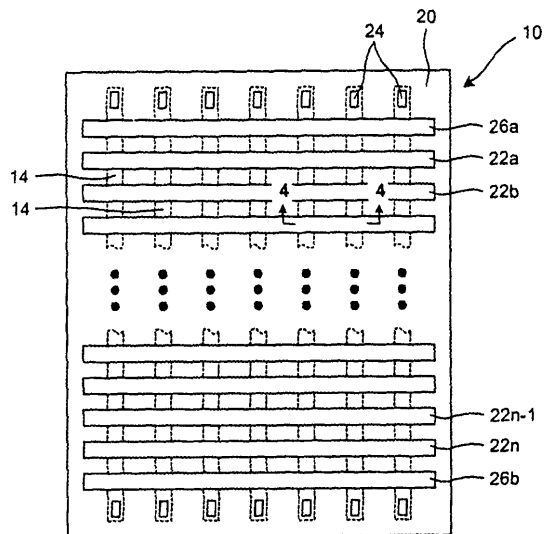
(74) Vertreter:  
**Grünecker, Kinkeldey, Stockmair &  
 Schwanhäusser, 80538 München**

(72) Erfinder:  
**Wang, Zhigang, Sunnyvale, Calif., US; Yang, Nian,  
 Mountain View, Calif., US; Fang, Shenqing,  
 Fremont, Calif., US**

(54) Bezeichnung: **Verfahren zum Verbessern der Löschnspannungsverteilung für ein Flash-Speicher-Array mit Platzhalterwortleitungen**

(57) Hauptanspruch: Verfahren zum Löschen von Speicher-  
 einrichtungen (30) eines Flash-Speicherarrays (4) mit  
 mehreren funktionsbeteiligten Wortleitungen (22) und min-  
 destens einer Platzhalterwortleitung (26) benachbart zu ei-  
 ner der funktionsbeteiligten Endwortleitungen, wobei das  
 Verfahren umfasst:

Anlegen einer Gatespannung an die Wortleitungen; und  
 Anlegen einer Vorspannung an die Platzhalterwortleitun-  
 gen.



**Beschreibung**

Technisches Gebiet

**[0001]** Die vorliegende Erfindung betrifft im Allgemeinen das Gebiet der nicht-flüchtigen Speichereinrichtungen und betrifft insbesondere ein Verfahren zum Verbessern von Verteilungen von Löschnspannungswerten für ein Flash-Speicher-Array, das eine oder mehrere Platzhalterwortleitungen aufweist, die benachbart zu einer funktionsbeteiligten Wortleitung angeordnet sind.

## Hintergrund

**[0002]** Ein ständiges Bestreben bei der Herstellung moderner integrierter Schaltungen besteht darin, die Menge der pro Einheitsfläche in einer integrierten Schaltung einer Speichereinheit, etwa einer Flash-Speichereinheit, gespeicherten Daten zu erhöhen. D. h. mit dem Voranschreiten der Flash-Speichertechnologie werden die Geschwindigkeit und die Speicherdichte zunehmend größer. Moderne Flash-Speichereinheiten zeichnen sich dadurch aus, dass die Ladung, die in den Arrays aus Speicherzellen, die die Speichereinheit bilden, gespeichert ist, nicht flüchtig ist.

**[0003]** Auf Grund der hohen Dichte der ladungsspeichernden Zellen werden diverse Verfahren zur Verbesserung der Prozessgrenzen bei der Herstellung von Speichereinheiten eingesetzt. Ein Verfahren besteht darin, funktionslose bzw. Platzhalterwortleitungen benachbart zu einer oberen Wortleitung und einer unteren Wortleitung eines Speicherzellenarrays anzuordnen.

**[0004]** Von Zeit zu Zeit beinhaltet die Verwendung der Speichereinheit auch das Löschen einiger oder aller Zellen. Um beispielsweise ein Array aus Speichereinrichtungen mit Gate mit frei einstellbarem Potential bzw. mit schwebendem Gate oder ein Array aus Speichereinrichtungen mit dielektrischen Ladungseinfang zu löschen, kann eine relativ große negative Gatespannung (beispielsweise ungefähr  $-9,3$  Volt im Falle von Speichereinrichtungen mit schwebendem Gate) an die Wortleitung des Arrays für eine bestimmte Zeitdauer (oder „Pulsdauer“) angelegt werden. Die Bitleitungen des Arrays können während des Löschvorgangs geerdet werden. Ferner können während des Löschvorgangs eine erste Platzhalterwortleitung benachbart zu der oberen Wortleitung und eine zweite Platzhalterwortleitung benachbart zu der unteren Wortleitung geerdet werden.

**[0005]** Diese Anordnung kann zu einer Kopplung zwischen der oberen Wortleitung und der ersten Platzhalterwortleitung und zwischen der unteren Wortleitung und der zweiten Platzhalterwortleitung während des Löschvorgangs führen. In den Zellen,

die durch die obere Wortleitung und die untere Wortleitung definiert sind (die entsprechend als obere Reihe bzw. Zeile aus Zellen und die untere Reihe aus Zellen bezeichnet werden) kann die Verteilung der Schwellwertspannung ( $V_t$ ) auf Grund der Kopplung beeinträchtigt werden und das Löschen dieser Zellen kann eine relativ lange Zeitdauer in Anspruch nehmen. Beispielsweise ist mit Bezugnahme zu [Fig. 1](#) ein Graph der Verteilung der Schwellwertspannung ( $V_t$ ) für die Zellen eines konventionell gelöschten Speicherzellenarrays mit schwebendem Gate gezeigt. Eine erste Verteilungskurve C1 entspricht der Schwellwertspannungsverteilung für die Wortleitungen, die zwischen der oberen und der unteren Wortleitung angeordnet sind (oder mittlere Wortleitungen), wo eine nicht nennenswerte Kopplung zu benachbarten Platzhalterwortleitungen auftritt. Eine zweite Verteilungskurve C2 entspricht der Schwellwertspannungsverteilung für die obere Wortleitung und die untere Wortleitung, wenn die Kopplung an die Platzhalterwortleitungen während des Löschvorganges auftritt. Wie graphisch dargestellt ist, ist die Kurve C2 im Vergleich zur Kurve C1 nach oben verschoben. Eine Differenz zwischen den Kurven oder ein Delta  $V_t$  kann ungefähr 1 Volt betragen. Wie gezeigt kann diese Differenz den Löschvorgang der oberen und der unteren Reihe des Arrays verlangsamen. Als Folge davon besitzen die mittleren Reihen der Zellen die Neigung, schneller gelöscht zu werden als die obere und die untere Reihe der Zelle.

**[0006]** Wenn die Löscheschwindigkeit zu sehr beeinträchtigt wird, werden die obere und die untere Reihe der Zellen nicht vollständig während des Anlegens des Löschpulses gelöscht. Beispielsweise kann ein Bereich der Verteilungskurve C2 über einer gewünschten Löscheschwellwertspannung ( $V_{t\_Löschen}$ ) liegen. Wenn die obere und die untere Reihe der Zelle eine Löscherifizierung nicht positiv absolvieren, ist es möglich, den Sektor der Speicherzellen erneut zu löschen. Alternativ könnte ein längerer Löschpuls verwendet werden. Jedoch werden durch die oben beschriebene Kopplung und durch entsprechende korrektive Maßnahme tendenziell die Speicherzellen in einen Verarmungsmodus versetzt, der zu breiteren Löscheschwellwertverteilungen und zu einem beeinträchtigten Flash-Speicher-Betrieb führt.

**[0007]** Daher besteht ein Bedarf, das Löschen eines Speicherarrays, das Platzhalterwortleitungen enthält, zu verbessern.

## Überblick über die Erfindung

**[0008]** Gemäß einem Aspekt der Erfindung richtet sich diese an ein Verfahren zum Löschen von Speichereinrichtungen eines Flash-Speicherarrays mit mehreren funktionsbeteiligten Wortleitungen und mindestens einer Platzhalterwortleitung benachbart zu einer der funktionsbeteiligten Endwortleitungen.

Das Verfahren umfasst das Anlegen einer Gatespannung an die Wortleitungen; und das Anlegen einer Vorspannung an die Platzhalterwortleitungen.

**[0009]** Gemäß einem weiteren Aspekt der Erfindung richtet sich diese an ein Verfahren zum Löschen von Speichereinrichtungen eines Flash-Speicherarrays mit mehreren funktionsbeteiligten Wortleitungen und mindestens einer Platzhalterwortleitung benachbart zu einer der funktionsbeteiligten Endwortleitungen. Das Verfahren umfasst das Einrichten einer elektrischen Verbindung zwischen der Platzhalterwortleitung und der funktionsbeteiligten Endwortleitungen; und das Anlegen einer Gatelöschspannung an die Wortleitungen.

**[0010]** Gemäß einem noch weiteren Aspekten der Erfindung richtet sich diese an eine Flash-Speichereinheit, die für eine Löschfunktion ausgebildet ist. Die Flash-Speichereinheit umfasst einen Sektor aus Speichereinrichtungen, der gebildet ist: durch mehrere funktionsbeteiligte Wortleitungen und mehrere Bitleitungen; mindestens eine Platzhalterwortleitung benachbart zu einer der funktionsbeteiligten Endwortleitungen; und eine Logikeinheit, die elektrisch mit der Platzhalterwortleitung und der funktionsbeteiligten Endwortleitungen verbunden ist.

#### Kurze Beschreibung der Zeichnungen

**[0011]** Diese und weitere Merkmale der vorliegenden Erfindung gehen durch Studium der folgenden Beschreibung und der Zeichnungen hervor, in denen:

**[0012]** [Fig. 1](#) ein Graph einer Löschschnellwertspannungsverteilung für ein Flash-Speicherarray ist, wenn dieses gemäß einer konventionellen Löscharfolge gelöscht wird;

**[0013]** [Fig. 2](#) eine schematische Blockansicht einer beispielhaften Speichereinheit mit mehreren Kernspeichereinrichtungen ist, auf die ein Verfahren zum Programmieren gemäß der vorliegenden Erfindung angewendet wird;

**[0014]** [Fig. 3](#) eine schematische Blockansicht eines beispielhaften Kernspeicherarraysektors aus der Speichereinheit ist;

**[0015]** [Fig. 4](#) eine schematische Querschnittsdarstellung einer beispielhaften Kernspeichereinrichtung aus dem Kernspeicherarray entlang der Linie 4-4 aus [Fig. 3](#) ist;

**[0016]** [Fig. 5](#) eine schematische Ansicht des Kernspeicherarraysektors während des Löscharvorgangs gemäß der vorliegenden Erfindung ist;

**[0017]** [Fig. 6](#) ein Graph der Löschschnellwertspannungsverteilung für das Flash-Speicherarray ist,

wenn dieses gemäß der vorliegenden Erfindung gelöscht wird; und

**[0018]** [Fig. 7](#) ein Graph ist, der die Auswirkungen von Vorspannungen für die Platzhalterwortleitungen im Hinblick auf die Löschargeschwindigkeit darstellt.

#### Beschreibung der Erfindung

**[0019]** In der folgenden detaillierten Beschreibung sind gleiche Komponenten mit den gleichen Bezugszeichen belegt, unabhängig davon, ob diese in unterschiedlichen Ausführungsformen der vorliegenden Erfindung gezeigt sind. Um die vorliegende Erfindung in einer klaren und knappen Weise darzustellen, sind die Zeichnungen nicht notwendigerweise maßstabsgetreu und gewisse Merkmale können in einer etwas schematischen Form dargestellt sein.

**[0020]** Aspekte der vorliegenden Erfindung betreffen ein Verfahren zum Löschen von Flashspeichereinrichtungen, die elektrisch löschar und programmierbar sind, etwa Speichereinrichtungen mit schwebendem Gate bzw. mit Gate mit frei einstellbarem Potential, oder von Speichereinrichtungen mit dielektrischen Ladungsträgereinfang. Insbesondere betrifft das Verfahren das Entfernen von Ladungen aus einem Ladungsspeichergebiet bzw. Gebieten der Speichereinrichtungen, um die Speichereinrichtungen in einen leeren oder unprogrammierten Zustand zurückzusetzen. Das Verfahren beinhaltet das Anlegen eines Vorspannungspotentials an eine Platzhalterwortleitung, die benachbart zu einer oberen Wortleitung eines Sektors von Speichereinrichtungen angeordnet ist, während des Löscharvorgangs. In ähnlicher Weise kann ein Vorspannungspotential an eine zweite Platzhalterwortleitung, die benachbart zu einer unteren Wortleitung des Sektors der Speichereinrichtungen angeordnet ist, während des Löscharvorgangs angelegt werden. In einer Ausführungsform werden die Wortleitung(en) durch elektrisches Verbinden der Platzhalterwortleitung mit der benachbarten funktionsbeteiligten Wortleitung vorgespannt.

**[0021]** Die hierin beschriebenen Techniken sind auf eine Vielzahl von Flash-Speichereinrichtungen anwendbar, zu denen Speichereinrichtungen mit NOR-Architektur gehören, etwa Speichereinrichtungen mit schwebendem Gate und Einrichtungen mit dielektrischer Ladungsspeicherung mit zwei oder mehreren ladungsspeichernden Gebieten pro Einheit. Es sollte beachtet werden, dass andere Arten an Speichereinrichtungen, etwa Speicherbauelemente mit NAND-Architektur ebenso gelöscht werden können, wobei die hierin beschriebenen Verfahren eingesetzt werden. Dennoch wird die vorliegende Erfindung im beispielhaften Zusammenhang des Löscharvorgangs eines Sektors von Speichereinrichtungen mit schwebendem Gate beschrieben.

**[0022]** [Fig. 2](#) zeigt eine schematische Blockansicht einer beispielhaften Speichereinheit **2**. Die Speichereinheit **2** umfasst ein Kernspeicherarray **4** mit mehreren Speichereinrichtungen, die beispielsweise Kernspeichereinrichtungen zum Speichern von Daten und dynamische Referenzspeichereinrichtungen zur zeitlichen Überwachung des Datenpegelverhaltens der Kernspeichereinrichtungen enthalten. Andere Speichereinrichtungen, etwa externe Referenzen **6**, können ebenso einen Teil der Speichereinheit **2** bilden. Die externen Referenzen **6** sind separat zu dem Kernspeicherarray **4** und können beispielsweise Löscherreferenzzellen, Programmverifiziererreferenzzellen und Weich- bzw. Softprogrammiererreferenzzellen enthalten. Diverse Funktionen der Speichereinheit **2** einschließlich beispielsweise der Programmierung, der Verifizierung, des Auslesens und des Löschens können mittels einer Logikschaltung **8** gesteuert werden. Der Fachmann erkennt, dass die Speichereinheit **2** von einem Anwender der Speichereinheit **2** benutzt werden kann, um Informationen zu speichern, etwa Daten oder ausführbare Codierungen.

**[0023]** Es sei zusätzlich auf [Fig. 3](#) verwiesen; dort ist eine schematische Draufsicht einer Blockansicht eines beispielhaften Kernspeicherarraysektors **10** gezeigt. Es sollte beachtet werden, dass der Kernspeicherarray **10** nach Bedarf dimensioniert sein kann. Das Speicherarray **4** der Speichereinheit **2** kann mehrere Sektoren **10** enthalten.

**[0024]** Es sei zusätzlich auf [Fig. 4](#) verwiesen; das Speicherarray **10** kann ein Halbleitersubstrat **12** mit mehreren Bitleitungen **14** enthalten (die auch im Weiteren als leitende Gebiete bezeichnet sind), die in einem vergrabenen Bitleitungsformat ausgebildet sind. Über den Bitleitungen **14** ist eine untere dielektrische Schicht oder eine Tunneldielektrikumsschicht **16**, eine Ladungsspeicherschicht **18** und eine obere dielektrische Schicht **20** gebildet. Mehrere Wortleitungen **22a** bis **22n** können über der oberen dielektrischen Schicht **20** ausgebildet sein. Bitleitungskontakte **24** werden verwendet, um eine elektrische Verbindung zu den Bitleitungen **14** herzustellen.

**[0025]** Benachbart zu einer ersten Wortleitung **22a**, die hierin auch als eine obere Wortleitung **22a** bezeichnet wird, ist eine erste Platzhalterwortleitung **26a** angeordnet. Benachbart zu einer letzten Wortleitung **22n**, die hierin auch als eine untere Wortleitung **22n** bezeichnet wird, ist eine zweite Platzhalterwortleitung **26b** angeordnet. Die obere und die untere Wortleitung **22** können als Endwortleitungen **22** betrachtet werden und die Wortleitungen **22**, die zwischen den Endwortleitungen angeordnet sind, werden als zentrale oder mittlere Wortleitungen **22** betrachtet. Die Platzhalterwortleitungen **26** werden ausgebildet, um das Herstellen von Wortleitungen **22** mit hoher Qualität zu ermöglichen. Beispielsweise ver-

bessert die Anwesenheit der Platzhalterwortleitungen **26** die Prozesstoleranzen während der Herstellung des Sektors **10**.

**[0026]** In der dargestellten Ausführungsform ist die Ladungsspeicherschicht **18** leitend (beispielsweise aus dotiertem Polysilizium hergestellt) und bildet ein schwebendes Gate bzw. ein Gate mit frei einstellbarem Potential **28** in dem Bereich zwischen benachbarten Bitleitungen **14** und unter den Wortleitungen **22**, um funktionsmäßig eine Speichereinrichtung (oder Zelle) mit „schwebendem Gate“ **30** zu bilden. Für jede Einrichtung **30** bilden benachbarte Paare aus Bitleitungen **14** leitende Gebiete, die entsprechend als ein Source und ein Drain während diverser Programmier-, Verifizier-, Auslese- und Löschkvorgänge dienen. Zwischen jedem Paar aus Bitleitungen **14** bildet das Substrat **12** dazwischen ein Kanalgebiet **32**, das funktionsmäßig durch Anlegen einer Spannung an die entsprechende Wortleitung **22**, die als eine Gateelektrode dient, gesteuert wird. Daher kann die Wortleitung **22** so betrachtet werden, dass diese ein Steuergate **34** definiert. In alternativen Ausführungsformen werden Steuergates aus einzelnen leitenden Inseln oder Flächen gebildet, die durch die Wortleitungen **22** verbunden sind. Eine dielektrische Zwischenschicht **36** kann zwischen den verschiedenen Gates **28** vorhanden sein, um die schwebenden Gates **28** voneinander zu isolieren.

**[0027]** In einer weiteren Ausführungsform ist die Ladungsspeicherschicht **18** nichtleitend (beispielsweise aus einem dielektrischen Material hergestellt, etwa Siliziumnitrid). Diese Form führt zur Ausbildung dielektrischer Ladungsspeichereinrichtungen oder Doppelzellenspeichereinrichtungen und umfasst ein Paar komplementärer Ladungseinfanggebiete, die unabhängig programmiert und ausgelesen werden können. Eine derartige Konfiguration ermöglicht das Speichern einer ersten Einheit aus Ladung (beispielsweise ein normales Bit) benachbart zu einer der Bitleitungen **14** und das Speichern einer zweiten Einheit aus Ladung (beispielsweise ein komplementäres Bit) benachbart zu der anderen Bitleitung **14**. In dieser Ausführungsform kann die Ladungsspeicherschicht **18** stets über dem Substrat im Bereich des Arrays **10** liegen.

**[0028]** In beiden Ausführungsformen ermöglicht das Anlegen geeigneter Spannungen an die Wortleitungen **22** und die Bitleitungen **14** das Adressieren der Speichereinrichtungen **30** des Sektors so, dass jede Speichereinrichtung **30** programmiert, gelesen, verifiziert und/oder gelöscht werden kann. Zur einfacheren Erläuterung hierin wird lediglich die Funktionsweise einer einzelnen Kernspeichereinrichtung **30** beschrieben. Die restlichen Speichereinrichtungen **30** können jedoch eine entsprechende Struktur und Funktionsweise aufweisen. Wie nachfolgend deutlicher wird, bilden die Wortleitungen **22** eine funktio-

nelle Komponente der Speichereinrichtungen **30** und können als funktionsbeteiligte Wortleitungen **22** betrachtet werden. Die Platzhalterwortleitungen **26** können physikalisch mit den Bitleitungen **14**, den dielektrischen Schichten **16** und **20** und der Ladungsspeicherschicht **28** so angeordnet sein, wie dies für die funktionsbeteiligten Wortleitungen **22** im Zusammenhang mit diesen Strukturen der Fall ist. Jedoch sind die Platzhalterwortleitungen **26** vorhanden, um den Fertigungsprozess zu unterstützen und werden nicht verwendet, um funktionsbeteiligte Speichereinrichtungen **30** zu bilden, obwohl die physikalische Struktur von Ladungsspeicherzellen in dem Bereich der Platzhalterwortleitungen **26** vorhanden ist.

**[0029]** Der Fachmann erkennt, dass die dargestellte Speichereinrichtung **30** beispielhafter Natur ist und dass Modifizierungen an der Speichereinrichtung **30** durchgeführt werden können. Derartige Modifizierungen enthalten Änderungen am physikalischen Aufbau der Kernspeichereinrichtung **30** (beispielsweise der Art der Speichereinrichtung), den verwendeten Materialien, den Dotierparametern und dergleichen. Jedoch können die hierin beschriebenen Verfahren zum Programmieren, Verifizieren, Auslesen und/oder Löschen auch in Verbindung mit einem derartigen modifizierten Bauelement angewendet werden.

**[0030]** Zum Zwecke der vorliegenden Offenbarung beinhaltet die Programmiertechnik zur Speicherung von Ladung in dem schwebenden Gate **28** das Einführen heißer Elektronen, was auch als Einführen heißer Elektronen in den Kanal (CHE) bezeichnet wird. Es sollte jedoch beachtet werden, dass Modifizierungen an den Programmierverfahren durchgeführt werden können, um Variationen in der speziellen verwendeten Speichereinrichtung zu berücksichtigen.

**[0031]** Unter Anwendung der Einführung heißer Elektronen kann das schwebende Gate **28** programmiert werden, um Elektronen zu speichern, indem Spannungen an eine der Bitleitungen **14** (beispielsweise die Bitleitung **14a**, die als das Drain dient) und an die Wortleitung **22** (beispielsweise in der Funktion als das Steuergate **32**) angelegt werden. Die andere Bitleitung **14** (beispielsweise die Bitleitung **14b**, die als das Source dient) liefert Ladungsträger (beispielsweise Elektronen) für die CHE-Programmierung der Speichereinrichtung **30**. In einer Ausführungsform wird ein Vorspannungspotential an das Source angelegt, um eine bessere Steuerung für das Einprägen von Elektronen bereitzustellen, woraus eine verbesserte Datenhaltefähigkeit der Speichereinrichtung **30** resultiert. Beispielsweise kann das Source-Vorspannungspotential dazu dienen, den Programmierstrom der programmierten Zelle zu begrenzen und die Bitleitungsleckströme von unprogrammierten Zellen auf der gleichen Bitleitung zu verringern.

**[0032]** Die an das Steuergate **34** an das Source und an das Drain der programmierten Zelle angelegten Spannungen erzeugen ein vertikales elektrisches Feld durch die dielektrischen Schichten **16** und **20** und das ladungsspeichernde schwebende Gate **28** und Erzeugen ein laterales elektrisches Feld entlang der Längsrichtung des Kanals **32** von dem Source bis zu dem Drain. Bei einer vorgegebenen Schwellwertspannung wird der Kanal **32** invertiert, so dass Elektronen aus dem Source herausgezogen werden und in Richtung auf das Drain beschleunigt werden. Wenn sich die Elektronen entlang der Längsrichtung des Kanals **32** bewegen, erhalten die Elektronen Energie und beim Erreichen einer ausreichend hohen Energie sind die Elektronen in der Lage, die Potentialbarriere der unteren dielektrischen Schicht **16** zu überwinden und in das schwebende Gate **28** zu gelangen, in welchem die Elektronen eingefangen werden. Diese beschleunigten Elektronen werden als heiße Elektronen bezeichnet und bleiben, sobald sie in das schwebende Gate **28** gelangt sind, in dem schwebenden Gate **28**.

**[0033]** Das Verifizieren des programmierten Zustands der Speichereinrichtung **30** und das Auslesen der Speichereinrichtung **30** kann in ähnlicher Weise ausgeführt werden. Beispielsweise wird zum Auslesen der Speichereinrichtung **30** eine Spannung an eine der Bitleitungen **14** angelegt, die auch als das Drain während des Verifizierens und des Lesevorgangs bezeichnet wird, und es wird eine Spannung an das Steuergate **34** angelegt. Die andere Bitleitung **14**, die während des Verifizierens und des Lesevorgangs auch als das Source bezeichnet wird, kann geerdet werden. Während dieser Vorgänge kann die Stromstärke, die in dem Kanal **32** fließt, als Angabe der Schwellwertspannung der Speichereinrichtung **30** ermittelt werden und kann mit einem Referenzstrom bzw. Strömen verglichen werden (als Angaben für entsprechende Referenzschwellwertspannungen), um den Datenzustand der „gelesenen“ Speichereinrichtung **30** zu bestimmen.

**[0034]** Es sei zusätzlich auf [Fig. 5](#) verwiesen. Darin gezeigt ist eine schematische Darstellung des Kernspeicherarraysektors **10** während eines Löschvorgangs. Um die Speichereinrichtungen **30** des Sektors **10** zu löschen (beispielsweise eine Sektorlöschung, in welcher mehrere Speichereinrichtungen **30** oder alle Speichereinrichtungen **30** gleichzeitig gelöscht werden), wird eine Spannung an jede der Wortleitungen **22** angelegt. Die an die Wortleitungen **22** angelegte Spannung kann als eine Gatelöschspannung bezeichnet werden. Eine Spannung, etwa Erde oder ein anderes Potential, wird an jede Bitleitung **14** während des Löschvorgangs angelegt. Wenn dies geeignet ist, wird das Substrat **12** geerdet oder mit einem anderen Spannungspotential während des Löschvorgangs verbunden.

**[0035]** Beispielsweise kann in der Ausführungsform, in der die Speichereinrichtungen **30** Speichereinrichtungen **30** mit schwebendem Gate sind, ein Kanallöschvorgang (der üblicherweise als ein Fowler-Nordheim (FN) Löschvorgang bezeichnet wird) angewendet werden. In dem dargestellten Beispiel werden ungefähr – 9,3 Volt an die Wortleitungen **22** für eine spezifizierte Dauer angelegt. Während dieser Zeitdauer wird eine gemeinsame Spannung (Vss), etwa Erde oder ein anderes Potential, an die Bitleitungen **14** angelegt.

**[0036]** In der Ausführungsform, in der die Speichereinrichtungen **30** Speichereinrichtungen mit dielektrischen Ladungseinfang **30** sind, kann eine „Einprägung heißer Löcher“ (manchmal als Band-zu-Band (BTB) Einprägung heißer Löcher bezeichnet) eingesetzt werden. Beim Eindringen heißer Löcher wird eine Gatespannung von ungefähr beispielsweise – 4 Volt bis ungefähr – 8 Volt an die Wortleitungen **22** und eine Drainspannung von beispielsweise ungefähr 4,5 Volt bis ungefähr 6,0 Volt an die Bitleitungen **14** angelegt, die als ein Drain für die Speichereinrichtungen **30** dienen. Das Einprägen heißer Löcher kann das Erden der Bitleitungen **14**, die als ein Source für die Speichereinrichtungen **30** dienen, beinhalten. Ein derartiger Löschvorgang kann separat für das normale Bit der Speichereinrichtungen **30** und das komplementäre Bit der Speichereinrichtungen **30** ausgeführt werden. Unter derartigen Löschbedingungen wird ein BTB-Tunnelstrom unter dem Gate erzeugt und es werden Löcher erzeugt, die von dem Drain in den Kanal hinein beschleunigen. Die Löcher werden in dem elektrischen Feld, das in der Nähe des Drain/Körper-Übergangs erzeugt wird, beschleunigt und einige der beschleunigten Löcher überwinden das Oxid zu der Halbleitergrenzfläche zwischen der unteren dielektrischen Schicht **16** und dem Substrat **12**. Diese Löcher werden in die dielektrische Ladungsspeicherschicht **18** eingepägt, um dort Elektronen zu verschieben (beispielsweise durch Rekombination) und die Zelle zu löschen.

**[0037]** Während des Löschvorgangs werden die Platzhalterwortleitungen **26** vorgespannt, um die kapazitive Kopplung zwischen jeweils der oberen Wortleitung **22a** und der ersten Platzhalterwortleitung **30a** und zwischen der unteren Wortleitung **22n** und der zweiten Wortleitung **30b** zu verringern. In einer Ausführungsform wird eine Vorspannung an die Platzhalterwortleitung **26** angelegt. Das Anlegen einer Vorspannung kann ausgeführt werden, indem eine gewünschte Spannung an die Platzhalterwortleitungen **26** mittels geeigneter Logikkomponenten der Logikschaltung **8** angekoppelt wird. Die Vorspannung kann die Gatelöschspannung sein, die an die Wortleitungen **22** während des Löschvorgangs angelegt wird. Alternativ kann eine andere Spannung als die Gatelöschspannung an die Platzhalterwortleitungen **26** als die Vorspannung angelegt werden.

**[0038]** In der dargestellten Ausführungsform wird das Anlegen der Vorspannung an die Platzhalterwortleitungen **26** bewerkstelligt, indem die obere Wortleitung **22a** elektrisch mit der ersten Platzhalterwortleitung **26a** verbunden wird und indem die untere Wortleitung **22n** elektrisch mit der zweiten Platzhalterwortleitung **26b** verbunden wird. Derartige elektrische Verbindungen können mittels der Logikschaltung **8** eingerichtet werden, und müssen folglich nicht notwendigerweise eine direkte elektrische Verbindung sein. Vielmehr kann die elektrische Verbindung von der oberen Wortleitung **22a** zu der ersten Platzhalterwortleitung **26a** und von der unteren Wortleitung **22n** zu der zweiten Platzhalterwortleitung **26b** über Komponenten der Logikschaltung **8** eingerichtet werden, etwa Durchlasstransistoren oder andere Schaltelemente. In dieser Ausführungsform liegt die Vorspannung ungefähr bei der Gatelöschspannung, wobei zu beachten ist, dass ein gewisser Verlust durch die Komponenten entstehen kann, die die Verbindung von der Wortleitung **22** zu der benachbarten Platzhalterwortleitung **26** herstellen.

**[0039]** [Fig. 6](#) ist ein Graph der Löschschwelligkeitsverteilung für die Speichereinrichtungen **30** des Sektors **10**, wenn dieser gemäß den hierin beschriebenen Verfahren gelöscht wird. Der Graph beinhaltet eine erste Verteilungskurve **38**, die der Schwellwertspannungsverteilung für die mittleren Wortleitungen **22b** bis **22n-1** entspricht, wobei eine unwesentliche Kopplung zu benachbarten Platzhalterwortleitungen **26** vorhanden ist, wenn die Platzhalterwortleitungen **26** nicht vorgespannt sind. Der Graph enthält eine zweite Verteilungskurve **40**, die der Schwellwertspannungsverteilung für die Speichereinrichtungen **30** der oberen Wortleitung **22a** und der unteren Wortleitung **22n** entspricht, wenn die Platzhalterwortleitungen **26** mit ungefähr dem Potential vorgespannt sind, das während des Löschvorgangs an die Wortleitungen **22** angelegt wird. Wie graphisch gezeigt ist, überlappt die Kurve **40** mit der Kurve **38** so, dass eine Differenz zwischen einem Schwerpunkt der Kurve **38** und einen Schwerpunkt der Kurve **40** minimal gehalten wird (beispielsweise kleiner als 0,15 Volt). Als Folge davon besitzen die mittleren Reihen der Zellen (entsprechend den Wortleitungen **22b** bis **22n-1**) eine Tendenz, mit ungefähr der gleichen Geschwindigkeit wie die obere und die untere Reihe der Zellen gelöscht zu werden (entsprechend den Wortleitungen **22a** und **22n**). Folglich können schmälere Löscheverteilungen **38** und **40** erreicht werden im Vergleich dazu, wenn ein Vorspannungspotential nicht an die Platzhalterwortleitungen **26** während des Löschens angelegt wird, wodurch schließlich ein besseres Funktionsverhalten der Flash-Speichereinheit **2** erreicht wird.

**[0040]** [Fig. 7](#) ist ein Graph, der die Auswirkungen einer Vorspannung der Platzhalterwortleitungen in Bezug auf die Löschesgeschwindigkeit der oberen und der

unteren Reihe der Zellen im Vergleich zu den mittleren Zellen darstellt. Insbesondere zeigt der Graph die Verschiebung der Schwellwertspannung für die zweite Verteilungskurve **40**, die der Löschschnellwertspannungsverteilung für die Speichereinrichtungen **30** der oberen Wortleitung **22a** und der unteren Wortleitung **22n** auf der y-Achse entspricht, in Bezug zur Platzhalterwortleitungsvorspannung auf der x-Achse. Wenn die Platzhalterwortleitungsvorspannung negativ ansteigt verschiebt sich die Verteilungskurve **40** entlang der Schwellwertspannungsachse nach unten und neigt dazu, sich besser an die Kurve **38** (vergleiche [Fig. 1](#) und [Fig. 6](#)) anzugleichen und eine schnellere Löschgesewindigkeit zu besitzen. Im Allgemeinen ist die Abhängigkeit zwischen der Platzhalterwortleitungsvorspannung und der Verschiebung der Schwellwertspannungsverteilung linear.

**[0041]** Nach dem Anlegen der Löschnspannungen an die Speichereinrichtungen **30** kann der Löschnvorgang unter Anwendung konventioneller Löschnverifizierungsverfahren verifiziert werden. Wenn dies durch die Löschnverifizierungsroutine angezeigt wird, kann eine erneute Löschn der Speichereinrichtungen **30** ausgeführt werden und/oder es kann eine automatische Programmstörungs- (APD) oder Weichprogrammierungsoperation ausgeführt werden. APD, was auch als automatische Programmstörung nach Löschn (APDE) bezeichnet wird, ist ein Vorgang, der derartige zu stark gelöschte Flash-Speicherzellen korrigiert. Während des APDE-Prozesses werden Ladungsträger (beispielsweise Elektronen) erneut in die Ladungsspeicherschicht nach dem Löschnvorgang eingepreßt, um die Schwellwertspannung der zu stark gelöschten Flash-Speicherzellen wieder herzustellen.

**[0042]** Obwohl spezielle Ausführungsformen der Erfindung hierin detailliert beschrieben sind, ist es selbstverständlich, dass die Erfindung in ihrem Schutzbereich nicht darauf eingeschränkt ist, sondern dass alle Änderungen, Modifizierungen und Äquivalente mit eingeschlossen sind, die innerhalb des Grundgedankens und des Wortlauts der angefügten Ansprüche liegen.

#### Zusammenfassung

**[0043]** Es werden Verfahren zum Löschn von Speichereinrichtungen (**30**) eines Flash-Speicherarrays (**4**) mit mehreren funktionsbeteiligten Wortleitungen (**22**) und mindestens einer Platzhalterwortleitung (**26**) benachbart zu einer funktionsbeteiligten Endwortleitung offenbart. Das Löschn der Speichereinrichtungen umfasst das Anlegen einer Gatespannung an die Wortleitungen und das Anlegen einer Vorspannung an die Platzhalterwortleitungen. In einer Ausbildung wird eine elektrische Verbindung zwischen der Platzhalterwortleitung und der funktionsbeteiligten Endwortleitung eingerichtet.

#### Patentansprüche

1. Verfahren zum Löschn von Speichereinrichtungen (**30**) eines Flash-Speicherarrays (**4**) mit mehreren funktionsbeteiligten Wortleitungen (**22**) und mindestens einer Platzhalterwortleitung (**26**) benachbart zu einer der funktionsbeteiligten Endwortleitungen, wobei das Verfahren umfasst:  
Anlegen einer Gatespannung an die Wortleitungen; und  
Anlegen einer Vorspannung an die Platzhalterwortleitungen.

2. Verfahren nach Anspruch 1, wobei die Vorspannung ungefähr gleich der Gatespannung ist.

3. Verfahren nach Anspruch 1 oder 2, wobei die Vorspannung eine Löschschnellwertspannungsverteilung für die funktionsbeteiligte Endwortleitung nach unten verschiebt.

4. Verfahren nach Anspruch 3, wobei die Löschschnellwertspannungsverteilung für die funktionsbeteiligte Endwortleitung so verschoben wird, dass diese mit einer Löschschnellwertverteilung für die funktionsbeteiligten Wortleitungen, die zwischen den funktionsbeteiligten Endwortleitungen angeordnet sind, überlappt.

5. Verfahren nach Anspruch 3, wobei die Vorspannung und die Verschiebung der Löschschnellwertspannungsverteilung eine im Wesentlichen lineare Abhängigkeit aufweisen.

6. Verfahren nach einem der Ansprüche 1 bis 5, wobei die Speichereinrichtungen Speichereinrichtungen mit schwebendem Gate sind.

7. Verfahren nach einem der Ansprüche 1 bis 5, wobei die Speichereinrichtungen Speichereinrichtungen mit dielektrischem Ladungsträgereinfang mit mehreren Ladungsträgereinfanggebieten sind.

8. Verfahren nach einem der Ansprüche 1 bis 7, wobei Anlegen der Vorspannung Einrichten einer elektrischen Verbindung zwischen der Platzhalterwortleitung und der funktionsbeteiligten Endwortleitung umfasst.

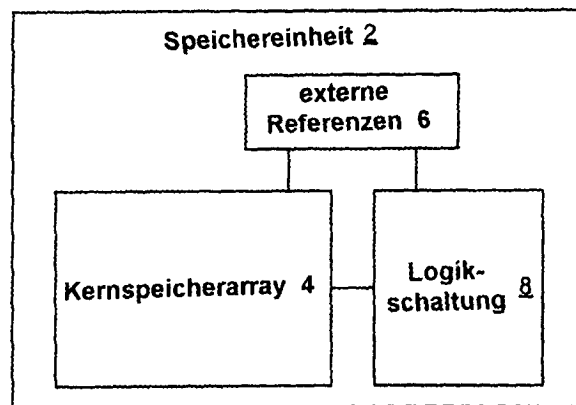
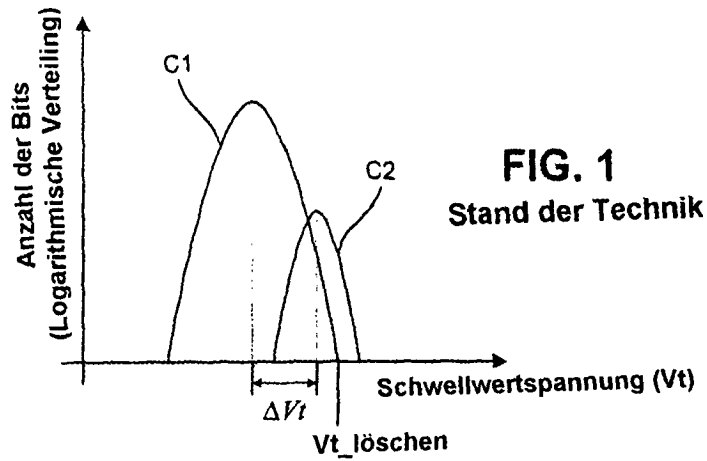
9. Flash-Speichereinheit (**2**), die für einen Löschnvorgang ausgebildet ist und umfasst:  
einen Sektor aus Speichereinrichtungen (**30**), die durch mehrere funktionsbeteiligte Wortleitungen (**22**) und mehrere Bitleitungen (**14**) gebildet sind;  
mindestens einer Platzhalterwortleitung (**26**) benachbart zu einer funktionsbeteiligten Endwortleitung; und  
einer Logikeinheit (**8**), die elektrisch die Platzhalterwortleitung und die funktionsbeteiligte Endwortleitung verbindet.

10. Flash-Speichereinheit nach Anspruch 9, wobei die Speichereinrichtungen Speichereinrichtungen mit schwebendem Gate oder Speichereinrichtungen mit dielektrischem Ladungsträgereinfang sind.

Es folgen 4 Blatt Zeichnungen



Anhängende Zeichnungen



**FIG. 2**

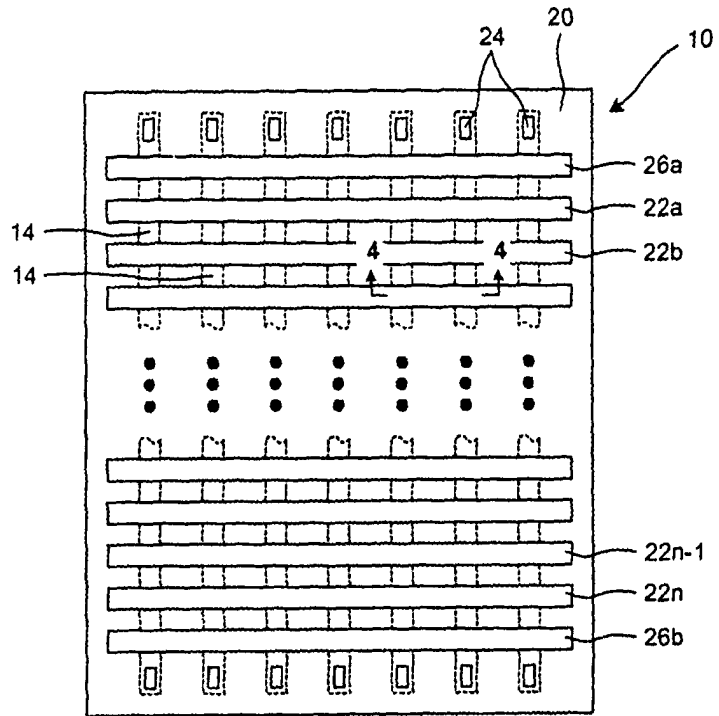


FIG. 3

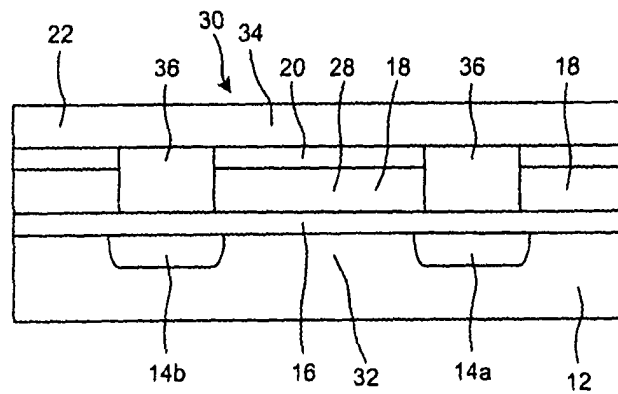


FIG. 4



