【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成27年4月30日(2015.4.30)

【公開番号】特開2013-197726(P2013-197726A)
【公開日】平成25年9月30日(2013.9.30)
【年通号数】公開・登録公報2013-053
【出願番号】特願2012-61009(P2012-61009)
【国際特許分類】
Ｈ０３Ｆ　1/32　(2006.01)
Ｈ０３Ｆ　3/60　(2006.01)
Ｈ０３Ｆ　3/193　(2006.01)
Ｈ０３Ｆ　3/68　(2006.01)
【ＦＩ】
Ｈ０３Ｆ　1/32
Ｈ０３Ｆ　3/60
Ｈ０３Ｆ　3/193
Ｈ０３Ｆ　3/68　Ｚ

【手続補正書】
【提出日】平成27年3月16日(2015.3.16)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
前段ＦＥＴと、
前記前段ＦＥＴのドレインに後段ＦＥＴのゲートが接続されるように前記前段ＦＥＴに直列に接続された前記後段ＦＥＴと、
前記前段ＦＥＴのゲートおよびドレインにそれぞれ接続された第１整合回路と、
前記後段ＦＥＴのゲートおよびドレインにそれぞれ接続された第２整合回路と、
を具備し、
前記第２整合回路によって整合される帯域特性は、前記第１整合回路によって整合される帯域特性に比べて狭帯域であり、
前記後段ＦＥＴのゲートバイアス電圧は、前記後段ＦＥＴの単位ゲート幅あたりのドレインアイドル電流が、前記前段ＦＥＴの単位ゲート幅あたりのドレインアイドル電流に比べて小さくなる値で印加されることを特徴とする増幅器。
【請求項２】
前記後段ＦＥＴのＰ１ｄＢは前記前段ＦＥＴよりも大きいことを特徴とする請求項１記載の増幅器。
【請求項３】
前記前段ＦＥＴは複数の多段接続されたＦＥＴで構成されてなり、これら多段接続されたＦＥＴのうち、初段のＦＥＴの単位ゲート幅あたりのドレインアイドル電流は、それ以外の前記多段接続されたＦＥＴよりも大きいことを特徴とする請求項１記載の増幅器。
【請求項４】
前記後段ＦＥＴは、複数のＦＥＴが並列に接続された構成からなり、前記後段ＦＥＴのゲートに接続されるゲートバイアス回路が複数設けられ、前記ゲートバイアス回路が最終段ＦＥＴにゲートバイアス電圧を供給するバイアス配線は、信号が伝搬する信号配線を跨

がないことを特徴とする請求項１記載の増幅器。
【請求項５】
前記ゲートバイアス回路は、前記前段ＦＥＴおよび後段ＦＥＴが設けられる半導体チップと同一チップ内に設けられてなることを特徴とする請求項４記載の増幅器。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００５
【補正方法】変更
【補正の内容】
【０００５】
本発明は、前段ＦＥＴと、前記前段ＦＥＴのドレインに後段ＦＥＴのゲートが接続されるように前記前段ＦＥＴに直列に接続された前記後段ＦＥＴと、前記前段ＦＥＴのゲートおよびドレインにそれぞれ接続された第１整合回路と、前記後段ＦＥＴのゲートおよびドレインにそれぞれ接続された第２整合回路と、を具備し、前記第２整合回路によって整合される帯域特性は、前記第１整合回路によって整合される帯域特性に比べて狭帯域であり、前記後段ＦＥＴのゲートバイアス電圧は、前記後段ＦＥＴの単位ゲート幅あたりのドレインアイドル電流が、前記前段ＦＥＴの単位ゲート幅あたりのドレインアイドル電流に比べて小さくなる値で印加されることを特徴とする増幅器である。本発明によれば、線形性を向上し、かつ消費電力を抑制することができる。