

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月1日(01.12.2022)



(10) 国際公開番号

WO 2022/249554 A1

(51) 国際特許分類:
H04N 5/374 (2011.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2022/004218

(22) 国際出願日: 2022年2月3日(03.02.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-088606 2021年5月26日(26.05.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 弘 智行(HIRO Tomoyuki); 〒8691102
熊本県菊池郡菊陽町大字原水4000番地
1 ソニーセミコンダクタマニュファクチャ
リング株式会社内 Kumamoto (JP).

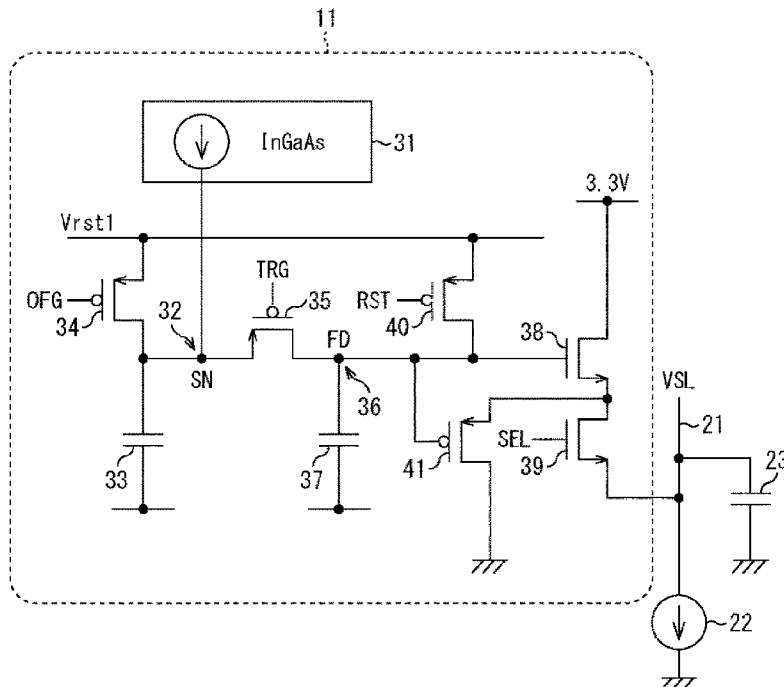
(74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9
番10号 池袋F Nビル4階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SOLID STATE IMAGING ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像素子および電子機器

FIG. 1



(57) Abstract: The present disclosure relates to a solid state imaging element and an electronic instrument configured such that performance can be further improved. Each pixel includes at least an FD part for detecting a charge generated by photoelectric conversion in a photodiode, a first transistor driven as a source follower when the voltage of the FD part increases, and a second transistor driven as a source follower when the voltage of the FD part decreases. The first transistor is used as an amplification transistor for amplifying charge, and the second transistor has a gate connected to the FD part

HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

and a drain connected to the source of the amplification transistor. The present technology can be applied to, for example, a CMOS image sensor having InGaAs photodiode pixels.

(57) 要約: 本開示は、より性能向上を図ることができるようにする固体撮像素子および電子機器に関する。画素は、フォトダイオードにおける光電変換で発生した電荷を検出するためのFD部と、FD部の電圧が上昇するときにソースフォロワ駆動する第1のトランジスタと、FD部の電圧が低下するときにソースフォロワ駆動する第2のトランジスタとを少なくとも有する。そして、第1のトランジスタは、電荷を増幅する増幅トランジスタとして用いられ、第2のトランジスタは、ゲートにFD部が接続されるとともに、ドレインに増幅トランジスタのソースが接続される。本技術は、例えば、InGaAsフォトダイオードの画素を備えるCMOSイメージセンサに適用できる。

明 細 書

発明の名称： 固体撮像素子および電子機器

技術分野

[0001] 本開示は、固体撮像素子および電子機器に関し、特に、より性能向上を図ることができるようにした固体撮像素子および電子機器に関する。

背景技術

[0002] 従来、デジタルスチルカメラやデジタルビデオカメラなどの撮像機能を備えた電子機器においては、例えば、CCD (Charge Coupled Device) やCMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの固体撮像素子が使用されている。例えば、固体撮像素子では、フォトダイオードにおいて光電変換された電荷がFD (Floating Diffusion) 部に転送され、その電荷量に応じて増幅トランジスタを介して出力される画素信号がAD (Analog to Digital) 変換される。

[0003] また、特許文献1には、画素信号を伝送する垂直信号線に、電流値が可変である定電流源が接続された撮像装置において、垂直信号線の電圧の変動を測定して定電流源の電流値を制御する技術が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-153909号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、従来の撮像素子に対して、垂直信号線の電圧が収束するまでのセトリング時間を改善したり、定電流源の電流値の増加を抑制したりすることで、さらなる性能の向上が求められている。

[0006] 本開示は、このような状況に鑑みてなされたものであり、より性能向上を図ることができるようにするものである。

課題を解決するための手段

[0007] 本開示の一側面の固体撮像素子は、フォトダイオードにおける光電変換で発生した電荷を検出するためのF D部と、前記F D部の電圧が上昇するときにソースフォロワ駆動する第1のトランジスタと、前記F D部の電圧が低下するときにソースフォロワ駆動する第2のトランジスタとを少なくとも有し、前記第1のトランジスタおよび前記第2のトランジスタのうちの一方は、前記電荷を増幅する増幅トランジスタとして用いられ、前記第1のトランジスタおよび前記第2のトランジスタのうちの他方は、ゲートに前記F D部が接続されるとともに、ドレインに前記増幅トランジスタのソースが接続され、または、ソースに前記増幅トランジスタのドレインが接続される画素を備える。

[0008] 本開示の一側面の電子機器は、フォトダイオードにおける光電変換で発生した電荷を検出するためのF D部と、前記F D部の電圧が上昇するときにソースフォロワ駆動する第1のトランジスタと、前記F D部の電圧が低下するときにソースフォロワ駆動する第2のトランジスタとを少なくとも有し、前記第1のトランジスタおよび前記第2のトランジスタのうちの一方は、前記電荷を増幅する増幅トランジスタとして用いられ、前記第1のトランジスタおよび前記第2のトランジスタのうちの他方は、ゲートに前記F D部が接続されるとともに、ドレインに前記増幅トランジスタのソースが接続され、または、ソースに前記増幅トランジスタのドレインが接続される画素を有した固体撮像素子を備える。

[0009] 本開示の一側面においては、画素には、フォトダイオードにおける光電変換で発生した電荷を検出するためのF D部と、F D部の電圧が上昇するときにソースフォロワ駆動する第1のトランジスタと、F D部の電圧が低下するときにソースフォロワ駆動する第2のトランジスタとが少なくとも設けられる。そして、第1のトランジスタおよび第2のトランジスタのうちの一方は、電荷を増幅する増幅トランジスタとして用いられ、第1のトランジスタおよび第2のトランジスタのうちの他方は、ゲートにF D部が接続されるとともに、ドレインに増幅トランジスタのソースが接続され、または、ソースに

増幅トランジスタのドレインが接続される。

図面の簡単な説明

- [0010] [図1]本技術を適用した固体撮像素子が備える画素の第1の実施の形態の構成例を示す回路図である。
- [図2]従来の画素の構成例を示す回路図である。
- [図3]トランジスタの基本特性を示す図である。
- [図4]動作タイミングを示す図である。
- [図5]シミュレーション結果の一例を示す図である。
- [図6]画素の平面レイアウトの一例を示す図である。
- [図7]画素の第2の実施の形態の構成例を示す回路図である。
- [図8]D層転送時におけるセトリング改善について説明する図である。
- [図9]画素の第3の実施の形態の構成例を示す回路図である。
- [図10]高光量時におけるセトリング改善について説明する図である。
- [図11]撮像装置の構成例を示すブロック図である。
- [図12]イメージセンサを使用する使用例を示す図である。

発明を実施するための形態

- [0011] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。
- [0012] <画素の第1の構成例>
- 図1は、本技術を適用した固体撮像素子が備える画素の第1の実施の形態の構成例を示す回路図である。
- [0013] 図1に示す画素11は、破線で囲われた領域が画素領域である。画素11は、垂直信号線21を介して、定電流源となる負荷MOS (Metal Oxide Semiconductor) 22に接続されており、垂直信号線21には寄生容量23が発生している。
- [0014] 画素11は、InGaAsフォトダイオード31、SNノード32、容量33、排出トランジスタ34、転送トランジスタ35、FDノード36、容量37、増幅トランジスタ38、選択トランジスタ39、リセットトランジスタ4

0、および追加トランジスタ41を備えて構成される。排出トランジスタ34、転送トランジスタ35、リセットトランジスタ40、および追加トランジスタ41は、P型トランジスタであり、増幅トランジスタ38、および選択トランジスタ39は、N型トランジスタである。即ち、画素11の画素領域には、N型トランジスタおよびP型トランジスタが組み合わされて配置されている。

[0015] InGaAsフォトダイオード31は、近赤外の波長域の光を光電変換し、その光電変換で発生した電荷をSNノード32に出力する。

[0016] SNノード32には容量33が接続されており、InGaAsフォトダイオード31で発生した電荷が容量33に蓄積される。

[0017] 排出トランジスタ34は、ゲートに供給される排出信号OFGに従って、容量33に蓄積されている電荷を排出し、SNノード32の電位をリセット電圧Vrst1にリセットする。

[0018] 転送トランジスタ35は、ゲートに供給される転送信号TRGに従って、SNノード32からFDノード36へ電荷を転送する。

[0019] FDノード36には容量37が接続されており、SNノード32から転送されてくる電荷が容量37に蓄積される。

[0020] 増幅トランジスタ38は、例えば、3.3Vの電源電圧と選択トランジスタ39とを接続し、ゲートに供給されるFDノード36の電位に応じて接続をオン／オフする。

[0021] 選択トランジスタ39は、ゲートに供給される選択信号SELに従って、増幅トランジスタ38を垂直信号線21に接続する。

[0022] リセットトランジスタ40は、ゲートに供給されるリセット信号RSTに従って、容量37に蓄積されている電荷を排出して、FDノード36の電位をリセット電圧Vrst1にリセットする。

[0023] 追加トランジスタ41のゲートには、FDノード36が接続される。追加トランジスタ41のドレインには、増幅トランジスタ38のソースが接続されるとともに、選択トランジスタ39を介して垂直信号線21に接続される

。追加トランジスタ41のソースは、接地レベルに接続されている。従って、追加トランジスタ41は、FDノード36の電位に応じて、選択トランジスタ39を介して垂直信号線21と接地レベルとの接続をオン／オフする。

[0024] このように構成される画素11において、FDノード36は、InGaAsフォトダイオード31における光電変換で発生した電荷を検出するために用いられ、増幅トランジスタ38は、FDノード36に蓄積されている電荷を増幅する。増幅トランジスタ38はN型トランジスタであって、FDノード36の電圧が上昇するときにソースフォロワ駆動する。追加トランジスタ41はP型トランジスタであって、FDノード36の電圧が降下するときにソースフォロワ駆動する。

[0025] 従って、画素11は、FDノード36の電位に応じて、増幅トランジスタ38がオンになると追加トランジスタ41はオフになり、増幅トランジスタ38がオフになると追加トランジスタ41はオンになるように構成される。

[0026] これにより、画素11は、リセットトランジスタ40によってFDノード36の電位がリセットされたタイミングにおいて、垂直信号線21の電圧VSLが降下してリセット電圧Vrst1に収束するまでのセtring時間Tの短縮を図ることができる。例えば、このセtring時間Tは、負荷MOS22により供給される電流I0、寄生容量23に蓄積可能な電荷の容量Cvsl、増幅トランジスタ38の相互コンダクタンスgm1、および追加トランジスタ41の相互コンダクタンスgm2を用いて、次の式(1)で表される。

[0027] [数1]

$$T = \frac{C_{vs1}}{I_0 + g_{m2}} + \frac{C_{vs1}}{g_{m1}} \quad \dots (1)$$

[0028] ここで、図2には、追加トランジスタ41が設けられていない従来の画素11Aの構成例が示されている。なお、図2において、図1の画素11と共通する構成要件には同一の符号が付してあり、その詳細な説明は省略する。

[0029] 図2に示すように構成される従来の画素11Aにおけるセtring時間Tは、負荷MOS22により供給される電流I0、寄生容量23に蓄積可能な電荷

の容量 C_{vs1} 、および増幅トランジスタ38の相互コンダクタンス g_m を用いて、次の式(2)で表される。

[0030] [数2]

$$T = \frac{C_{vs1}}{I_0} + \frac{C_{vs1}}{g_m} \quad \dots (2)$$

[0031] 従って、従来の画素11Aの構成におけるセトリング時間 T を低減するためには、負荷MOS22により供給される電流 I_0 を増加させること、または、増幅トランジスタ38の相互コンダクタンス g_m を増加させることが必要となる。しかしながら、負荷MOS22により供給される電流 I_0 を増加させた場合には、定常的な消費電流が増加することになる。

[0032] これに対し、画素11では、過渡的な動作でのみ追加トランジスタ41がオンとなる構成であることより、定常的な消費電量の増加が生じることは無い。つまり、画素11は、消費電量が増加することを回避しつつ、セトリング改善を図ることができる。

[0033] さらに、図3および図4を参照して、画素11におけるセトリング改善について説明する。

[0034] 図3には、トランジスタの基本特性が示されている。

[0035] 図3のAに示すようなトランジスタは、ゲート電圧とソース電圧との電圧差 V_{gs} に応じて、ドレインからソースに流れる電流 I_{ds} が変化する。例えば、エンハンスメント型のトランジスタは、図4のBに示すように電流 I_{ds} が変化し、デプレッション型のトランジスタは、図4のCに示すように電流 I_{ds} が変化する。

[0036] 例えば、増幅トランジスタ38および追加トランジスタ41として、エンハンスメント型とデプレッション型とのどちらを採用してもよい。なお、デプレッション型の方が、トランジスタのオン／オフを切り替える閾値電圧 V_{Th} が小さいため、ソースフォロワ駆動の切り替わりの感度を高くすることができ、セトリング時間を短縮する効果を高めることができる。

[0037] また、増幅トランジスタ38の閾値電圧 V_{Th} は、追加トランジスタ41

の閾値電圧 V_{Th} より小さくなるように設定される。

[0038] 図4のAには、画素11の動作タイミングが示されており、図3のBには、従来の画素11Aの動作タイミングが示されている。

[0039] 図4に示すように、画素11と従来の画素11Aとのどちらにおいても、リセットトランジスタ40によってFDノード36の電位がリセットされたタイミングにおいて、垂直信号線21の電圧 V_{SL} の降下を開始される。また、この時点では、垂直信号線21の電圧 V_{SL} がFDノード36の電位より高いため、増幅トランジスタ38はオフとなっており、追加トランジスタ41はオンとなっている。

[0040] 例えば、図4のBで拡大して示すように、従来の画素11Aでは、増幅トランジスタ38がオフとなっている期間（AMP_OFF期間）においては、負荷MOS22により供給される電流 I_0 によってセtring時間 T が決定される。そして、垂直信号線21の電圧 V_{SL} が降下するに伴って、垂直信号線21の電圧 V_{SL} がFDノード36の電位より低くなると、増幅トランジスタ38がオンとなる。その後、増幅トランジスタ38がオンとなっている期間（AMP_ON期間）においては、増幅トランジスタ38の相互コンダクタンス g_m によってセtring時間 T が決定される。

[0041] つまり、従来の画素11Aでは、FDノード36の電圧が降下する際に、垂直信号線21の電圧 V_{SL} はFDノード36の電圧に追従するように降下する。このとき、FDノード36の電圧が降下した瞬間では、増幅トランジスタ38のソース電圧よりゲート電圧の方が低いため、増幅トランジスタ38はオフとなる。そのため、増幅トランジスタ38がオフとなっている期間では、セtring時間 T は、負荷MOS22により供給される電流 I_0 によって決定されることになる。

[0042] これに対し、図4のAで拡大して示すように、画素11では、増幅トランジスタ38がオフとなっている期間（AMP_OFF期間）においては、負荷MOS22により供給される電流 I_0 、および、追加トランジスタ41の相互コンダクタンス g_m によってセtring時間 T が決定される。そして、垂直信号線

21の電圧 V_{SL} が降下するに伴って、垂直信号線21の電圧 V_{SL} がFDノード36の電位より低くなると、増幅トランジスタ38がオンとなる一方で、追加トランジスタ41はオフとなる。その後、増幅トランジスタ38がオンとなっている期間（AMP_ON期間）においては、増幅トランジスタ38の相互コンダクタンス g_m によってセtring時間 T が決定される。

[0043] つまり、画素11は、増幅トランジスタ38のソース電圧よりゲート電圧の方が低く、増幅トランジスタ38はオフする領域で動作する追加トランジスタ41が設けられた構成となっている。これにより、画素11では、FDノード36の電圧が降下した瞬間に、増幅トランジスタ38はオフになる一方で追加トランジスタ41がオンとなり、負荷MOS22により供給される電流 I_0 と、追加トランジスタ41を介して流れる電流とによって垂直信号線21の電圧 V_{SL} を降下させることができる。その結果、画素11は、垂直信号線21の電圧 V_{SL} の降下時に、垂直信号線21の電圧 V_{SL} が収束するまでのセtring時間 T の短縮を図ることができる。

[0044] このように、画素11は、増幅トランジスタ38がオフとなっている期間において、追加トランジスタ41によって垂直信号線21の電圧 V_{SL} の降下がアシストされるので、従来の画素11Aよりもセtring時間の短縮を図ることができる。

[0045] 図5は、セtring時間のシミュレーション結果の一例を示す図である。

[0046] 図5に示すように、本技術を適用した画素11では、FDノード36の電圧が降下したタイミングから、垂直信号線21の電圧 V_{SL} が収束するまでのセtring時間が 0.858μ 秒となるシミュレーション結果が求められた。また、従来の画素11Aでは、FDノード36の電圧が降下したタイミングから、垂直信号線21の電圧 V_{SL} が収束するまでのセtring時間が 1.125μ 秒となるシミュレーション結果が求められた。また、追加トランジスタ41を流れる電流（AMPP電流）が、図5に示すように発生するシミュレーション結果が求められた。

[0047] このように、本技術を適用した画素11は、従来の画素11Aと比較して

、セトリング時間を約25%低減させることができると期待される。このようにセトリング時間を低減させることで、画素11を備える固体撮像素子は、高フレームレート化を図ることができる。

[0048] なお、図5は、追加トランジスタ41のLW比を4としてシミュレーションを行ったシミュレーション結果であり、追加トランジスタ41のLW比を大きく（性能向上）することで、さらにセトリング時間を低減させることができる可能性がある。

[0049] 図6には、画素11の平面レイアウトの一例が示されている。

[0050] 図6に示すように、画素11は、例えば、P型トランジスタである排出トランジスタ34、転送トランジスタ35、リセットトランジスタ40、および追加トランジスタ41が一行に並び、N型トランジスタである増幅トランジスタ38、および選択トランジスタ39が一行に並ぶような平面レイアウトを採用することができる。

[0051] 以上のように構成される画素11を備える固体撮像素子は、従来よりもセトリング時間を短縮することによって高フレームレート化を図ることができ、その際の消費電力の増加を抑制することができるので、より性能向上を図ることができる。また、負荷MOS22の電流が少ないほど、追加トランジスタ41によるセトリング改善の効果を高めることができる。

[0052] また、画素11は、従来の画素11Aと同様に、N型トランジスタおよびP型トランジスタが混合されるように組み合わせられた構成であり、追加トランジスタ41を追加することによって工程が増加することはない。また、画素11は、容量分割（容量33と容量37との容量比をコントロール）するために、FDノード36に意図的に容量37を設ける構成となっているため、追加トランジスタ41を追加することによる容量が生じて、変換効率に影響を及ぼすことはない。また、画素11は、従来の画素11Aに対して追加トランジスタ41を追加するだけであって面積および電流の増加が少なく、他製品への汎用性を高くすることができる。

[0053] <画素の第2の構成例>

図 7 は、本技術を適用した固体撮像素子が備える画素の第 2 の実施の形態の構成例を示す回路図である。なお、図 7 に示す画素 1 1 B において、図 1 の画素 1 1 と共通する構成要件については、同一の符号を付し、その詳細な説明は省略する。

[0054] 例えば、画素 1 1 B は、転送トランジスタ 3 5、F D ノード 3 6、容量 3 7、増幅トランジスタ 3 8、選択トランジスタ 3 9、リセットトランジスタ 4 0、および追加トランジスタ 4 1 を備える点で、図 1 の画素 1 1 と共通の構成となっている。そして、画素 1 1 が InGaAs フォトダイオード 3 1 を備えていたのに対し、画素 1 1 B は、P N 接合型のフォトダイオード 4 2 を備えた構成となっている。

[0055] このように構成される画素 1 1 B は、例えば、D 層転送時におけるセトリング時間を短縮することができる。

[0056] 即ち、図 8 に示すように、画素 1 1 B では、D 層転送時において、転送信号 T R G に従って転送トランジスタ 3 5 がオンとなってフォトダイオード 4 2 から転送される電荷によって F D ノード 3 6 の電圧が降下する。このとき、増幅トランジスタ 3 8 がオフとなるとともに追加トランジスタ 4 1 がオンとなり、追加トランジスタ 4 1 によって F D ノード 3 6 の電圧の降下がアシストされるので、F D ノード 3 6 の電圧が収束するまでのセトリング時間を短縮することができる。

[0057] このように、画素 1 1 B は、増幅トランジスタ 3 8 のソースに追加トランジスタ 4 1 のドレインが接続されるような構成とすることで、D 層転送時における F D ノード 3 6 の電圧の立ち下がり速度の向上を図ることができ、セトリング改善を図ることができる。

[0058] <画素の第 3 の構成例>

図 9 は、本技術を適用した固体撮像素子が備える画素の第 3 の実施の形態の構成例を示す回路図である。

[0059] 図 9 に示す画素 1 1 C は、例えば、物体の移動などをイベントとして検出するイベントベースビジョンセンサに用いられる。例えば、イベントベース

ビジョンセンサは、センサ基板およびロジック基板が積層された積層構造となっている。そして、イベントベースビジョンセンサでは、画素11CごとにCu-Cu接続部51を介してセンサ基板とロジック基板とが電氣的に接続され、画素信号が画素11CごとにAD変換される。

[0060] 図9に示すように、センサ基板側の画素領域52には、フォトダイオード61、並びに、N型トランジスタ62および63が設けられている。また、ロジック基板側の画素下AD領域53には、P型トランジスタ64乃至69、N型トランジスタ70乃至72、キャパシタ73および74、スイッチ75、並びに、負荷MOS76が設けられている。

[0061] 例えば、画素11Cでは、P型トランジスタ69が、図1の増幅トランジスタ38に対応し、フォトダイオード61における光電変換で発生した電荷を増幅する。また、画素11Cでは、N型トランジスタ70が、図1の追加トランジスタ41に対応し、フォトダイオード61によって高光量が検出された際のP型トランジスタ69の出力の立ち上がりがアシストされる。

[0062] 即ち、画素11Cは、フォトダイオード61における光電変換で発生した電荷に応じた画素領域52の出力電圧 p_{out} がP型トランジスタ69のゲートに供給されるように構成される。そして、画素11Cは、P型トランジスタ65および69により構成される増幅アンプによって出力電圧 p_{out} を増幅して、その増幅アンプから出力電圧 f_{out} が出力されるように構成される。

[0063] そして、画素11Cでは、図10に示すように、照度が高くなって出力電圧 p_{out} が低照度から高照度に変化すると、出力電圧 f_{out} が上昇する。このとき、P型トランジスタ69がオフになるとともに、N型トランジスタ70がオンになることで、出力電圧 f_{out} が収束するまでのセトリング時間を短縮することができる。つまり、画素11Cは、N型トランジスタ70のソースにP型トランジスタ69のドレインが接続されるような構成とすることで、高照度の検出時における出力電圧 f_{out} の立ち上がり速度の向上を図ることができる。

[0064] このように、画素11Cは、フォトダイオード61によって高光量が検出

された際のセトリング改善を図ることができる。

[0065] なお、画素 11C では、P 型トランジスタ 69 の閾値電圧 V_{Th} は、N 型トランジスタ 70 の閾値電圧 V_{Th} より小さくなるように設定される。

[0066] <電子機器の構成例>

上述したような各構成例の画素 11 を備えた撮像素子は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0067] 図 11 は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0068] 図 11 に示すように、撮像装置 101 は、光学系 102、撮像素子 103、信号処理回路 104、モニタ 105、およびメモリ 106 を備えて構成され、静止画像および動画像を撮像可能である。

[0069] 光学系 102 は、1 枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子 103 に導き、撮像素子 103 の受光面（センサ部）に結像させる。

[0070] 撮像素子 103 としては、上述した各構成例の画素 11 を備えた撮像素子が適用される。撮像素子 103 には、光学系 102 を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子 103 に蓄積された電子に応じた信号が信号処理回路 104 に供給される。

[0071] 信号処理回路 104 は、撮像素子 103 から出力された画素信号に対して各種の信号処理を施す。信号処理回路 104 が信号処理を施すことにより得られた画像（画像データ）は、モニタ 105 に供給されて表示されたり、メモリ 106 に供給されて記憶（記録）されたりする。

[0072] このように構成されている撮像装置 101 では、上述した各構成例の画素 11 を適用することで、例えば、より高速かつ低消費電力で画像を撮像することができる。

[0073] <イメージセンサの使用例>

図 1 2 は、上述のイメージセンサ（撮像素子）を使用する使用例を示す図である。

[0074] 上述したイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0075] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0076] <構成の組み合わせ例>

なお、本技術は以下のような構成も取ることができる。

(1)

フォトダイオードにおける光電変換で発生した電荷を検出するためのFD (Floating Diffusion) 部と、

前記FD部の電圧が上昇するときにソースフォロワ駆動する第1のトランジスタと、

前記F D部の電圧が降下するときにソースフォロワ駆動する第2のトランジスタと

を少なくとも有し、

前記第1のトランジスタおよび前記第2のトランジスタのうちの一方は、前記電荷を増幅する増幅トランジスタとして用いられ、

前記第1のトランジスタおよび前記第2のトランジスタのうちの他方は、ゲートに前記F D部が接続されるとともに、ドレインに前記増幅トランジスタのソースが接続され、または、ソースに前記増幅トランジスタのドレインが接続される

画素を備える固体撮像素子。

(2)

前記画素を構成する素子が設けられる画素領域に、前記第1のトランジスタおよび前記第2のトランジスタが組み合わされて配置される

上記(1)に記載の固体撮像素子。

(3)

前記第1のトランジスタが前記増幅トランジスタとして用いられ、

前記第2のトランジスタによって、前記F D部がリセットされるタイミングで垂直信号線の電圧降下がアシストされる

上記(1)または(2)に記載の固体撮像素子。

(4)

前記第1のトランジスタのオン／オフを切り替える閾値電圧は、前記第2のトランジスタのオン／オフを切り替える閾値電圧より小さい

上記(3)に記載の固体撮像素子。

(5)

前記第2のトランジスタが前記増幅トランジスタとして用いられ、

前記第1のトランジスタによって、前記フォトダイオードによって高光量が検出された際の前記増幅トランジスタの出力の立ち上がりがアシストされる

上記（１）または（２）に記載の固体撮像素子。

（６）

前記第２のトランジスタのオン／オフを切り替える閾値電圧は、前記第１のトランジスタのオン／オフを切り替える閾値電圧より小さい

上記（５）に記載の固体撮像素子。

（７）

前記第１のトランジスタおよび前記第２のトランジスタとして、エンハンスメント型とデプレッション型とのどちらかが採用される

上記（１）から（６）までのいずれかに記載の固体撮像素子。

（８）

フォトダイオードにおける光電変換で発生した電荷を検出するためのＦＤ（Floating Diffusion）部と、

前記ＦＤ部の電圧が上昇するときにソースフォロワ駆動する第１のトランジスタと、

前記ＦＤ部の電圧が降下するときにソースフォロワ駆動する第２のトランジスタと

を少なくとも有し、

前記第１のトランジスタおよび前記第２のトランジスタのうちの一方は、前記電荷を増幅する増幅トランジスタとして用いられ、

前記第１のトランジスタおよび前記第２のトランジスタのうちの他方は、ゲートに前記ＦＤ部が接続されるとともに、ドレインに前記増幅トランジスタのソースが接続され、または、ソースに前記増幅トランジスタのドレインが接続される

画素を有した固体撮像素子を備える電子機器。

[0077] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

符号の説明

[0078] 1 1 画素, 2 1 垂直信号線, 2 2 負荷MOS, 2 3 寄生容量,
3 1 InGaAsフォトダイオード, 3 2 S Nノード, 3 3 容量,
3 4 排出トランジスタ, 3 5 転送トランジスタ, 3 6 F Dノード
, 3 7 容量, 3 8 増幅トランジスタ, 3 9 選択トランジスタ,
4 0 リセットトランジスタ, 4 1 追加トランジスタ, 4 2 フォ
トダイオード, 5 1 Cu-Cu接続部, 5 2 画素領域, 5 3 画素下A
D領域, 6 1 フォトダイオード, 6 2および6 3 N型トランジスタ
, 6 4乃至6 9 P型トランジスタ, 7 0乃至7 2 N型トランジスタ
, 7 3および7 4 キャパシタ, 6 7 スイッチ, 6 8 負荷MOS

請求の範囲

- [請求項1] フォトダイオードにおける光電変換で発生した電荷を検出するためのF D (Floating Diffusion) 部と、
- 前記F D部の電圧が上昇するときにソースフォロワ駆動する第1のトランジスタと、
- 前記F D部の電圧が降下するときにソースフォロワ駆動する第2のトランジスタと
- を少なくとも有し、
- 前記第1のトランジスタおよび前記第2のトランジスタのうち的一方は、前記電荷を増幅する増幅トランジスタとして用いられ、
- 前記第1のトランジスタおよび前記第2のトランジスタのうちの他方は、ゲートに前記F D部が接続されるとともに、ドレインに前記増幅トランジスタのソースが接続され、または、ソースに前記増幅トランジスタのドレインが接続される
- 画素を備える固体撮像素子。
- [請求項2] 前記画素を構成する素子が設けられる画素領域に、前記第1のトランジスタおよび前記第2のトランジスタが組み合わされて配置される
- 請求項1に記載の固体撮像素子。
- [請求項3] 前記第1のトランジスタが前記増幅トランジスタとして用いられ、
- 前記第2のトランジスタによって、前記F D部がリセットされるタイミングで垂直信号線の電圧降下がアシストされる
- 請求項1に記載の固体撮像素子。
- [請求項4] 前記第1のトランジスタのオン／オフを切り替える閾値電圧は、前記第2のトランジスタのオン／オフを切り替える閾値電圧より小さい
- 請求項3に記載の固体撮像素子。
- [請求項5] 前記第2のトランジスタが前記増幅トランジスタとして用いられ、
- 前記第1のトランジスタによって、前記フォトダイオードによって高光量が検出された際の前記増幅トランジスタの出力の立ち上がりが

アシストされる

請求項 1 に記載の固体撮像素子。

[請求項6] 前記第 2 のトランジスタのオン／オフを切り替える閾値電圧は、前記第 1 のトランジスタのオン／オフを切り替える閾値電圧より小さい請求項 5 に記載の固体撮像素子。

[請求項7] 前記第 1 のトランジスタおよび前記第 2 のトランジスタとして、エンハンスメント型とデプレッション型とのどちらかが採用される請求項 1 に記載の固体撮像素子。

[請求項8] フォトダイオードにおける光電変換で発生した電荷を検出するための F D (Floating Diffusion) 部と、

前記 F D 部の電圧が上昇するときにソースフォロワ駆動する第 1 のトランジスタと、

前記 F D 部の電圧が降下するときにソースフォロワ駆動する第 2 のトランジスタと

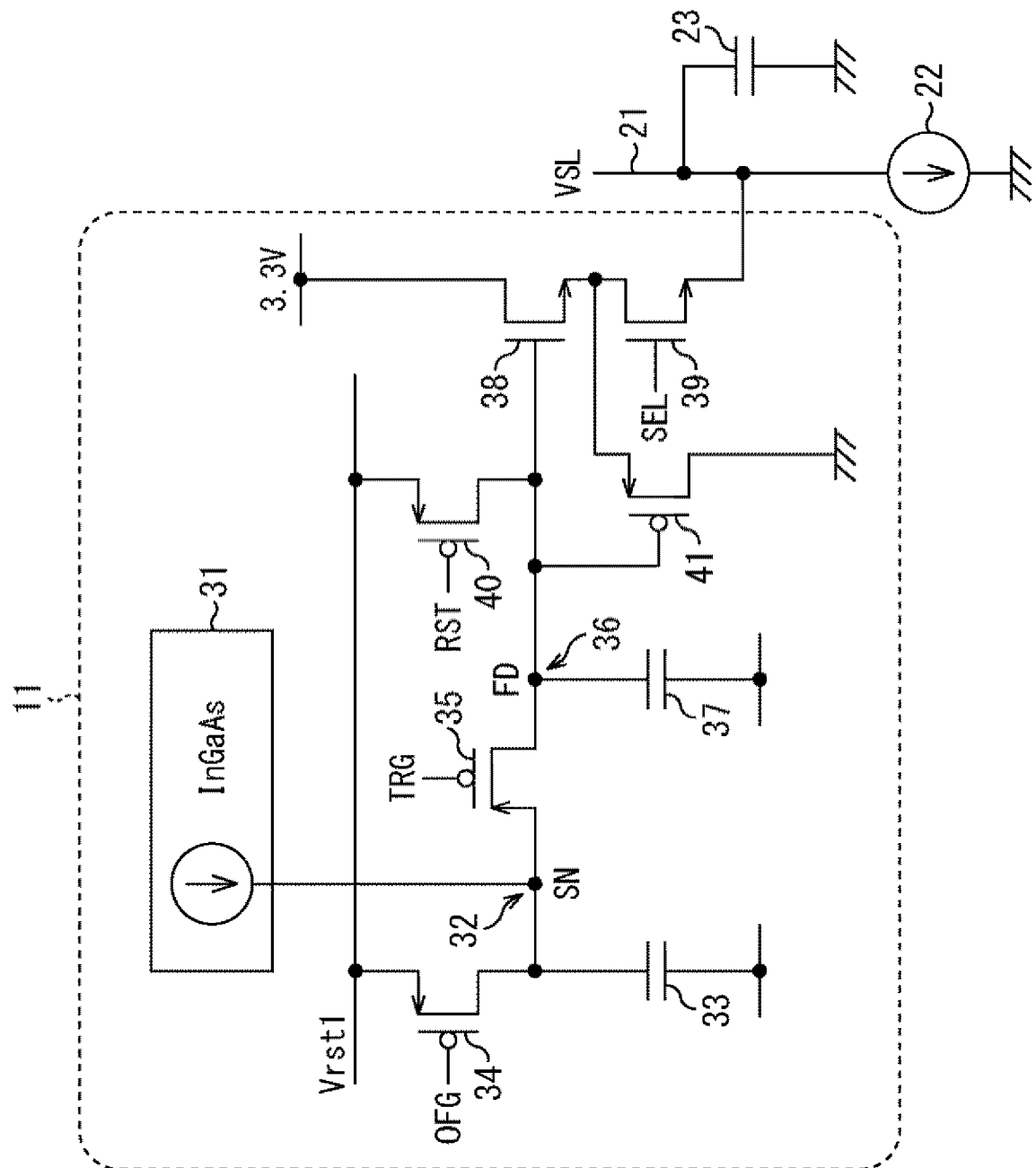
を少なくとも有し、

前記第 1 のトランジスタおよび前記第 2 のトランジスタのうち的一方は、前記電荷を増幅する増幅トランジスタとして用いられ、

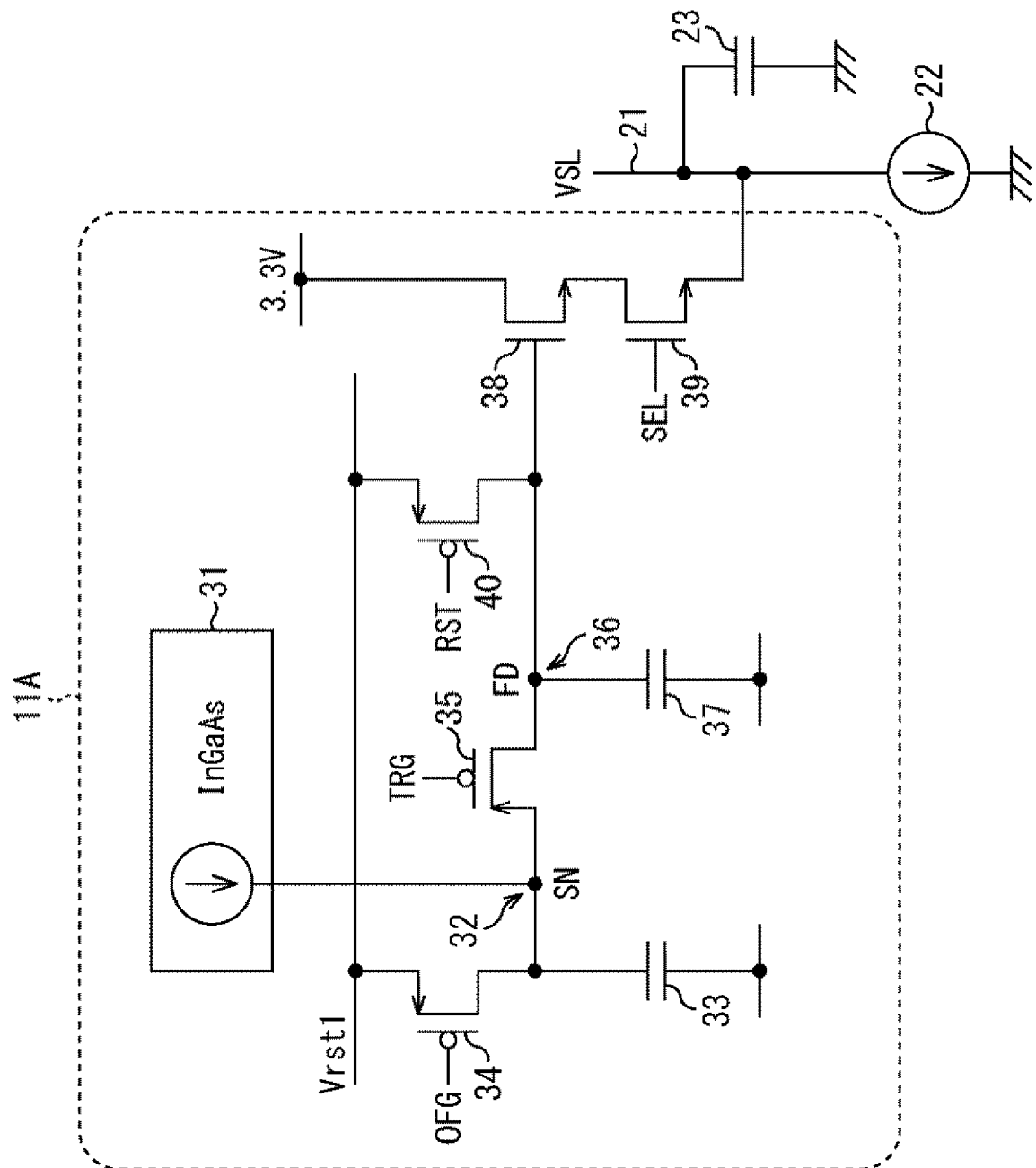
前記第 1 のトランジスタおよび前記第 2 のトランジスタのうちの他方は、ゲートに前記 F D 部が接続されるとともに、ドレインに前記増幅トランジスタのソースが接続され、または、ソースに前記増幅トランジスタのドレインが接続される

画素を有した固体撮像素子を備える電子機器。

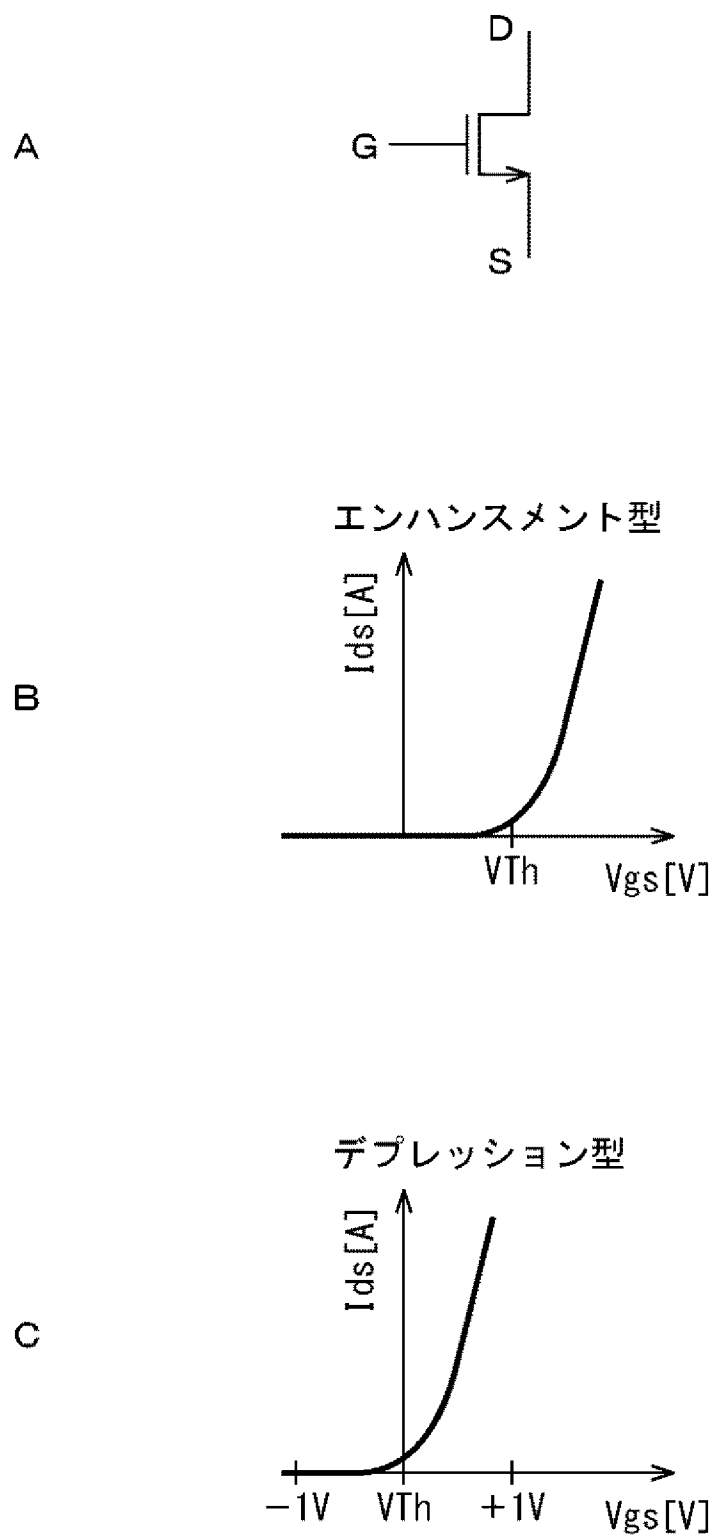
[図1]
FIG. 1

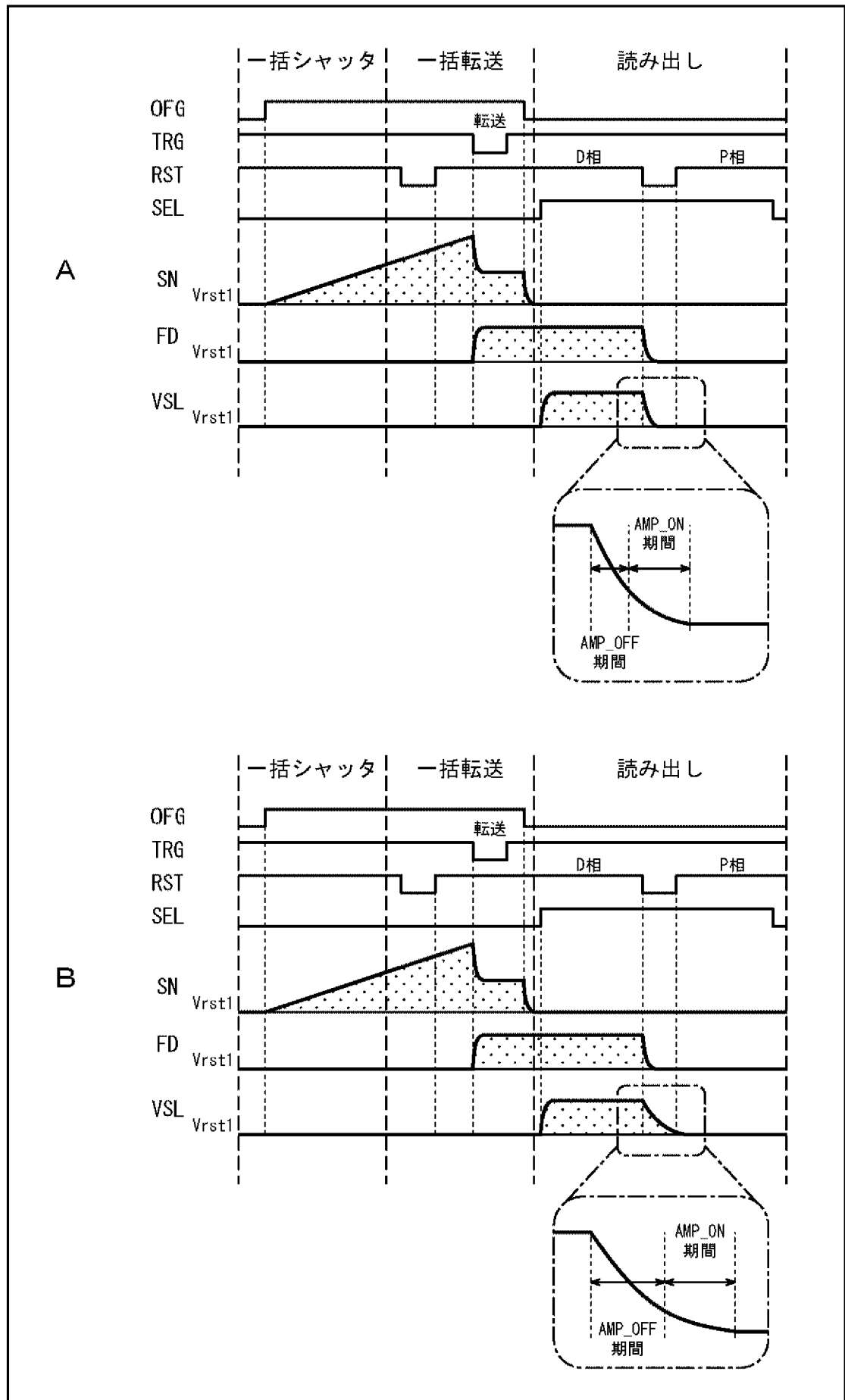


[図2]
FIG. 2

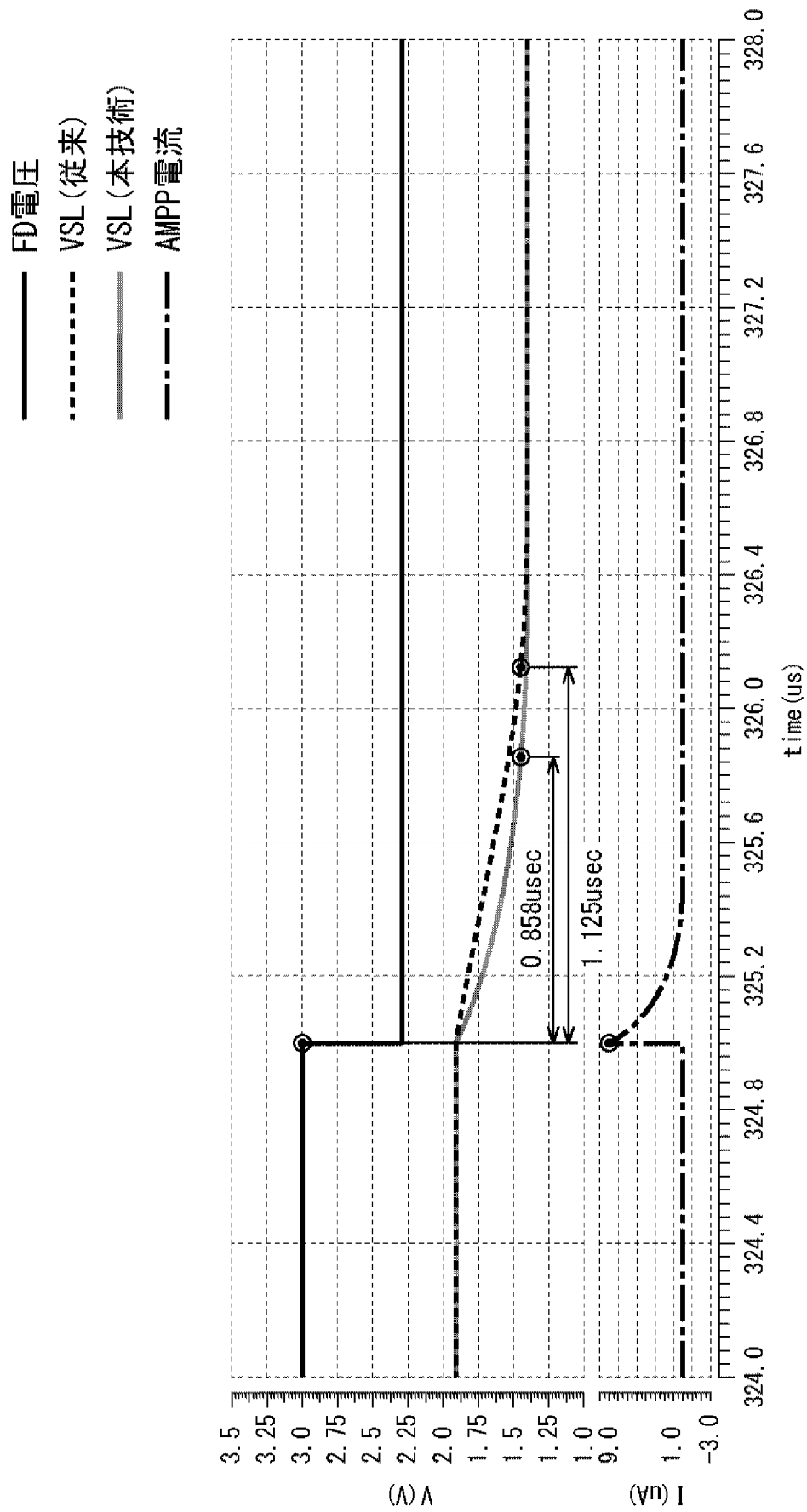


[図3]
FIG. 3

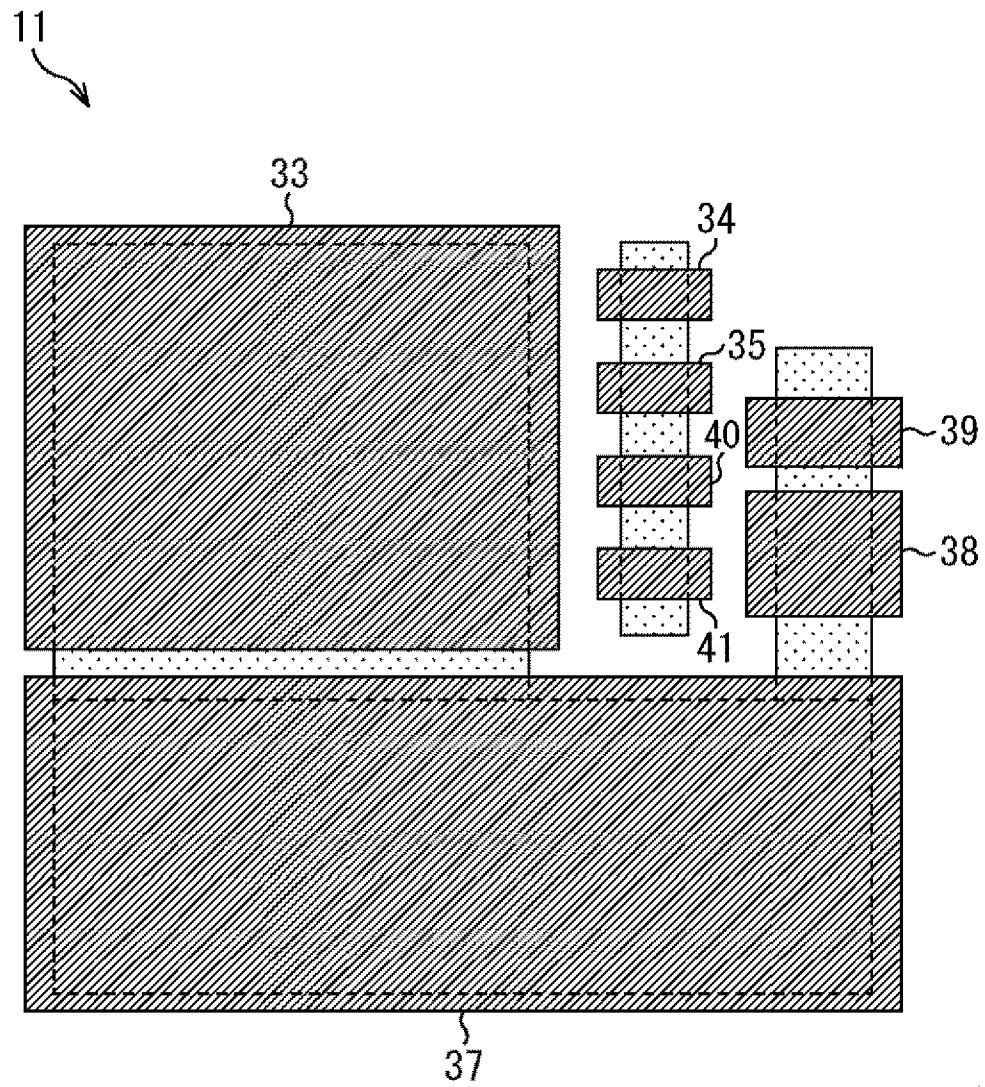


[図4]
FIG. 4

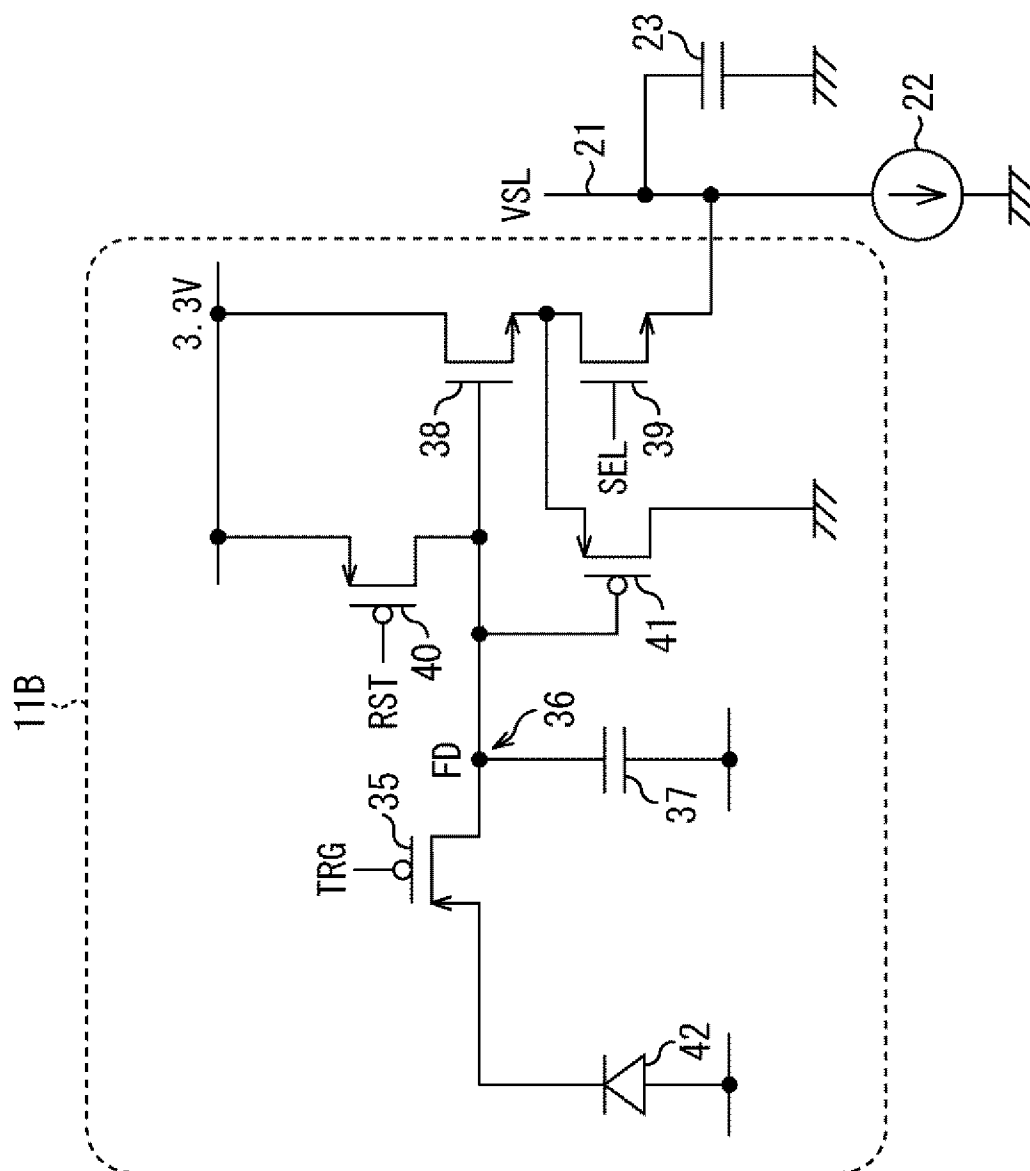
[図5]
FIG. 5



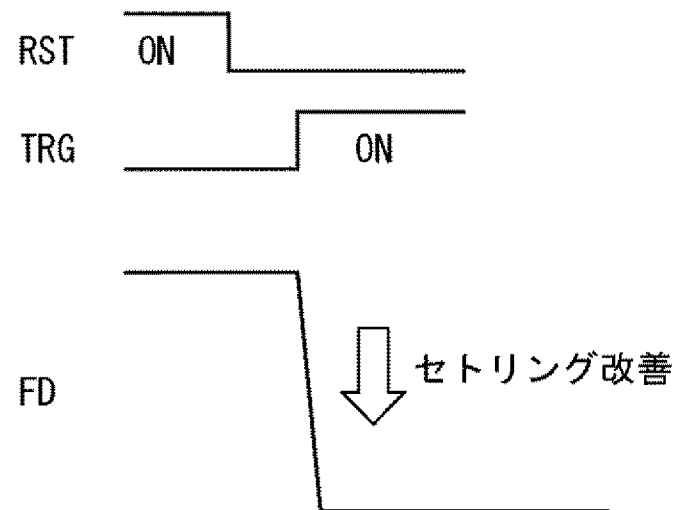
[図6]
FIG. 6



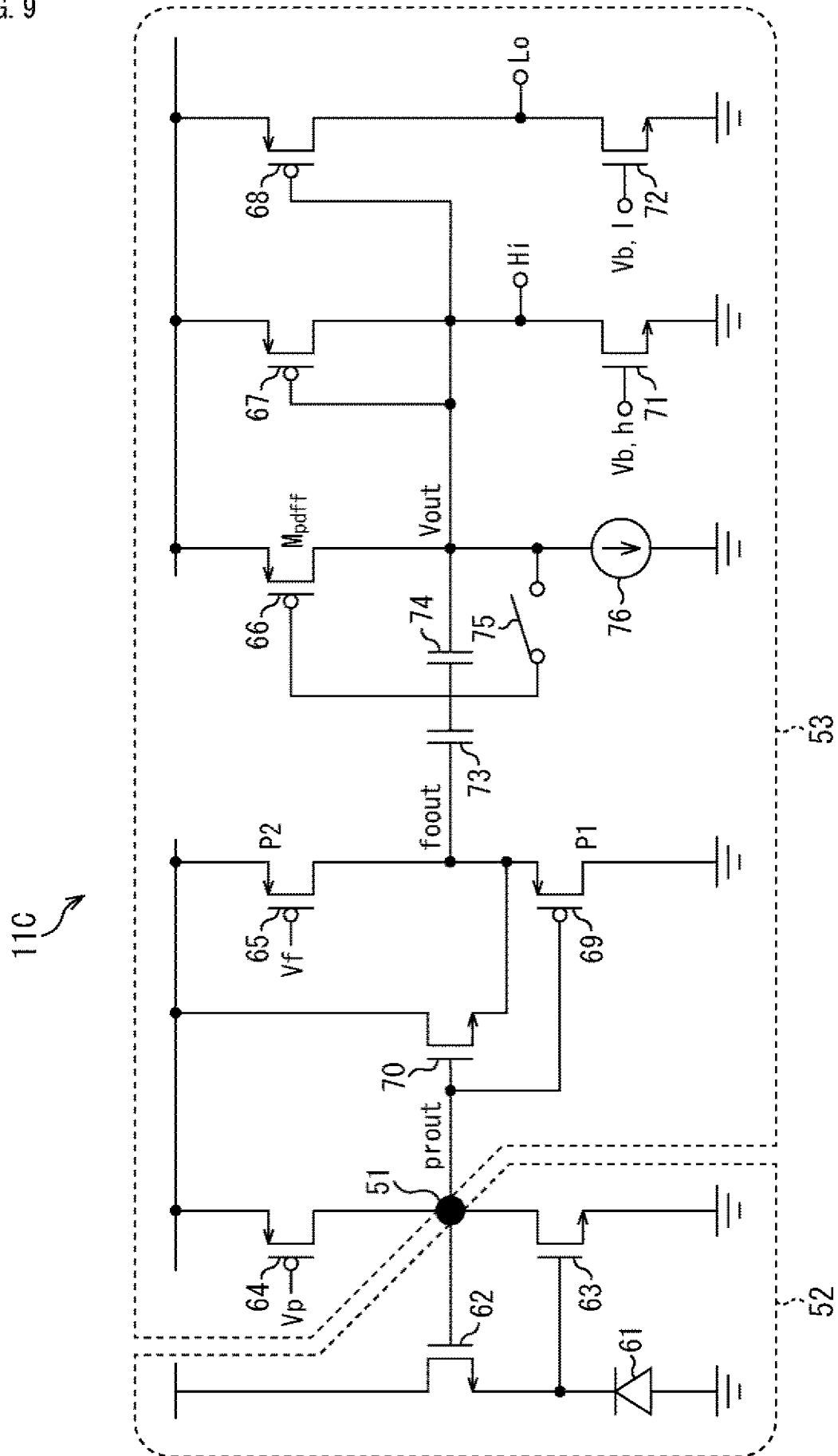
[図7]
FIG. 7



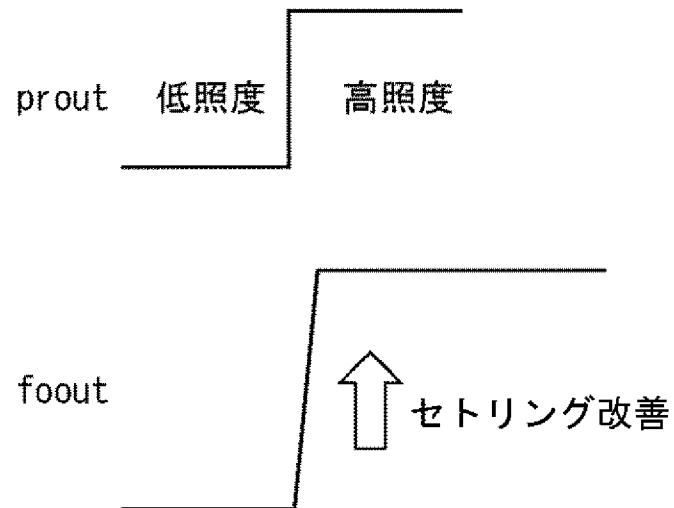
[図8]
FIG. 8



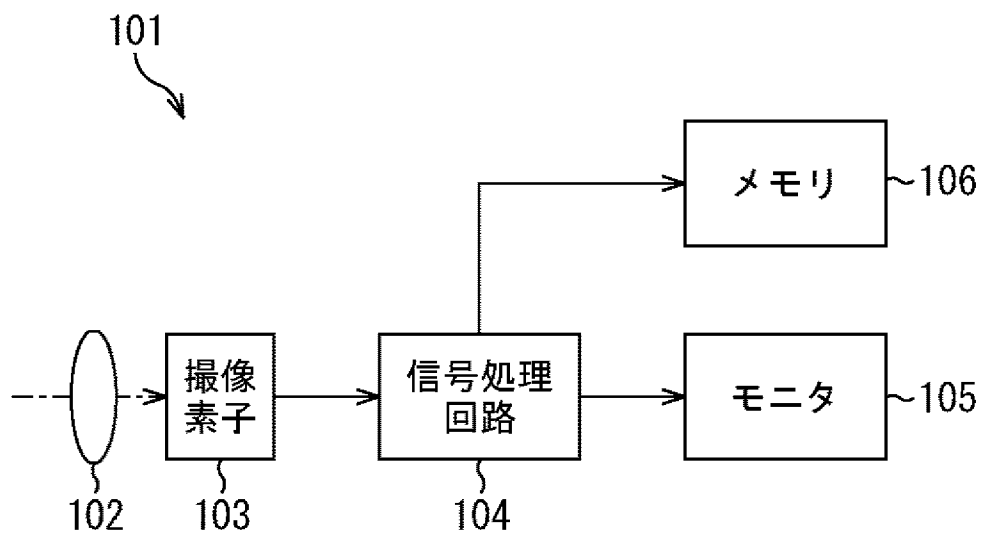
[図9]
FIG. 9



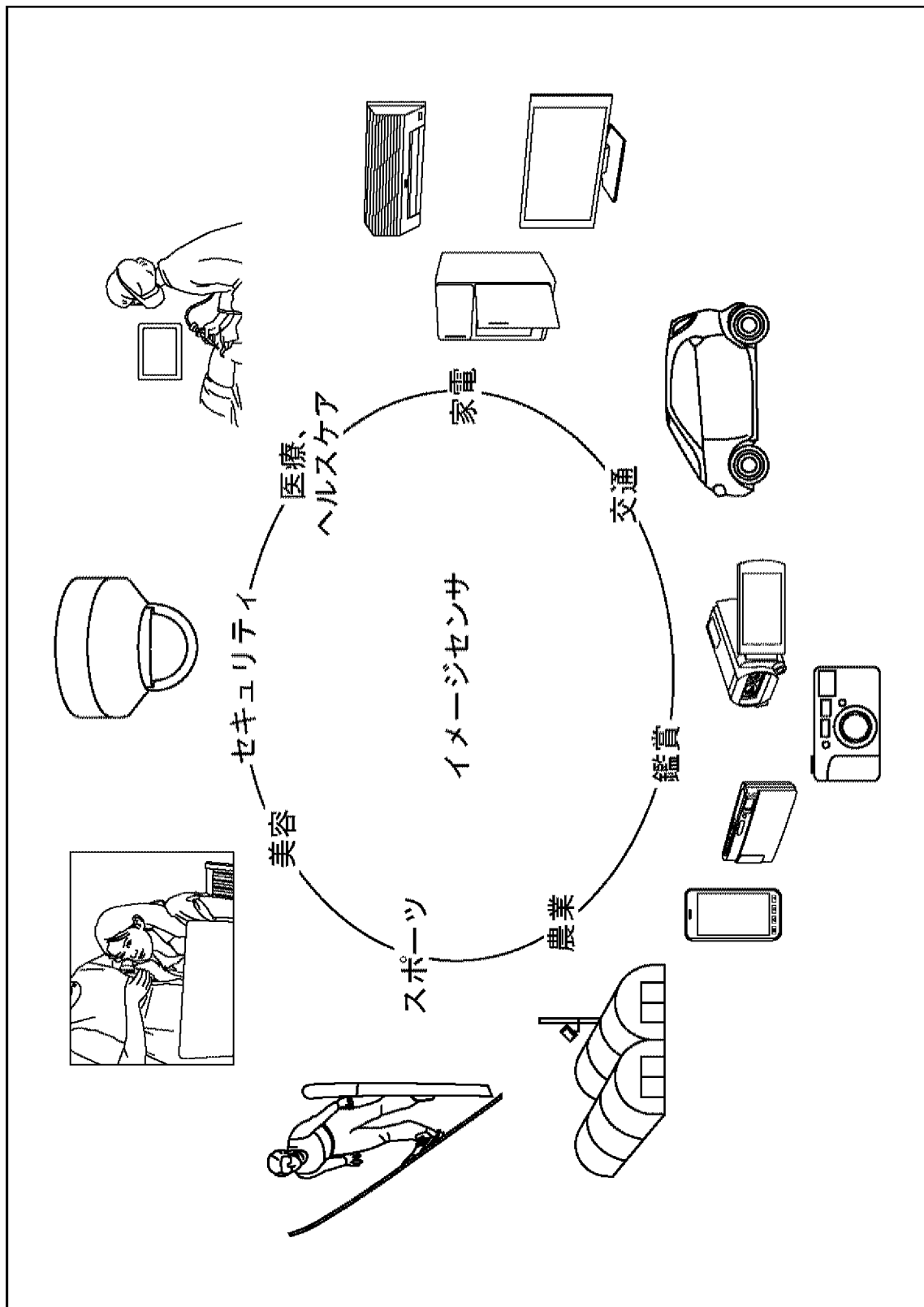
[図10]
FIG. 10



[図11]
FIG. 11



[図12]
FIG. 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/004218

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/374**(2011.01)i

FI: H04N5/374

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-207000 A (RENESAS ELECTRONICS CORP.) 27 December 2018 (2018-12-27) paragraphs [0001], [0006], [0016]-[0018], [0024]-[0027], [0030]-[0031], [0087]-[0088], [0091], [0102], [0156]-[0157], fig. 1, 3, 16-17, 19	1-2, 8
Y		7
A		3-6
Y	JP 2010-178117 A (BROOKMAN TECHNOLOGY, INC.) 12 August 2010 (2010-08-12) paragraphs [0001], [0003], [0037], [0054], fig. 1, 16	7
A	US 2016/0273961 A1 (SK HYNIX INC.) 22 September 2016 (2016-09-22) entire text, all drawings	1-8
A	JP 2017-118373 A (SONY CORP.) 29 June 2017 (2017-06-29) entire text, all drawings	1-8

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 April 2022

Date of mailing of the international search report

26 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/004218

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2018-207000	A	27 December 2018	US 2018/0350861 A1 paragraphs [0002], [0009], [0054]-[0056], [0063]-[0066], [0070]-[0071], [0127]-[0129], [0133], [0144], [0199]-[0200], fig. 1, 3, 16-17, 19	
JP	2010-178117	A	12 August 2010	(Family: none)	
US	2016/0273961	A1	22 September 2016	KR 10-2016-0112775 A entire text, all drawings	
				CN 105991945 A	
JP	2017-118373	A	29 June 2017	WO 2017/110163 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/374(2011.01)i FI: H04N5/374		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04N5/374		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-207000 A (ルネサスエレクトロニクス株式会社) 27.12.2018 (2018 - 12 - 27) 段落 [0001], [0006], [0016] - [0018], [0024] - [0027], [0030] - [0031], [0087] - [0088], [0091], [0102], [0156] - [0157], 図1, 3, 16-17, 19	1-2, 8
Y		7
A		3-6
Y	JP 2010-178117 A (株式会社ブルックマンテクノロジー) 12.08.2010 (2010 - 08 - 12) 段落 [0001], [0003], [0037], [0054], 図1, 16	7
A	US 2016/0273961 A1 (SK HYNIX INC.) 22.09.2016 (2016 - 09 - 22) 全文、全図	1-8
A	JP 2017-118373 A (ソニー株式会社) 29.06.2017 (2017 - 06 - 29) 全文、全図	1-8
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 14.04.2022		国際調査報告の発送日 26.04.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 大室 秀明 5V 3992 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/004218

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-207000	A	27.12.2018	US 2018/0350861 A1 段落 [0002] , [0009] , [0054] - [0056] , [0063] - [0066] , [0070] - [0071] , [0127] - [0129] , [0133] , [0144] , [0199] - [0200] , 図1, 3, 16-17, 19	
JP	2010-178117	A	12.08.2010	(ファミリーなし)	
US	2016/0273961	A1	22.09.2016	KR 10-2016-0112775 A 全文、全図	
				CN 105991945 A	
JP	2017-118373	A	29.06.2017	W0 2017/110163 A1 全文、全図	