

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4992480号
(P4992480)

(45) 発行日 平成24年8月8日 (2012. 8. 8)

(24) 登録日 平成24年5月18日 (2012. 5. 18)

(51) Int. Cl.	F I
H O 3 K 3/66 (2006. 01)	H O 3 K 3/66
H O 3 L 7/00 (2006. 01)	H O 3 L 7/00 D
H O 3 K 3/03 (2006. 01)	H O 3 K 3/03
H O 3 K 3/354 (2006. 01)	H O 3 K 3/354 B
H O 3 L 7/081 (2006. 01)	H O 3 L 7/08 J

請求項の数 8 (全 25 頁)

(21) 出願番号 特願2007-58449 (P2007-58449)	(73) 特許権者 000002369 セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(22) 出願日 平成19年3月8日 (2007. 3. 8)	
(65) 公開番号 特開2007-274680 (P2007-274680A)	(74) 代理人 100066980 弁理士 森 哲也
(43) 公開日 平成19年10月18日 (2007. 10. 18)	(74) 代理人 100075579 弁理士 内藤 嘉昭
審査請求日 平成22年2月18日 (2010. 2. 18)	(74) 代理人 100103850 弁理士 田中 秀▲てつ▼
(31) 優先権主張番号 特願2006-64596 (P2006-64596)	(72) 発明者 池田 勝幸 長野県諏訪市大和 3 丁目 3 番 5 号 セイコ ーエプソン株式会社内
(32) 優先日 平成18年3月9日 (2006. 3. 9)	
(33) 優先権主張国 日本国 (JP)	審査官 矢頭 尚之

最終頁に続く

(54) 【発明の名称】 パルス発生回路

(57) 【特許請求の範囲】

【請求項 1】

一方の論理値または他方の論理値の何れかを選択的に出力する論理回路を適用したパルス発生回路であって、

縦続接続されたM段（Mは正の偶数）の遅延回路と、前記遅延回路のi（iは $1 \leq i \leq M$ の偶数）段目の出力 D_i および前記遅延回路のi-1段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる論理積回路と、前記論理積回路出力の論理和をとる論理和回路と、前記遅延回路の初段目の出力 D_1 の否定論理 $\overline{X D_1}$ および前記遅延回路の最終段目の出力 D_M の論理積 $X D_1 D_M$ が他方の論理値をとる期間の所定のタイミングに信号を出力する論理回路と、前記論理回路出力が一方の論理値をとるとき前記論理積回路または前記論理和回路の少なくとも一方を非活性にする手段とを備えたことを特徴とするパルス発生回路。

【請求項 2】

前記論理積回路は電流モードロジック回路により構成されその入力には前記遅延回路出力からインバータおよび常時オンのトランスマッションゲートを介して接続されたことを特徴とする請求項 1 に記載のパルス発生回路。

【請求項 3】

縦続接続されたM段（Mは正の偶数）の遅延回路と、前記遅延回路のi（iは $1 \leq i \leq M$ の偶数）段目の出力 D_i および前記遅延回路のi-1段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる論理積回路と、前記論理積回路出力の論理和をとる論理和回路とで構成されるパルス発生回路であって、前記論理積回路は4つの入力端子a、b、A、Bと2つの出力

端子 $X a b$ および $X (B + b A)$ を持つ電流モードロジック回路であり、前記 a 端子は前記 $X D_{i-1}$ に、 b 端子は前記 D_i に、 A 端子は前記 $X D_{i-1}$ の否定 D_{i-1} に、 B 端子は前記遅延回路の i 段目出力の否定 $X D_i$ を遅延させた信号に接続されて構成されることを特徴とするパルス発生回路。

【請求項 4】

前記論理積回路または論理和回路の少なくとも一方は前記論理回路出力が一方の論理値をとるときにバイアス電流が低減されるよう制御される電流モードロジック回路により構成されることを特徴とする請求項 1 乃至 2 の何れか一項に記載のパルス発生回路。

【請求項 5】

一方の論理値または他方の論理値の何れかを選択的に出力する論理回路を適用したパルス発生回路であって、

10

縦続接続された $N + 1$ 段 (N は正の整数) の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq N$ の偶数) 段目の出力 D_i および前記遅延回路の $i - 1$ 段目の出力の否定論理 $X D_{i-1}$ の論理積をとる第 1 の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $X D_i$ および前記遅延回路の $i + 1$ 段目の出力の D_{i+1} の論理積をとる第 2 の論理積回路と、前記第 1 の論理積回路出力が一方の論理値をとるとき第 1 の電位レベルに前記第 2 の論理積回路出力が一方の論理値をとるときに第 2 の電位レベルに接続しそれ以外のときは第 3 の電位レベルに接続するスイッチ手段と、前記遅延回路の初段目の出力 D_1 の否定論理 $X D_1$ および前記遅延回路の最終段目の出力 D_{N+1} の論理積 $X D_1 D_{N+1}$ が他方の論理値をとる期間の所定のタイミングに信号を出力する論理回路と、前記論理回路出力が一方の論理値をとるとき前記第 1 の論理積回路および前記第 2 の論理積回路を非活性にする手段とを備えたことを特徴とするパルス発生回路。

20

【請求項 6】

一方の論理値または他方の論理値の何れかを選択的に出力する論理回路を適用したパルス発生回路であって、

縦続接続された $N + 1$ 段 (N は正の整数) の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq N$ の偶数) 段目の出力 D_i および前記遅延回路の $i - 1$ 段目の出力の否定論理 $X D_{i-1}$ の論理積をとる第 1 の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $X D_i$ および前記遅延回路の $i + 1$ 段目の出力の D_{i+1} の論理積をとる第 2 の論理積回路と、前記遅延回路の初段目の出力 D_1 の否定論理 $X D_1$ および前記遅延回路の最終段目の出力 D_{N+1} の論理積 $X D_1 D_{N+1}$ が一方の論理値をとる期間の所定のタイミングに信号を出力する論理回路と、前記第 1 の論理積回路出力と前記論理回路出力がともに一方の論理値をとるとき第 1 の電位レベルに前記第 2 の論理積回路と前記論理回路出力がともに一方の論理値をとるときに第 2 の電位レベルに接続しそれ以外のときは第 3 の電位レベルに接続するスイッチ手段とを備えたことを特徴とするパルス発生回路。

30

【請求項 7】

一方の論理値または他方の論理値の何れかを選択的に出力する論理回路を適用したパルス発生回路であって、

縦続接続された $N + 1$ 段 (N は正の整数) の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq N$ の偶数) 段目の出力 D_i および前記遅延回路の $i - 1$ 段目の出力の否定論理 $X D_{i-1}$ の論理積をとる第 1 の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $X D_i$ および前記遅延回路の $i + 1$ 段目の出力の D_{i+1} の論理積をとる第 2 の論理積回路と、前記遅延回路の初段目の出力 D_1 の否定論理 $X D_1$ および前記遅延回路の最終段目の出力 D_{N+1} の論理積 $X D_1 D_{N+1}$ が一方の論理値をとる期間の所定のタイミングに信号を出力する論理回路と、前記第 1 の論理積回路出力が一方の論理値をとるとき第 1 の電位レベルに前記第 2 の論理積回路出力が一方の論理値をとるときに第 2 の電位レベルに接続し前記論理回路出力が一方の論理値をとるとき第 3 の電位レベルに低インピーダンスで接続するスイッチ手段とを備えたことを特徴とするパルス発生回路。

40

【請求項 8】

一方の論理値または他方の論理値の何れかを選択的に出力する論理回路を適用したパルス発生回路であって、

50

ス発生回路であって、

縦続接続されたM段（Mは正の偶数）の遅延回路と、前記遅延回路のi（iは $1 \leq i \leq M$ の偶数）段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる論理積回路と、前記論理積回路出力の論理和をとる論理和回路とで構成され、前記遅延回路は入力される信号が一方の論理値から他方の論理値に変化するとき所定の遅延量の信号遅延を、入力信号が他方の論理値から一方の論理値に変化するときは前記所定の遅延量より大きな遅延量の信号遅延を、それぞれ行うよう制御されていることを特徴とするパルス発生回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明はUWB（Ultra Wide Band）通信に適するパルスを発生する回路に関する。

【背景技術】

【0002】

UWB通信は非常に広い周波数帯域を利用して高速大容量のデータ通信を行う通信方式である。広帯域の信号を利用する通信方式には従来のスペクトル拡散による方法や直交周波数分割多重（OFDM）があるが、UWBは非常に短時間のパルスを利用したさらに広帯域の通信方式であり、インパルスラジオ（IR）方式の通信とも呼ばれている。IR方式では従来の変調によらない時間軸操作のみで変復調が可能であり回路の簡略化や低消費電力化が期待できるとされている。（特許文献1，2，3参照）

20

ここで、IR方式に使用されるパルス波形について簡単に説明する。図11（a）に示すようなパルス幅 P_D 、周期 T_P のパルス列は良く知られている通りで、そのパルス列の周波数スペクトルは、図11（b）に示すように、エンベロープが $BW = 1/P_D$ の周波数で最初の零点を持つsinc関数である。

【0003】

この図11（b）に示すようなパルスの場合にはスペクトルが直流からBWまで広がるため使いづらく、図11（d）に示すようなスペクトルの中心周波数 f_0 が高いところにあるパルスが好まれる。このパルス波形は、図11（a）のパルスを周波数 $f_0 = 1/2P_D$ の矩形波で乗算して周波数スペクトルを高いほうに移動したものである。ただしこの波形は図11（c）に一点鎖線1101に示すような直流（DC）成分を含み正確には同図（d）に示すような理想的なスペクトルを持たない。このような理想的なスペクトルを持つ波形は同図（e）に示す。この波形は同図（a）のパルスを搬送周波数 f_0 の正弦波で乗算した波形である。また同図（f）は同図（a）のパルスを搬送周波数 f_0 の矩形波で乗算した波形であり、デジタル回路での発生が容易である。デジタル回路といってもパルス幅が狭いためこのような角張った波形が生成されることはなく同図（e）のような波形を得ることが出来る。UWB通信に理想的なパルス波形はほかにもいろいろ考案されており、ここに示した波形とは異なっているが発生方法が簡単なために多用される。

30

尚、本明細書においては、通例の如く、二値信号の形態をとる論理回路の出力について、一方の論理値（一例では、信号のハイレベルHに対応する値）を真と表記し、他方の論理値（上記ハイレベルHに対し、信号のロウレベルLに対応する値）を偽と表記している。

40

【0004】

図10（a）は図11（a）に示すパルスを発生する従来の回路例である（非特許文献1）。2つのインバータ1001，1002及び否定論理和回路（NOR）1003は、NOR1003のもう一方の入力 C_i が偽（L：ローレベル）となったとき3段のリングオシレータを構成する。即ち、図10（b）に示すタイム図のように C_i がLの間だけ発振し、NOR1003の出力NRとインバータ1001，1002の出力N1，N2はそれぞれ時間 t_d ずつ遅れて変化が伝播していく。ここで簡単のためにNOR1003及びインバータ1001，1002の立ち上がり時間、立下り時間はすべて等しいと仮定した

50

。従ってこの回路で発生するパルス幅（図11（e）における P_W ）は $3t_d$ となる。即ち、回路を構成する素子の遅延時間の3倍が、発生可能な最も短いパルス幅となり、これがこの回路によって発生できる最も細いパルスの上限となる。

【特許文献1】US Pat. 6421389

【特許文献2】Pub. No. : US2003・0108133A1

【特許文献3】Pub. No. : US2001/0033576

【非特許文献1】A CMOS IMPULSE RADIO ULTRA-WIDEB AND TRANCEIVER FOR 1Mb/s DATA COMMUNICATION AND ± 2.5 cm RANGE FINDINGS T. Terada et. al、2005 Symposium on VLSI Circuits Digest of Technical Papers、pp. 30-33

10

【0005】

上述の回路よりも更に細いパルスを発生する回路として以下のような回路が考案されている。図12（a）は、従来の改良されたパルス発生回路の要部を示す回路図、図12（b）～（d）はその動作を説明するためのタイム図である。但し、一例として、既述の図11（c）に示すパルス波形で時間 P_D の中に4個のパルスが含まれる場合（ $P_D = 8P_W$ ）で説明している。

【0006】

図12（a）に示す符号1201～1209は縦続接続されたインバータ回路である。それぞれの入出力端子にはD0、XD1、D2、XD3・・XD9のように端子名が付けられている。信号は一段ごとに反転し伝播するので、負論理を出力する端子、例えば一段目出力は負論理出力となるのでXD1のように、Xを前置することにする。入力端子D0が同図（b）に示すようにハイレベル（H）からローレベル（L）に変化すると、それぞれの出力は t_d ずつの遅れを伴って伝播していく。

20

【0007】

否定論理積（NAND）回路1210～1213はそれぞれXD1とD2、XD3とD4、XD5とD6、XD7とD8が両方ともHのときに、同図（c）に示すように、端子ND1～ND4からLを出力する。否定論理和（NOR）回路（負論理の否定論理和回路）1214は、ND1～ND4が一つでもLのとき、同図（d）に示すようにHを出力する。これによって、目的のパルス波形が得られる。

30

ここに使用される論理回路はゲート1段の遅延時間程度の極めて早いスイッチング動作が要求され、いわゆる電流モードロジック（CML: Current Mode Logic）と言われる論理回路が使われることが多い。

【0008】

図13はCMLを用いた従来のパルス発生回路の例である。遅延回路1301～1309はCMLの論理積回路1310～1313を駆動するために位相の180度異なる2相信号が必要である。この2相の信号を作り出すために遅延回路1301～1309の各段は図14（a）に示すように遅延素子とインバータを含む構成となる。すなわちPチャネルトランジスタ1401とNチャネルトランジスタ1402によるインバータが遅延素子となる。このインバータのNチャネルトランジスタ1402のソースには直列に電流制限トランジスタ1403が入っておりこのトランジスタのゲート電圧をコントロールすることによりトランジスタ1401、1402によるインバータの動作速度すなわち遅延量をコントロールすることが可能である。入力端子D1412に入力された信号は端子D1414に遅延を伴って出力され、その遅延量は端子DB1413に印加される電圧によって制御することが可能であり、遅延量制御端子1319に接続される。なお、この部分は図15（b）を参照して後述する回路に置き換えても良い。

40

【0009】

D0はトランジスタ1404、1405によるバッファ回路を通じさらにトランジスタ1406、1407によるバッファ回路を通じて反転信号Q1415を出力し、またトランジスタ1408～1411による2段のインバータによるバッファ回路を通して正転信

50

号X1415を出力する。Q1415およびX1416の位相は正確に180度のずれとなるようにトランジスタ1404, 1405によるバッファ回路を遅めに、トランジスタ1408～1411による2段のインバータは速めに動作するように設計される。しかしこの回路によって位相を合わせるのは困難である。

【0010】

また、図13におけるNAND回路1310～1313、および(負論理の)NOR回路構成する3つのゲート回路1314～1316はCMLゲートであり図14(b)のように構成される。同図(b)においてNチャネルトランジスタ1427は電流制限トランジスタであり回路の動作電流を端子NB1435に印加する電圧によって決める。またPチャネルトランジスタ1421, 1422は回路の負荷抵抗であり端子PB1432に印加する電圧によりそのインピーダンスが制御可能であり出力の振幅値を設定できる。4つのスイッチングトランジスタ1423～1426を図のように接続し入力端子A1428、a1429、B1430、b1431および出力端子c1433、C1434を図のように定義するとcにはaとbの論理積の否定 Xab 、CにはBまたはbかつAの否定、すなわち $X(B+bA)$ が出力される。A, Bに印加される信号をそれぞれa, bに印加される信号の否定、すなわち $A=Xa$ 、 $B=Xb$ とすると $C=ab$ となることは説明を要しないであろう。この回路は各信号とも正論理負論理の2相信号を持つため単に接続を変更するだけですべてのブーリアン素子、すなわちAND/OR/NAND/NORとしての使用が可能である。しかしながら、2相信号の位相が正しく合っていないと回路は期待どおりに動作しない。細いパルスを扱う場合等には特に問題となる。

【0011】

これらのCMLゲートは図13に示すように接続する。まず、端子NB1435は端子CMLBias1320に接続されこの端子の電圧によってCMLゲートの電流を設定する。端子PB1432も互いに接続されこれに印加する電圧によって論理出力振幅値を設定するが図では省略してある。CMLによる論理回路1310～1313の出力端子ND1, ND2, ND3, ND4にはそれぞれ図16(1)～(o)に示すように遅延回路一段の遅延量に相当するパルス幅のパルスが発生される。これらの信号はCMLゲート1314～1316により構成される(負論理の)NOR回路によって端子Pout1317に図16(p)に示すような目的のパルスが得られる。

上述の2つの従来の回路で発生できるパルスはDC成分を含む。発生パルスにDC成分を含まないより図11(e)、(f)のようなパルスの発生回路として図15に示すような回路がある。この回路の動作は説明するために図16にタイム図を掲げる。

【0012】

図15(a)において1501～1509は9段のインバータを縦続接続し構成した遅延回路である。インバータ各段内部の構成は図15(b)を参照して後述する。

端子1531に入力されたパルス D_0 は図16(a)～(j)に示すように一段毎に時間 t_d ずつ遅れてかつロジックが反転されながら遅延回路内を伝播し各段から出力される。すなわち入力端子1531に印加される信号を正論理とするとi段目には

iが奇数のとき XD_i

iが偶数のとき D_i

が出力される。なお、Xは信号の否定論理をあらわし信号名に前置する。

【0013】

NチャネルMOSトランジスタ1513および1512はそれぞれ遅延回路の1段目の出力 XD_1 と2段目の出力 D_2 が高いときに導通してパルス出力端子1530を第1の電位レベルV1に接続する。つぎに、PチャネルMOSトランジスタ1510および1511はそれぞれ遅延回路の2段目の出力 D_2 と3段目の出力 XD_3 が低い(すなわち D_2 の否定論理と D_3 の両方が高い(論理積が真の))ときに導通してパルス出力端子1530を第2の電位レベルV2に接続する。

【0014】

同様にNチャネルMOSトランジスタ1516、1517、1520、1521、15

10

20

30

40

50

24および1525はそれぞれ遅延回路の偶数を i とするとき $i-1$ 段目の出力 XD_{i-1} と i 段目の出力 D_i が高いとき、すなわち XD_{i-1} と D_i の論理積が真のときに導通してパルス出力端子1530を第1の電位レベル V_1 に接続する。つぎに、PチャネルMOSトランジスタ1514, 1515, 1518, 1519, 1522および1523はそれぞれ遅延回路の i 段目の出力 D_i と $i+1$ 段目の出力 XD_{i+1} が低いとき、すなわち D_i の否定 $\neg D_i$ と XD_{i+1} の否定論理である $\neg D_{i+1}$ の論理積が真のとき、に導通してパルス出力端子1530を第2の電位レベル V_2 に接続する。

【0015】

以上のような動作によって図16(k)に示すパルス波形が得られ、図11(e)または(f)に示すようなパルス波形を生成することができる。

10

ここで、第1および第2の電位レベルはそれぞれ回路を構成する集積回路の負側および正側の電源電位 V_{SS} 、 V_{DD} を使用することが可能であるが他の任意の電位に設定しても良い。

【0016】

PチャネルMOSトランジスタ1527およびNチャネルMOSトランジスタ1528はMOS抵抗であって、第1、第2の電位 V_1 、 V_2 を分割しMOSトランジスタ1510～1525のスイッチ回路が上記第1、第2の電位 V_1 、 V_2 のいずれにも接続しないときに出力端子1530の電位を設定する。通常はN、Pチャネルトランジスタの常数の対称性を保って、この電位が V_1 、 V_2 の中間の値になるように設計する。

20

【0017】

図15(b)は遅延回路を構成するインバータ1501～1509の内部を示す図である。PチャネルMOSトランジスタ1541とNチャネルMOSトランジスタ1542はインバータ回路を構成し、端子1544に入力された信号は遅延時間 t_d をとまって端子1545から反転され出力される。PチャネルMOSトランジスタ1540とNチャネルMOSトランジスタ1543はそれぞれ上記インバータを構成するトランジスタのソースに直列に挿入されそれぞれ正側電源 V_{DD} 端子1546および負側電源 V_{SS} 端子1549に接続される。

【0018】

これらのトランジスタのゲート電位を制御することによりインバータに流入する電源電流を制御することができる。この制御によってインバータの動作速度の制御が可能となり t_d をコントロールすることができる。

30

目的の周波数スペクトルをもつパルスが発生するためには $P_w = t_d$ となるように端子1547, 1548の電圧を制御すればよい。これらの端子に掛かる電圧を V_{SS} 側から計ってそれぞれ V_{pc} 、 V_{nc} とすると通常は $V_{DD} - V_{pc} = V_{nc}$ となるように設定すると対称性のよい出力信号が得られる。

この回路は図14に示したトランジスタ1401～1403による遅延回路と置き換えて使用することが可能である。また、トランジスタ1540, 1543のどちらか一方は省略が可能である。

【発明の開示】

【発明が解決しようとする課題】

40

【0019】

しかし、上述した従来のパルス発生回路によって、パルス発生を試みると図17に示すように、不要なところに細いパルスがノイズとなって現れることがある。すなわち上述の従来の回路例において、パルスは同図(a)に示す D_0 (図15(a):1531)の立ち下りで発生するように設計されているが、 D_0 の立ち上がりでもパルスを発生することがある。図17(b)は図15に示す従来の回路例において図17(a)に示す D_0 およびそれに呼応して発生する遅延回路出力 XD_1 、 D_2 、 $\dots$ 、 XD_9 を同じ枠内にプロットした図であり、同図(c)はパルス出力を示す。同図(c)で円1702で囲った部分でパルスが出力され円1701の部分では本来パルスが出力されてはならないところである。このような現象は図12、図13で示す従来例ではもっと起こりやすく深刻な問題とな

50

る。この現象は発生しようとするパルスのパルス幅が回路を構成する論理回路の応答時間（遷移時間）と同程度のような極端に狭い場合に起こり、 D_0 の立ち上がりにおいても論理回路が $X D_k D_{k+1}$ が真と誤って判断してしまうタイミングが存在するのが原因である。CMLを使う図12、図13の従来例ではもともとCMLがノイズである上に2相の信号を扱うため細かいタイミングのずれがさらに深刻な問題となる。

そこで本発明の目的は、論理回路の動作の遷移時間程度に細いパルスを発生する際に問題になる上記誤動作を排除するための様々な方法を提供し、安定で誤動作のない短パルスの発生回路を具現することにある。

【課題を解決するための手段】

【0020】

上記課題を解決するために、本願では、次に列記するような技術を提案する。

(1) 一方の論理値または他方の論理値の何れかを選択的に出力する論理回路を適用したパルス発生回路であって、

縦続接続されたM段（Mは正の偶数）の遅延回路と、前記遅延回路の i （ i は $1 \leq i \leq M$ の偶数）段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $X D_{i-1}$ の論理積をとる論理積回路と、前記論理積回路出力の論理和をとる論理和回路と、前記遅延回路の初段目の出力 D_1 の否定論理 $X D_1$ および前記遅延回路の最終段目の出力 D_M の論理積 $X D_1 D_M$ が他方の論理値をとる期間の所定のタイミングに信号を出力する論理回路と、前記論理回路出力が一方の論理値をとるとき前記論理積回路または前記論理和回路の少なくとも一方を非活性にする手段とを備えたことを特徴とするパルス発生回路。

【0021】

上記(1)のパルス発生回路によれば、遅延回路の初段目の出力 D_1 の否定論理 $X D_1$ および前記遅延回路の最終段目の出力 D_M の否定論理 $X D_M$ の論理積 $X D_1 X D_M$ が一方の論理値をとる期間の所定のタイミング、すなわち本来パルスが発生してはならないタイミングを論理回路により検出してその論理回路出力が一方の論理値をとるとき前記論理積回路または前記論理和回路の少なくとも一方を非活性にすることで不要なタイミングで間違ったパルス発生を抑制することが可能となる。回路は小信号を扱うアナログ回路を伴わないので簡単なCMOS半導体集積回路による論理回路によって実現が可能であり低消費電力化や低コスト化が容易である。

【0022】

(2) 前記論理積回路は電流モードロジック回路により構成されその入力は前記遅延回路出力からインバータおよび常時オンのトランスマッションゲートを介して接続されたことを特徴とする(1)のパルス発生回路。

上記(2)のパルス発生回路によれば、前記論理積回路は高速動作が可能な電流モードロジック回路により構成される。電流モードロジック回路ではその入出力は位相の180度異なる2相信号で作動し、この位相対称性が悪いと論理回路としての動作がうまく行かず不要なところでスパイク状のノイズを発生するが、上記(2)のパルス発生回路では電流モードロジック回路の入力は遅延回路出力からインバータおよび常時オンのトランスマッションゲートを介して接続されているのでインバータの遅延による位相誤差が排除できノイズの少ないパルスを発生させることが可能となる。

【0023】

(3) 縦続接続されたM段（Mは正の偶数）の遅延回路と、前記遅延回路の i （ i は $1 \leq i \leq M$ の偶数）段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $X D_{i-1}$ の論理積をとる論理積回路と、前記論理積回路出力の論理和をとる論理和回路とで構成されるパルス発生回路であって、前記論理積回路は4つの入力端子a、b、A、Bと2つの出力端子 $X a b$ および $X (B + b A)$ を持つ電流モードロジック回路であり、前記a端子は前記 $X D_{i-1}$ に、b端子は前記 D_i に、A端子は前記 $X D_{i-1}$ の否定 D_{i-1} に、B端子は前記遅延回路の i 段目出力の否定 $X D_i$ を遅延させた信号に接続されて構成されることを特徴とするパルス発生回路。

【0024】

上記（３）のパルス発生回路によれば、電流モードロジック回路の２相入力信号の対称性を故意に発生ノイズの少なくなる側にずらしているのによりノイズの少ないパルス信号を容易に発生させることが可能となる。

（４）前記論理積回路または論理和回路の少なくとも一方は前記論理回路出力が一方の論理値をとるときにバイアス電流が低減されるよう制御される電流モードロジック回路により構成されることを特徴とする（１）乃至（２）の何れか一のパルス発生回路。

【００２５】

上記（４）のパルス発生回路によれば、論理積回路または論理和回路の少なくとも一方が前記論理回路出力が一方の論理値をとるタイミング、すなわち本来パルスが発生してはならないタイミングにおいて、バイアス電流を低減するように作用する、電流モードロジック回路により構成される。このため、前記論理積回路または論理和回路の動作はこのタイミングで動作が遅くなりスパイク状のノイズを発生しにくく出来る。これによってノイズの少ないパルス信号を容易に発生させることが可能となるとともに回路の消費電力低減にも効果がある。

【００２６】

（５）一方の論理値または他方の論理値の何れかを選択的に出力する論理回路を適用したパルス発生回路であって、

縦続接続された $N+1$ 段（ N は正の整数）の遅延回路と、前記遅延回路の i （ i は $1 \leq i \leq N$ の偶数）段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる第１の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i+1$ 段目の出力の D_{i+1} の論理積をとる第２の論理積回路と、前記第１の論理積回路出力が一方の論理値をとるとき第１の電位レベルに前記第２の論理積回路出力が一方の論理値をとるときに第２の電位レベルに接続しそれ以外のときは第３の電位レベルに接続するスイッチ手段と、前記遅延回路の初段目の出力 D_1 の否定論理 $\overline{X D_1}$ および前記遅延回路の最終段目の出力 D_{N+1} の論理積 $X D_1 D_{N+1}$ が他方の論理値をとる期間の所定のタイミングに信号を出力する論理回路と、前記論理回路出力が一方の論理値をとるとき前記第１の論理積回路および前記第２の論理積回路を非活性にする手段とを備えたことを特徴とするパルス発生回路。

【００２７】

上記（５）のパルス発生回路によれば、前記論理回路はパルスを出力すべきでないタイミングを検出し、そのタイミングで前記第１の論理積回路および前記第２の論理積回路を非活性にするのでノイズの発生が抑制できる。これによってノイズの少ないパルス信号を容易に発生させることが可能となる。

（６）一方の論理値または他方の論理値の何れかを選択的に出力する論理回路を適用したパルス発生回路であって、

縦続接続された $N+1$ 段（ N は正の整数）の遅延回路と、前記遅延回路の i （ i は $1 \leq i \leq N$ の偶数）段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる第１の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i+1$ 段目の出力の D_{i+1} の論理積をとる第２の論理積回路と、前記遅延回路の初段目の出力 D_1 の否定論理 $\overline{X D_1}$ および前記遅延回路の最終段目の出力 D_{N+1} の論理積 $X D_1 D_{N+1}$ が一方の論理値をとる期間の所定のタイミングに信号を出力する論理回路と、前記第１の論理積回路出力と前記論理回路出力がともに一方の論理値をとるとき第１の電位レベルに前記第２の論理積回路と前記論理回路出力がともに一方の論理値をとるときに第２の電位レベルに接続しそれ以外のときは第３の電位レベルに接続するスイッチ手段とを備えたことを特徴とするパルス発生回路。

【００２８】

上記（６）のパルス発生回路によれば、前記論理回路はパルスを出力すべきタイミングを検出し、そのタイミングで前記第１の論理積回路および前記第２の論理積回路が作動するのでノイズの発生が抑制できる。これによってノイズの少ないパルス信号を容易に発生させることが可能となる。

(7) 一方の論理値または他方の論理値の何れかを選択的に出力する論理回路を適用したパルス発生回路であって、

縦続接続された $N+1$ 段 (N は正の整数) の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq N$ の偶数) 段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる第1の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i+1$ 段目の出力の D_{i+1} の論理積をとる第2の論理積回路と、前記遅延回路の初段目の出力 D_1 の否定論理 $\overline{X D_1}$ および前記遅延回路の最終段目の出力 D_{N+1} の論理積 $\overline{X D_1} D_{N+1}$ が一方の論理値をとる期間の所定のタイミングに信号を出力する論理回路と、前記第1の論理積回路出力が一方の論理値をとるとき第1の電位レベルに前記第2の論理積回路出力が一方の論理値をとるときに第2の電位レベルに接続し前記論理回路出力が一方の論理値をとるとき第3の電位レベルに低インピーダンスで接続するスイッチ手段とを備えたことを特徴とするパルス発生回路。

10

【0029】

上記(7)のパルス発生回路によれば、前記論理回路はパルスを出すべきでないタイミングを検出し、そのタイミングで前記第3の電位レベルに低インピーダンスで接続するので、たとえ前記第1の論理積回路または前記第2の論理積回路が誤作動したとしてもノイズの発生が抑制できる。これによってノイズの少ないパルス信号を容易に発生させることが可能となる。

(8) 一方の論理値または他方の論理値の何れかを選択的に出力する論理回路を適用したパルス発生回路であって、

20

縦続接続された M 段 (M は正の偶数) の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq M$ の偶数) 段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる論理積回路と、前記論理積回路出力の論理和をとる論理和回路とで構成され、前記遅延回路は入力される信号が一方の論理値から他方の論理値に変化するとき所定の遅延量の信号遅延を、入力信号が他方の論理値から一方の論理値に変化するときは前記所定の遅延量より大きな遅延量の信号遅延を、それぞれ行うよう制御されていることを特徴とするパルス発生回路。

【0030】

上記(8)のパルス発生回路によれば、前記遅延回路は入力される信号が一方の論理値から他方の論理値に変化するとき、すなわちパルスを発生すべきタイミングでは、発生すべきパルス幅に関係する所定の遅延量の信号遅延を行い正規のパルスを発生する。逆に、前記遅延回路は入力される信号が他方の論理値から一方の論理値に変化するとき、すなわちパルスを発生すべきでないタイミングでは、その遅延量が大きくなるように(後段に接続される論理回路の遷移時間よりも長い遅延時間になるように)遅延回路の作動を設定することが可能となり、不要のパルス発生を抑制することが可能となる。

30

【発明を実施するための最良の形態】

【0037】

以下に、本発明の実施の形態に係るパルス発生回路について図面を参照しながら説明する。

本明細書では、一例として以下の諸元の波形を発生する場合について説明するが本発明はこの場合のみに限定されるものではない。

40

パルス間隔: $T_p = 200 \text{ nsec}$

搬送波周波数: $f_0 = 8 \text{ GHz}$

搬送波パルス幅: $P_w = 62.6 \text{ psec}$

パルス幅: $P_D = 500 \text{ psec}$

時間 P_D の中に含まれるパルス数: 4個 ($P_D = 8 P_w$)

【0038】

(第1の実施の形態)

図1に本発明の第1の実施の形態を示す。従来例を示す既述の図15と同じ部分については同一の参照符号を附して示しそれら各部の説明は省略する。図3はその動作を示すタ

50

タイム図であるが、同図（a）～（k）は従来例の動作を示す図16と同じであり、理解を助けるために再掲してあるが、説明は省略する。

【0039】

NOR回路101（負論理の論理積回路）は図3（1）に示すように D_0 と XD_9 がともに偽のとき、すなわち図3に示す期間T1において、真を出力する。この信号が真のときはパルスを出してよいタイミングである。この信号が真のときのみAND回路104、106、108、110はそれぞれ XD_1 、 XD_3 、 XD_5 、 XD_7 の信号を通過させそれ以外のときは阻止するのでノイズとなってパルスの発生しやすい期間T2でのトランジスタ1513、1517、1521、1525の導通を阻止する。

【0040】

同様にNOR回路101出力が真のときのみOR回路（負論理のAND回路）103、105、107、109はそれぞれ D_2 、 D_4 、 D_6 、 D_8 の信号を通過させそれ以外のときは阻止するのでノイズとなってパルスの発生しやすい期間T2でのトランジスタ1511、1515、1519、1523の導通を阻止する。なおインバータ102はNOR回路出力信号の論理を反転させOR回路（負論理のAND回路）103、105、107、109に伝達している。

【0041】

パルスを発生すべきタイミングT1は XD_1 が真、かつ D_9 が偽のときであるが上記実施例ではNOR回路101（負論理の論理積回路）は D_0 と XD_9 がともに偽のときを検出しており、T1に比較してやや幅が広い。実際にはこの信号はT1を含みT2を含まない任意のタイミングにてAND回路104、106、108、110およびOR回路（負論理のAND回路）103、105、107、109を導通させればよい。これら回路の応答時間や論理の組み易さなどから任意に設定してよい。

【0042】

図1（b）は上記概念に基づき不要なパルスが出そうなタイミングT2をNAND回路111によってT2を検出しこのタイミングでAND回路104、106、108、110およびOR回路（負論理のAND回路）103、105、107、109を不通にするものである。なおインバータ112はNAND回路出力信号の論理を反転させOR回路（負論理のAND回路）103、105、107、109に伝達している。

【0043】

この実施例では遅延回路1501～1509に接続される負荷が一定になるように各遅延回路に接続されるAND回路104、106、108、110およびOR回路（負論理のAND回路）103、105、107、109は各段に一つずつとなるよう接続を工夫している。これによって遅延回路1501～1509の各段の遅延量のばらつきを抑えることが可能となる。

【0044】

（第2の実施の形態）

図2（a）に本発明の第2の実施の形態を示す。図15または図1と同じ部分については同一の参照符号を附して示しそれら各部の説明は省略する。図3はその動作を示すタイム図であるが、同図（a）～（k）は従来例の動作を示す図16と同じであり、理解を助けるために再掲してあるが、説明は省略する。

【0045】

図3に示すT2を含むタイミングでV1、V2を阻止することによってもノイズ発生は防ぐことが出来る。すなわち、NOR回路101はT1を検出しこのタイミングでPチャネルトランジスタ201およびNチャネルトランジスタ202を導通させる。これらのトランジスタはパルスが出るべきときにみに導通するので不用タイミングでのノイズパルス発生を抑制できる。

【0046】

（第3実施の形態）

図2（b）に本発明による更に他の実施の形態の要部を示す。図2（b）についても既

10

20

30

40

50

述の図における各部と同じ部分については同一の参照符号を附して示し、それら各部の説明は省略する。

Nチャネルトランジスタ203およびPチャネルトランジスタ204は XD_9 が真のときすなわちT2が含まれるタイミングで導通し端子205から供給される低インピーダンス電圧源に接続する。Nチャネルトランジスタ203およびPチャネルトランジスタ204の導通抵抗をスイッチトランジスタ1510～1525の導通抵抗に比較し十分低くなるように設計するとT2においてたとえスイッチトランジスタ1510～1525がそのスイッチング遷移時間の重なりにより誤動作したとしてもこの時点でのパルス出力端子1530の電位は固定され不要なノイズパルスを抑制することが出来る。

【0047】

上記低インピーダンス電圧源はトランジスタ1527および1528によって作り出される電位レベルと同じ電位レベルからインピーダンスを下げるためのバッファを介して得ることが可能である。

インバータ206およびインバータ207は遅延回路1509の負荷が異常に大きくならないようにバッファとして機能するとともに、論理をそろえ、低導通抵抗のために大型で重い負荷となるトランジスタ203、204を駆動する。大型のトランジスタ203、204はT2が始まるまでに完全にオンし、またT1が始まるまでに完全にオフするとともにトランジスタ1527および1528によって作り出される電位レベルに端子1530の電位レベルを収束させる必要がある。T1、T2はそれぞれ XD_9 の真偽の後縁に含まれるので上記動作は容易である。

【0048】

(第4実施の形態)

図4に本発明による更に他の実施の形態の要部を示す。本実施の形態での回路接続は図13に示す従来例と同じである。本実施の形態と従来例の異なる点は図13において遅延回路1301～1309に使用される回路が図14(a)に示すものでなく図4に示すものに置き換えて構成される点である。図4において図14と同一部分は同一の参照符号を附して示し、それら各部の説明は省略する。

【0049】

本実施例ではQ端子1415を駆動するトランジスタ1406、1407によるバッファ回路に前置してPチャネルトランジスタ401とNチャネルトランジスタ402による常にオンのトラスミッションゲートを挿入している。これによりトランジスタ1408、1409によるバッファ回路の遅延とトランジスタ401、402によるトラスミッションゲートによる遅延をそろえることが容易となり出力Q1415、X1416の信号位相のずれを最小にすることが可能となる。

【0050】

トランジスタ401、402とトランジスタ1408、1409およびバッファを構成するトランジスタ1406、1407とトランジスタ1410、1411のサイズをそれぞれそろえることにより回路の対称性が良くなりタイミングのずれも最小となるがトランジスタ401、402とトランジスタ1408、1409のサイズの違いはそれほどクリティカルではない。

このような簡単な回路構成によってCMLに入力する2相信号の位相对称性をよくすることが出来、CMLを含んだ回路の動作の安定性を向上させることが可能となりのノイズの少ない回路構成に効果がある。

【0051】

(第5実施の形態)

図5に本発明によるさらに他の実施の形態の要部を示す。同図において図13と同一の部分は同一の参照符号を附して示し、それら各部の説明は省略する。

図3に示すように、CMLゲート501は XD_9 (同図(j)に示す D_9 の否定)と端子Pout1317から出力されるパルス(同図(o))の論理積を端子XPo503(同図(p))から出力する。Pout1317から出力されるパルスは同図(o)に示すよ

10

20

30

40

50

うに期間T2においてノイズ301を含むがCMLゲート501の働きによりこのノイズは抑制される。

【0052】

(第6実施の形態)

図6に本発明によるさらに他の実施の形態の要部を示す。同図において図13と同一の部分は同一の参照符号を附して示し、それら各部の説明は省略する。

回路601は遅延回路1309出力D₉、XD₉信号からスイッチ602を制御するための信号レベル変換を行うインターフェース回路でありスイッチ602をD₉/XD₉の論理に従って端子CMLBias1320に印加する電位を切り替える。これによってCMLゲート1310～1316のNB電位が第1の電位レベル603または第2の電位レベル604に変更されCMLゲートのバイアス電流が変更される。ここで、T1を含む期間、すなわちD₉が偽のときにCMLゲート回路のバイアス電流を大きく、T2を含む期間、すなわちD₉が真のときにCMLゲートのバイアス電流を小さくするように切り替えると、T2においてはCMLゲートの応答速度が遅くなり細いスパイク状のノイズ発生を抑制できる。

【0053】

T2を含む期間において端子CMLBias1320に印加する電位をゼロにしてCMLゲート回路のバイアス電流はゼロに設定することも可能である。この制御によりCMLゲート回路に流入する電流の平均値を減らすことが可能となり低消費電力化の効果もある。CMLによる論理回路ではCMOSによる論理回路のように信号のトランジション時のみに電流が流れるのではなく常に定常的に電流が流れるので効果は大きい。

【0054】

しかしながら、バイアス電流を完全にゼロにしてしまうと2つあるその出力は両方とも正の電源VDDとなってしまう次段以降の回路でこの対策が必要になるばかりか、CMLゲート回路の動作が復帰するまでの時間も問題となる。

この対策としてはT2を含む期間のバイアス電流を完全にゼロにはせずにCMLゲート回路の動作時、すなわちT1を含む期間のバイアス電流よりも低い値に抑える。

その際、図14(b)におけるPB端子1432の電位も併行して高くし負荷トランジスタ1421、1422のインピーダンスを高くしバイアス電流が減っても出力のレベルが変動しないように制御する。

【0055】

この制御は図9(a)に示す回路によって可能である。すなわちCMLゲート回路901のバイアス電流設定端子NB902に印加される電圧をNチャネルトランジスタ903とダイオード接続したPチャネルトランジスタ904によって折り返しこの電圧でCMLゲート回路901の負荷トランジスタ905、906を制御する。バイアス設定トランジスタ907と負荷トランジスタ905、906のサイズ比にしたがってNチャネルトランジスタ903とPチャネルトランジスタ904のサイズ比を調整することによってNB端子902に印加される電位の広い範囲にわたって出力電圧が一定になるように設定が可能となる。

このような回路によってCMLゲート回路のバイアスをダイナミックに変更すればCMLゲート回路の復帰に時間がかからず不要なタイミングでのノイズ発生を抑えることができ、かつ低消費電力化にも効果がある。

【0056】

(第7実施の形態)

図7に本発明によるさらに他の実施の形態の要部を示す。同図において図13と同一の部分は同一の参照符号を附して示し、それら各部の説明は省略する。

本実施例では遅延回路1301～1309の遅延量をT1を含む期間とT2を含む期間とで異なるようにスイッチ702で切り替える。回路701は遅延回路1309出力D₉、XD₉信号からスイッチ702を制御するための信号レベル変換を行うインターフェース回路でありスイッチ702をD₉/XD₉の論理に従って端子DB1319に印加する電

位を切り替える。T 1 を含む期間、すなわち $X D_9$ が偽のときに遅延回路 1 3 0 1 ~ 1 3 0 9 の遅延量を目的とするパルスの諸元にあわせて所定量となるように、また T 2 を含む期間、すなわち $X D_9$ が真のときは遅延回路 1 3 0 1 ~ 1 3 0 9 の遅延量が上記より大きくなるように電源 7 0 3, 7 0 4 の電位を設定する。

【0057】

このような構成により、ノイズパルスの発生しやすい T 2 の期間において遅延回路 1 3 0 1 ~ 1 3 0 9 の遅延量をその出力信号の遷移時間に比較し十分大きく設定することが可能となる。 $D_9 / X D_9$ の信号を用いることにより C M L ゲート 1 3 1 0 ~ 1 3 1 3 の入力信号は少なくとも一方が十分に定常値に落ち着いた状態で入力されることになり誤動作を防ぐことが可能となる。これによって不要なところのノイズ発生の抑制が出来る。

10

【0058】

(第 8 実施の形態)

図 8 に本発明によるさらに他の実施の形態の要部を示す。同図において図 1 3 と同一の部分は同一の参照符号を附して示し、それら各部の説明は省略する。

本実施例は C M L ゲート 1 3 1 0 ~ 1 3 1 3 の B 入力端子を $X D_j \{j = 2, 4, 6, 8\}$ でなく D_{j+1} に接続したものである。

【0059】

この動作の説明は以下になる。すなわち上記のように図 1 4 (b) に示す C M L ゲートの出力 c には $X a b$ が C には $X (B + b A)$ が出力されるのであった。この論理で C M L ゲートの入力 A, a, B, b の立ち上がり／立ち下りを接近させた場合についてプロットすると図 9 (c)、(d) のようになる。同図 (c) は a の立ち上がりが b の立ち下りに先行する場合で、パルスが出力されるべき場合である。同図 (d) はその逆で a の立ち下りが b の立ち上がりに先行する場合で、パルスが出力されてはならない場合である。図に示すように出力 $C = X (B + b A)$ の方に大きなノイズが現れている。このスパイク状のノイズを減らすには B を遅らせればよいことが分かる。

20

【0060】

本実施例の上記構成はこの上記考察に基づいてなされたものである。すなわち B 入力端子を $X D_j \{j = 2, 4, 6, 8\}$ でなく D_{j+1} に接続しそのタイミングを遅らせる。B を遅らせた場合は本来パルスが出力されるべき場合（すなわち同図 (c) の場合）において C 端子に出力される出力パルスの幅がやや大きくなる影響はあるがノイズの抑制に効果がある。C M L ロジックでは 2 相の信号を扱いその位相は正しく 1 8 0 度となるよう作動させることが正しいとされていたが本実施例ではあえてその位相差をもたせることによって動作を確実にしている。

30

【0061】

なお、C M L ゲート 1 3 1 0 ~ 1 3 1 3 の入力 B 端子を D_{j+1} に接続する代わりに遅延回路 1 3 0 2, 1 3 0 4, 1 3 0 6, 1 3 0 8 の接続を図 4 (a) に示すものから図 1 4 (a) に示す従来の回路（図 9 (b) に再掲）に示すように接続を変えて D_j に接続することも出来る。すなわち同図 (b) の接続を持つ遅延回路ではトランジスタ 1 4 1 0 および 1 4 1 1 によるインバータ 1 段分の遅延だけ必ず Q 出力が X 出力に比べて遅くなるので上記に述べた効果を持たせることが可能となる。遅延回路 1 3 0 2, 1 3 0 4, 1 3 0 6, 1 3 0 8 を図 9 (b) に示すものにして、遅延回路 1 3 0 1, 1 3 0 3, 1 3 0 5, 1 3 0 7 を図 4 に述べたものにすれば大きな効果が得られる。

40

以上のべたように、本発明によれば簡単な回路によりデバイス性能の極限までの細いパルスを容易に発生できる。0. 1 8 μ プロセスの C M O S 集積回路で 1 0 G H z 程度の短パルスの発生が可能でありその効果が大きい。

【0062】

(第 9 の実施の形態)

以上説明したパルス発生回路は、極めて小型で消費電力が少なく、且つ、U W B 通信に用いるに理想的なパルス信号を得ることができるため、周囲に無用な影響を及ぼさず、且つ、他からの妨害を受け難い短距離の微小電力の通信への応用等も極めて有望である。

50

特にUWB通信は短距離の高速通信に適しており、従来の無線通信では不可能であったGbps（ギガビット/秒）以上の伝送量が期待できる。このような伝送量は従来のどの無線通信方式においても実現し得なかった値であり、また上記のように有線伝送路によっても様々な困難を伴う。さらにパルスによるUWB通信（IR）を行う回路は動作は間歇的でありパルスがアクティブな時だけ回路に電源が入っていれば良い。これによって回路に消費される電力を大幅に節約できる。さらに間歇動作であるためにこのシステムが組み込まれる機器の動作に与える妨害や機器から受ける妨害が少ない。本発明によるパルス発生回路を用いたUWB通信を機器内のデータ伝送に使用すると従来の銅線（有線路）による接続よりも低電力、高速でより低い外部への妨害、また高い耐干渉性を得ることができる。

10

【0063】

例えば、自在継ぎ手やヒンジなどのように、姿勢や位置に関して相対変位が許容されるように結合された二つ以上の筐体間での信号の授受を無線で行うような機構部（結合機構部）を含む装置に適用するにも好適である。

図18は図1乃至図9を参照して説明したパルス発生回路を適用して各個に電子回路が実装され機構部によって結合された二つの筐体間での信号の授受を無線通信で行うようにした本発明の実施形態としての電子装置の構成例を表すブロック図である。

【0064】

図18において、二つの筐体は、その一方である、送信部ブロックA812、および、同、他方である受信部ブロックA813として構成され、送信部ブロックA812から受信部ブロックA813へデータを送信する。送信部ブロックA812では、送信情報を生成ないし保有する回路要素A801から送信回路A802を介して、送信アンテナA810から電磁波を放射する。

20

【0065】

この実施形態では、送信回路A802内に、図1乃至図9を参照して説明したパルス発生回路を適用して送信アンテナA810に伝送情報に相応して変調された送信電力を供給するための回路部が構成されている。

この送信アンテナA810から放射された電磁波は空中の無線伝播路A808を通して伝播する。

【0066】

受信部ブロックA813には、無線伝播路A808を通して伝播する送信情報を受信アンテナA811および受信部A806を通して受信する回路要素A804が設けられている。尚、送信部ブロックA812および受信部ブロックA813間では、送信部ブロックA812にはインターフェース回路A803が、受信部ブロックA813にはインターフェース回路A805が各設けられ、両インターフェース回路A803、A805間を結ぶ有線路A807を介して一部の信号ないし電力の授受が行われ得るように構成されている。

30

【0067】

この有線路にて低速の信号を伝送するのは容易であり、無線通信部の同期信号を伝送することができる。これによって、無線通信部では同期捕捉や追跡といった面倒な手続きや回路が不要となり回路の簡略化が可能となる。また、セキュリティ強化のための暗号鍵を送り任意に鍵を変更しながら無線通信を行うこともできる。

40

送信アンテナA810から放射される電磁界は法律によって定められる上限を超えないように設定される。免許を要しない無線局として許容される放射レベルはEMIの規定よりもはるかに低いレベルであるが、通信距離が至近距離であるため、リンクバジェットを適当に設定することで十分な品質の通信路を確保できる。

【0068】

画像を含むデータのように高速伝送が必要な大量情報は信号線を介して伝えられるのではなく、無線により空間を伝播するため、信号線を使う必要がなくなり、それに伴うコネクタやヒンジ構造（結合機構部）における機構上の或いはまた電氣的な更には製造上の種々の問題を一扫することができる。

50

また、従来の信号線による伝送では、高速化に伴い浮遊容量への充放電が多くなり、消費電力が増加し、さらに信号線路から発射される不要放射電力が増加し、周囲の機器への干渉対策が困難となるという欠点があった。また、信号線による伝送では、ロジックレベルが規定されているため、本質的に消費電力を減らすことができず、不要放射を減らすには、シールド強化などの対処療法しか方法がなかった。

【0069】

これに対して、この実施形態のような構成によれば、同一システム内という至近距離において十分な通信品質を確保できれば良いので、送信アンテナA810からの放射電力をこの値程度まで下げることができ、消費電力の増大が本質的に改善され、EMI対策が容易となる。また、通信線路のインピーダンスマッチングのための終端に伴う消費電力の増大や、部品配置、線路の引きまわし等の制約から解放される。

10

尚、図18の構成例では、便宜上、専ら送信部ブロックA812から受信部ブロックA813へデータを送信するが如くに説明したが、両ブロック間で双方向の通信を行うように構成され得ることは言うまでもない。

【0070】

(第10の実施の形態)

図19は、図18を参照して説明した無線通信をクラムシェル型携帯電話機に適用した例を表す図である。図19(a)はクラムシェル型携帯電話機を開いたときの状態を示す斜視図であり、図19(b)は、同クラムシェル型携帯電話機を閉じたときの状態を示す斜視図である。

20

【0071】

図19(a)および図19(b)において、第1筐体部A901の表面には、操作ボタンA904が配置されると共に、第1筐体部A901の下端にはAマイク905が設けられ、第1筐体部A901の上端には外部無線通信用アンテナA906が取り付けられている。また、第2筐体部A902の表面(開いた状態で現れる面)には、表示体A908が設けられるとともに、第2筐体部A902の上端にはスピーカA909が設けられている。

【0072】

また、第2筐体部A902の裏面(閉じた状態での外面)には、表示体A911および撮像素子A912が設けられている。なお、上述の表示体A908およびA911としては、例えば、液晶表示パネル、有機ELパネルまたはプラズマディスプレイパネルなどが適用される。また、撮像素子A912としては、CCDまたはCMOSセンサなどが適用される。

30

【0073】

第1筐体部A901および第2筐体部A902には、第1筐体部A901と第2筐体部A902との間で内部無線通信を行う内部無線通信用アンテナA907およびA910がそれぞれ設けられている。図示のように、第1筐体部A901および第2筐体部A902結合機構部としてのヒンジA903を介して連結され、第2筐体部A902をヒンジA903を支点として回転させることにより、第2筐体部A902を第1筐体部A901上に折り畳むことができる。

40

【0074】

上述のようにして、第2筐体部A902を第1筐体部A901上に閉じることにより、操作ボタンA904を第2筐体部A902にて保護することができ、携帯電話を持ち歩く時に操作ボタンA904が誤って操作されることを防止することができる。また、第2筐体部A902を第1筐体部A901から開くことにより、表示体A908を見ながら操作ボタンA904を操作したり、スピーカA909およびマイクA905を使いながら通話したり、操作ボタンA904を操作しながら撮像を行ったりすることができる。

【0075】

また、クラムシェル構造を用いることにより、第2筐体部A902のほぼ一面全体に表示体A908を配置することができ、携帯電話機としての携帯性を損なうことなく、表示

50

体A908のサイズを拡大させることを可能として、視認性を向上させることができる。

上述の構成において、この携帯電話機では、第1筐体部A901に内部無線通信用アンテナA907を、および、第2筐体部A902に内部無線通信用アンテナA910をそれぞれ設けることにより、これらの内部無線通信用アンテナA907およびA910を用いた内部無線通信にて第1筐体部A901と第2筐体部A902との間のデータ伝送を行うように構成されていることを特徴としている。

【0076】

即ち、図19の携帯電話機では、内部無線通信用アンテナA907が図18の電子装置における送信アンテナA810に相応し、内部無線通信用アンテナA910が図18の電子装置における受信アンテナA811に相応する。

10

図19の携帯電話機において、内部無線通信用アンテナA907側（第1筐体部A901側）には、図18の電子装置における送信部A802に相応する回路部を含む送信部ブロックA812に相当する回路部が設けられている。

【0077】

また、同様に、図19の携帯電話機の内部無線通信用アンテナA910側（第2筐体部A902側）には図18の電子装置における受信部A806に相応する回路部を含む受信部ブロックA813に相当する回路部が設けられている。

尚、図18の装置について既述の如く、送信側および受信側の想定は便宜上のものであって、双方向の通信を行うように装置を構成できる点は、図19においても該当するものであることは勿論である。

20

【0078】

上述の構成により、例えば、外部無線通信用アンテナA906を介して第1筐体部A901に取り込まれた画像データや音声データを、内部無線通信用アンテナA907およびA910を用いた内部無線通信によって第2筐体部A902に送り、表示体A908に画像を表示させたり、スピーカA909から音声を出力させたりすることができる。

また、撮像素子A912によって撮像された撮像データを、内部無線通信用アンテナA907およびA910を用いた内部無線通信によって第2筐体部A902から第1筐体部A901に送り、外部無線通信用アンテナA906を介して外部に送出させることができる。上述のように、第1筐体部A901と第2筐体部A902との間のデータ伝送を有線で行う必要がなくなり、多ピン化されたフレキシブル配線基板をヒンジA903に通す必要がなくなる。

30

【0079】

このため、ヒンジA903の構造の複雑化を招来せず、従って、実装工程の煩雑化を回避することができ、コストアップを抑制しつつ、携帯電話の小型薄型化および信頼性の向上を図ることが可能となるとともに、携帯電話機としての携帯性を損なうことなく、携帯電話の大画面化および多機能化を図ることができる。

このように、機器内部においても信号伝送に無線通信を使用すると効果大きいですが、内部通信に本発明に基づくパルス発生回路を使用したパルス通信を用いると、与干渉性、耐干渉性に優れた無線通信が可能である。すなわち携帯電話機のように、別に機器本来の目的である通信回路を有するような電子機器においても、その本来の目的とする無線通信に対する影響や妨害、あるいは機器本来の目的とする無線通信から受ける影響や妨害を極小に抑制することができる。

40

なお、上述のような無線通信の技術は、クラムシェル型携帯電話機に限らず、他の形態の携帯電話機や、ビデオカメラ、PDA（Personal Digital Assistance）、ノート型パーソナルコンピュータ、その他の電子機器に適用することもできる。

【0080】

図18および図19を参照して説明した実施形態では、図1乃至図9を参照して説明したパルス発生回路を適用して各個に電子回路が実装され機構部によって結合された二つの筐体間での信号の授受を無線通信で行うようにした構成を採るものであった。

しかしながら、本発明の技術思想は、このように二分された筐体間での信号の授受を無

50

線通信で行うような形態に限定されるものではない。

即ち、同一の筐体内に、図18の送信部ブロックA812に相応する送信用の回路部と、受信部ブロックに相応する受信用の回路部とを備え、これら送信および受信用の両回路部間で図1乃至図9を参照して説明したパルス発生回路を適用して通信を行うような形態を採ることができる。次に、このような実施形態について例示し、本発明の技術思想について更に説明する。

【0081】

図20は本発明による電子装置の実施例の一つである液晶プロジェクタの構成を示す図であり、図20(a)は液晶プロジェクタの要部を示す図、図20(b)は図20(a)の液晶プロジェクタ内の一つのライトバルブの詳細を表す図である。

10

図20(a)において、プロジェクタはその筐体A1010の大部分を光学系が占める。すなわち、光源A1001から発せられた光(白色光)は光学系A1002(破線内)により三原色に分解される。ここで、光学系A1002は主としてハーフミラーHMや光学フィルタおよびレンズLZにより構成される。それぞれの光は液晶によるライトバルブA1005、ライトバルブA1006、ライトバルブA1007により光変調された後、プリズムで構成される光学系A1003により合成され、光学系A1004により拡大投影される。

【0082】

ライトバルブA1005、ライトバルブA1006、ライトバルブA1007を制御するための回路は基板A1008、A1009に搭載される。変調器A1012はライトバルブ制御のための表示データ信号を変調し、電磁波として送信アンテナA1011から放射される。

20

図20(b)において、透過液晶による光シャッターA1021を駆動する半導体集積回路による液晶ドライバA1022(通常複数個の半導体集積回路より構成される。)は、図20(a)の送信アンテナA1011から送信された表示データ信号を、受信アンテナA1023により受信し、該受信した信号を復調した信号によって、光シャッターA1021を駆動する。

【0083】

一方、本例のプロジェクタでは、光シャッターA1021や液晶ドライバA1022を駆動するための電力は、コネクタA1024を介して受け取ることができるように構成されている。

30

送信アンテナA1011から多重されて送信される電磁波による表示データ信号は、これら多重された信号を分離して各個に受信可能なように、符号拡散による方法や異なる電磁波の変調周波数を用いる方法あるいはタイムスロットを決めてアドレッシングする方法などにより、特定の正規の受信回路ブロック(モジュール)が指定される。

【0084】

このようなアドレッシング方法を取ることににより、送信アンテナA1011から送信された電磁波信号は3つあるライトバルブのうちの指定されたライトバルブに正しく伝えられる。アドレス指定はライトバルブ毎でもよいし、また、図20(b)に示すように一つのライトバルブに複数の液晶ドライバが搭載され、その各々に対してアドレス指定することも可能である。

40

【0085】

以上、図20(a)および図20(b)を参照して説明した液晶プロジェクタとしての実施形態から容易に理解されたとおり、本実施形態の電子装置は、送信信号を電磁波信号に変換する電磁波変換部と、電磁波信号を無線送信する送信部とを備える送信用の回路部(図20の装置では、ライトバルブ制御のための表示データ信号を変調し、電磁波として送信アンテナA1011に供給する変調器A1012および送信アンテナA1011等であって、図18の送信部ブロックA812に相応)と、前記電磁波信号を受信する受信部と受信した電磁波信号を前記送信信号に復元する電磁波復元部とを備える受信用の回路部(図20の装置では、受信アンテナA1023および該受信アンテナA1023により受

50

信した信号を復調して光シャッターA1021を駆動するための信号を得る回路部であって、図18の受信部ブロックに相応)とが、同一筐体内に収容されて構成されているものであるといことができる。

【0086】

上述の技術は、これを敷衍するに、同一筐体内に実装される複数の回路ブロックないし回路基板のうちの所定の相互間で無線により信号の授受を行うための少なくとも一対の無線部を具備し、且つ、該当する前記無線部は、上記の種々の態様のうちの何れかのパルス発生回路を適用して構成されている電子装置であることが明らかである。

上述の構成において、送信用の回路部および受信用の回路部は、それぞれ、回路基板或いは回路ブロックとしてモジュール化されて構成され得る。

10

【0087】

そして、上記構成の電子装置では、信号の送受信を電磁波により無線化でき、信号は空間を伝播して伝わるためフレキシブル基板やコネクタなどを用いた配線の必要がなく、これらに起因するコスト高や信頼性低下の懸念が払拭される。

また、インピーダンスマッチングのための終端やデータ伝送速度の高速化に伴う消費電力の増大といった問題も回避できる。更に、配線の引き回しや部品配置の制約がなくなり、電子装置のデザインや使い勝手を向上することができる。

また信号伝送に使用される電磁波は同一筐体という至近距離で行われるため、この距離内での通信が確保できさえすれば良く、放射電磁波の強度を限界まで下げることが出来るのでEMI特性が本質的に改善され対策が容易になる。

20

【0088】

特に、図20を参照して例示した液晶プロジェクタの場合では、従来、液晶プロジェクタ内では筐体体積の大部分を光学系が占め、光経路を避けて配線したり、光経路を避けて部品を配置したりする必要がある、更には、光源から発せられる熱が筐体内にこもるため、配線の熱対策も必要であった。ここに本発明を実施することによって、信号伝送が電磁波により空間伝送されるため、従来のこの種の困難さは著しく緩和される。

なお、上述のような無線通信の技術は、プロジェクタに限らず、携帯電話機や、ビデオカメラ、PDA(Personal Digital Assistance)、ノート型パーソナルコンピュータ、その他の電子機器での同一筐体内の信号送受信に適用することもできる。

【産業上の利用可能性】

30

【0089】

本発明は短パルスを利用するUWB通信に利用すれば特にその効果が大きい。

【図面の簡単な説明】

【0090】

【図1】本発明の第1の実施の形態に係るパルス発生回路を表す図である。

【図2】本発明の第2の実施の形態および第3実施の形態に係るパルス発生回路を表す図である。

【図3】本発明に係るパルス発生回路の動作を説明するタイム図である。

【図4】本発明の第4実施の形態に係るパルス発生回路を表す図である。

【図5】本発明の第5実施の形態に係るパルス発生回路を表す図である。

40

【図6】本発明の第6実施の形態に係るパルス発生回路を表す図である。

【図7】本発明の第7実施の形態に係るパルス発生回路を表す図である。

【図8】本発明の第8実施の形態に係るパルス発生回路を表す図である。

【図9】本発明の第6および8実施の形態に係るパルス発生回路動作を説明する図。

【図10】従来のパルス発生回路の図と動作タイム図である。

【図11】本発明で発生しようとするパルスを説明する説明図である。

【図12】従来のパルス発生回路の図と動作タイム図である。

【図13】従来のパルス発生回路を表す図である。

【図14】従来のパルス発生回路を表す図である。

【図15】従来のパルス発生回路を表す図である。

50

【図16】従来のパルス発生回路の動作タイム図である。

【図17】従来のパルス発生回路の課題を説明する図。

【図18】本発明の第9の実施の形態に係る、図1乃至図9を参照して説明したパルス発生回路を適用して各個に電子回路が実装され機構部によって結合された二つの筐体間での信号の授受を無線通信で行うようにした本発明の実施形態としての電子装置の構成例を表すブロック図である。

【図19】本発明の第10の実施の形態に係る、図18を参照して説明した無線通信をクラムシェル型携帯電話機に適用した例を表す図である。

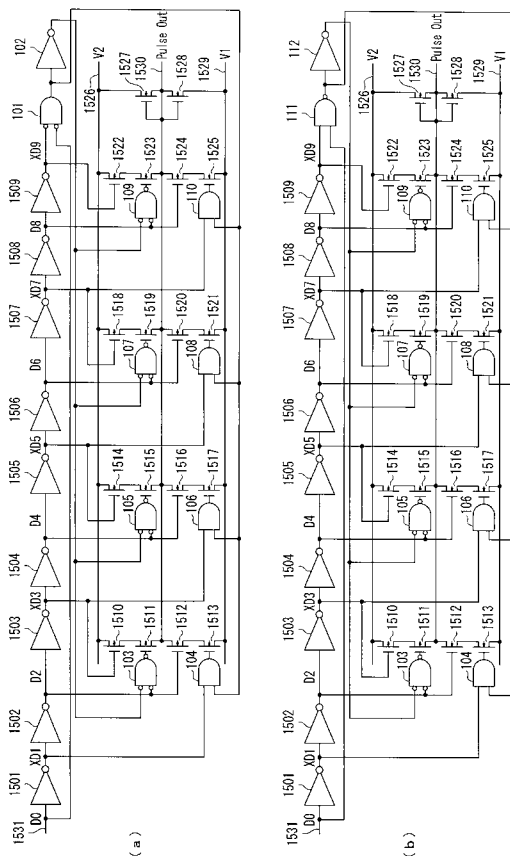
【図20】本発明の第11の実施の形態に係る、本発明による電子装置の実施例の一つである液晶プロジェクタの構成を示す図である。

【符号の説明】

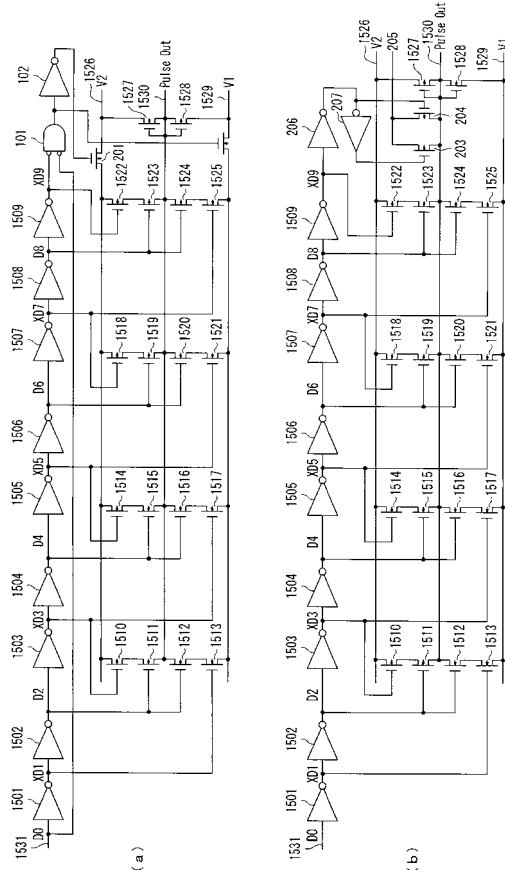
【0091】

1501, 1502, 1503, 1504, 1505, 1506, 1507, 1508, 1509, 1301, 1302, 1303, 1304, 1305, 1306, 1307, 1308, 1309…遅延回路を構成するインバータ回路 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111…論理積回路 201, 202…スイッチトランジスタ 203, 204, 401, 402…トランスミッションゲートのトランジスタ 1510, 1511, 1512, 1513, 1514, 1515, 1516, 1517, 1518, 1519, 1520, 1521, 1522, 1523, 1524, 1525…スイッチを構成するトランジスタ 1310, 1311, 1312, 1313, 1314, 1315, 1316, 501…CMLゲート回路 601, 701…インターフェース回路 602, 702…スイッチ 1529…第1の電位レベルを与えるノード 1526…第2の電位レベルを与えるノード

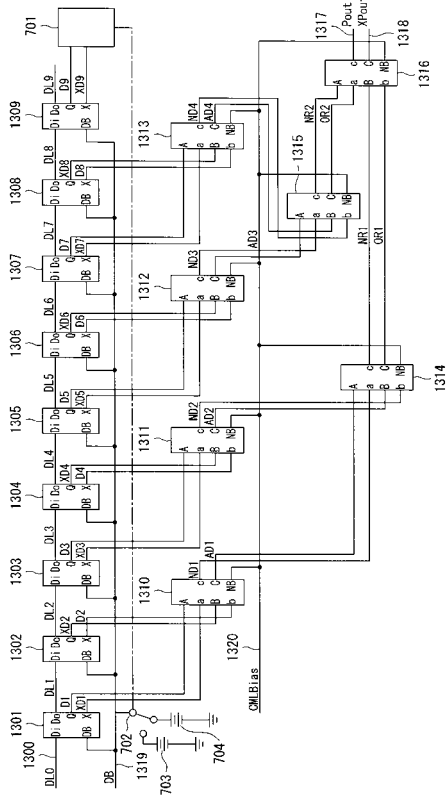
【図1】



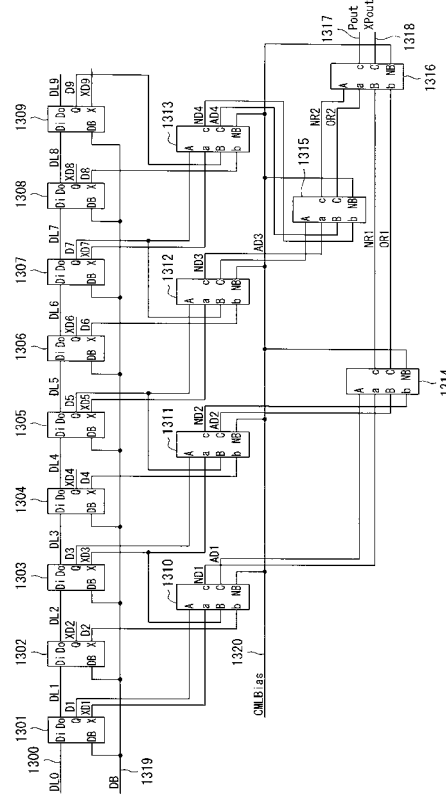
【図2】



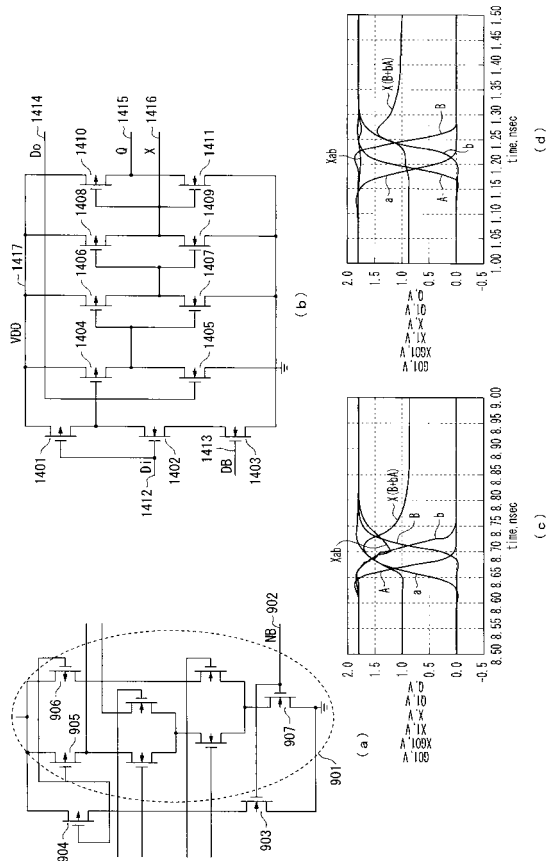
【図 7】



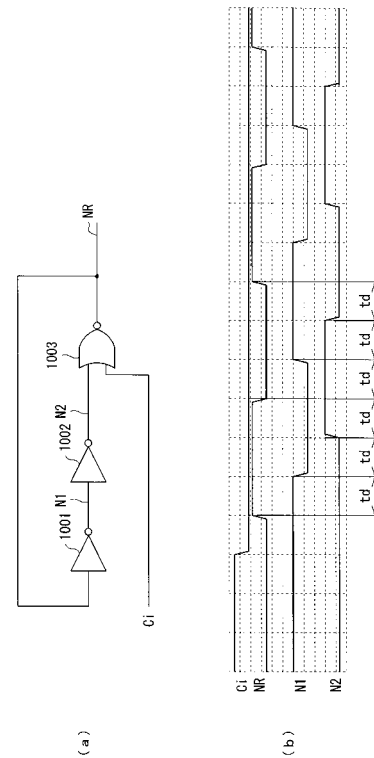
【図 8】



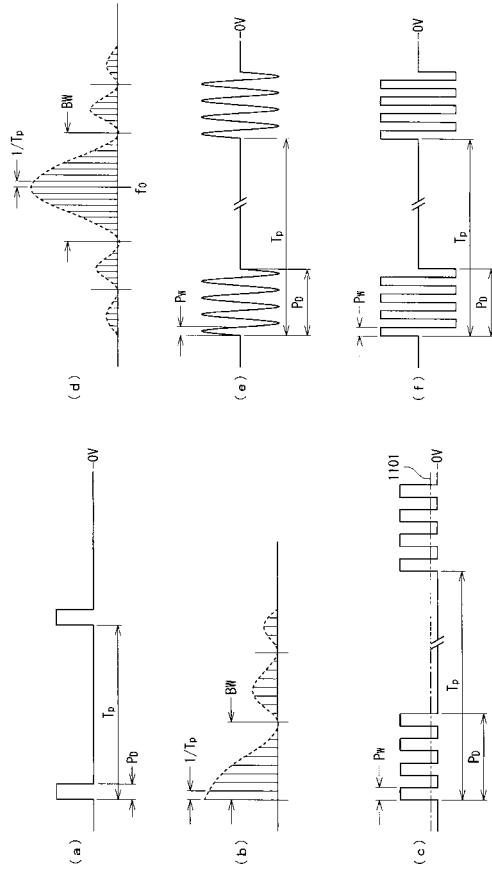
【図 9】



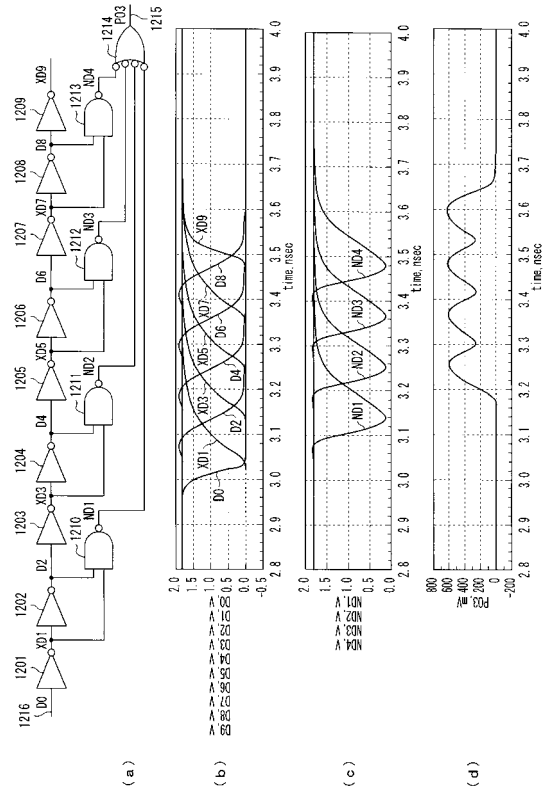
【図 10】



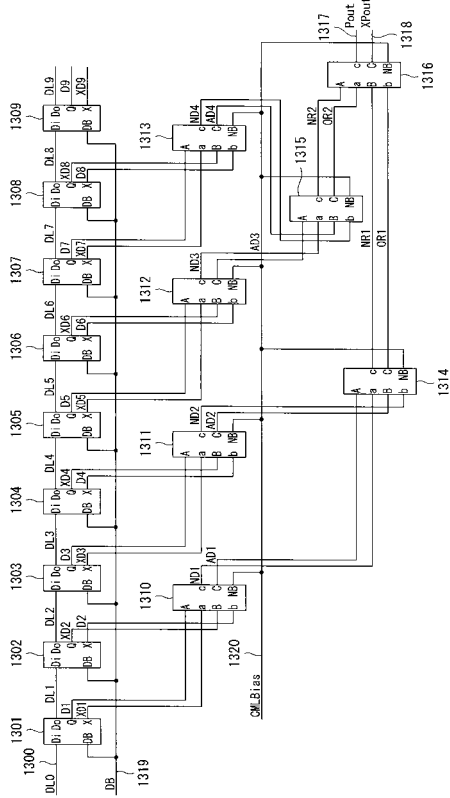
【図 1 1】



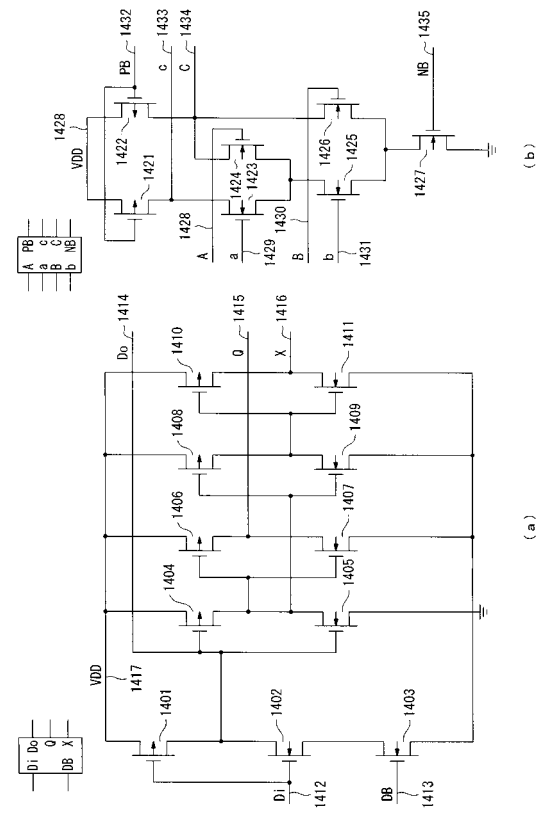
【図 1 2】



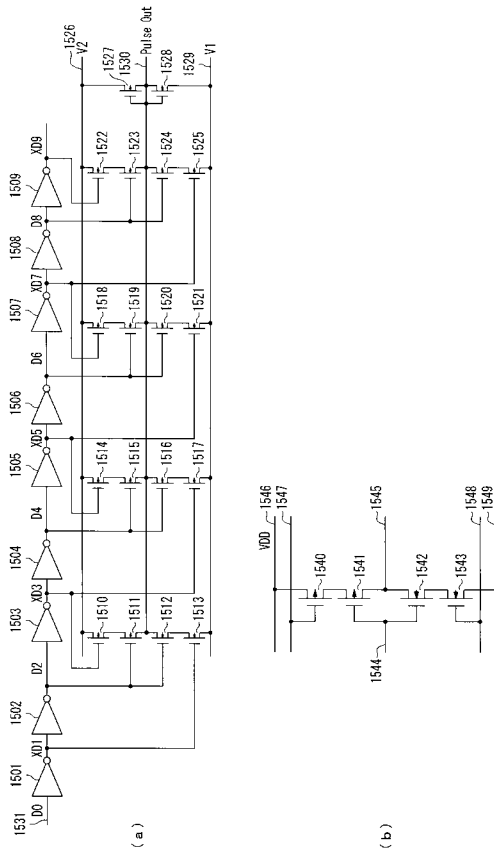
【図 1 3】



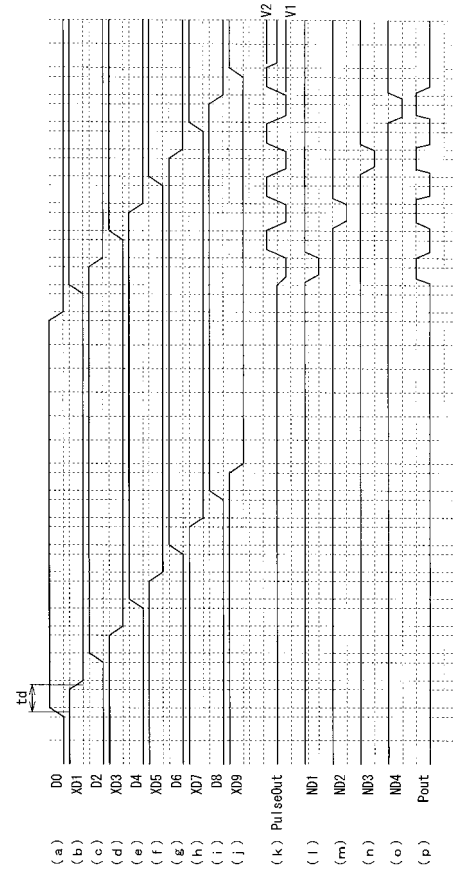
【図 1 4】



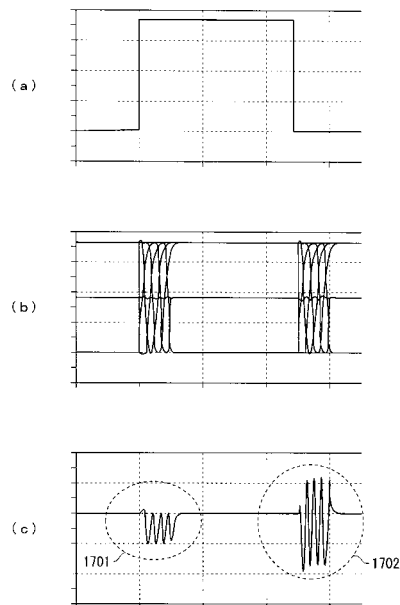
【図 15】



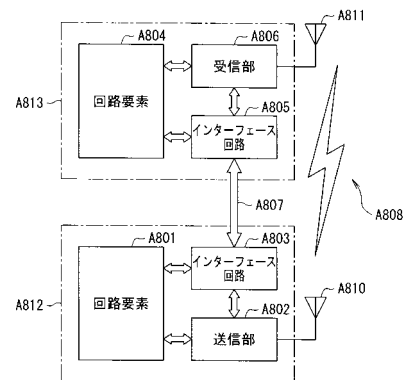
【図 16】



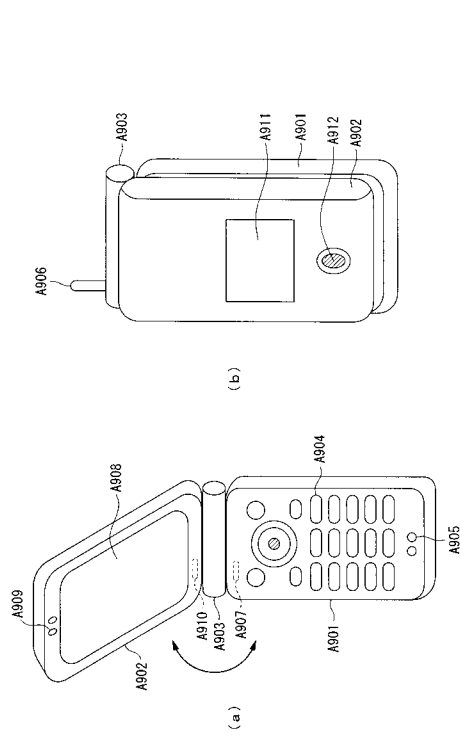
【図 17】



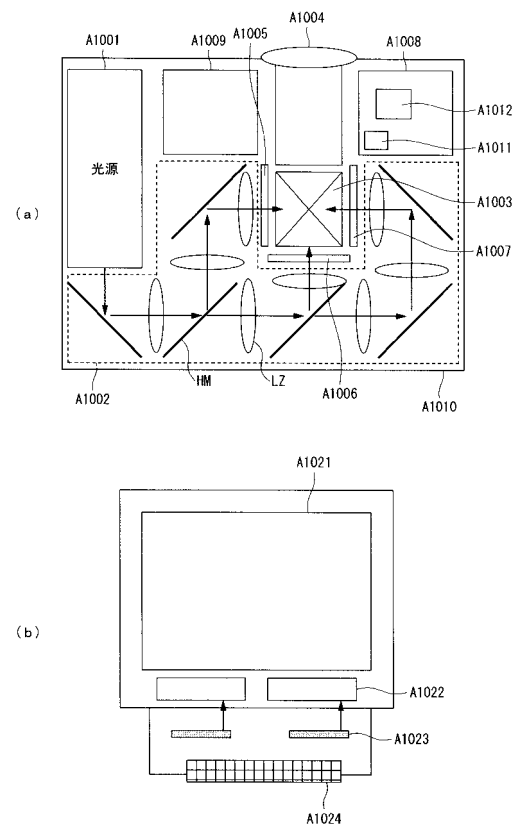
【図 18】



【図 19】



【図 20】



フロントページの続き

(56)参考文献 米国特許出願公開第2003/0108133 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H03K	3/66
H03K	3/03
H03K	3/354
H03L	7/00
H03L	7/081