

(54) 유전체막의 형성 방법

(57) 요약

Si 기판 위에 유전체막을 형성하는 방법은 Si 기판에서 유전체막을 구성하는 금속 원소의 기체 분자 화합물을 흡착시키는 단계와, 가수 분해 프로세스 또는 열분해 프로세스 또는 산화 프로세스에 의해 흡착된 기체 분자 화합물을 열분해시키는 단계를 포함한다.

대표도

도 1

특허청구의 범위

청구항 1.

Si 기판 위에 유전체막을 형성하기 위한 방법으로,

상기 Si 기판의 표면을 노출하는 단계와,

상기 Si 기판의 노출 표면 위에 절연층을 형성하는 단계와,

상기 절연층의 표면에서 적어도 한번 유전체 재료를 구성하는 금속 원소의 기체 분자 화합물을 흡착시켜 상기 절연층 위를 상기 기체 분자 화합물에 의해 실질적으로 균일하게 덮는 단계와,

상기 절연층을 덮는 상기 기체 분자 화합물을 가수 분해시켜 상기 절연층상의 상기 금속 원소를 함유하는 상기 유전체 재료의 분자층을 형성하는 단계를 포함하는 유전체막의 형성 방법.

청구항 2.

제1항에 있어서, 상기 유전체 재료는 Ta₂O₅를 포함하며, 상기 기체 분자 화합물은 Ta(OC₂H₅)₅ 및 TaCl₅ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 3.

제1항에 있어서, 상기 유전체 재료는 ZrO₂를 포함하며, 상기 기체 분자 화합물은 Zr(t-OC₄H₉)₄ 및 ZrCl₄ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 4.

제1항에 있어서, 상기 유전체 재료는 HfO₂를 포함하며, 상기 기체 분자 화합물은 Hf(t-OC₄H₉)₄ 및 HfCl₄ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 5.

제1항에 있어서, 상기 유전체 재료는 Al_2O_3 를 포함하며, 상기 기체 분자 화합물은 $Al(1-OC_3H_7)_3$ 및 $(CH_3)_3Al$ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 6.

제1항에 있어서, 상기 절연층을 형성하는 단계는 상기 Si 기판의 노출 표면에서 적어도 한번 Si의 기체 분자 화합물을 흡착시켜 상기 Si의 기체 분자 화합물에 의해 상기 Si 기판의 노출 표면을 실질적으로 균일하게 덮어 상기 Si의 기체 분자 화합물을 가수 분해시키는 단계를 포함하며, Si의 상기 기체 분자 화합물은 $SiCl_4$, SiH_2Cl_2 , $Si(C_2H_5)_5$ 로 이루어진 그룹에서 선택되는 것인 유전체막의 형성 방법.

청구항 7.

제1항에 있어서, 상기 Si 기판에서 상기 절연층을 형성하는 단계는 열적 산화 프로세스(thermal oxidation process)를 상기 Si 기판의 노출 표면에 적용하는 단계를 포함하는 것인 유전체막의 형성 방법.

청구항 8.

제1항에 있어서, 상기 가수 분해 단계 다음에, CVD 프로세스에 의해 상기 유전체 재료의 상기 분자층에서 고유전체막을 형성하는 단계를 더 포함하는 것인 유전체막의 형성 방법.

청구항 9.

제1항에 있어서, 상기 유전체 재료의 상기 분자층을 형성하는 단계는 $ZrSiO_4$ 로 표현되는 조성을 갖는 유전체막을 형성하는 단계를 포함함으로써, 상기 유전체막은 상기 Si 기판과의 계면에서 저 Zr 농도 레벨을 가지며 상기 Zr 농도 레벨은 상기 계면으로부터의 거리가 증가함에 따라 증가하는 것인 유전체막의 형성 방법.

청구항 10.

제9항에 있어서, 상기 유전체막을 형성하는 단계는 SiO_2 분자층과 ZrO_2 분자층을 연속해서 형성하는 단계를 포함하며, 상기 SiO_2 분자층을 형성하는 단계는 절연층에서 Si를 함유하는 제1 기체 원료의 분자를 흡착시켜, 상기 제1 기체 원료의 상기 흡착 분자를 분해하는 단계를 포함하며, 상기 ZrO_2 분자층을 형성하는 단계는 절연층에서 Zr을 함유하는 제2 기체 원료의 분자를 흡착시켜, 상기 제2 기체 원료의 상기 흡착된 분자를 분해하는 단계를 포함하는 것인 유전체막의 형성 방법.

청구항 11.

Si 기판 위에 유전체막을 형성하기 위한 방법으로,

상기 Si 기판의 표면을 노출하는 단계와,

상기 Si 기판의 노출 표면 위에 절연층을 형성하는 단계와,

상기 절연층에서 적어도 한번 유전체 재료를 구성하는 금속 원소의 기체 분자 화합물을 흡착시켜 상기 절연층 위를 상기 기체 분자 화합물에 의해 실질적으로 균일하게 덮는 단계와,

상기 절연층 위에서 상기 금속 원소를 함유하는 상기 유전체 재료의 분자층을 형성함으로써, 산화 분위기에서 상기 절연층을 덮는 상기 기체 분자 화합물을 산화시키는 단계를 포함하며,

상기 산화 단계는, 상기 Si 기판을 산화 분위기에서 상기 기체 분자 화합물의 산화 온도를 초과하는 온도로 가열하는 단계를 포함하는 것인 유전체막의 형성 방법.

청구항 12.

제11항에 있어서, 상기 유전체 재료는 Ta_2O_5 를 포함하며, 상기 기체 분자 화합물은 $Ta(OC_2H_5)_5$ 및 $TaCl_5$ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 13.

제11항에 있어서, 상기 유전체 재료는 ZrO_2 를 포함하며, 상기 기체 분자 화합물은 $Zr(t-OC_4H_9)_4$ 및 $ZrCl_4$ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 14.

제11항에 있어서, 상기 유전체 재료는 HfO_2 를 포함하며, 상기 기체 분자 화합물은 $Hf(t-OC_4H_9)_4$ 및 $HfCl_4$ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 15.

제11항에 있어서, 상기 유전체 재료는 Al_2O_3 를 포함하며, 상기 기체 분자 화합물은 $Al(t-OC_3H_7)_3$ 및 $(CH_3)_3Al$ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 16.

제11항에 있어서, 상기 절연층을 형성하는 단계는 상기 Si 기판의 노출 표면에서 적어도 한번 Si의 기체 분자 화합물을 흡착시켜 상기 Si의 기체 분자 화합물에 의해 상기 Si 기판의 노출 표면을 실질적으로 균일하게 덮는 단계와, 상기 Si의 상기 기체 분자 화합물을 가수 분해시키는 단계를 포함하며, Si의 상기 기체 분자 화합물은 $SiCl_4$, SiH_2Cl_2 , $Si(C_2H_5)_5$ 로 이루어진 그룹에서 선택되는 것인 유전체막의 형성 방법.

청구항 17.

제11항에 있어서, 상기 Si 기판에서 상기 절연층을 형성하는 단계는 열적 산화 프로세스를 상기 Si 기판의 노출 표면에 적용하는 단계를 포함하는 것인 유전체막의 형성 방법.

청구항 18.

제11항에 있어서, 상기 산화 단계 다음에, CVD 프로세스에 의해 상기 유전체 재료의 상기 분자층에서 고유전체막을 형성하는 단계를 더 포함하는 것인 유전체막의 형성 방법.

청구항 19.

제11항에 있어서, 상기 유전체 재료의 상기 분자층을 형성하는 단계는 $ZrSiO_4$ 로 표현되는 조성을 갖는 유전체막을 형성하는 단계를 포함함으로써, 상기 유전체막은 상기 Si 기판과의 계면에서 저 Zr 농도 레벨을 가지며, 상기 Zr 농도 레벨은 상기 계면으로부터의 거리가 증가함에 따라 증가하는 것인 유전체막의 형성 방법.

청구항 20.

제19항에 있어서, 상기 유전체막을 형성하는 단계는 SiO_2 분자층과 ZrO_2 분자층을 연속해서 형성하는 단계를 포함하며, 상기 SiO_2 분자층을 형성하는 단계는 절연층에서 Si를 함유하는 제1 기체 원료의 분자를 흡착시켜, 상기 제1 기체 원료의 상기 흡착 분자를 분해하는 단계를 포함하며, 상기 ZrO_2 분자층을 형성하는 단계는 절연층에서 Zr을 함유하는 제2 기체 원료의 분자를 흡착시켜, 상기 제2 기체 원료의 상기 흡착된 분자를 분해하는 단계를 포함하는 것인 유전체막의 형성 방법.

청구항 21.

Si 기판 위에 유전체막을 형성하기 위한 방법으로,

상기 Si 기판의 표면을 노출하는 단계와,

상기 Si 기판의 노출 표면 위에 절연층을 형성하는 단계와,

상기 절연층에서 적어도 한번 유전체 재료를 구성하는 금속 원소의 기체 분자 화합물을 흡착시켜 상기 절연층 위를 상기 기체 분자 화합물에 의해 실질적으로 균일하게 덮는 단계와,

H_2O , O_3 , NO_2 로 구성된 그룹에서 선택된 분위기에 상기 기체 분자 화합물을 노출시켜 상기 절연층에서 상기 금속 원소를 함유하는 상기 유전체 재료의 분자층을 형성하는 단계를 포함하는 유전체막의 형성 방법.

청구항 22.

제21항에 있어서, 상기 유전체 재료는 Ta_2O_5 를 포함하며, 상기 기체 분자 화합물은 $Ta(OC_2H_5)_5$ 및 $TaCl_5$ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 23.

제21항에 있어서, 상기 유전체 재료는 ZrO_2 를 포함하며, 상기 기체 분자 화합물은 $Zr(t-OC_4H_9)_4$ 및 $ZrCl_4$ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 24.

제21항에 있어서, 상기 유전체 재료는 HfO_2 를 포함하며, 상기 기체 분자 화합물은 $Hf(t-OC_4H_9)_4$ 및 $HfCl_4$ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 25.

제21항에 있어서, 상기 유전체 재료는 Al_2O_3 를 포함하며, 상기 기체 분자 화합물은 $Al(1-OC_3H_7)_3$ 및 $(CH_3)_3Al$ 중 어느 하나를 포함하는 것인 유전체막의 형성 방법.

청구항 26.

제21항에 있어서, 상기 절연층을 형성하는 단계는 상기 Si 기판의 노출 표면에서 적어도 한번 Si의 기체 분자 화합물을 흡착시켜 상기 Si의 기체 분자 화합물에 의해 상기 Si 기판의 상기 노출 표면을 실질적으로 균일하게 덮어 상기 Si의 기체 분자 화합물을 가수 분해시키는 단계를 포함하며, Si의 상기 기체 분자 화합물은 $SiCl_4$, SiH_2Cl_2 , $Si(C_2H_5)_5$ 로 이루어진 그룹에서 선택되는 것인 유전체막의 형성 방법.

청구항 27.

제21항에 있어서, 상기 Si 기판에서 상기 절연층을 형성하는 단계는 열적 산화 프로세스를 상기 Si 기판의 노출 표면에 적용하는 단계를 포함하는 것인 유전체막의 형성 방법.

청구항 28.

제21항에 있어서, 상기 분위기에 노출하는 단계 다음에, CVD 프로세스에 의해 상기 유전체 재료의 상기 분자층에서 고유전체막을 형성하는 단계를 더 포함하는 것인 유전체막의 형성 방법.

청구항 29.

제21항에 있어서, 상기 유전체 재료의 상기 분자층을 형성하는 단계는 $ZrSiO_4$ 로 표현되는 조성을 갖는 유전체막을 형성하는 단계를 포함함으로써, 상기 유전체막은 상기 Si 기판과의 계면에서 저 Zr 농도 레벨을 가지며, 상기 Zr 농도 레벨은 상기 계면으로부터의 거리가 증가함에 따라 증가하는 것인 유전체막의 형성 방법.

청구항 30.

제29항에 있어서, 상기 유전체막을 형성하는 단계는 SiO_2 분자층과 ZrO_2 분자층을 연속해서 형성하는 단계를 포함하며, 상기 SiO_2 분자층을 형성하는 단계는 절연층에서 Si를 함유하는 제1 기체 원료의 분자를 흡착시켜, 상기 제1 기체 원료의 상기 흡착 분자를 분해하는 단계를 포함하며, 상기 ZrO_2 분자층을 형성하는 단계는 절연층에서 Zr을 함유하는 제2 기체 원료의 분자를 흡착시켜, 상기 제2 기체 원료의 상기 흡착된 분자를 분해하는 단계를 포함하는 것인 유전체막의 형성 방법.

명세서

기술분야

본 발명은 일반적으로 반도체 장치에 관한 것으로서, 특히 초미세화 초고속 반도체 장치의 제조 방법에 관한 것이다.

배경기술

반도체 장치의 미세화 프로세스의 진보와 더불어 이제 리딩 엣지에서 게이트 길이가 $0.1 \mu\text{m}$ 이하인 초고속 반도체 장치를 사용하는 것이 가능하게 되었다. 반도체 장치의 미세화 정도가 진행함에 따라, 동작 속도가 빨라진다는 것은 잘 알려져 있다. 한편, 반도체 장치의 미세화에 의해 동작 속도를 고속화하기 위해서는 반도체 장치의 게이트 길이의 축소에 비례해서 사용된 게이트 절연막의 두께를 축척 법칙(scaling law)에 따라 감소시킬 필요가 있다.

게이트 길이가 $0.1 \mu\text{m}$ 이하인 초미세화 초고속 반도체 장치의 경우, SiO_2 가 게이트 절연막의 재료로 사용된다면 게이트 전극의 두께를 1-2 nm 이하로 줄이는 것이 필요하다. 그러나, 극히 얇은 게이트 절연막을 사용하면 얇은 게이트 절연막을 관통하는 터널링 효과로 인해 불가피하게 누설 전류가 증가하는 문제점이 있다.

그러므로, SiO_2 막의 사용과 관련한 전술한 문제점을 피하기 위해서 일본 특허 공개 공보 평 11-87341호에는 우선 Si 기판의 표면에서 Si를 함유하고 있는 가스(기체) 원료를 흡착시킨 다음, 가스(기체) 원료가 흡착되는 기판 표면에 질소 라디칼을 함유하는 분위기를 작용시킴으로써 Si 기판의 표면 위에서 SiO_2 게이트 절연막 대신에 얇은 SiN 게이트 절연막을 형성하는 프로세스가 제안되어 있다. 전술한 종래 기술에 따르면, 게이트 절연막의 물리적 두께를 게이트 절연막에 대해서 비유전율이 SiO_2 보다 큰 SiN을 이용하여 게이트 절연막의 전기적 또는 등가 두께를 줄여서 증대시키고 있다.

그러나, 이러한 종래 기술의 프로세스는 전술한 터널링 누설 전류의 문제를 제거하는 데는 효과적이지 않다. SiN이 SiO_2 의 비유전율 4 보다 큰 약 8의 비유전율을 가질지라도, 이 값은 터널링 누설 전류를 억제하면서 게이트 절연막의 물리적 두께를 원하는 만큼 증가시키기 충분한 값이 아니다.

전술한 종래 기술의 프로세스는 질소 라디칼을 여기시키기 위해 플라즈마 프로세스를 필요로 하고 있다는 점에서 질소 라디칼의 사용과 관련하여 또 다른 문제점을 가지고 있다. 기판 표면이 플라즈마 발생원 부근에서 처리되면, 전자 또는 이온과 같은 플라즈마를 형성하는 하전 입자들이 SiN 막 내에 침입되고 그 안에서 준위(impurity state)를 형성한다. 이러한 준위가 게이트 절연막에서 형성될 때, 게이트 절연막의 누설 전류는 증가되고 CV 특성은 열화된다. 플라즈마 발생원이 전술한 문제점을 피하기 위해 기판과 이격된 위치에 제공되는 경우, 질소 라디칼의 수는 기판 표면에서 감소되고 질소의 흡착은 어렵게 된다.

상기 사정을 감안해서, 게이트 절연막 재료로서 Ta_2O_5 와 같은 고유전체 재료를 사용하는 것이 제안되었다. 이러한 고유전체 재료는 SiO_2 에 비해 훨씬 큰 비유전율을 가진다. 이러한 고유전체 재료를 이용하고 동시에 큰 물리적 두께를 이용함으로써, SiO_2 막의 두께로 변환된 전기적으로 등가 두께인 절연막의 두께를 효과적으로 감소시키는 것이 가능하다. 이러한 고유전체 게이트 절연막을 이용함으로써 $0.1 \mu\text{m}$ 이하의 게이트 길이를 가진 초미세화 초고속 반도체 장치의 게이트 절연막을 약 10 nm의 물리적 두께로 하는 것이 가능하며 터널링 효과에 의해서 야기된 게이트 누설 전류를 억제하는 것이 가능하다.

Ta_2O_5 막은 $\text{Ta}(\text{OC}_2\text{H}_5)_2$ 및 O_2 를 기체 원료로 사용하는 CVD 프로세스에 의해 형성 가능하다. 전형적인 경우, CVD 프로세스는 감압 환경 하에서 480°C 보다 높은 온도에서 행해진다. 이와 같이 형성된 Ta_2O_5 막은 산소 결함을 보상하고 막의 결정화를 위해 산화 분위기에서 어닐링된다. 이와 같이 결정화된 Ta_2O_5 막은 아주 큰 비유전율을 나타낸다.

CVD 프로세스에 의해 Si 기판 위에 Ta_2O_5 와 같은 고유전체막을 성장할 때, 고유전체막의 성장은 핵생성 과정에 의해 야기된 지연으로 인해 CVD 프로세스의 개시 직후 시작하지 않으며 그 성장은 소정의 인큐베이션 시간(incubation time)이 경과한 후에 만 시작한다고 알려져 있다.

본 발명이 기초로 하는 실험 조사에서 본 발명의 발명자는 고유전체막이 증착된 층의 특성에 따라서 인큐베이션 시간이 변화함을 발견하였다. 예컨대, 인큐베이션 시간은 산화물이 제거된 Si 기판의 클린 표면 위에 증착이 행해지는 경우 아주 짧아지고, Si 기판 위에 SiN 또는 SiON 또는 SiO_2 의 절연막이 있는 경우, 인큐베이션 시간은 증대한다. 또한, Si 기판의 표면에 존재하는 SiO_2 막 또는 SiN 막 또는 SiON 막의 두께에 따라서 인큐베이션 시간이 변화한다는 것을 관찰하였다.

전술한 발견은, Si 기판의 SiO₂ 막 위 또는 SiN 막 위 또는 SiON 막 위에 형성된 고유전체막의 두께는 기저층의 두께 변화를 반영하며, 고유전체막에 의해서 기저층의 두께 변화가 증폭될 수 있음을 의미한다. 또한, CVD 프로세스에 의해서 이와 같이 형성된 고유전체막의 두께가 기저층의 특성에 의해서 영향을 받는다는 것은 게이트 절연막 등에 사용된 고유전체막의 질이 불균일하게 되기 쉽다는 것을 의미한다.

이러한 고유전체막의 불균일이 발생하지 않도록 하기 위해서는 가능한 한 인큐베이션 시간을 줄이는 것이 바람직하다.

한편, 고유전체막을 게이트 절연막으로 사용하는 반도체 장치에 있어서, 금속 원소 또는 불순물 원소가 고유전체막으로부터 또는 고유전체막을 통해 반도체 장치의 채널 영역을 형성하는 기판으로 확산되지 않도록 하기 위해 Si 기판과 고유전체 게이트 절연막 사이에 얇은 산화물막을 제공하는 것이 바람직하다. 그렇지 않으면 금속 원소에 의해 채널 영역에서 캐리어가 산란되는 현상이 있을 수 있다.

한편, 이러한 개재 산화물막은 극히 얇게 될 수 있다. 두꺼운 산화물막이 Si 기판과 고유전체막 사이에 개재된 경우, 고유전체막의 영향은 상쇄될 것이다. 또한 고유전체막의 두께 방향으로 조성과 같은 막질(膜質)을 변화시키기 위한 기술이 요구되고 있다.

발명의 상세한 설명

따라서, 본 발명의 목적은 전술한 문제점이 제거된 유전체 막을 제조하기 위한 신규의 유용한 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 유전체막을 증착하기 위한 인큐베이션 시간을 최소화하고 동시에 표면 거칠기(surface roughness)를 저감하면서 하전(荷電) 입자들에 의해 유전체막이 손상되지 않는 유전체막을 기상 증착법에 의해 형성하기 위한 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 유전체막의 조성 분포를 두께 방향으로 임의적으로 조절하지 않고 하전 입자들에 의해 유전체막이 손상되지 않는 유전체막을 기상 증착법에 형성하기 위한 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 Si 기판 위에서 유전체막을 제조하기 위한 방법을 제공하는 것이며, 상기 방법은,

상기 Si 기판 표면을 노출하는 단계와,

상기 Si 기판의 상기 노출 표면 위에 절연층을 형성하는 단계와,

상기 절연층이 형성된 상기 Si 기판의 상기 표면에서 적어도 한번 유전 물질을 구성하는 금속 원소의 가스 분자 화합물을 흡착시켜 상기 가스 분자 화합물에 의해 상기 Si 기판의 상기 표면을 실질적으로 균일하게 덮는 단계와,

상기 Si 기판의 상기 표면을 덮는 상기 가스 분자 화합물을 가수 분해시켜 상기 Si 기판의 상기 표면에서 상기 금속 원소를 함유하는 상기 유전 물질의 분자층을 형성하는 단계를 포함한다.

본 발명의 또 다른 목적은 Si 기판 위에 유전체막을 제조하기 위한 방법을 제공하는 것이며, 상기 방법은,

상기 Si 기판의 표면을 노출하는 단계와,

상기 Si 기판의 상기 노출 표면 위에 절연층을 형성하는 단계와,

상기 절연층에서 적어도 한번 유전 물질을 구성하는 금속 원소의 가스 분자 화합물을 흡착시켜 상기 가스 분자 화합물에 의해 상기 절연층을 실질적으로 균일하게 덮는 단계와,

상기 절연층을 덮는 상기 가스 분자 화합물을 산화시켜 상기 절연층에서 상기 금속 원소를 함유하는 상기 유전 물질의 분자층을 형성하는 산화 단계를 포함하며,

상기 산화 단계는 산화 분위기에서 상기 가스 분자 화합물의 열분해를 초과하는 온도로 상기 Si 기판을 가열하는 단계를 포함한다.

본 발명의 또 다른 목적은 Si 기판 위에 유전체막을 형성하는 방법을 제공하는 것이며, 상기 방법은,

상기 Si 기판의 표면을 노출하는 단계와,

상기 Si 기판의 상기 노출 표면 위에 절연층을 형성하는 단계와,

상기 절연층에서 적어도 한번 유전 물질을 구성하는 금속 원소의 가스 분자 화합물을 흡착시켜 상기 가스 분자 화합물에 의해 상기 절연층을 실질적으로 균일하게 덮는 단계와,

상기 가스 분자 화합물을 H₂O, O₃, NO₂로 이루어진 그룹에서 선택된 분위기에 노출시킴으로써 상기 절연층 위에 상기 금속 원소를 함유하는 상기 유전 물질의 분자층을 형성하는 단계를 포함한다.

본 발명에 따르면, 단축된 인큐베이션 시간을 갖는 CVD 프로세스에 의해서 Si 기판 상의 Ta₂O₅를 포함하는 각종 조성의 유전체막 또는 고유전체막을 형성하는 것이 가능하게 된다. 그 결과 얻어진 유전체막의 균일성이 향상된다. 또한, 본 발명은 유전체막 조성의 임의 조절을 그의 두께 방향으로 가능하다. 요구에 따르면 또한 유전체막 내부에 대략 하나의 분자층 두께의 극히 얇은 확산 장벽막을 형성하는 것이 가능하다. 본 발명이 플라즈마 여기 라디칼을 이용하는 단계를 포함하지 않는다는 사실에 비추어, 본 발명의 프로세스에 따라 형성된 유전체막은 실질적으로 불순물 상태와 같은 유전 변화를 가진 결합들을 실질적으로 형성하지 않으며 우수한 누설 특성이 달성될 수 있다.

본 발명의 결과로서, 누설 전류가 억제되고 0.1 μm 이하의 작은 게이트 길이를 가진 초미세화 초고속 반도체 장치가 형성 가능하다.

실시예

이후, 본 발명의 실시예들을 첨부 도면을 참조하여 보다 상세히 설명하기로 한다.

[제1 실시예]

도 1a 내지 1h는 본 발명의 제1 실시예에 따른 Ta₂O₅ 막을 형성하는 프로세스를 도시한다.

도 1a와 관련하여, Si 기판(11)은 133-399 Pa(1-3 Torr)의 내압으로 감압된 반응 용기(도시 안됨)내에서 실온 보다 낮은 온도로 유지되고, 기판(11) 표면 상의 산화물막(11a)은 N₂ 및 H₂의 가스 혼합물의 플라즈마 활성화에 의해 형성된 수소 라디칼 H* 및 질소 라디칼 N*을 NF₃ 가스와 함께 반응 용기 내로 공급함으로써 제거된다. 이러한 산화막의 제거를 저온에서 행함으로써 Si 기판(11)의 표면 위에는 N-O-Si-H의 조성을 가진 보호막(11b)이 형성된다. 전형의 예에 있어서 H₂ 가스, NF₃ 가스 및 N₂ 가스는 각각 10 sccm, 30 sccm 및 100 sccm의 유량으로 공급되며, H₂ 가스 및 N₂ 가스의 활성화는 약 50 W의 플라즈마 전력을 가함으로써 달성된다. 도 1a의 프로세스는 3 분 이하의 지속 기간 동안 지속될 수 있다.

이와 같이 형성된 보호막은 휘발성막이며, 도 1c의 단계에서 상기 Si 기판(11)을 상기 반응 용기 내에서 연속해서 진공중 약 120°C의 온도로 열처리함으로써 용이하게 승화 제거된다. 그 결과, Si 기판(11)의 프레쉬 표면(11c)이 노출된다.

다음에, 도 1c의 단계에 이어지는 도 1d의 단계에서, 반응 용기 내의 압력을 1.33 내지 13.3 Pa(0.01 내지 0.1 Torr)로 설정하고, 기판 온도를 200 내지 350 °C로 설정한다. 이 상태에서, SiCl₄ 가스를 유량이 약 50 sccm인 He 캐리어 가스와 함께 0.1 내지 5 mg/min의 비율로 반응 용기 내에 도입한다. 이 단계에서, 이처럼 SiCl₄ 가스와 함께 도입된 SiCl₄ 분자를 Si 기판(11)의 프레쉬 표면(11c)에서 흡착시킨다.

도 1d의 단계에서, 반응 용기 내에 H₂O를 He 캐리어 가스와 함께 약 1 sccm의 유량으로 도입하고, Si 기판(11)의 표면(11c)에 흡착된 SiCl₄ 분자를 가수 분해시킨다. 그 결과, Si 기판(11)의 표면에는 극히 얇고 전형적으로는 1 내지 수 분자층의 SiO₂를 함유하는 SiO₂ 분자층(12a)이 형성된다. SiCl₄ 가스를 도입하기 위한 프로세스와 도 1d의 단계에서 흡착된 SiCl₄ 분자의 가수 분해 프로세스를 반복함으로써, 원하는 두께를 가진 SiCl₄ 분자층(12a)의 제조가 가능하다.

도 1d의 단계에서, 또한 SiCl₄ 가스 대신에 SiH₂Cl₂ 가스 또는 Si(C₂H₅)₅ 가스를 이용하는 것이 가능하다.

도 1d의 단계에서, NH₃ 가스로 흡착된 SiCl₄ 분자를 처리함으로써 SiCl₄ 분자층(12a)을 SiN 분자층으로 대체할 수가 있다. 또한, 원하는 바대로 SiO₂ 분자층과 SiN 분자층을 적층함으로써 SiON 분자층을 형성하는 것이 가능하다. 또한 프로세스 제어를 위해 풍부한 데이터를 이용하면 열적 산화막을 형성하는 것이 가능하다.

다음에, 도 1e의 단계에서, 기판 온도를 350 °C 이하로 설정하며, 바람직하게는 약 300 °C 이하, 가장 바람직하게는 약 280 °C로 설정하며, Ta(OC₂H₅)₅ 가스 및 O₂ 가스를 약 5 mg의 유량과 100 sccm의 유량으로 약 1 분 동안 He 캐리어 가스와 함께 이전과 같이 0.01 내지 0.1 Torr의 압력으로 유지된 반응 용기에 공급한다. 그 결과 Ta(OC₂H₅)₅ 분자는 Ta(OC₂H₅)₅ 분자층(12b)의 형태로 SiO₂ 층(12a) 위에 흡착된다.

다음에, 도 1g의 단계에서, 기판 온도는 산화 분위기에서 약 350 °C로 올라가며 흡착된 Ta(OC₂H₅)₅ 분자에서 산화 또는 가수 분해된다. 그 결과, Ta(OC₂H₅)₅의 흡착된 분자층은 Ta₂O₅ 분자층(12c)으로 변환된다.

또한, 도 1h의 단계에서 기판 온도를 510 °C로, 반응 용기의 내압을 13.3 내지 1330 Pa(0.1 내지 10 Torr)로 설정한다. 또한, Ta(OC₂H₅)₅ 가스 및 O₂ 가스를 He 캐리어 가스와 함께 반응 용기 내에 도입하고, Ta₂O₅ 분자층(12c) 위에 통상의 CVD 프로세스에 의해 Ta₂O₅ 막(13)을 4 내지 5 nm의 두께로 형성한다.

설명하지는 않았지만, Ta₂O₅ 막(13)에 대하여 O₂ 분위기 중에 열처리를 실시함으로써 막(13) 중의 산소 결함이 보상되고, 막(13)이 결정화된다. 이와 같이 결정화된 Ta₂O₅ 막(13)은 큰 비유전율을 보인다. Si 기판(11)과 Ta₂O₅ 막(13)의 계면에는 SiO₂ 분자층(12a)이 형성되어 있으므로, Si 기판 위에 형성된 반도체 장치에 있어서 큰 캐리어 이동도가 보장된다. 즉 본 발명에 따라 형성된 반도체 장치는 매우 고속으로 동작한다.

도 2는 Ta₂O₅ 막의 통상의 CVD 프로세스와 비교해서 형성된 Ta₂O₅ 막(13)의 두께와 도 1h의 CVD 단계에서의 증착 프로세스의 지속 시간 사이의 관계를 보여주고 있다. 도 2에서, 증착 시간을 도 2의 CVD 프로세스의 개시점에서 측정하고, ●은 이 실시예에 따른 Ta₂O₅ 막의 증착을 나타내며, ▲은 통상의 CVD 프로세스에 따른 Ta₂O₅ 막의 증착을 나타내고 있다. ▲로 표현되는 통상의 실험에 있어서, Ta₂O₅ 막의 CVD 증착은 SiO₂ 분자층(12a) 위에서 직접 행해진다.

도 2에 있어서, Ta₂O₅ 막의 실제 증착이 행해질 때까지 CVD 프로세스의 시작부터 약 140 초의 인큐베이션 시간이 존재함을 알 수 있으며, 본 발명의 경우, Ta₂O₅ 막의 증착은 CVD 프로세스의 개시부터 약 40초 후에 시작됨을 알 수 있다. 즉, 본 실시예의 구성에 의해 Ta₂O₅ 막을 CVD 프로세스에 의해 형성하는 경우 인큐베이션 시간을 실질적으로 저감할 수 있다.

도 3a 및 도 3b는 통상의 CVD 프로세스에 의해 Si 기판의 표면을 덮는 SiON 막 위에 형성된 Ta₂O₅ 막의 표면을 AFM (automic-force microscope; 원자력 현미경)으로 관찰한 결과를 보여주고 있으며, 도 3a는 510 °C의 기판 온도에서 Ta₂O₅ 막의 CVD 프로세스를 행하는 경우를 나타내며, 도 3b는 480 °C의 기판 온도에서 Ta₂O₅ 막의 CVD 프로세스를 행하는 경우를 나타낸다.

도 3a 및 도 3b에 있어서, 이와 같이 형성된 CVD-Ta₂O₅ 막은 그 아래의 SiON 막의 막두께의 변화를 반영하는 막두께를 아주 크게 변화시킨다. 즉, 종래의 CVD-Ta₂O₅ 막에서는 기저층의 두께 변화가 증폭되고, 그 결과 얻어진 Ta₂O₅ 막의 막두께가 불균일하게 되고 만다.

한편, 도 4a는 도 1a 내지 도 1h를 참조하여 설명한 본 발명에 따라 형성된 Ta₂O₅ 막의 표면을 도시하며, Ta₂O₅ 막은 SiO₂ 분자층 위에 형성되지 않고 SiON 분자층 위에 형성되고 있다. 한편, 도 4b는 Si 기판(11)의 노출 표면(11c) 위에 바로 증착된 Ta₂O₅ 막의 표면을 도시한다. 도 4a 및 도 4b 중 어느 하나에 있어서, Ta₂O₅ 막의 표면 구조를 AFM으로 관찰하였다.

도 4a에 있어서, 본 발명의 프로세스를 이용함으로써 CVD 프로세스에 의해 형성된 Ta₂O₅ 막 표면의 돌출부 및 함몰부는 실질적으로 감소한다. 즉, 도 4a는 본 발명의 프로세스를 이용함으로써 Si 기판 바로 위에 형성된 막의 것과 유사한 표면을 가진 Ta₂O₅ 막을 얻는 것이 가능함을 나타내고 있다. 도 4a의 유의한 결과는 도 2를 참조하여 설명한 바와 같이 SiON 막 위에 기체 분자 화합물 Ta(OC₂H₅)₅를 흡착시키고 그것을 산화시켜 Ta₂O₅ 분자층(12c)을 형성하고, 이러한 Ta₂O₅ 분자층 상에 Ta₂O₅ 막(13)을 CVD 프로세스에 의해 형성한 경우에 얻어지는 인큐베이션 시간의 단축 결과를 반영하고 있다고 여겨진다. 즉, 인큐베이션 시간이 단축됨에 따라서, 기저막의 막질에 의한 인큐베이션 시간의 변동이 억제되고, 그 결과 CVD 프로세스에 의해서 형성된 Ta₂O₅ 막(13)의 두께 변화 또한 억제된다.

본 발명에 있어서, Ta₂O₅ 분자층(12c)을 형성하기 위해 이용 가능한 기체 분자 화합물은 Ta(OC₂H₅)₅에 제한되지 않고 TaCl₅을 이용하는 것도 가능하다. TaCl₅을 사용하는 경우, 반응 용기를 0.133 - 13.3 Pa(0.001 - 0.1 Torr)의 내압으로 설정하고, 기판 온도를 200 - 300 °C로 유지하면서 0.1 - 5 mg/min의 유량으로 TaCl₅을 공급함으로써 흡착 프로세스가 행해진다.

또한, 본 발명은 Ta₂O₅ 막을 형성하는 프로세스에 만 제한되지 않고, 도 5 및 도 6에서 요약된 바와 같이 SiO₂ 막, ZrO₂ 막, HfO₂ 막 또는 Al₂O₃ 막을 포함하는 여러 산화막을 형성하기 위해 적용될 수 있으며, 도 5는 도 1f 및 도 1g의 단계에 각각 대응하는 산화 프로세스와 흡착 프로세스를 위한 프로세스 조건의 개요를 보여주고 있으며, 전술한 산화물에 대해 도 6은 도 1h의 단계에 대응하는 CVD 프로세스에 대한 프로세스 조건의 개요를 보여주고 있다.

도 5에 있어서, 흡착된 Ta(OC₂H₅)₅ 분자 또는 TaCl₂ 분자로부터 Ta₂O₅ 분자층(12c)을 형성하기 위한 도 1f의 단계에서 가수 분해 반응을 야기하거나 산화시키기 위해 이용되는 분위기는 O₂ 분위기에 만 제한되지 않고, H₂O 분위기, NO₂ 분위기 또는 O₃ 분위기를 포함하는 다른 산화 분위기도 사용 가능함을 알 수 있다. 도 1g의 산화 분위기가 전술한 바와 같이 O₂ 분위기에서 행해지는 경우, 반응 용기를 0.133 - 1330 Pa(0.01 - 10 Torr)의 내압으로, 기판 온도를 300 - 400 °C로 설정하는 것이 바람직하다. 한편, 도 1f의 산화 단계가 O₃ 분위기에서 행해지는 경우, 0.133 - 1330 Pa(0.001 - 10 Torr)의 내압으로, 기판 온도를 200 - 300 °C로 설정하는 것이 바람직하다.

도 5에 도시한 바와 같이, 도 1f의 단계에서 Ta 기체 분자 화합물을 이용하는 경우와 동일한 조건하에서 산화시키고, 단계 1f의 단계에서 SiO₂ 분자층(12a) 위에 Zr(t-OC₄H₉)₄ 또는 ZrCl₄와 같은 Zr의 기체 분자 화합물을 흡착시켜 Ta₂O₅ 분자층(12c) 대신에 ZrO₂ 분자층을 형성하는 것이 가능하다. 마찬가지로, SiO₂ 분자층(12a) 위에 Hf(t-OC₄H₉)₄ 또는 HfCl₄과 같은 Hf의 기체 분자 화합물을 흡착시키고, Ta₂O₅ 분자층을 형성하는 경우와 동일한 조건 하에서 산화시켜 HfO₂ 분자층을 형성하는 것도 가능하다. 또한, SiO₂ 분자층(12a) 위에 Al(i-OC₃H₇)₃ 또는 (CH₃)₃Al과 같은 Al의 기체 분자 화합물을 흡착시키고 Ta₂O₅ 분자층을 형성하는 경우와 동일한 조건 하에서 산화시켜 Al₂O₃ 분자층을 형성하는 것이 가능하다.

또한, Ta₂O₅ 분자층의 것과 유사한 조건 하에서 SiO₂ 분자층(12a)에서 Si(OC₂H₅)₄ 또는 SiCl₄ 또는 SiH₂Cl₂를 흡착시키고 유사 조건 하에서 흡착된 Si의 기체 분자 화합물에서 추가 산화 또는 가수 분해시킴으로써 분자층(12c)으로서 SiO₂를 형성하는 것이 가능하다.

또한, 도 6에 요약된 조건 하에서 형성된 산화물 분자층(12c)에서 CVD 프로세스를 수행함으로써, Ta₂O₅, ZrO₂, HfO₂, SiO₂, Al₂O₃를 포함하는 여러 산화물의 CVD 막을 CVD 막(13)으로서 형성하는 것이 가능하다.

[제2 실시예]

도 7은 본 발명의 제2 실시예에 따른 유전체막을 형성하는 프로세스를 플로우 차트의 형태로 도시하고 있다.

도 7에서, SiCl_4 의 기체 분자를 단계(S1)에서 도 1d에 도시된 SiO_2 분자층에서 흡착시키고, 흡착된 SiCl_4 분자를 단계(S2)에서 산화 또는 가수 분해한다. 그 결과, 기판(11) 상에는 SiO_2 의 분자층이 형성된다.

전술한 단계(S1) 및 (S2)는 다음 단계(S3)에서 소정 횟수 X가 반복되고, 프로세스는 도 1e 및 도 1f의 프로세스 단계에 대응하는 단계(S4)를 추가로 진행하며, ZrCl_4 또는 $\text{Zr}(\text{t-OC}_4\text{H}_9)_4$ 의 분자들이 이전 단계(S1) 및 (S2)에서 형성된 SiO_2 분자층에서 흡착된다.

다음에 흡착된 Zr의 기체 분자 화합물은 도 1g의 프로세스 단계에 대응하는 다음 단계(S5)에서 산화되거나 가수분해되며, SiO_2 분자층에는 ZrO_2 의 분자층이 형성된다. 또한 전술한 단계(S4) 및 (S5)는 다음 단계(S6)에서 교대로 Y 회 반복되며, 반복 횟수 X 및 Y는 다음 단계(S7)에서 X1 및 Y1 으로 변경된다.

단계(S7) 다음에, 프로세스는 단계(S1)로 복귀한다. 따라서, 새롭게 정의된 반복 횟수 X1 및 Y1으로 단계(S1) 내지 (S7)를 반복함으로써, 도 8에 도시된 바와 같은 Zr 및 Si의 비율이 막의 두께 방향으로 변화하며, Si 기판 위에는 ZrSiO_4 의 화합물을 가진 유전체막이 형성되고, 도 8은 대응 참조 부호로 이전에 기술한 부분에 대응하는 부분을 나타낸다.

도 8에 있어서, 유전체막에서의 Zr의 농도는 Zr의 조성이 Si 기판(11)과의 계면 부근에서는 감소하고 계면에서 거리가 증가함에 따라 증가하게 조절된다. 이러한 조성 분포를 갖는 ZrSiO_4 막에서 개선된 점착성의 Si 기판과의 계면 부근에서 Si 조성의 증대와 관련된 유의한 특징이 있다. 또한, ZrSiO_4 막의 표면 부근에서 Zr 농도가 크므로, 유전체막을 통해 흐르는 누설 전류가 효과적으로 억제된다. 또한, Zr 원자와 Si 원자가 ZrSiO_4 막에서 하나의 분자층 마다 두께 방향으로 교대로 반복되게 ZrSiO_4 막을 형성하는 것이 가능하다.

[제3 실시예]

도 9는 본 발명의 제3 실시예에 따른 유전체막의 구조를 도시하며, 이전에 기술한 부분에 대응하는 부분은 동일 참조 부호가 붙여지며 이에 대한 설명은 생략하기로 한다.

도 9에 있어서, 본 발명은 SiO_2 분자층(12a) 위에서 SiCl_4 분자의 흡착을 실행하며, SiCl_4 분자는 NH_3 기체에 의해 흡착된 SiCl_4 분자를 처리함으로써 SiN 분자층(12d)으로 변환된다. SiN 분자층(12d)을 형성한 다음에, $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 분자는 층(12d) 위에서 흡착되어 산화의 결과로서 Ta_2O_5 분자층(12c)으로 변환된다. 또한 CVD-TaO층(13)은 Ta_2O_5 분자층(12c)에서 형성된다.

도 9의 구조에 있어서, Ta_2O_5 막(13) 위에 B 도핑된 다결정막을 증착하는 경우, SiN 분자층(12d)에 의한 Si 기판으로의 B의 확산 문제를 제거하는 것이 가능하다. Ta_2O_5 막(13)과 Si 기판(11) 사이에 개재된 SiN 분자층(12d)이 B의 확산을 차단시킨다. 그러므로, 도 9의 구조는 임계 특성의 변동을 없애기 위해 효과적이다.

[제4 실시예]

도 10은 본 발명의 제4 실시예에 따른 반도체 장치의 구조를 도시하고 있다.

도 10에 있어서, 이전 실시예의 어느 하나에서 기술된 프로세스에 따라 p 형 기판 위에 Ta_2O_5 의 게이트 절연막(22)이 형성되고, 다결정 게이트 전극(23)은 게이트 절연막(22) 위에 형성된다.

또한, Si 기판(21)내에는 게이트 전극(23)에 인접한 n^- 형의 확산 영역(21A, 21B)이 형성되고, 측벽 절연막(23a, 23b)은 다결정 게이트 전극(23)의 각각의 측벽에 제공된다. 또한 n^+ 형의 확산 영역(21C, 21D)은 측벽 절연막(23a, 23b)의 외부에 형성된다.

도 10의 반도체 장치에 있어서, 게이트 절연막(22)으로 Ta₂O₅ 를 이용하여 두께 0.1 nm 이하의 SiO₂ 막과 전기적으로 등가인 실효막 두께가 얻어지며, 동시에 게이트 길이를 단축시켜 게이트 누설 전류를 억제하면서 초고속 동작을 달성하는 것이 가능하다. 이전 실시예 중 어느 하나에서 기술된 프로세스에 따라서 Ta₂O₅ 막(22)을 형성함으로써, 막두께의 변동을 최소화하는 것이 가능하며 이와 같이 형성된 반도체 장치는 신뢰할 수 있고 재생산이 가능하다. 특히, Ta₂O₅ 막(22)의 바로 아래에 SiO₂ 분자층(12a)을 개재시킴으로써 게이트 전극(23)에서 Si 기판(21)으로의 불순물 원소의 확산을 억제하는 것이 가능하다. Ta₂O₅ 를 함유하는 각종 산화물의 분자층이 적층된 형태로 게이트 절연막(22)을 형성함으로써, 원하는바 대로 두께 방향으로 게이트 절연막(22) 내부의 조성 분포를 조절하는 것이 가능하다. 그 결과, Si 기판에 대해 우수한 밀착력을 가진 구조가 게이트 절연막으로서 용이하게 형성 가능함으로써, 게이트 절연막은 게이트 전극(23)과의 계면에서 일정한 큰 비유전율을 가진다.

기판 위에 유전체 분자막을 형성하는 진술한 프로세스가 플라즈마 여기된 라디칼을 사용하는 일본 특허 공개 공보 평 11-97341호의 통상의 프로세스와 비교하여 본 발명에서 흡착된 기체 원료 분자의 가수 분해 반응에 의해서 달성됨에 따라, 누설 전류 경로를 형성하는 유전체막에서 투입된 하전 입자들의 진술한 종래 기술과 관련한 문제점이 성공적으로 회피될 수 있다. 가수 분해 프로세스에서 열적으로 안정한 반응이 일어날 때 가수 분해 반응의 조절이 용이하게 행해진다.

또한, 본 발명은 여기서 기술되고 있는 실시예에만 한정되지 않으며, 본 발명의 범위를 일탈하지 않는 각종 변형 및 수정이 행해질 수 있다.

산업상 이용 가능성

본 발명에 따르면, 인큐베이션 시간에 따라 CVD 프로세스에 의해 Si 기판 위에 있는 Ta₂O₅ 를 함유하는 각종 조성의 유전체 또는 고유전체막을 형성하는 것이 가능하다. 그 결과, 얻어진 유전체막의 균일성이 향상된다. 또한, 본 발명에 의해 유전체막의 조성을 두께 방향으로 임의적 조절이 가능하다. 요구에 따라 유전체막에서 단일 분자층 두께의 극히 얇은 확산 장벽층을 형성하는 것이 가능하다. 본 발명이 플라즈마 여기 라디칼을 이용하는 단계를 포함하고 있지 않다는 사실을 고려하여, 본 발명의 프로세스에 따라 형성된 유전체막은 준위와 같은 전하를 갖는 결합으로부터 실질적으로 자유로우며, 우수한 누설 특성이 달성 가능하다. 본 발명의 결과로서, 게이트 누설 전류가 억압되며 0.1 μm 이하의 게이트 길이를 가진 초미세화 초고속 반도체 장치가 형성 가능하다.

도면의 간단한 설명

도 1a 내지 도 1h는 본 발명의 제1 실시예에 따른 유전체막을 형성하는 프로세스를 도시하는 도면이다.

도 2는 본 발명의 효과를 도시하는 도면이다.

도 3a 및 도 3b는 통상의 CVD 프로세스에 따라 SiON 막 위에 형성된 Ta₂O₅ 막의 표면 구조를 도시하는 도면이다.

도 4a 및 도 4b는 Si 기판 표면 바로 위에 형성된 Ta₂O₅ 막의 표면 구조 및 본 발명의 프로세스에 따라 SiON 기판 위에 형성된 Ta₂O₅ 막의 표면 구조를 각각 도시하는 도면이다.

도 5는 본 실시예 및 각종 수정예에서 사용된 프로세스 조건을 도시하는 도면이다.

도 6은 본 실시예 및 각종 수정예에서 사용된 프로세스 조건을 도시하는 또 다른 도면이다.

도 7은 본 발명의 제2 실시예에 따른 유전체막을 형성하는 프로세스를 도시하는 흐름도이다.

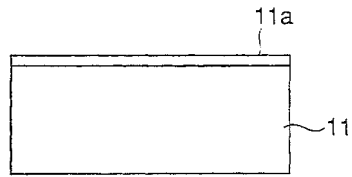
도 8은 본 발명의 제2 실시예에 따라 형성된 유전체막의 구조를 도시하는 도면이다.

도 9는 본 발명의 제3 실시예에 따라 형성된 유전체막의 구조를 도시하는 도면이다.

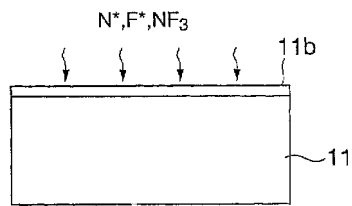
도 10은 본 발명의 제4 실시예에 따른 반도체 장치의 구조를 도시하는 도면이다.

도면

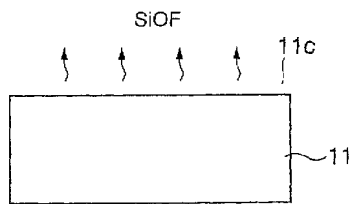
도면1



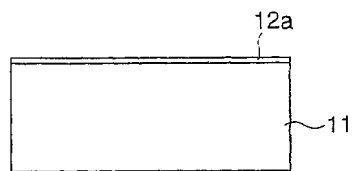
도면1b



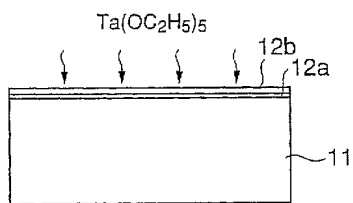
도면1c



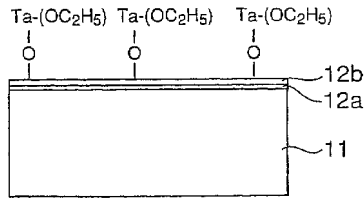
도면1d



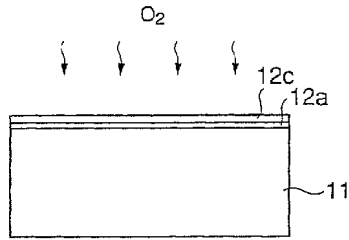
도면1e



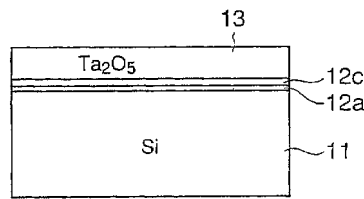
도면1f



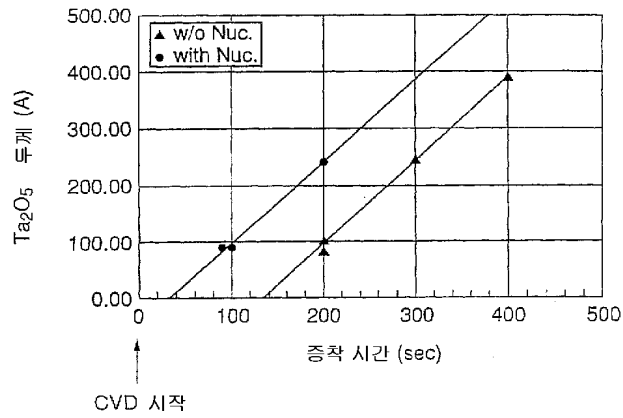
도면1g



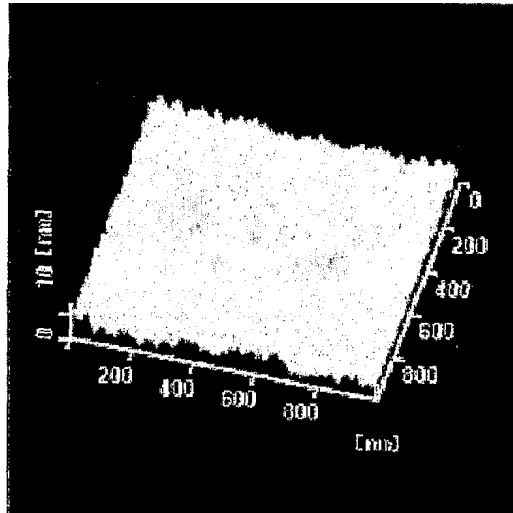
도면1h



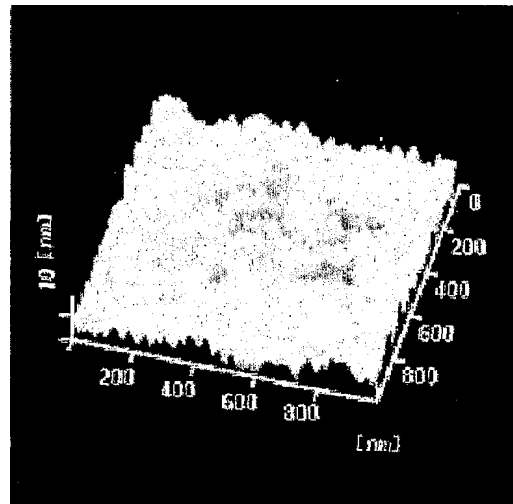
도면2



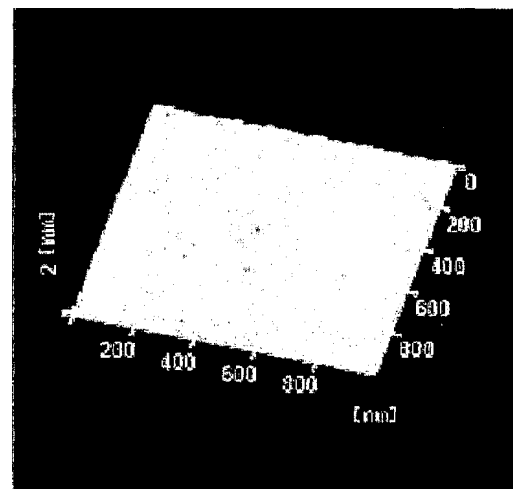
도면3a



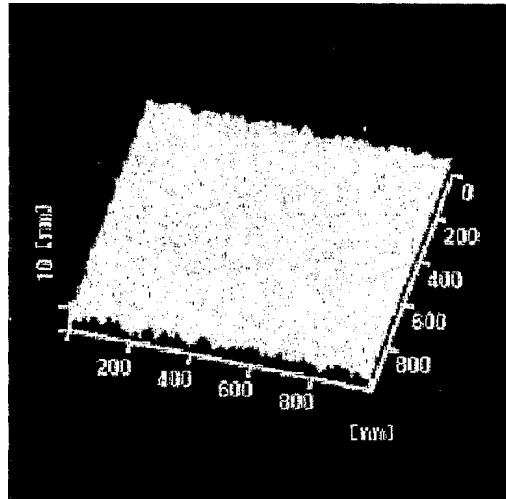
도면3b



도면4a



도면4b



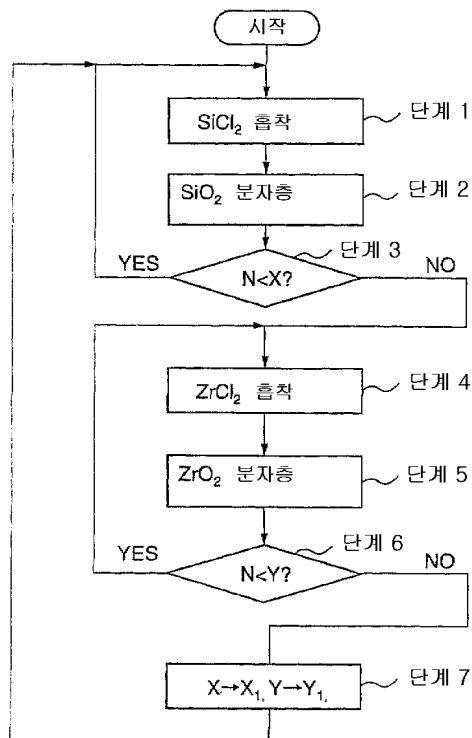
도면5

신화 공정	H ₂ O NO ₂ O ₂	200~350°C, 10~0.001torr 200~350°C, 10~0.001torr 300~400°C, 10~0.001torr 200~300°C, 10~0.001torr	Ta(OC ₂ H ₅) ₅ 0.001~0.1torr 0.1~5mg/min 200~350°C	TaCl ₅ 0.01~0.1torr 0.1~5mg/min	Zr(OC ₂ H ₅) ₄ 0.01~0.1torr 0.1~5mg/min	ZrCl ₄ 0.01~0.1torr 0.1~5mg/min	Al(OC ₂ H ₅) ₃ 0.01~0.1torr 0.1~5mg/min	(OH) ₃ Al 0.01~0.1torr 0.1~5mg/min	SiCl ₄ 0.01~0.1torr 0.1~5mg/min	Si(OC ₂ H ₅) ₄ 0.01~0.1torr 0.1~5mg/min
흡착 공정	소스 진공 기체 유량 온도									
신화 공정 O ₂				↑	↑	↑	↑	↑	↑	↑

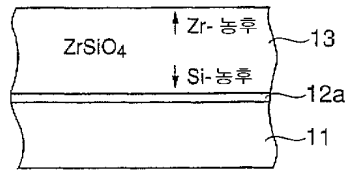
도면6

CVD 공정	조건 노스 산화 가스	$T_{\text{증}} 400 \sim 600^\circ\text{C}$ $\text{Ta}(\text{OC}_2\text{H}_5)_5$ O_2 0.1~10 torr	ZrO_2 ↑ $\text{Zr}(\text{i-OC}_4\text{H}_9)_4$ ↑	HfO_2 ↑ $\text{Hf}(\text{C}_8\text{H}_7\text{O}_2)_4$ ↑	SiO_2 ↑ $\text{Si}(\text{OC}_2\text{H}_5)_4$ ↑	Al_2O_3 ↑ $\text{Al}(\text{i-OC}_3\text{H}_7)_3$ ↑
--------	----------------	--	--	---	--	---

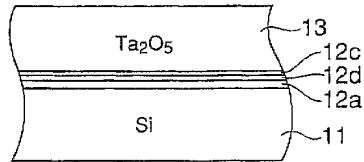
도면7



도면8



도면9



도면10

