

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月13日(13.09.2018)



(10) 国際公開番号

WO 2018/163624 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 27/04 (2006.01)
H01L 21/66 (2006.01) H01L 27/06 (2006.01)
H01L 21/822 (2006.01) H01L 29/739 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2018/001883

(22) 国際出願日: 2018年1月23日(23.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-042062 2017年3月6日(06.03.2017) JP

(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

(72) 発明者: 米田 秀司 (YONEDA Shuji); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).

(74) 代理人: 金 順 姫 (JIN Shunji); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).

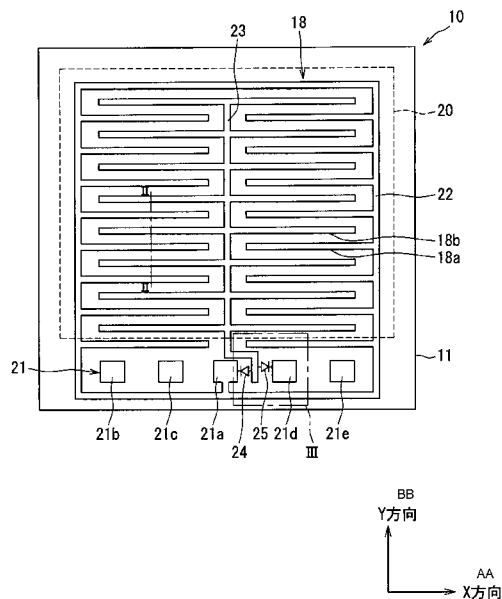
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: This semiconductor device is provided with: a semiconductor substrate (11) which is a drift layer (12); a base layer (13); a plurality of trenches (14); an emitter region (15); an emitter electrode (20); a collector layer (30); a collector electrode (31); a main gate electrode (18a) that generates an inversion layer and a dummy gate electrode (18b) that does not generate the inversion layer; a shared gate pad (21a); a first element (24, 33) that is formed between the dummy gate electrode and the gate pad and that blocks or limits electrical continuity when a first voltage is applied, and permits electrical continuity when a second voltage having a reversed polarity is applied; and a second element (25, 34) that is formed between the emitter electrode and a contact point between the dummy gate electrode and the first element, and that permits electrical continuity when the first voltage is applied, and blocks or limits electrical continuity when the second voltage is applied.



DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：半導体装置は、ドリフト層（12）である半導体基板（11）と、ベース層（13）と、複数のトレンチ（14）と、エミッタ領域（15）と、エミッタ電極（20）と、コレクタ層（30）と、コレクタ電極（31）と、反転層を生じさせる主ゲート電極（18a）、及び、前記反転層を生じさせないダミーゲート電極（18b）と、共通のゲートパッド（21a）と、前記ダミーゲート電極と前記ゲートパッドとの間に形成され、第1電圧が印加されると導通を遮断又は制限し、極性が逆の第2電圧が印加されると、導通を許可する第1素子（24, 33）と、前記エミッタ電極と前記ダミーゲート電極及び前記第1素子の接続点との間に形成され、前記第1電圧が印加されると導通を許可し、前記第2電圧が印加されると導通を遮断又は制限する第2素子（25, 34）とを備える。

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本出願は、2017年3月6日に出願された日本特許出願番号2017-42062号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、ゲート絶縁膜を介してトレンチ内に配置されたダミーゲート電極を備える半導体装置に関するものである。

背景技術

[0003] 特許文献1には、ゲート絶縁膜を介してトレンチ内に配置されたダミーゲート電極を備える半導体装置が開示されている。

[0004] この半導体装置は、主ゲート電極用のパッドとは別に、ダミーゲート電極用のダミーゲートパッドを備えている。このため、ダミーゲートパッドに電圧を印加し、ダミーゲート電極におけるゲート絶縁膜の耐圧検査を行うことができる。また、耐圧検査後に、ダミーゲートパッドとエミッタ電極をたとえばボンディングワイヤにより接続することで、ダミーゲート電極の電位を、反転層を発生しない電位に安定させることができる。

[0005] 従来の構成では、ダミーゲート電極におけるゲート絶縁膜の耐圧検査を行った後、ダミーゲートパッドとエミッタ電極を電氣的に接続しなければならない。たとえばワイヤボンディング工程が必要である。

先行技術文献

特許文献

[0006] 特許文献1：特開2016-25124号公報

発明の概要

[0007] 本開示は、ダミーゲート電極におけるゲート絶縁膜の耐圧検査を実施でき、且つ、耐圧検査後にパッドをエミッタ電極に接続しなくても反転層を発生しない電位に安定させることができる半導体装置を提供することを目的とす

る。

[0008] 本開示の第一の態様において、半導体装置は、第1導電型のドリフト層を構成する半導体基板と、前記ドリフト層上に形成された第2導電型のベース層と、前記ベース層を貫通して前記ドリフト層に達する複数のトレンチと、前記トレンチに接するように、前記ベース層の表層部分に形成された第1導電型のエミッタ領域と、前記ベース層及び前記エミッタ領域に接続されたエミッタ電極と、前記ドリフト層に対して前記ベース層と反対側に形成された第1導電型のコレクタ層と、前記コレクタ層に接続されたコレクタ電極と、前記トレンチの壁面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記トレンチ内に配置されたゲート電極であって、電圧の印加により、前記エミッタ電極と前記ドリフト層との間を繋ぐ反転層を生じさせる主ゲート電極、及び、前記反転層の発生に寄与しない少なくとも一つのダミーゲート電極と、前記主ゲート電極及び前記ダミーゲート電極に共通のゲートパッドと、前記ダミーゲート電極と前記ゲートパッドとの間に形成され、前記主ゲート電極に前記反転層を生じさせるために前記ゲートパッドに第1電圧が印加されると、前記ダミーゲート電極が前記反転層の発生に寄与しないように導通を遮断又は制限し、前記ゲートパッドに前記第1電圧とは極性が逆の第2電圧が印加されると、導通を許可する第1素子と、前記エミッタ電極と前記ダミーゲート電極及び前記第1素子の接続点との間に形成され、前記第1電圧が印加されると導通を許可し、前記第2電圧が印加されると導通を遮断又は制限する第2素子とを備える。

[0009] 上記の半導体装置によれば、上記した第1素子及び第2素子を備えるため、ゲートパッドに検査用の第2電圧を印加することで、ダミーゲート電極におけるゲート絶縁膜の耐压検査をするのに必要な電圧が、エミッタ電極とダミーゲート電極との間に印加されることとなる。したがって、ダミーゲート電極におけるゲート絶縁膜の耐压検査を実施することができる。

[0010] また、ゲートパッドを共通にしても、ゲートパッドに動作用の第1電圧を印加して主ゲート電極により反転層を生じさせる際に、ダミーゲート電極の

電位を反転層の発生に寄与しない電位、たとえばエミッタ電極と同電位に安定させることができる。

[0011] 以上により、ダミーゲート電極におけるゲート絶縁膜の耐压検査を実施でき、且つ、耐压検査後にパッドをエミッタ電極に接続しなくても反転層を発生しない電位に安定させることができる。

[0012] 本開示の第二の態様において、半導体装置は、第1導電型のドリフト層を構成する半導体基板と、前記ドリフト層上に形成された第2導電型のベース層と、前記ベース層を貫通して前記ドリフト層に達する複数のトレンチと、前記トレンチに接するように、前記ベース層の表層部分に形成された第1導電型のエミッタ領域と、前記ベース層及び前記エミッタ領域に接続されたエミッタ電極と、前記ドリフト層に対して前記ベース層と反対側に形成された第1導電型のコレクタ層と、前記コレクタ層に接続されたコレクタ電極と、前記トレンチの壁面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記トレンチ内に配置されたゲート電極であって、電圧の印加により、前記エミッタ電極と前記ドリフト層との間を繋ぐ反転層を生じさせる主ゲート電極、及び、前記反転層の発生に寄与しない少なくとも一つのダミーゲート電極と、前記主ゲート電極に接続された主ゲートパッドと、前記ダミーゲート電極に接続されたダミーゲートパッドと、前記エミッタ電極と前記ダミーゲート電極及び前記ダミーゲートパッドの接続点との間に形成され、前記ダミーゲートパッドに所定電圧が印加されると導通を遮断又は制限し、前記ダミーゲートパッドが電圧の印加されないオープン状態にされると導通を許可する第3素子とを備える。

[0013] 上記の半導体装置によれば、上記した第3素子及びダミーゲートパッドを備えるため、ダミーゲートパッドに所定電圧を印加することで、ダミーゲート電極におけるゲート絶縁膜の耐压検査をするのに必要な電圧が、エミッタ電極とダミーゲート電極との間に印加されることとなる。したがって、ダミーゲート電極におけるゲート絶縁膜の耐压検査を実施することができる。

[0014] また、耐压検査後にダミーゲートパッドをオープン状態にすることで、ダ

ミーゲート電極の電位を、反転層の発生に寄与しない電位、たとえばエミッタ電極と同電位に安定させることができる。

[0015] 以上により、ダミーゲート電極におけるゲート絶縁膜の耐压検査を実施でき、且つ、耐压検査後にダミーゲートパッドをエミッタ電極に接続しなくても反転層を発生しない電位に安定させることができる。

[0016] 本開示の第三の態様において、半導体装置は、第1導電型のドリフト層を構成する半導体基板と、前記ドリフト層上に形成された第2導電型のベース層と、前記ベース層を貫通して前記ドリフト層に達する複数のトレンチと、前記トレンチに接するように、前記ベース層の表層部分に形成された第1導電型のエミッタ領域と、前記ベース層及び前記エミッタ領域に接続されたエミッタ電極と、前記ドリフト層に対して前記ベース層と反対側に形成された第1導電型のコレクタ層と、前記コレクタ層に接続されたコレクタ電極と、前記トレンチの壁面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記トレンチ内に配置されたゲート電極であって、電圧の印加により、前記エミッタ電極と前記ドリフト層との間を繋ぐ反転層を生じさせる主ゲート電極、及び、前記反転層の発生に寄与しない少なくとも一つのダミーゲート電極と、前記主ゲート電極に接続された主ゲートパッドと、前記ダミーゲート電極に接続された第1ダミーゲートパッドと、前記エミッタ電極と前記ダミーゲート電極及び前記第1ダミーゲートパッドの接続点との間に形成されたスイッチと、前記スイッチによる導通又は遮断を制御するための第2ダミーゲートパッドとを備える。前記スイッチは、前記ゲート絶縁膜の耐压を検査するために前記第1ダミーゲートパッドに電圧が印加されると、前記第2ダミーゲートパッドを介した入力により制御されて、通電を遮断する。耐压検査がなされた状態で、前記第1ダミーゲートパッドが電圧の印加されないオープン状態にされるとともに、前記スイッチの前記エミッタ電極側の端子と前記接続点側の端子との間が短絡されている。

[0017] 上記の半導体装置によれば、上記したスイッチ、第1ダミーゲートパッド、及び第2ダミーゲートパッドを備えるため、第1ダミーゲートパッドに電

圧を印加した状態でスイッチを遮断状態にすることで、ダミーゲート電極におけるゲート絶縁膜の耐压検査をするのに必要な電圧が、エミッタ電極とダミーゲート電極との間に印加されることとなる。したがって、ダミーゲート電極におけるゲート絶縁膜の耐压検査を実施することができる。

[0018] また、耐压検査後に、第2ダミーゲートパッドに過電圧を印加してスイッチのエミッタ電極側の端子と接続点側の端子との間を意図的に短絡させておくことで、ダミーゲート電極の電位をエミッタ電極と同電位に保持することができる。すなわち、ダミーゲート電極の電位を、反転層の発生に寄与しない電位に安定させることができる。

[0019] 以上により、ダミーゲート電極におけるゲート絶縁膜の耐压検査を実施でき、且つ、耐压検査後にパッドをエミッタ電極に接続しなくても反転層を発生しない電位に安定させることができる。

図面の簡単な説明

[0020] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]第1実施形態に係る半導体装置の概略構成を示す平面図であり、
[図2]図1のII-II線に沿う断面図であり、
[図3]図1に示す領域IIIを拡大した図であり、
[図4]半導体装置の等価回路図であり、ダミーゲート電極におけるゲート絶縁膜の耐压検査時を示しており、
[図5]半導体装置の等価回路図であり、IGBT動作時を示しており、
[図6]第1変形例を示す図であり、
[図7]第2変形例を示す図であり、
[図8]第2実施形態に係る半導体装置の概略構成を示す平面図であり、
[図9]図8に示す領域IXを拡大した図であり、
[図10]半導体装置の等価回路図であり、
[図11]第3変形例を示す図であり、
[図12]第4変形例を示す図であり、

[図13]第5変形例を示す図であり、
[図14]第6変形例を示す図であり、
[図15]第3実施形態に係る半導体装置の等価回路図であり、出荷前の状態を示しており、
[図16]半導体装置の等価回路図であり、出荷後の状態を示しており、
[図17]第4実施形態に係る半導体装置の概略構成を示す平面図であり、
[図18]図17のXVIII-XVIII線に沿う断面図である。

発明を実施するための形態

[0021] 図面を参照しながら、複数の実施形態を説明する。複数の実施形態において、機能的に及び／又は構造的に対応する部分には同一の参照符号を付与する。以下において、半導体基板の厚み方向をZ方向、Z方向に直交し、複数のパッドの並び方向をX方向と示す。また、Z方向及びX方向の両方向に直交する方向をY方向と示す。特に断わりのない限り、上記したX方向及びY方向により規定されるXY面に沿う形状、すなわちZ方向からの平面視における形状を平面形状とする。

[0022] (第1実施形態)

先ず、図1～図3に基づき、本実施形態の半導体装置の構成について説明する。図1では、配置を明確化するために、エミッタ電極を破線で示し、ゲート電極、及び、該ゲート電極とパッドとを繋ぐ配線を実線で示している。本実施形態の半導体装置は、たとえばインバータやコンバータなどの電力変換回路に用いられる。本実施形態では、第1導電型をN型、第2導電型をP型としている。

[0023] 図1及び図2に示すように、半導体装置10は、シリコンやシリコンカーバイド等からなる半導体基板11を備えている。半導体基板11は、Z方向において一面11a及び一面11aと反対の裏面11bを有している。

[0024] 半導体基板11は、N-型のドリフト層12として機能する。半導体基板11は、ドリフト層12を構成している。半導体基板11の一面11a側、すなわちドリフト層12上には、P型のベース層13が形成されている。半導

体基板 11 には、ベース層 13 を貫通してドリフト層 12 に達するように、複数のトレンチ 14 が形成されている。トレンチ 14 は、Z 方向に所定の深さを有しつつ、X 方向に沿って延設されている。そして、複数のトレンチ 14 が、Y 方向に所定ピッチ（等間隔）で形成されている。ベース層 13 は、トレンチ 14 により、複数の領域に区画されている。

[0025] ベース層 13 の表層には、N⁺型のエミッタ領域 15、及び、P⁺型のボディ領域 16 が形成されている。エミッタ領域 15 は、ドリフト層 12 に較べて不純物濃度が高くされている。エミッタ領域 15 は、トレンチ 14 の側面に接するように形成されている。エミッタ領域 15 は、ベース層 13 内で終端している。エミッタ領域 15 は、トレンチ 14 間の領域において、トレンチ 14 の長手方向に沿ってトレンチ 14 の側面に接するように延設され、トレンチ 14 の長手方向端部よりも内側で終端する構造とされている。

[0026] ボディ領域 16 は、ベース層 13 に較べて不純物濃度が高くされている。ボディ領域 16 は、エミッタ領域 15 と同様に、ベース層 13 内で終端している。ボディ領域 16 は、2つのエミッタ領域 15 に挟まれている。ボディ領域 16 は、トレンチ 14 の長手方向に沿って延設されている。本実施形態では、一面 11a を基準とするボディ領域 16 の深さが、エミッタ領域 15 よりも深くされている。

[0027] 各トレンチ 14 の壁面には、ゲート絶縁膜 17 がそれぞれ形成されている。各トレンチ 14 内には、ゲート絶縁膜 17 を介してゲート電極 18 がそれぞれ配置されている。ゲート絶縁膜 17 は、トレンチ 14 の壁面を覆うように、トレンチ 14 内に埋め込まれている。ゲート電極 18 は、ポリシリコン等により構成されている。ゲート電極 18 は、ゲート絶縁膜 17 上に形成されるとともに、トレンチ 14 内に埋め込まれている。このように、半導体装置 10 には、トレンチゲートが構成されている。

[0028] 半導体装置 10 は、ゲート電極 18 として、主ゲート電極 18a 及びダミーゲート電極 18b を有している。主ゲート電極 18a は、電圧の印加により、後述するエミッタ電極 20 とドリフト層 12 との間を繋ぐ反転層（チャ

ネル)を生じさせるゲート電極18である。本実施形態ではエミッタ領域15を有するため、反転層は、エミッタ領域15とドリフト層12との間を繋ぐことで、エミッタ電極20とドリフト層12との間を繋ぐ。一方、ダミーゲート電極18bは、上記反転層の発生に寄与しないゲート電極18である。

[0029] 主ゲート電極18a及びダミーゲート電極18bは、いずれも後述するコレクタ層30の上方に形成されている。すなわち、ダミーゲート電極18bも、IGBT素子の形成領域内に形成されている。また、本実施形態では、主ゲート電極18aとダミーゲート電極18bがY方向において交互に形成されている。このように、半導体装置10は、複数のゲート電極18のすべてが主ゲート電極18aではなく、主ゲート電極18aが間引かれた構造の半導体装置となっている。

[0030] ベース層13上、すなわち半導体基板11の一面11a上には、層間絶縁膜19が形成されている。層間絶縁膜19にはコンタクトホール19aが形成されており、このコンタクトホール19aにより、エミッタ領域15の一部及びボディ領域16が露出されている。

[0031] 層間絶縁膜19上には、エミッタ電極20が形成されている。エミッタ電極20は、コンタクトホール19aを介して、エミッタ領域15及びボディ領域16と電氣的に接続されている。エミッタ電極20は、主端子との接続が可能のように、ポリイミドなどの図示しない保護膜から露出されている。

[0032] また、半導体基板11の一面11a上には、図1に示すように、パッド21、ゲート配線22、及びダミーゲート配線23が形成されている。パッド21は、信号端子が接続される電極部分であり、信号端子との接続が可能のように保護膜から露出されている。半導体装置10は、パッド21として、主ゲート電極18aと電氣的に接続されたゲートパッド21aを少なくとも含む。本実施形態では、パッド21として、ゲートパッド21a、半導体基板11の温度を検出する温度センサ(感温ダイオード)のカソード用のパッド21b、同じくアノード用のパッド21c、エミッタ電極20の電位を検

出するケルビンエミッタ用のパッド21d、電流センス用のパッド21eを有している。複数のパッド21は、平面略矩形状をなす半導体基板11において、Y方向の一端側にまとめて形成されるとともに、X方向に並んで形成されている。以下において、ケルビンエミッタ用のパッド21dをKEパッド21dと示す。

[0033] ゲート配線22は、主ゲート電極18aとゲートパッド21aとを電氣的に接続する配線である。ダミーゲート配線23は、ダミーゲート電極18bと電氣的に接続されている。ダミーゲート配線23とゲートパッド21aとの間には、ダイオード24が配置されている。すなわち、ダミーゲート電極18bは、ダミーゲート配線23及びダイオード24を介してゲートパッド21aに接続されている。また、ダミーゲート配線23とKEパッド21dとの間には、ダイオード25が配置されている。ダイオード24は、アノードがダミーゲート配線23に接続され、カソードがゲートパッド21aに接続されている。ダイオード25は、アノードがダミーゲート配線23に接続され、カソードがKEパッド21dに接続されている。ダイオード24が第1素子に相当し、ダイオード25が第2素子に相当する。

[0034] 図3では、ポリシリコン層26を一点鎖線、金属層27を破線、ポリシリコン層26と金属層27のコンタクト28を二点鎖線で示している。図3に示すように、ダイオード24、25は、ポリシリコン層26を含んで構成されている。ポリシリコン層26は、図示しない絶縁膜を介して、半導体基板11の一面11a上に配置されている。

[0035] 金属層27は、たとえばAl-Siを材料として形成されている。ゲート配線22及びダミーゲート配線23は、金属層27により構成されている。ダミーゲート配線23を構成する金属層27の一部が、ダイオード24のアノード領域を構成するポリシリコン層26上に配置され、コンタクト28にて接続されている。また、ダミーゲート配線23を構成する金属層27の一部が、ダイオード25のカソード領域を構成するポリシリコン層26上に配置され、コンタクト28にて接続されている。

- [0036] ゲートパッド21a及びKEパッド21dを含むパッド21も、金属層27により構成されている。金属層27のうち、保護膜からの露出部分が信号端子との接続部分となっている。ゲートパッド21aを構成する金属層27の一部が、ダイオード24のカソード領域を構成するポリシリコン層26上に配置され、コンタクト28にて接続されている。また、KEパッド21dを構成する金属層27の一部が、ダイオード25のアノード領域を構成するポリシリコン層26上に配置され、コンタクト28にて接続されている。
- [0037] エミッタ電極20も、金属層27を含んで構成されている。金属層27のうち、保護膜からの露出部分が、エミッタ電極20となっている。金属層27のうちのポリシリコン層26を跨ぐ部分と、ポリシリコン層26と間には、図示しない絶縁層が介在している。なお、エミッタ電極20やパッド21において、金属層27の露出部分上に、他の金属膜（たとえばめっき膜）を備えてもよい。
- [0038] ドリフト層12におけるベース層13側と反対側、すなわち半導体基板11の裏面11b側には、N型のフィールドストップ層29が形成されている。フィールドストップ層29は、必ずしも必要なものではない。フィールドストップ層29を備えることで、空乏層の広がりを防いで耐圧と定常損失の性能向上を図ることができる。また、裏面11b側から注入されるホールの注入量を制御することができる。
- [0039] フィールドストップ層29におけるドリフト層12と反対側、すなわち半導体基板11の裏面11b側の表層には、P型のコレクタ層30が形成されている。そして、コレクタ層30上に、コレクタ電極31が形成されている。以上により、半導体装置10には、IGBT素子が構成されている。
- [0040] 次に、図4及び図5に基づき、ゲート絶縁膜17の耐圧検査とIGBT動作について説明する。ゲート絶縁膜17の耐圧検査、すなわちゲートスクリーニングは、半導体装置10を製造した後、出荷する前に行われる。この耐圧検査では、保証電圧よりも高い電圧をゲート電極18に印加し、ゲート絶縁膜17が所望の耐圧を確保できているか等を検査する。ダミーゲート電極

18bを備える構成では、ダミーゲート電極18bにおけるゲート絶縁膜17についても耐压検査が必要となる。

[0041] 上記したように、主ゲート電極18aは、ゲート配線22を介してゲートパッド21aに接続されている。一方、ダミーゲート配線23とゲートパッド21aとの間には、ダイオード24が形成されている。また、ダミーゲート配線23とKEパッド21dとの間には、ダイオード25が形成されている。

[0042] すなわち、図4及び図5に示すように、ゲートパッド21aは、IGBT素子を構成する主ゲート電極18aと、ダミーゲート電極18bとの共通パッドとなっている。また、ゲートパッド21aとダミーゲート電極18bとの間に、第1素子としてのダイオード24が形成されている。ダイオード24のカソードがゲートパッド21aに接続され、アノードがダミーゲート電極18bに接続されている。さらに、エミッタ電極20と、ダミーゲート電極18b及びダイオード24の接続点32との間に、第2素子としてのダイオード25が形成されている。ダイオード25のカソードがエミッタ電極20に接続され、アノードが接続点32、すなわちダミーゲート電極18bに接続されている。ダイオード24、25のアノードが、互いに接続されている。

[0043] 図4に示すように、ダミーゲート電極18bにおけるゲート絶縁膜17の耐压検査時には、ゲートパッド21aに、動作時に印加する電圧とは極性の異なる所定電圧、たとえば-50Vが印加される。この所定電圧（-50V）が、第2電圧に相当する。なお、エミッタ電極20は0Vである。エミッタ電極20、ダイオード25、ダイオード24、ゲートパッド21aの経路において、ダイオード24は順方向、ダイオード25は逆方向となる。このため、耐压検査時において、ダイオード24は導通を許可し、ダイオード25は導通を遮断する。

[0044] 接続点32、すなわちダミーゲート電極18bの電位は、ダイオード24の電圧降下により、-49.3Vとなる。このように、ダミーゲート電極1

8bとエミッタ電極20との間の電圧 V_{ge} を、保証電圧よりも高い電圧とすることができる。したがって、ダミーゲート電極18bにおけるゲート絶縁膜17の耐圧検査を適切に行うことができる。なお、ゲートパッド21aが共通であるため、主ゲート電極18aにおけるゲート絶縁膜17の耐圧検査についても、同時に行うことができる。

[0045] IGBT素子の動作時には、エミッタ電極20にコレクタ電極31より低い電圧が印加されるとともに、図5に示すように、ゲートパッド21aにターンオン電圧、たとえば15Vが印加される。ターンオン電圧（15V）が、第1電圧に相当する。これにより、ベース層13のうち、主ゲート電極18aのトレンチ14と接する部分に、N型の反転層（チャネル）が形成される。そして、電子が、エミッタ領域15から反転層を介してドリフト層12に供給されるとともに、ホールが、コレクタ層30からドリフト層12に供給され、伝導度変調によりドリフト層12の抵抗値が低下してオン状態となる。なお、ターンオン電圧とは、主ゲート電極18a側においてゲートーエミッタ間の電圧 V_{ge} をMOSゲートの閾値電圧 V_{th} より高くする電圧のことである。

[0046] 上記したように、IGBT動作時にはゲートパッド21aに正の電圧が印加されるため、ダイオード24は逆方向、ダイオード25は順方向となる。このため、IGBT動作時において、ダイオード24は導通を遮断し、ダイオード25は導通を許可する。接続点32の電位は、エミッタ電極20と同じ電位（0V）となる。したがって、IGBT動作時に、ダミーゲート電極18bが反転層の発生に寄与しない。

[0047] 次に、上記した半導体装置10の効果について説明する。

[0048] 本実施形態の半導体装置10によれば、耐圧検査時に、ダイオード24が順方向、ダイオード25が逆方向となる。すなわち、ダイオード24が導通を許可し、ダイオード25が導通を遮断する。これにより、耐圧検査に必要な電圧が、ダミーゲート電極18bとエミッタ電極20との間に印加される。したがって、ダミーゲート電極18bにおけるゲート絶縁膜17の耐圧検

査を適切に行うことができる。

[0049] また、IGBT動作時に、ダイオード24が逆方向、ダイオード25が順方向となる。すなわち、ダイオード24が導通を遮断し、ダイオード25が導通を許可する。したがって、ゲートパッド21aにターンオン電圧を印加しても、ダミーゲート電極18bの電位を、エミッタ電極20と同電位、すなわち反転層の発生に寄与しない電位に安定させることができる。

[0050] 以上により、ダミーゲート電極18bにおけるゲート絶縁膜17の耐压検査を実施でき、且つ、耐压検査後にパッドをエミッタ電極20に接続しなくても、ダミーゲート電極18bの電位を反転層を発生しない電位に安定させることができる。たとえばパッドとエミッタ電極20を接続するワイヤボンディング工程を不要とすることができる。

[0051] さらに、ゲートパッド21aを、主ゲート電極18aとダミーゲート電極18bとで共通にしているため、主ゲート電極18a及びダミーゲート電極18bでゲート絶縁膜17の耐压検査を同時に実施することができる。また、パッド21や配線を低減することができる。

[0052] また、IGBT素子の形成領域内にダミーゲート電極18bが形成されて間引き構造となっているため、帰還容量（ゲートーコレクタ間の容量）を低減でき、これによりスイッチング速度を向上することができる。また、帰還容量を低減するために、主ゲート電極18aの数を減らす構成に較べて、電界集中による耐压低下を抑制することができる。

[0053] 本実施形態では、第1素子としてダイオード24、第2素子としてダイオード25を採用する例を示したが、これに限定されない。ゲートパッド21aとダミーゲート電極18bとの間に配置される第1素子として、IGBT動作時には、ダミーゲート電極18bが反転層の発生に寄与しないように導通を遮断又は制限し、耐压検査時には、導通を許可するものを採用することができる。なお、IGBT動作時に反転層の発生に寄与しないように導通を遮断又は制限するとは、ゲートパッド21aにターンオン電圧が印加されたときに、ダミーゲート電極18bとエミッタ電極20との間の電圧 V_{ge} が

MOSゲートの閾値電圧 V_{th} 以下の電圧となるようにすることを意味する。また、エミッタ電極20と接続点32との間に配置される第2素子として、IGBT動作時には導通を許可し、耐圧検査時には、保証電圧よりも高い電圧がダミーゲート電極18bに印加されるように、導通を遮断又は制限するものを採用することができる。

[0054] たとえば、図6に示す第1変形例のように、第1素子として抵抗33を採用してもよい。耐圧検査のためにゲートパッド21aに所定電圧（-50V）を印加した場合、抵抗33が導通を許可し、ダイオード25が導通を遮断する。したがって、接続点32（ダミーゲート電極18b）の電位が-50Vとなり、ダミーゲート電極18bにおけるゲート絶縁膜17の耐圧検査を適切に行うことができる。また、ゲートパッド21aにターンオン電圧（15V）を印加した場合にはダイオード25が順方向となるため、ダイオード25が導通を許可し、接続点32の電位が0.7Vとなる。このように、ダミーゲート電極18bの電位を、反転層の発生に寄与しない電位に安定させることができる。

[0055] また、図7に示す第2変形例のように、第1素子として抵抗33を採用するとともに、第2素子として抵抗34を採用してもよい。この場合、ゲートパッド21aに印加された電圧が、抵抗33、34により分圧されることとなる。耐圧検査のためにゲートパッド21aに所定電圧（-50V）を印加した場合、接続点32の電位が保証電圧よりも高くなり、ゲートパッド21aにターンオン電圧（15V）を印加した場合、接続点32の電位がMOSゲートの閾値電圧 V_{th} 以下となるように、抵抗33、34の値が設定されている。抵抗33は、IGBT動作時には、ダミーゲート電極18bが反転層の発生に寄与しないように導通を制限し、耐圧検査時には、導通を許可する。抵抗34は、IGBT動作時には導通を許可し、耐圧検査時には、保証電圧よりも高い電圧がダミーゲート電極18bに印加されるように、導通を制限する。

[0056] （第2実施形態）

本実施形態は、先行実施形態を参照できる。このため、先行実施形態に示した半導体装置 10 と共通する部分についての説明は省略する。

[0057] 図 8 に示すように、本実施形態の半導体装置 10 は、主ゲート電極 18 a に接続されたゲートパッド 21 a とは別に、ダミーゲート電極 18 b に接続されたダミーゲートパッド 21 f を備えている。また、KE パッド 21 d とダミーゲートパッド 21 f の間に、第 3 素子としての抵抗 35 が形成されている。なお、ゲートパッド 21 a が、主ゲートパッドに相当する。

[0058] 図 9 でも、図 3 同様、ポリシリコン層 26 を一点鎖線、金属層 27 を破線、ポリシリコン層 26 と金属層 27 のコンタクト 28 を二点鎖線で示している。ポリシリコン層 26 を含んで抵抗 33 が構成されている。抵抗 33 を構成するポリシリコン層 26 は、平面蛇行形状（換言すればミアンダ形状）をなしている。KE パッド 21 d を構成する金属層 27 の一部が、抵抗 33 を構成するポリシリコン層 26 の一端上に積層され、コンタクト 28 にて接続されている。ダミーゲートパッド 21 f を構成する金属層 27 の一部は、抵抗 33 を構成するポリシリコン層 26 の他端上に積層され、コンタクト 28 にて接続されている。

[0059] 図 10 は、半導体装置 10 の等価回路を示している。ゲートパッド 21 a は、IGBT 素子を構成する主ゲート電極 18 a の専用パッドとなっている。ダミーゲートパッド 21 f は、ダミーゲート電極 18 b の専用パッドとなっている。エミッタ電極 20 と、ダミーゲート電極 18 b 及びダミーゲートパッド 21 f の接続点 36 との間に、第 3 素子としての抵抗 35 が形成されている。

[0060] ダミーゲート電極 18 b におけるゲート絶縁膜 17 の耐圧検査時に、所定電圧、たとえば 50 V がダミーゲートパッド 21 f に印加されると、抵抗 35 は導通を遮断する。接続点 36 の電位、すなわちダミーゲート電極 18 b の電位は、50 V となる。したがって、ダミーゲート電極 18 b におけるゲート絶縁膜 17 の耐圧検査を適切に行うことができる。なお、ダミーゲートパッド 21 f に印加される所定電圧は、正の電圧に限定されない。たとえば

−50Vを印加してもよい。所定電圧の印加により、ダミーゲート電極18bとエミッタ電極20との間の電圧 V_{ge} が保証電圧よりも高くなればよい。

[0061] IGBT素子の動作時には、ゲートパッド21aにターンオン電圧、たとえば15Vが印加される。しかしながら、ダミーゲートパッド21fは、ゲートパッド21aとは分離されており、電圧の印加されないオープン状態とされる。接続点36は、抵抗33を介してエミッタ電極20に接続され、接続点36の電位、すなわちダミーゲート電極18bの電位は、エミッタ電極20と同電位(0V)になる。このように、抵抗35は導通を許可する。したがって、IGBT動作時に、ダミーゲート電極18bが反転層の発生に参与しない。

[0062] このように、本実施形態の半導体装置10によれば、ゲートパッド21aとは別にダミーゲートパッド21fを設け、ダミーゲートパッド21fに独立した電圧を印加できるため、ダミーゲート電極18bにおけるゲート絶縁膜17の耐压検査を適切に行うことができる。また、抵抗35を備えることで、耐压検査後にダミーゲートパッド21fをエミッタ電極20に接続しなくても、ダミーゲート電極18bの電位を反転層を発生しない電位に安定させることができる。

[0063] 本実施形態では、第3素子として抵抗35を採用する例を示したが、これに限定されない。エミッタ電極20と接続点36との間に配置される第3素子として、ダミーゲートパッド21fがオープン状態の際(IGBT動作時)に導通を許可し、耐压検査の際には、保証電圧よりも高い電圧がダミーゲート電極18bに印加されるように、導通を遮断又は制限するものを採用することができる。

[0064] たとえば、図11に示す第3変形例のように、第3素子としてダイオード37を採用してもよい。ダイオード37のカソードがエミッタ電極20に接続され、アノードが接続点36に接続されている。耐压検査のために、ダミーゲートパッド21fにターンオン電圧とは極性の異なる所定電圧(たとえ

ば -50 V)を印加する場合、ダイオード37が逆方向になり、導通を遮断する。したがって、接続点36の電位も -50 V となり、ダミーゲート電極18bにおけるゲート絶縁膜17の耐压検査を適切に行うことができる。また、ダミーゲートパッド21fがオープン状態の場合、接続点36はダイオード37を介してエミッタ電極20に接続され、接続点36の電位は 0.7 V になる。このように、ダイオード37は導通を許可する。したがって、IGBT動作時に、ダミーゲート電極18bが反転層の発生に寄与しない。

[0065] また、図12に示す第4変形例のように、第3素子として抵抗35及びダイオード37を採用してもよい。抵抗35及びダイオード37は、エミッタ電極20と接続点36の間で並列接続されている。耐压検査のために、ダミーゲートパッド21fにターンオン電圧とは極性の異なる所定電圧(たとえば -50 V)を印加することで、ダミーゲート電極18bにおけるゲート絶縁膜17の耐压検査を適切に行うことができる。また、ダミーゲートパッド21fをオープン状態にすることで、IGBT動作時においても、ダミーゲート電極18bの電位を、反転層の発生に寄与しない電位に安定させることができる。

[0066] また、図13に示す第5変形例では、第4変形例とは異なり、抵抗35及びダイオード37が、エミッタ電極20と接続点36の間で直列接続されている。抵抗35が接続点側とされ、ダイオード37のカソードとエミッタ電極20が接続されている。耐压検査のために、ダミーゲートパッド21fに所定電圧(たとえば 50 V)を印加すると、抵抗35により導通が遮断又は制限される。したがって、ダミーゲート電極18bにおけるゲート絶縁膜17の耐压検査を適切に行うことができる。また、ダミーゲートパッド21fをオープン状態にすることで、IGBT動作時においても、ダミーゲート電極18bの電位を、反転層の発生に寄与しない電位に安定させることができる。なお、耐压検査の際にターンオン電圧とは極性の異なる電圧(たとえば -50 V)を印加してもよい。

[0067] また、ダイオード37の耐压が足りない場合には、図14に示す第6変形

例のように、複数のダイオード 37 を採用すればよい。図 14 では、3つのダイオード 37 が、エミッタ電極 20 と接続点 36 の間で直列接続されている。いずれのダイオード 37 も、カソードがエミッタ電極 20 側となっている。この構成においても、耐圧検査のために、ダミーゲートパッド 21 f にターンオン電圧とは極性の異なる所定電圧（たとえば -50 V ）を印加することで、ダミーゲート電極 18 b におけるゲート絶縁膜 17 の耐圧検査を適切に行うことができる。また、ダミーゲートパッド 21 f がオープン状態にすることで、I G B T 動作時においても、ダミーゲート電極 18 b の電位を、反転層の発生に寄与しない電位に安定させることができる。

[0068] (第 3 実施形態)

本実施形態は、先行実施形態を参照できる。このため、先行実施形態に示した半導体装置 10 と共通する部分についての説明は省略する。

[0069] 図 15 は、本実施形態の半導体装置 10 の出荷前の状態を示している。図 15 は、ダミーゲート電極 18 b におけるゲート絶縁膜 17 の耐圧検査時を示している。本実施形態の半導体装置 10 も、ゲートパッド 21 a とは別に、ダミーゲート電極 18 b に接続されたダミーゲートパッド 21 f を備えている。エミッタ電極 20 と、ダミーゲートパッド 21 f 及びダミーゲート電極 18 b の接続点 36 との間には、スイッチ 38 が形成されている。スイッチ 38 は、制御電極（ゲート）を有している。本実施形態では、スイッチ 38 として M O S F E T を採用している。

[0070] 半導体装置 10 は、さらに、ダミーゲートパッド 21 g を備えている。ダミーゲートパッド 21 g は、スイッチ 38 による導通又は遮断を制御するためのパッド 21 である。ダミーゲートパッド 21 f が第 1 ダミーゲートパッド、ダミーゲートパッド 21 g が第 2 ダミーゲートパッドに相当する。

[0071] 図 15 に示すように、半導体装置 10 の製品出荷前に、ダミーゲート電極 18 b におけるゲート絶縁膜 17 の耐圧検査が行われる。このとき、ダミーゲートパッド 21 g にはスイッチ 38 がオンする電圧が印加されず、ダミーゲートパッド 21 f には耐圧検査のための所定電圧（たとえば 50 V ）が印

加される。オフ状態のスイッチ 38 が導通を遮断するため、接続点 36 の電位、すなわちダミーゲート電極 18 b の電位は 50 V になる。したがって、ダミーゲート電極 18 b におけるゲート絶縁膜 17 の耐压検査を適切に行うことができる。なお、所定電圧として、ターンオン電圧とは極性の異なる電圧（たとえば -50 V）を印加してもよい。

[0072] 図 16 は、スイッチ 38 の短絡処理が実行された後の半導体装置 10、すなわち製品出荷後の半導体装置 10 を示している。短絡処理は耐压検査の後に行われる。このとき、ダミーゲートパッド 21 g に過電圧を印加し、これによりスイッチ 38 を壊して、ドレインソース間を短絡させる。これにより、ダミーゲートパッド 21 g に電圧を印加しなくても、スイッチ 38 は常時オン状態になる。

[0073] したがって、図 16 に示すように、ゲートパッド 21 a にターンオン電圧（たとえば 15 V）が印加されたときにも、短絡されたスイッチ 38 により、接続点 36 の電位、すなわちダミーゲート電極 18 b の電位が、エミッタ電極 20 と同電位になる。このため、IGBT 動作時に、ダミーゲート電極 18 b が反転層の発生に寄与しない。

[0074] このように、本実施形態の半導体装置 10 によっても、ダミーゲート電極 18 b におけるゲート絶縁膜 17 の耐压検査を実施でき、且つ、耐压検査後にダミーゲートパッド 21 f をエミッタ電極 20 に接続しなくても、ダミーゲート電極 18 b の電位を反転層を発生しない電位に安定させることができる。

[0075] （第 4 実施形態）

本実施形態は、先行実施形態を参照できる。このため、先行実施形態に示した半導体装置 10 と共通する部分についての説明は省略する。

[0076] 先行実施形態では、ダミーゲート電極 18 b が IGBT 素子の形成領域内に形成される例を示した。これに対し、図 17 及び図 18 に示すように、本実施形態の半導体装置 10 は、半導体基板 11 が、IGBT 素子の形成領域である IGBT 領域 11 c、及び、還流ダイオード素子（FWD）の形成領

域であるダイオード領域 11d を有している。IGBT 領域 11c 及びダイオード領域 11d は、X 方向に交互に形成されている。IGBT 領域 11c 及びダイオード領域 11d のそれぞれは、Y 方向に沿って延設されている。

[0077] 半導体基板 11 の一面 11a 側表層の構造は、IGBT 領域 11c 及びダイオード領域 11d で同じとなっている。すなわち、トレンチ 14 は、IGBT 領域 11c 及びダイオード領域 11d にそれぞれ形成されている。複数のトレンチ 14 は、X 方向において等間隔で形成されている。エミッタ領域 15 及びボディ領域 16 も、IGBT 領域 11c 及びダイオード領域 11d にそれぞれ形成されている。そして、IGBT 領域 11c に主ゲート電極 18a が形成され、ダイオード領域 11d にダミーゲート電極 18b が形成されている。エミッタ電極 20 は、IGBT 領域 11c 及びダイオード領域 11d において、エミッタ領域 15 及びボディ領域 16 と電氣的に接続されている。したがって、エミッタ電極 20 は、還流ダイオード素子のアノード電極としても機能する。

[0078] 半導体基板 11 の一面 11a 上に、第 1 実施形態（図 1 参照）同様にパッド 21 が形成されている。すなわち、パッド 21 として、ゲートパッド 21a や KE パッド 21d が形成されている。そして、ダミーゲート配線 23 とゲートパッド 21a との間に、ダイオード 24 が配置され、ダミーゲート配線 23 と KE パッド 21d との間に、ダイオード 25 が配置されている。ダイオード 24 は、アノードがダミーゲート配線 23 に接続され、カソードがゲートパッド 21a に接続されている。ダイオード 25 は、アノードがダミーゲート配線 23 に接続され、カソードが KE パッド 21d に接続されている。ダイオード 24 が第 1 素子に相当し、ダイオード 25 が第 2 素子に相当する。図 17 では、便宜上、ゲート配線 22 の図示を省略している。

[0079] また、フィールドストップ層 29 におけるドリフト層 12 と反対側、すなわち半導体基板 11 の裏面 11b 側の表層のうち、IGBT 領域 11c には P 型のコレクタ層 30 が形成され、ダイオード領域 11d には N 型のカソード層 39 が形成されている。コレクタ層 30 及びカソード層 39 は並設され

ている。そして、コレクタ層 30 及びカソード層 39 上に、コレクタ電極 31 が形成されている。したがって、コレクタ電極 31 は、還流ダイオード素子のカソード電極としても機能する。

[0080] このように、半導体基板 11 には、IGBT 素子と還流ダイオード素子が形成されている。すなわち RC-IGBT が形成されている。そして、ダイオード領域 11d にダミーゲート電極 18b が形成されている。

[0081] 本実施形態の半導体装置 10 によれば、上記したダイオード 24, 25 を備えている。したがって、第 1 実施形態と同等の効果を奏することができる。すなわち、耐圧検査時に、ダイオード 24 が導通を許可し、ダイオード 25 が導通を遮断するため、耐圧検査に必要な電圧が、ダミーゲート電極 18b とエミッタ電極 20 との間に印加される。したがって、ダミーゲート電極 18b におけるゲート絶縁膜 17 の耐圧検査を適切に行うことができる。また、IGBT 動作時に、ダイオード 24 が導通を遮断し、ダイオード 25 が導通を許可するため、ゲートパッド 21a を共通にしながらも、ダミーゲート電極 18b の電位を、エミッタ電極 20 と同電位に保持することができる。

[0082] 以上により、ダミーゲート電極 18b におけるゲート絶縁膜 17 の耐圧検査を実施でき、且つ、耐圧検査後にパッドをエミッタ電極 20 に接続しなくても、ダミーゲート電極 18b の電位を反転層を発生しない電位に安定させることができる。たとえばパッドとエミッタ電極 20 を接続するワイヤボンディング工程を不要とすることができる。

[0083] さらに、ゲートパッド 21a を、主ゲート電極 18a とダミーゲート電極 18b とで共通にしているため、主ゲート電極 18a 及びダミーゲート電極 18b でゲート絶縁膜 17 の耐圧検査を同時に実施することができる。また、パッド 21 や配線を低減することができる。

[0084] また、トレンチ 14 が、IGBT 領域 11c だけでなく、ダイオード領域 11d にも形成されている。したがって、IGBT 領域 11c におけるダイオード領域 11d 近傍のトレンチ 14 に電界集中が発生し、これにより耐圧

が低下することを抑制することができる。

[0085] なお、ダミーゲート電極 18b におけるゲート絶縁膜 17 の耐圧検査を実施でき、且つ、耐圧検査後にパッドをエミッタ電極 20 に接続しなくても、ダミーゲート電極 18b の電位を反転層を発生しない電位に安定させることができる構成としては、上記例（第 1 実施形態に示した例）に限定されない。その他の先行実施形態や変形例に示した構成との組み合わせが可能である。

[0086] この明細書の開示は、例示された実施形態に制限されない。開示は、例示された実施形態と、それらに基づく当業者による変形態様を包含する。たとえば、開示は、実施形態において示された要素の組み合わせに限定されない。開示は、多様な組み合わせによって実施可能である。開示される技術的範囲は、実施形態の記載に限定されない。開示されるいくつかの技術的範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味及び範囲内でのすべての変更を含むものと解されるべきである。

[0087] 第 1 導電型を N 型とし、第 2 導電型を P 型とする例について説明したが、第 1 導電型を P 型とし、第 2 導電型を N 型としてもよい。

[0088] ダミーゲート電極 18b が、IGBT 素子の形成領域内に形成される例を示した。また、ダミーゲート電極 18b が、ダイオード領域 11d に形成される例を示した。しかしながら、ダミーゲート電極 18b が、IGBT 領域 11c 及びダイオード領域 11d の両方に形成されてもよい。

[0089] エミッタ領域 15 については、主ゲート電極 18a のトレンチ 14 と隣接する部分には形成し、ダミーゲート電極 18b のトレンチ 14 と隣接する部分には形成されない構成としてもよい。さらにダイオード領域 11d において、ボディ領域 16 が形成されない構成としてもよい。

[0090] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形

態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] 第1導電型のドリフト層（12）を構成する半導体基板（11）と、
、
 前記ドリフト層上に形成された第2導電型のベース層（13）と、
 前記ベース層を貫通して前記ドリフト層に達する複数のトレンチ（14）と、
 前記トレンチに接するように、前記ベース層の表層部分に形成された第1導電型のエミッタ領域（15）と、
 前記ベース層及び前記エミッタ領域に接続されたエミッタ電極（20）と、
 前記ドリフト層に対して前記ベース層と反対側に形成された第1導電型のコレクタ層（30）と、
 前記コレクタ層に接続されたコレクタ電極（31）と、
 前記トレンチの壁面に形成されたゲート絶縁膜（17）と、
 前記ゲート絶縁膜を介して前記トレンチ内に配置されたゲート電極（18）であって、電圧の印加により、前記エミッタ電極と前記ドリフト層との間を繋ぐ反転層を生じさせる主ゲート電極（18a）、及び、前記反転層の発生に寄与しない少なくとも一つのダミーゲート電極（18b）と、
 前記主ゲート電極及び前記ダミーゲート電極に共通のゲートパッド（21a）と、
 前記ダミーゲート電極と前記ゲートパッドとの間に形成され、前記主ゲート電極に前記反転層を生じさせるために前記ゲートパッドに第1電圧が印加されると、前記ダミーゲート電極が前記反転層の発生に寄与しないように導通を遮断又は制限し、前記ゲートパッドに前記第1電圧とは極性が逆の第2電圧が印加されると、導通を許可する第1素子（24，33）と、
 前記エミッタ電極と前記ダミーゲート電極及び前記第1素子の接続

点との間に形成され、前記第 1 電圧が印加されると導通を許可し、前記第 2 電圧が印加されると導通を遮断又は制限する第 2 素子（25, 34）と、
を備える半導体装置。

[請求項2] 前記第 1 素子及び前記第 2 素子はともにダイオードであり、
第 1 素子のアノードと第 2 素子のアノードが互いに接続されている請求項 1 に記載の半導体装置。

[請求項3] 第 1 導電型のドリフト層（12）を構成する半導体基板（11）と、
、
前記ドリフト層上に形成された第 2 導電型のベース層（13）と、
前記ベース層を貫通して前記ドリフト層に達する複数のトレンチ（14）と、
前記トレンチに接するように、前記ベース層の表層部分に形成された第 1 導電型のエミッタ領域（15）と、
前記ベース層及び前記エミッタ領域に接続されたエミッタ電極（20）と、
前記ドリフト層に対して前記ベース層と反対側に形成された第 1 導電型のコレクタ層（30）と、
前記コレクタ層に接続されたコレクタ電極（31）と、
前記トレンチの壁面に形成されたゲート絶縁膜（17）と、
前記ゲート絶縁膜を介して前記トレンチ内に配置されたゲート電極（18）であって、電圧の印加により、前記エミッタ電極と前記ドリフト層との間を繋ぐ反転層を生じさせる主ゲート電極（18a）、及び、前記反転層の発生に寄与しない少なくとも一つのダミーゲート電極（18b）と、
前記主ゲート電極に接続された主ゲートパッド（21a）と、
前記ダミーゲート電極に接続されたダミーゲートパッド（21f）と、

前記エミッタ電極と前記ダミーゲート電極及び前記ダミーゲートパッドの接続点との間に形成され、前記ダミーゲートパッドに所定電圧が印加されると導通を遮断又は制限し、前記ダミーゲートパッドが電圧の印加されないオープン状態にされると導通を許可する第3素子（35, 37）と、
を備える半導体装置。

[請求項4] 前記第3素子が、抵抗である請求項3に記載の半導体装置。

[請求項5] 第1導電型のドリフト層（12）を構成する半導体基板（11）と、
、

前記ドリフト層上に形成された第2導電型のベース層（13）と、
前記ベース層を貫通して前記ドリフト層に達する複数のトレンチ（14）と、

前記トレンチに接するように、前記ベース層の表層部分に形成された第1導電型のエミッタ領域（15）と、

前記ベース層及び前記エミッタ領域に接続されたエミッタ電極（20）と、

前記ドリフト層に対して前記ベース層と反対側に形成された第1導電型のコレクタ層（30）と、

前記コレクタ層に接続されたコレクタ電極（31）と、

前記トレンチの壁面に形成されたゲート絶縁膜（17）と、

前記ゲート絶縁膜を介して前記トレンチ内に配置されたゲート電極（18）であって、電圧の印加により、前記エミッタ電極と前記ドリフト層との間を繋ぐ反転層を生じさせる主ゲート電極（18a）、及び、前記反転層の発生に寄与しない少なくとも一つのダミーゲート電極（18b）と、

前記主ゲート電極に接続された主ゲートパッド（21a）と、

前記ダミーゲート電極に接続された第1ダミーゲートパッド（21f）と、

前記エミッタ電極と前記ダミーゲート電極及び前記第1ダミーゲートパッドの接続点との間に形成されたスイッチ（38）と、

前記スイッチによる導通又は遮断を制御するための第2ダミーゲートパッド（21g）と、を備え、

前記スイッチは、前記ゲート絶縁膜の耐圧を検査するために前記第1ダミーゲートパッドに電圧が印加されると、前記第2ダミーゲートパッドを介した入力により制御されて、通電を遮断し、

耐圧検査がなされた状態で、前記第1ダミーゲートパッドが電圧の印加されないオープン状態にされるとともに、前記スイッチの前記エミッタ電極側の端子と前記接続点側の端子との間が短絡されている半導体装置。

[請求項6] 前記少なくとも一つのダミーゲート電極は、複数のダミーゲート電極であり、

複数の前記ダミーゲート電極の少なくとも一部が、前記コレクタ層の上方に形成されている請求項1～5いずれか1項に記載の半導体装置。

[請求項7] 前記ドリフト層に対して前記ベース層と反対側に形成され、前記コレクタ層と並設された第1導電型のカソード層（39）をさらに備え、

前記コレクタ電極は、前記コレクタ層及び前記カソード層に接続されており、

前記少なくとも一つのダミーゲート電極は、複数のダミーゲート電極であり、

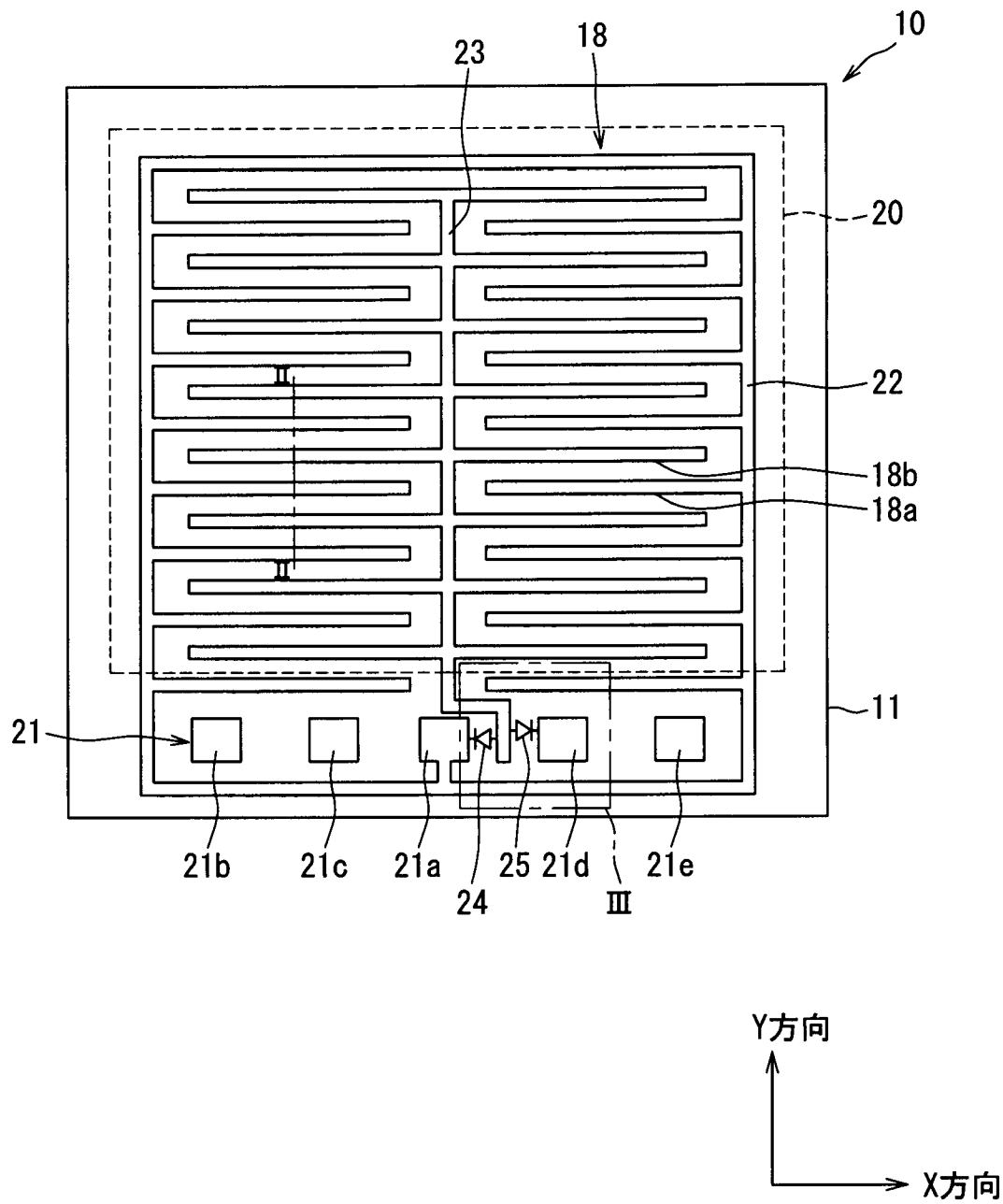
前記半導体基板が、IGBT素子として動作するIGBT領域（11c）と、ダイオード素子として動作するダイオード領域（11d）と、を有し、

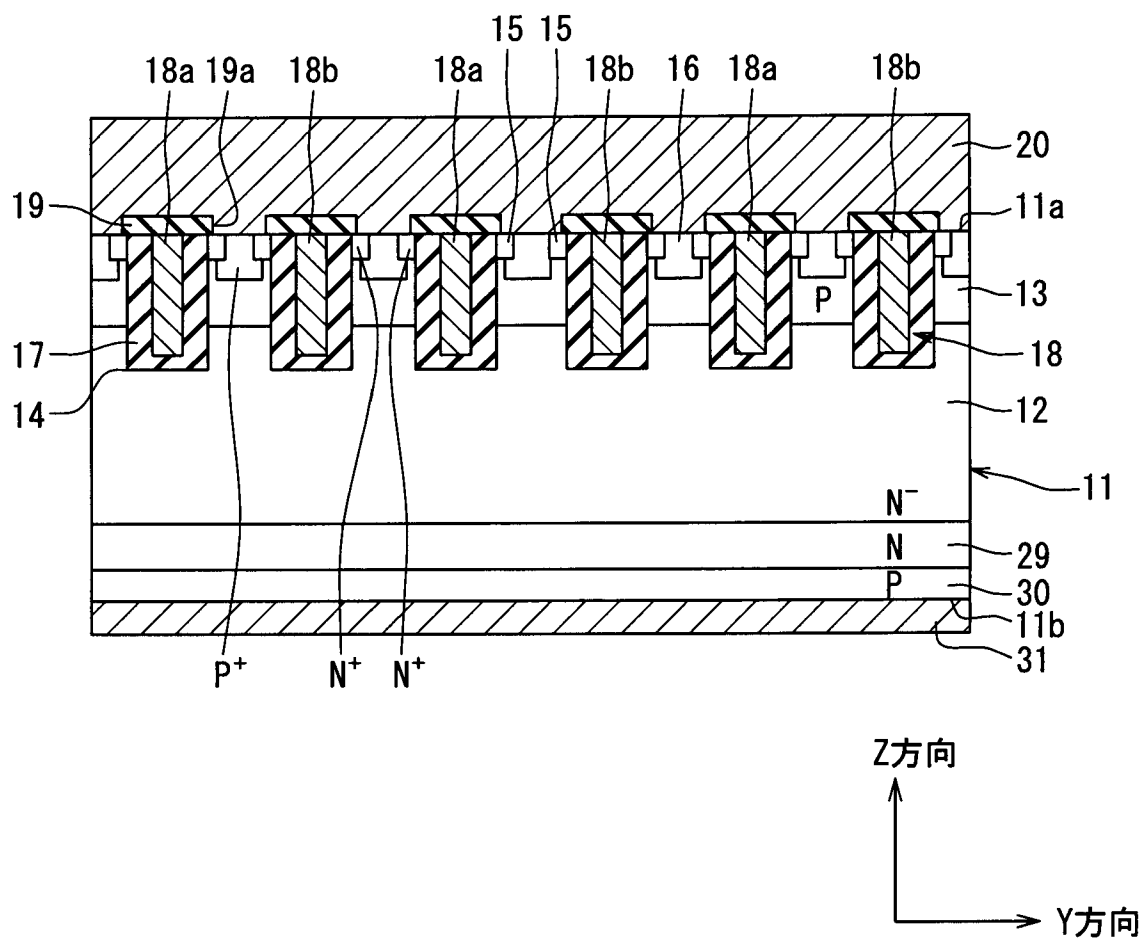
前記トレンチは、前記IGBT領域及び前記ダイオード領域にそれぞれ形成され、

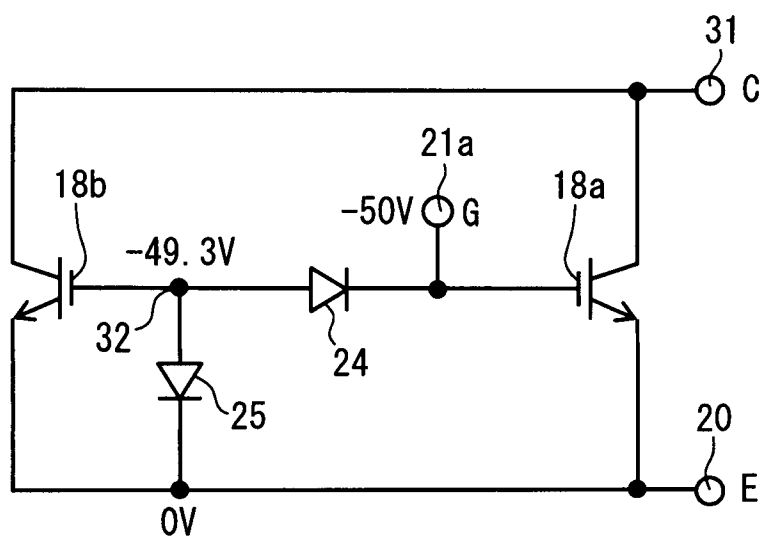
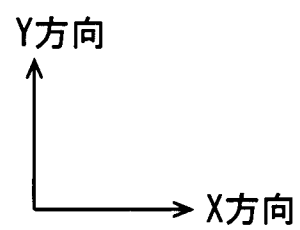
複数の前記ダミーゲート電極の少なくとも一部が、前記ダイオード領域に形成されている請求項 1 ～ 6 いずれか 1 項に記載の半導体装置

。

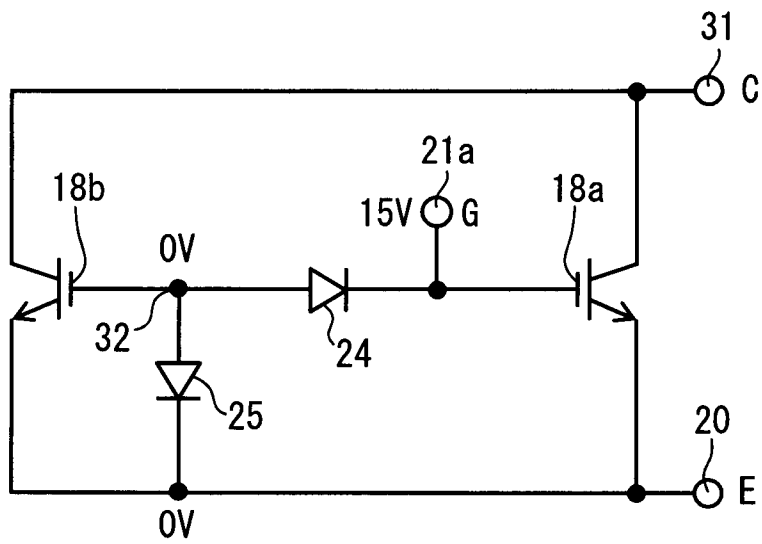
[図1]



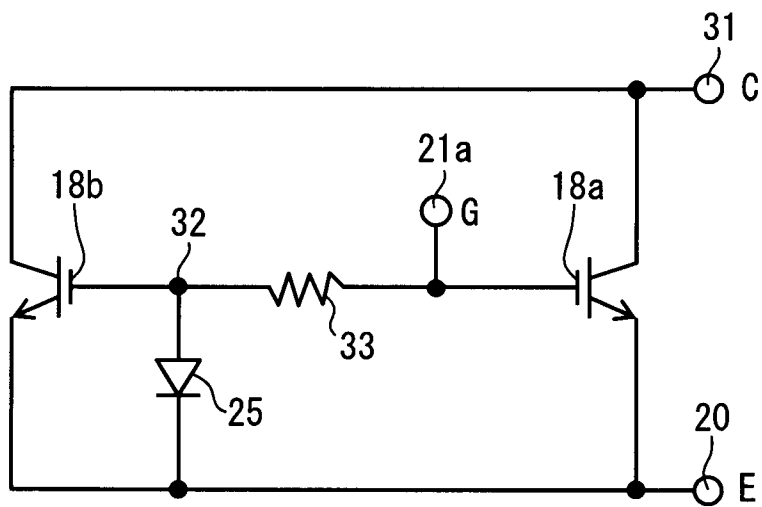




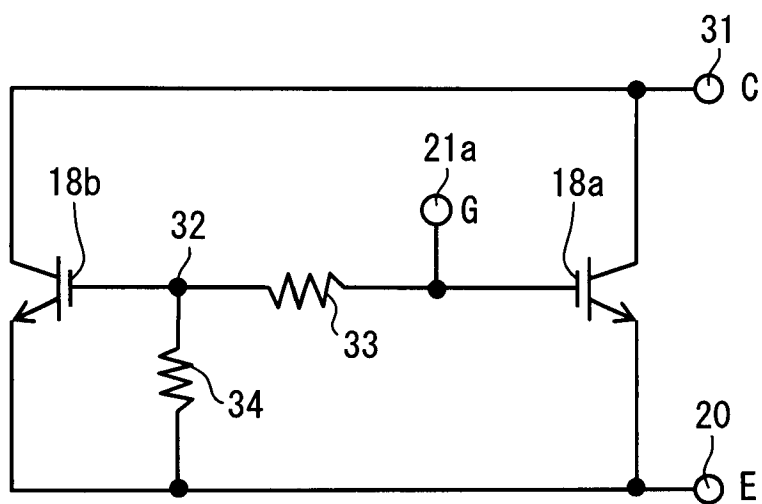
[図5]



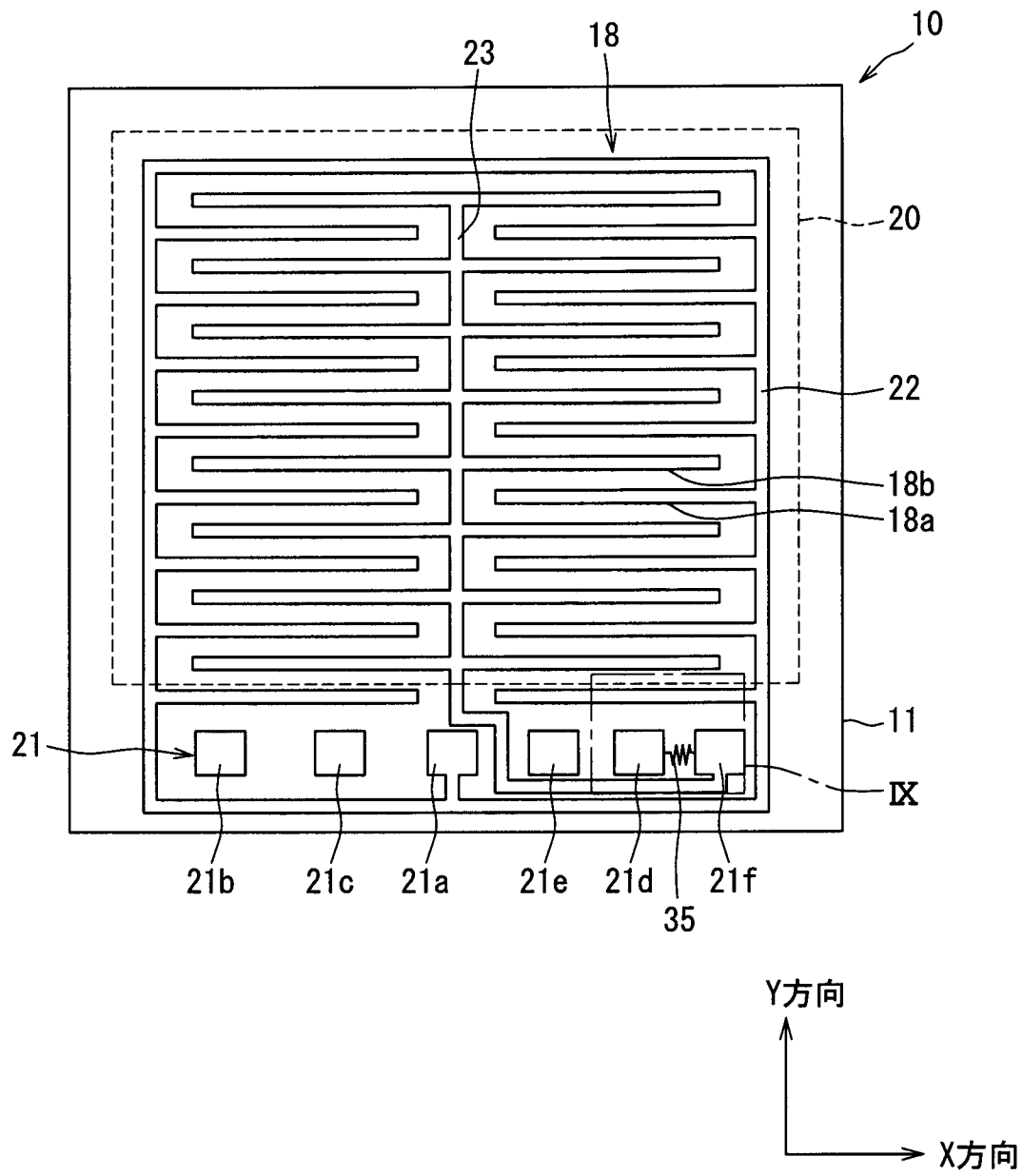
[図6]



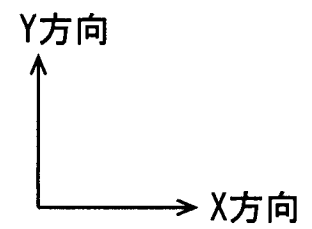
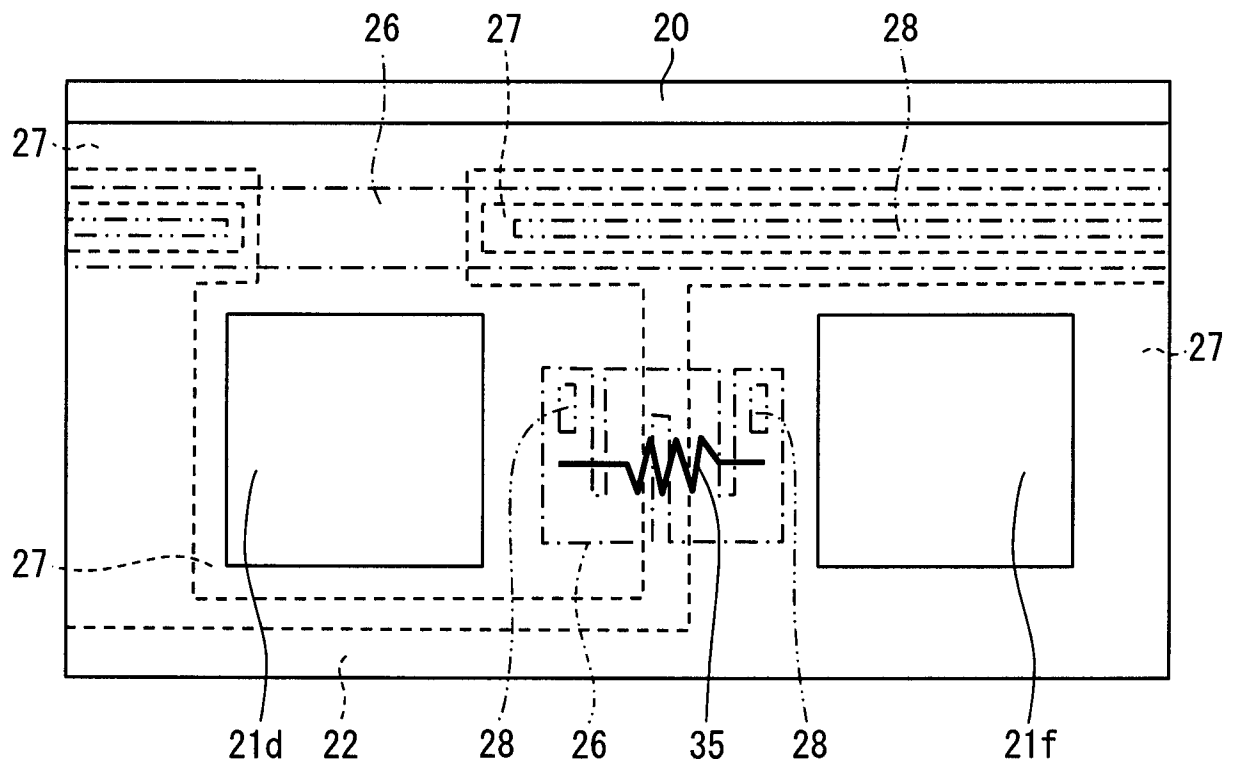
[図7]



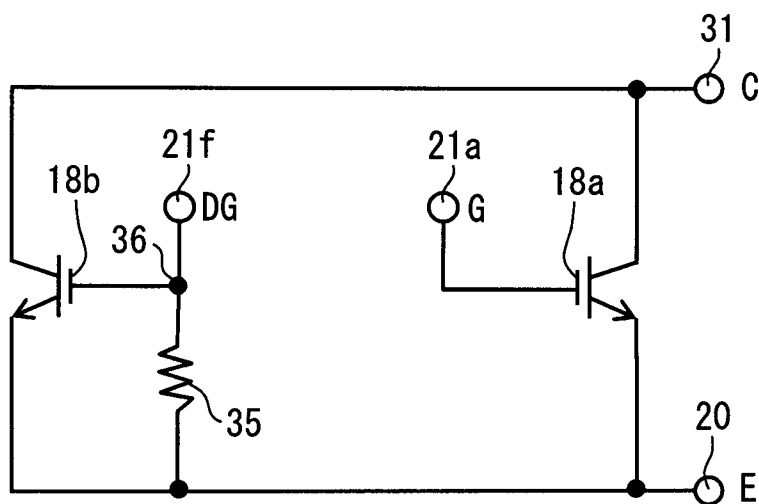
[図8]



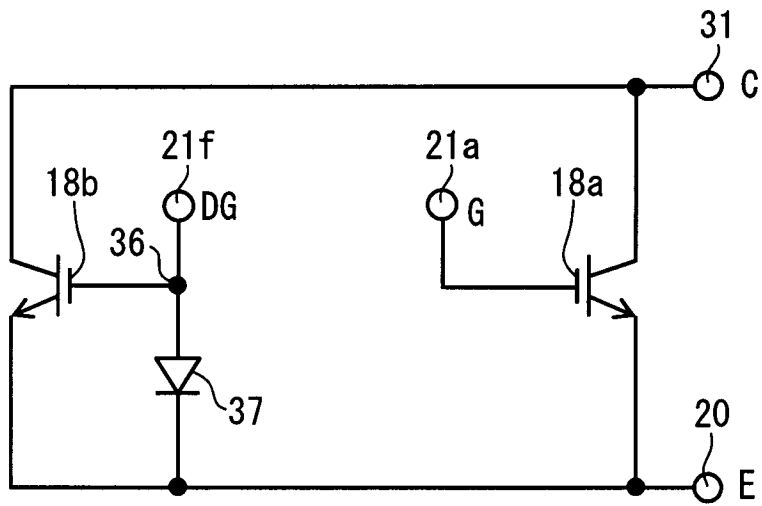
[図9]



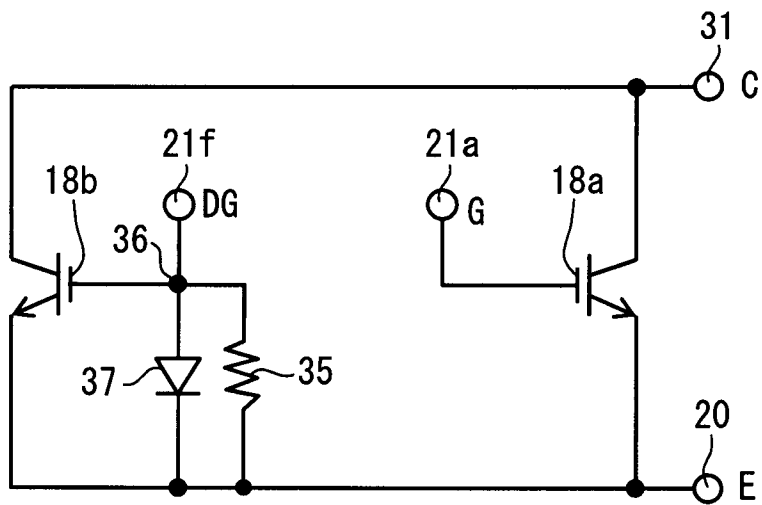
[図10]



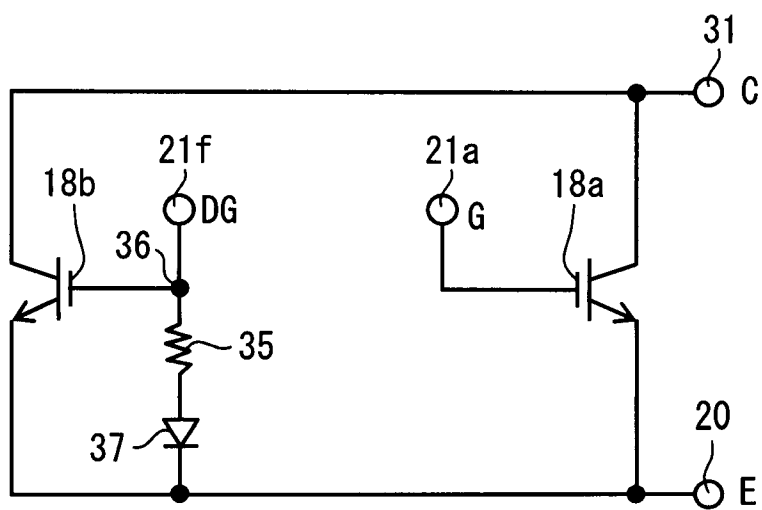
[図11]



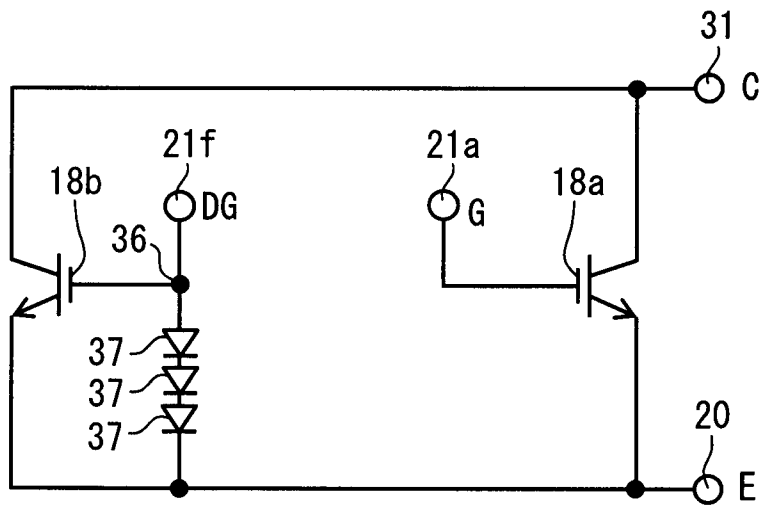
[図12]



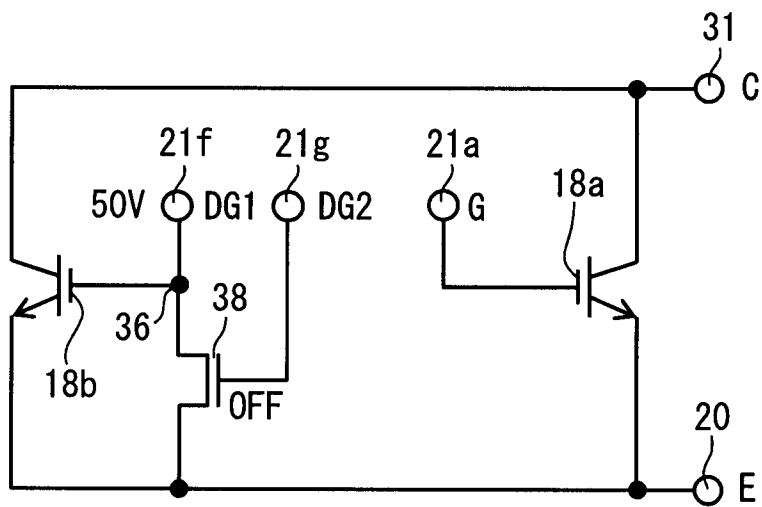
[図13]



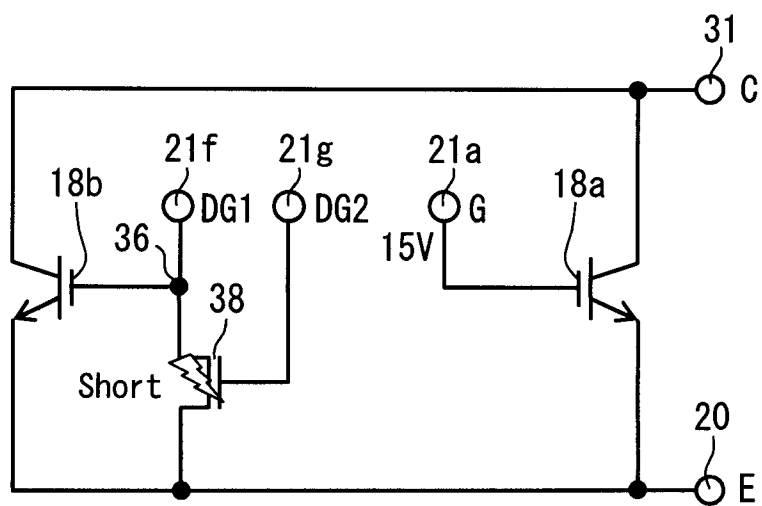
[図14]



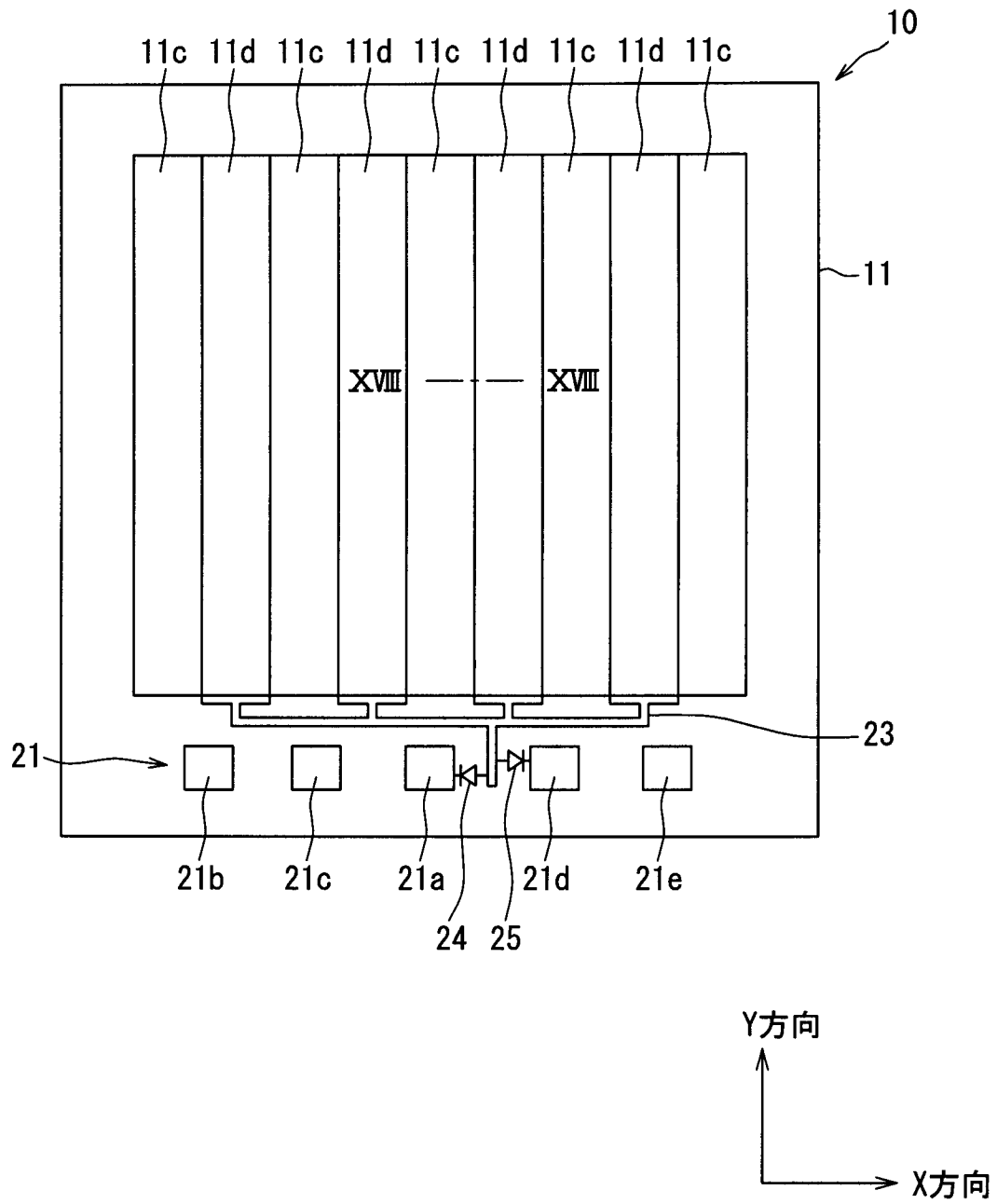
[図15]

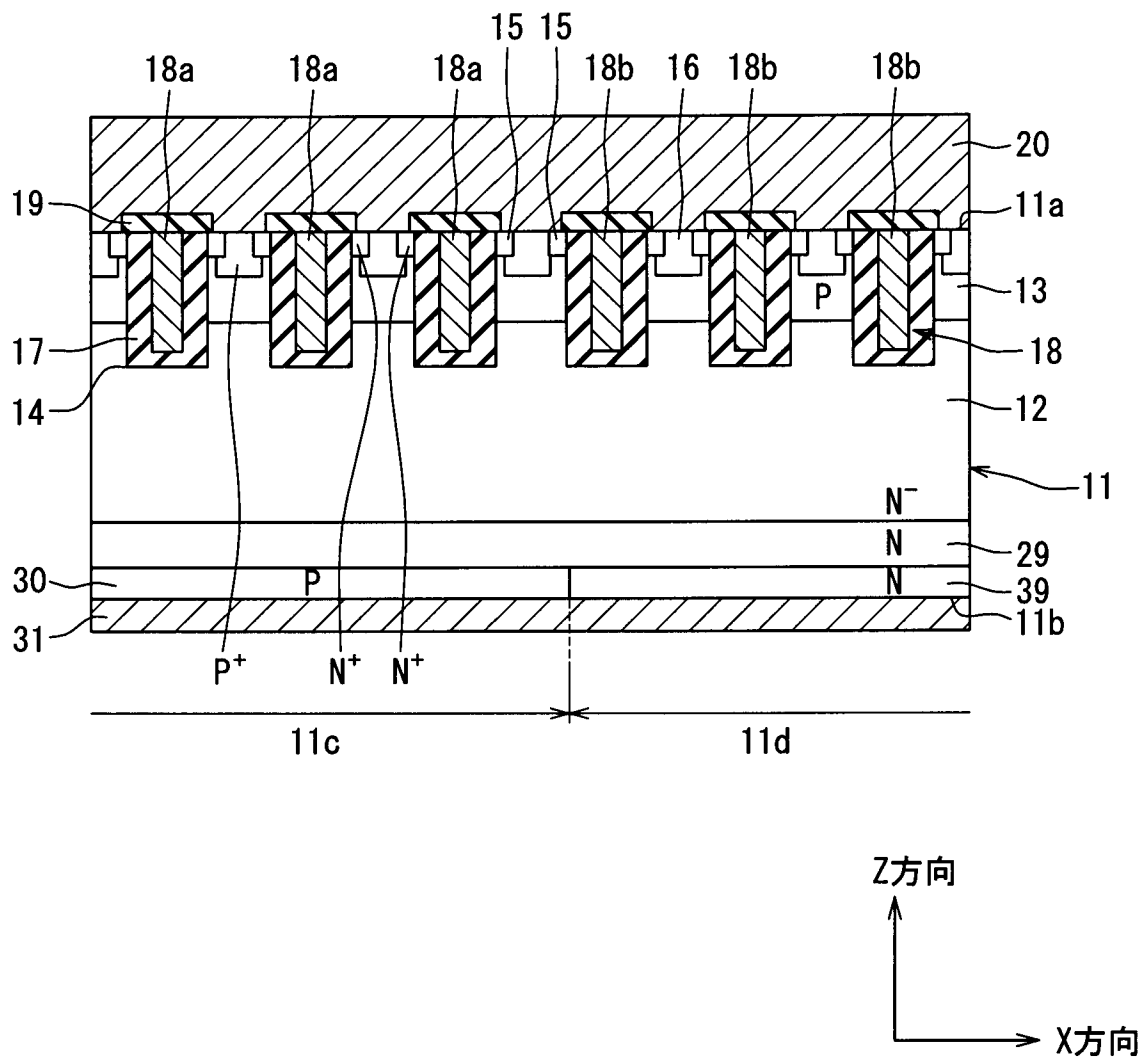


[図16]



[図17]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/001883

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336(2006.01) i, H01L21/66(2006.01) i,
H01L21/822(2006.01) i, H01L21/8234(2006.01) i,
H01L27/04(2006.01) i, H01L27/06(2006.01) i, H01L29/739(2006.01) i,
H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, H01L21/66, H01L21/822, H01L21/8234, H01L27/04,
H01L27/06, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2016-25124 A (DENSO CORP.) 08 February 2016, paragraphs [0012]-[0037], fig. 1-9 & US 2016/0020310 A1, paragraphs [0025]-[0050], fig. 1- 9 & DE 102015212864 A1	5-6 1-4
Y A	JP 2014-53552 A (TOYOTA MOTOR CORP.) 20 March 2014, paragraphs [0032]-[0069], fig. 1-6 (Family: none)	5-7 1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
29 March 2018 (29.03.2018)

Date of mailing of the international search report
10 April 2018 (10.04.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/001883

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-513245 A (ROBERT BOSCH GMBH) 18 April 2013, paragraphs [0001]-[0025], fig. 1-5 & US 2012/0306528 A1, paragraphs [0001]-[0038], fig. 1-5 & WO 2011/069737 A1 & DE 102009047670 A1 & TW 201135897 A & CN 102668053 A	5-7
A	JP 2013-251466 A (FUJI ELECTRIC CO., LTD.) 12 December 2013, paragraphs [0030]-[0061], fig. 1-5	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/66(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/66, H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2016-25124 A（株式会社デンソー）2016.02.08, 段落[0012]-[0037], 図1-9 & US 2016/0020310 A1, 段落[0025]-[0050], 図1-9 & DE 102015212864 A1	5-6 1-4
Y A	JP 2014-53552 A（トヨタ自動車株式会社）2014.03.20, 段落[0032]-[0069], 図1-6 （ファミリーなし）	5-7 1-4

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

29.03.2018

国際調査報告の発送日

10.04.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

5 F

9733

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-513245 A (ローベルト ボツシュ ゲゼルシャフト ミット ベ シユレンクテル ハフツング) 2013. 04. 18, 段落[0001]-[0025], 図 1-5 & US 2012/0306528 A1, 段落[0001]-[0038], 図 1-5 & WO 2011/069737 A1 & DE 102009047670 A1 & TW 201135897 A & CN 102668053 A	5-7
A	JP 2013-251466 A (富士電機株式会社) 2013. 12. 12, 段落[0030]-[0061], 図 1-5 (ファミリーなし)	1-7