

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 2 月 3 日 (2005.2.3)

【公開番号】特開 2002-164428 (P2002-164428A)
 【公開日】平成 14 年 6 月 7 日 (2002.6.7)
 【出願番号】特願 2000-362462 (P2000-362462)

【国際特許分類第 7 版】

H 0 1 L 21/768
 C 2 3 C 16/42
 H 0 1 L 21/316
 H 0 1 L 21/8238
 H 0 1 L 27/092

【F I】

H 0 1 L 21/90 M
 C 2 3 C 16/42
 H 0 1 L 21/316 X
 H 0 1 L 27/08 3 2 1 F

【手続補正書】

【提出日】平成 16 年 3 月 1 日 (2004.3.1)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 2 絶縁層内の配線溝内に形成された配線と、前記配線とその下層配線とを接続する第 1 絶縁層内の接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続部材が形成された前記第 1 絶縁層のヤング率が、前記配線溝が形成された前記第 2 絶縁層のヤング率よりも相対的に小さく、前記第 1 絶縁層の比誘電率が、前記第 2 絶縁層の比誘電率よりも相対的に小さいことを特徴とする半導体装置。

【請求項 2】

第 2 絶縁層内の配線溝内に形成された配線と、前記配線とその下層配線とを接続する第 1 絶縁層内の接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続部材が形成された前記第 1 絶縁層のヤング率が、前記配線溝が形成された前記第 2 絶縁層のヤング率よりも相対的に小さく、前記配線を構成する主導電層は銅であることを特徴とする半導体装置。

【請求項 3】

前記第 1 絶縁層のヤング率は 60 GPa 未満、前記第 2 絶縁層のヤング率は 60 GPa 以上であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 絶縁層は SiO₂ で構成され、前記第 2 絶縁層は SiO₂ で構成されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記接続孔の孔径が約 0.5 μm 以下であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 絶縁層と前記第 2 絶縁層との間に、 SiN または SiC からなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】

前記第 1 絶縁層は SiOC 系材料、 CF 系材料、 HSQ 系材料、 MSQ 系材料、 BCB 系材料または PAE 系材料で構成され、前記第 2 絶縁層は SiOF または SiO_2 で構成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記接続孔の孔径が約 $0.2 \mu\text{m}$ 以下であることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記第 1 絶縁層と前記第 2 絶縁層との間に、 SiN または SiC からなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】

前記第 1 絶縁層はポーラス HSQ 系材料で構成され、前記第 2 絶縁層は SiOC 系材料、 CF 系材料、 HSQ 系材料、 MSQ 系材料、 BCB 系材料または PAE 系材料の何れかの単層膜、あるいは SiO_2 と SiOC 系材料、あるいは CF 系材料、 HSQ 系材料、 MSQ 系材料、 BCB 系材料または PAE 系材料との積層膜で構成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】

前記第 1 絶縁層と前記第 2 絶縁層との間に、 SiO_2 からなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

第 2 絶縁層内の配線溝内に形成された配線と、前記配線とその下層配線とを接続する第 1 絶縁層内の接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a)基板上に第 1 のヤング率の前記第 1 絶縁層、および前記第 1 のヤング率より大きい第 2 のヤング率の前記第 2 絶縁層を順次形成する工程と、(b)前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c)前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 13】

前記第 1 絶縁層の比誘電率が、前記第 2 絶縁層の比誘電率よりも小さいことを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 14】

前記第 1 絶縁層が SiOF で構成され、前記第 2 絶縁層が SiO_2 で構成されることを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 15】

前記第 1 絶縁層が SiOC 系材料、 CF 系材料、 HSQ 系材料、 MSQ 系材料、 BCB 系材料または PAE 系材料で構成され、前記第 2 絶縁層が SiOF または SiO_2 で構成されることを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 16】

前記第 1 絶縁層がポーラス HSQ 系材料で構成され、前記第 2 絶縁層が SiOC 系材料、 CF 系材料、 HSQ 系材料、 MSQ 系材料、 BCB 系材料または PAE 系材料、あるいは SiO_2 と SiOC 系材料、 CF 系材料、 HSQ 系材料、 MSQ 系材料、 BCB 系材料または PAE 系材料との積層で構成されることを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 17】

前記接続孔の孔径が約 $0.5 \mu\text{m}$ 以下であることを特徴とする請求項 12 または 14 に記載の半導体装置の製造方法。

【請求項 18】

前記 (a) 工程で、前記第 1 絶縁層の上層に前記第 2 絶縁膜エッチング時のストッパ絶縁膜を形成し、前記 (b) 工程で、前記第 2 絶縁層および前記ストッパ絶縁膜の所定の領域に前記配線溝を形成することを特徴とする請求項 1 2、1 4、1 5 または 1 6 に記載の半導体装置の製造方法。

【請求項 1 9】

前記 (c) 工程で前記接続孔および前記配線溝の内部に埋め込まれる主導電層は、銅であることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 2 0】

前記第 1 絶縁層のヤング率が 6 0 G P a 未満、および前記第 2 絶縁層のヤング率が 6 0 G P a 以上であることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 2 1】

前記第 1 絶縁層のヤング率が 3 0 G P a 未満、および前記第 2 絶縁層のヤング率が 3 0 G P a 以上であることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 2 2】

ヤング率が 6 G P a 未満の前記第 1 絶縁層は塗布法で形成され、およびヤング率が 6 G P a 以上の前記第 2 絶縁層は C V D 法または塗布法で形成されることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。