

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年2月3日(2005.2.3)

【公開番号】特開2002-164428(P2002-164428A)

【公開日】平成14年6月7日(2002.6.7)

【出願番号】特願2000-362462(P2000-362462)

【国際特許分類第7版】

H 01 L 21/768

C 23 C 16/42

H 01 L 21/316

H 01 L 21/8238

H 01 L 27/092

【F I】

H 01 L 21/90 M

C 23 C 16/42

H 01 L 21/316 X

H 01 L 27/08 3 2 1 F

【手続補正書】

【提出日】平成16年3月1日(2004.3.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第2絶縁層内の配線溝内に形成された配線と、前記配線とその下層配線とを接続する第1絶縁層内の接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であつて、

前記接続部材が形成された前記第1絶縁層のヤング率が、前記配線溝が形成された前記第2絶縁層のヤング率よりも相対的に小さく、前記第1絶縁層の比誘電率が、前記第2絶縁層の比誘電率よりも相対的に小さいことを特徴とする半導体装置。

【請求項2】

第2絶縁層内の配線溝内に形成された配線と、前記配線とその下層配線とを接続する第1絶縁層内の接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であつて、

前記接続部材が形成された前記第1絶縁層のヤング率が、前記配線溝が形成された前記第2絶縁層のヤング率よりも相対的に小さく、前記配線を構成する主導電層は銅であることを特徴とする半導体装置。

【請求項3】

前記第1絶縁層のヤング率は60GPa未満、前記第2絶縁層のヤング率は60GPa以上であることを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記第1絶縁層はSiOFで構成され、前記第2絶縁層はSiO₂で構成されることを特徴とする請求項2に記載の半導体装置。

【請求項5】

前記接続孔の孔径が約0.5μm以下であることを特徴とする請求項4に記載の半導体装置。

【請求項 6】

前記第1絶縁層と前記第2絶縁層との間に、SiNまたはSiCからなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする請求項4に記載の半導体装置。

【請求項 7】

前記第1絶縁層はSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料で構成され、前記第2絶縁層はSiOFまたはSiO₂で構成されることを特徴とする請求項1に記載の半導体装置。

【請求項 8】

前記接続孔の孔径が約0.2μm以下であることを特徴とする請求項7に記載の半導体装置。

【請求項 9】

前記第1絶縁層と前記第2絶縁層との間に、SiNまたはSiCからなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする請求項7に記載の半導体装置。

【請求項 10】

前記第1絶縁層はポーラスHSQ系材料で構成され、前記第2絶縁層はSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料の何れかの単層膜、あるいはSiO₂とSiOC系材料、あるいはCF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料との積層膜で構成されることを特徴とする請求項1に記載の半導体装置。

【請求項 11】

前記第1絶縁層と前記第2絶縁層との間に、SiO₂からなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする請求項10に記載の半導体装置。

【請求項 12】

第2絶縁層内の配線溝内に形成された配線と、前記配線とその下層配線とを接続する第1絶縁層内の接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a)基板上に第1のヤング率の前記第1絶縁層、および前記第1のヤング率より大きい第2のヤング率の前記第2絶縁層を順次形成する工程と、(b)前記第1絶縁層の所定の領域に前記接続孔を形成し、前記第2絶縁層の所定の領域に前記配線溝を形成する工程と、(c)前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 13】

前記第1絶縁層の比誘電率が、前記第2絶縁層の比誘電率よりも小さいことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項 14】

前記第1絶縁層がSiOFで構成され、前記第2絶縁層がSiO₂で構成されることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項 15】

前記第1絶縁層がSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料で構成され、前記第2絶縁層がSiOFまたはSiO₂で構成されることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項 16】

前記第1絶縁層がポーラスHSQ系材料で構成され、前記第2絶縁層がSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料、あるいはSiO₂とSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料との積層で構成されることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項 17】

前記接続孔の孔径が約0.5μm以下であることを特徴とする請求項12または14に記載の半導体装置の製造方法。

【請求項 18】

前記(a)工程で、前記第1絶縁層の上層に前記第2絶縁膜エッチング時のストップ絶縁膜を形成し、前記(b)工程で、前記第2絶縁層および前記ストップ絶縁膜の所定の領域に前記配線溝を形成することを特徴とする請求項12、14、15または16に記載の半導体装置の製造方法。

【請求項19】

前記(c)工程で前記接続孔および前記配線溝の内部に埋め込まれる主導電層は、銅であることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項20】

前記第1絶縁層のヤング率が60GPa未満、および前記第2絶縁層のヤング率が60GPa以上であることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項21】

前記第1絶縁層のヤング率が30GPa未満、および前記第2絶縁層のヤング率が30GPa以上であることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項22】

ヤング率が6GPa未満の前記第1絶縁層は塗布法で形成され、およびヤング率が6GPa以上の前記第2絶縁層はCVD法または塗布法で形成されることを特徴とする請求項12に記載の半導体装置の製造方法。