(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년11월12일
(11) 등록번호 10-0994212
(24) 등록일자 2010년11월08일

(51) Int. Cl.
H02M 7/48 (2007.01) *H03K 7/08* (2006.01)
(21) 출원번호 10-2009-0131659
(22) 출원일자 2009년12월28일
심사청구일자 2009년12월28일
(56) 선행기술조사문헌
대한전기학회지 논문(제목: 대용량 ZVS Full Bridge DC/DC 컨버터에 있어서 Digital-To-Phase Shift PWM 발생회로) 발표일 2000년 1월*
KR1020080030928 A*
US6338154 B2
US5594442 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
경상대학교산학협력단
경상남도 진주시 가좌동 900
(72) 발명자
정세교
경상남도 진주시 가좌동 제일풍경채아파트 105동 1201호
임정규
경상남도 진주시 상대2동 238-7번지 9/5
(74) 대리인
권혁수, 송윤호, 오세준

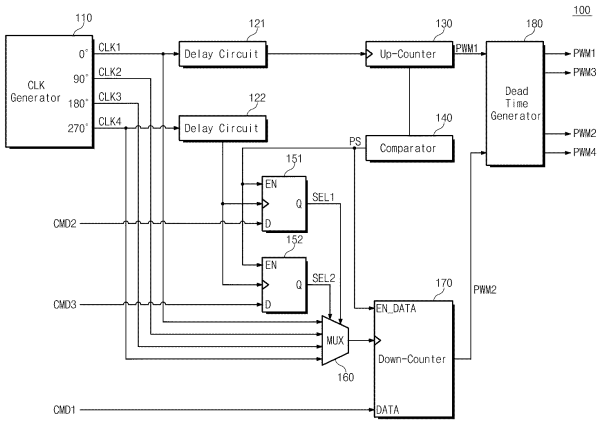
전체 청구항 수 : 총 12 항 심사관 : 배진용

(54) 펄스-폭 변조 신호 발생기

(57) 요 약

본 발명은 펄스-폭 변조 신호 발생기(pulse-width modulation signal generator)에 관한 것이다. 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기는 복수의 클럭신호들을 발생하는 클럭신호 발생기; 상기 복수의 클럭신호들 중 위상이 가장 앞선 제 1 클럭신호에 응답하여 제 1 펄스-폭 변조 신호를 발생하는 업-카운터; 상기 복수의 클럭신호들 중 하나를 선택하기 위한 멀티플렉서; 및 상기 멀티플렉서에 의해 선택되는 클럭신호에 응답하여 상기 제 1 펄스-폭 변조 신호에 비해 지연된 위상을 갖는 제 2 펄스-폭 변조 신호를 발생하는 다운-카운터를 포함한다. 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기에 의하면, 이를 사용하는 위상천이 풀-브리지 직류-직류 컨버터(phased-shifted full-bridge DC-DC conveter)의 제어에 대한 정밀도 및 안정도를 높일 수 있다.

대 표 도



특허청구의 범위

청구항 1

서로 다른 위상을 갖는 복수의 클럭신호들을 발생하는 클럭신호 발생기;

상기 복수의 클럭신호들 중 위상이 가장 앞선 제 1 클럭신호에 응답하여 제 1 펄스-폭 변조 신호를 발생하는 업-카운터;

상기 복수의 클럭신호들 중 하나를 선택하기 위한 멀티플렉서; 및

상기 멀티플렉서에 의해 선택되는 클럭신호에 응답하여 상기 제 1 펄스-폭 변조 신호에 비해 지연된 위상을 갖는 제 2 펄스-폭 변조 신호를 발생하는 다운-카운터를 포함하는 펄스-폭 변조 신호 발생기.

청구항 2

제 1 항에 있어서,

상기 다운-카운터는 외부에서 제 1 명령신호를 입력받고, 상기 멀티플렉서에서 선택되는 클럭신호의 최초 상승에지가 발생할 때부터 상기 제 1 명령신호에 의해 전달되는 데이터 값을 다운-카운팅 하기 시작하는 펄스-폭 변조 신호 발생기.

청구항 3

제 2 항에 있어서,

상기 업-카운터의 업-카운팅 값이 제 1 기준 값에 도달할 때마다 펄스신호를 발생하는 비교기를 더 포함하고,

상기 다운-카운터는 상기 펄스신호가 입력될 때마다 상기 데이터 값을 갱신하는 펄스-폭 변조 신호 발생기.

청구항 4

제 3 항에 있어서,

상기 제 1 및 제 2 펄스-폭 변조 신호를 입력받아 상기 제 1 및 제 2 펄스-폭 변조 신호에 각각 반전하는 제 3 및 제 4 펄스-폭 변조 신호를 발생하고, 상기 제 1 및 제 3 펄스-폭 변조 신호 사이와 상기 제 2 및 제 4 펄스-폭 변조 신호 사이에 데드타임을 설정하여 상기 제 1 내지 4 펄스-폭 변조 신호를 출력하는 데드타임 발생기를 더 포함하는 펄스-폭 변조 신호 발생기.

청구항 5

제 4 항에 있어서,

상기 업-카운터는 상기 업-카운팅 값이 상기 제 1 기준 값에 도달할 때 상기 업-카운팅 값을 상기 제 1 기준 값보다 작은 제 2 기준 값으로 리셋하고,

상기 다운-카운터는 상기 데이터 값이 상기 제 2 기준 값에 도달할 때 상기 다운-카운팅 값을 상기 제 1 기준 값으로 리셋하는 펄스-폭 변조 신호 발생기.

청구항 6

제 5 항에 있어서,

상기 업-카운터는 상기 업-카운팅 값을 리셋할 때 및 상기 업-카운팅 값이 상기 제 1 기준 값보다 작고 상기 제 2 기준 값보다 큰 제 3 기준 값에 도달할 때 상기 제 1 펄스-폭 변조 신호의 전압 레벨을 변경하고,

상기 다운-카운터는 상기 다운-카운팅 값을 리셋할 때 및 상기 다운-카운팅 값이 상기 제 3 기준 값에 도달할 때 상기 제 2 펄스-폭 변조 신호의 전압 레벨을 변경하는 펄스-폭 변조 신호 발생기.

청구항 7

제 6 항에 있어서,

상기 제 1 기준 값은 2^n-1이고(n은 자연수), 상기 제 2 기준 값은 0인 펄스-폭 변조 신호 발생기.

청구항 8

제 7 항에 있어서,

상기 제 3 기준 값은 상기 제 1 기준 값과 상기 제 2 기준 값 사이의 중간값인 펄스-폭 변조 신호 발생기.

청구항 9

제 4 항에 있어서,

상기 멀티플렉서는 상기 클럭신호 발생기로부터 상기 제 1 클럭신호 및 상기 제 1 클럭신호에 비해 각각 90°, 180°, 270° 만큼 지연된 위상을 갖는 제 2 내지 제 4 클럭신호를 전달받고, 상기 제 1 내지 제 4 클럭신호 중 하나를 선택하는 펄스-폭 변조 신호 발생기.

청구항 10

제 9 항에 있어서,

외부에서 제 2 명령신호를 입력받고, 상기 제 2 명령신호 및 상기 제 4 클럭신호에 응답하여 제 1 선택신호를 발생하는 제 1 플립-플롭; 및

외부에서 제 3 명령신호를 입력받고, 제 3 명령신호 및 상기 제 4 클럭신호에 응답하여 제 2 선택신호를 발생하는 제 2 플립-플롭을 더 포함하고,

상기 멀티플렉서는 제 1 및 제 2 선택신호에 따라 상기 제 1 내지 제 4 클럭신호 중 하나를 선택하는 펄스-폭 변조 신호 발생기.

청구항 11

제 10 항에 있어서,

상기 제 1 및 제 2 플립-플롭은 상기 펄스신호에 의해 활성화되는 펄스-폭 변조 신호 발생기.

청구항 12

제 10 항에 있어서,

상기 제 1 클럭신호를 지연하여 상기 업-카운터에 전달하기 위한 제 1 지연회로; 및

상기 제 4 클럭신호를 지연하여 상기 제 1 및 제 2 플립-플롭에 전달하기 위한 제 2 지연회로를 더 포함하는 펄스-폭 변조 신호 발생기.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 신호 발생기(signal generator)에 관한 것으로, 좀 더 구체적으로 펄스-폭 변조 신호 발생기(pulse-width modulation signal generator)에 관한 것이다.

배 경 기 술

[0002] 전원장치에는 직류 전원장치와 교류 전원장치가 있다. 직류 전원장치는 교류 전원을 직류 전원으로 변환하는 교류-직류 컨버터(AC-DC converter) 또는 직류 전원을 직류 전원으로 변환하는 직류-직류 컨버터(DC-DC converter)를 포함한다.

[0003] 직류-직류 컨버터는 직류 입력전압을 승압 또는 감압하여 직류 출력전압으로 변환한다. 먼저, 직류 입력전압은

교류 전압으로 변환된다. 이때, 직류-직류 컨버터 내부의 풀-브리지(full-bridge) 회로에 의해 직류 입력전압이 교류 전압으로 변환될 수 있다. 그리고, 변환된 교류 전압은 변압기에 의해 승압 또는 감압 된 후 다시 직류 출력전압으로 변환된다.

[0004] 일반적으로, 풀-브리지 회로는 4개의 전력 스위치로 구성될 수 있다. 여기서, 각각의 전력 스위치는 펄스-폭 변조 신호(pulse-width modulation signal)에 의해 제어될 수 있다. 특히, 위상천이 풀-브리지 직류-직류 컨버터(phase-shifted full-bridge DC-DC conveter)의 전력 스위치는 펄스-폭 변조 신호 사이의 위상 지연을 조절하는 것에 의해 제어될 수 있다. 이때, 위상천이 풀-브리지 직류-직류 컨버터의 영 전압 스위칭(Zero Voltage Switching, ZVS)을 하며, 이로 인해 고주파 스위칭 동작 시 스위칭 손실을 줄일 수 있다. 따라서, 위상천이 풀-브리지 직류-직류 컨버터의 효율을 높일 수 있다. 이를 위해 펄스-폭 변조 신호 사이의 위상 지연은 정밀하게 조절돼야 한다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명의 목적은 발생하는 클럭신호(clock signal) 및 펄스-폭 변조 신호(pulse-width modulation signal)의 주파수를 유지하면서 펄스-폭 변조 신호 사이의 위상 지연에 대한 분해능(resolution)을 향상시키는 펄스-폭 변조 신호 발생기(pulse-width modulation signal generator)를 제공하는 데 있다.

과제 해결수단

[0006] 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기는 복수의 클럭신호들을 발생하는 클럭신호 발생기; 상기 복수의 클럭신호들 중 위상이 가장 앞선 제 1 클럭신호에 응답하여 제 1 펄스-폭 변조 신호를 발생하는 업-카운터; 상기 복수의 클럭신호들 중 하나를 선택하기 위한 멀티플렉서; 및 상기 멀티플렉서에 의해 선택되는 클럭신호에 응답하여 상기 제 1 펄스-폭 변조 신호에 비해 지연된 위상을 갖는 제 2 펄스-폭 변조 신호를 발생하는 다운-카운터를 포함한다.

[0007] 실시 예로서, 상기 다운-카운터는 외부에서 제 1 명령신호를 입력받고, 상기 멀티플렉서에서 선택되는 클럭신호의 최초 상승 에지가 발생할 때부터 상기 제 1 명령신호에 의해 전달되는 데이터 값을 다운-카운팅 하기 시작한다.

[0008] 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기는 상기 업-카운터의 업-카운팅 값이 제 1 기준 값에 도달할 때마다 펄스신호를 발생하는 비교기를 더 포함할 수 있다. 이때, 상기 다운-카운터는 상기 펄스신호가 입력될 때마다 상기 데이터 값을 갱신한다.

[0009] 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기는 상기 제 1 및 제 2 펄스-폭 변조 신호를 입력받아 상기 제 1 및 제 2 펄스-폭 변조 신호에 각각 반전하는 제 3 및 제 4 펄스-폭 변조 신호를 발생하고, 상기 제 1 및 제 3 펄스-폭 변조 신호 사이와 상기 제 2 및 제 4 펄스-폭 변조 신호 사이에 데드타임을 설정하여 상기 제 1 내지 4 펄스-폭 변조 신호를 출력하는 데드타임 발생기를 더 포함할 수 있다.

[0010] 이때, 상기 업-카운터는 상기 업-카운팅 값이 상기 제 1 기준 값에 도달할 때 상기 업-카운팅 값을 상기 제 1 기준 값보다 작은 제 2 기준 값으로 리셋한다. 그리고, 상기 다운-카운터는 상기 데이터 값이 상기 제 2 기준 값에 도달할 때 상기 다운-카운팅 값을 상기 제 1 기준 값으로 리셋한다.

[0011] 또한, 상기 업-카운터는 상기 업-카운팅 값을 리셋할 때 및 상기 업-카운팅 값이 상기 제 1 기준 값보다 작고 상기 제 2 기준 값보다 큰 제 3 기준 값에 도달할 때 상기 제 1 펄스-폭 변조 신호의 전압 레벨을 변경한다. 그리고, 상기 다운-카운터는 상기 다운-카운팅 값을 리셋할 때 및 상기 다운-카운팅 값이 상기 제 3 기준 값에 도달할 때 상기 제 2 펄스-폭 변조 신호의 전압 레벨을 변경한다.

[0012] 여기서, 상기 제 1 기준 값은 2^n-1이고(n은 자연수), 상기 제 2 기준 값은 0일 수 있다. 그리고, 상기 제 3 기준 값은 상기 제 1 기준 값과 상기 제 2 기준 값 사이의 중간값일 수 있다.

[0013] 실시 예로서, 상기 멀티플렉서는 상기 클럭신호 발생기로부터 상기 제 1 클럭신호 및 상기 제 1 클럭신호에 비해 각각 90°, 180°, 270° 만큼 지연된 위상을 갖는 제 2 내지 제 4 클럭신호를 전달받고, 상기 제 1 내지 제 4 클럭신호 중 하나를 선택할 수 있다.

[0014] 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기는 외부에서 제 2 명령신호를 입력받고, 상기 제 2 명령신호 및 상기 제 4 클럭신호에 응답하여 제 1 선택신호를 발생하는 제 1 플립-플롭; 및 외부에서 제 3 명령신호를 입력받고, 제 3 명령신호 및 상기 제 4 클럭신호에 응답하여 제 2 선택신호를 발생하는 제 2 플립-플롭을 더 포함할 수 있다. 이때, 상기 멀티플렉서는 제 1 및 제 2 선택신호에 따라 상기 제 1 내지 제 4 클럭신호 중 하나를 선택할 수 있다. 그리고, 상기 제 1 및 제 2 플립-플롭은 상기 펄스신호에 의해 활성화된다.

[0015] 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기는 상기 제 1 클럭신호를 지연하여 상기 업-카운터에 전달하기 위한 제 1 지연회로; 및 상기 제 4 클럭신호를 지연하여 상기 제 1 및 제 2 플립-플롭에 전달하기 위한 제 2 지연회로를 더 포함할 수 있다.

효 과

[0016] 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기(pulse-width modulation signal generator)에 의하면, 이를 사용하는 풀-브리지 직류-직류 컨버터(full-bridge DC-DC conveter)의 제어에 대한 정밀도 및 안정도를 높일 수 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명한다.

[0018] 도 1은 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기를 보여주는 블록도이다. 도 1을 참조하면, 펄스-폭 변조 신호 발생기(pulse-width modulation signal generator, 100)는 클럭신호 발생기(clock signal generator, 110), 제 1 및 제 2 지연회로(delay circuit, 121, 122), 업-카운터(up-counter, 130), 비교기(comparator, 140), 제 1 및 제 2 플립-플롭(flip-flop, 151, 152), 멀티플렉서(multiplexer, 160), 다운-카운터(down-counter, 170), 및 데드타임 발생기(dead-time generator, 180)를 포함한다.

[0019] 펄스-폭 신호 발생기(100)는 외부 제어장치(1200, 이하의 도 4 참조)로부터 제 1 내지 제 3 명령신호(CMD1~CMD3)를 전달받는다. 제 1 명령신호(CMD1)는 n비트의 데이터 값을 다운-카운터(170)에 제공된다. 제 2 및 제 3 명령신호(CMD2, CMD3)는 각각 제 1 및 제 2 플립-플롭(151, 152)에 제공된다.

[0020] 클럭신호 발생기(110)는 제 1 내지 제 4 클럭신호(CLK1~CLK4)를 발생한다. 여기서, 제 1 클럭신호(CLK1)는 기준 클럭신호에 해당한다. 제 2 내지 제 4 클럭신호(CLK2~CLK4)는 제 1 클럭신호(CLK1)에 비해 각각 90°, 180°, 270° 만큼 지연된 위상을 갖는다. 클럭신호 발생기(110)는 제 1 클럭신호(CLK1)를 제 1 지연회로(121)에 전달하고, 제 4 클럭신호(CLK4)를 제 2 지연회로(122)에 전달한다. 또한, 클럭신호 발생기(110)는 제 1 내지 제 4 클럭신호(CLK1~CLK4)를 멀티플렉서(160)에 전달한다.

[0021] 제 1 지연회로(121)는 제 1 클럭신호(CLK1)에 대한 일정한 시간지연을 발생한다. 제 1 지연회로(121)에 의해 시간지연된 제 1 클럭신호(CLK1)는 업-카운터(150)에 제공된다.

[0022] 제 2 지연회로(122)는 제 4 클럭신호(CLK4)에 대한 일정한 시간지연을 발생한다. 제 2 지연회로(122)에 의해 시간지연된 제 4 클럭신호(CLK4)는 제 1 및 제 2 플립-플롭(151, 152)에 제공된다.

[0023] 제 1 내지 제 4 클럭신호(CLK1~CLK4)는 전달 경로 차이로 인해 시간지연이 발생할 수 있다. 제 1 및 제 2 지연회로(121, 122)는 이러한 시간지연을 보상하기 위해 제 1 및 제 4 클럭신호(CLK1, CLK4)에 대해 추가적인 시간지연을 발생한다.

[0024] 업-카운터(130)는 제 1 지연회로(121)를 거친 제 1 클럭신호에 응답하여 업-카운팅 한다. 이때, 업-카운터(130)는 최소 카운팅 값에서부터 최대 카운팅 값까지 업-카운팅 한다. 그리고, 업-카운터(130)는 업-카운팅 값이 최대 카운팅 값에 도달하는 순간 업-카운팅 값을 최소 카운팅 값으로 리셋한다.

[0025] 예를 들어 n비트의 업-카운터(130)를 가정하면(여기서, n은 1 이상의 정수), 최소 카운팅 값은 0, 최대 카운팅 값은 2^n-1이 될 것이다. 따라서, 업-카운터(130)는 0에서부터 2^n-1까지 업-카운팅 한다. 그리고, 업-카운터(130)는 업-카운팅 값이 2^n-1에 도달하는 순간 업-카운팅 값을 0으로 리셋한다.

[0026] 참고로, 최대 및 최소 카운팅 값은 미리 정해져 있는 값이다. 다만, 그 값이 변경될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0027] 업-카운터(130)는 업-카운팅과 리셋을 반복하면서 제 1 펄스-폭 변조 신호(PWM1)를 주기적으로 발생한다. 업-카운터(130)에 의한 제 1 펄스-폭 변조 신호(PWM1)의 발생에 대해서는 이하의 도 2에서 더욱 상세히 설명될 것이다.

[0028] 비교기(140)는 업-카운터(130)의 업-카운팅 값을 감지한다. 이때, 비교기(130)는 업-카운팅 값이 최대 카운팅 값에 도달하는 순간 펄스신호(PS)를 발생한다. 펄스신호(PS)는 제 1 및 제 2 플립-플롭(151, 152), 그리고 다운-카운터(170)에 각각 제공된다.

[0029] 제 1 플립-플롭(151)은 펄스신호(PS)에 의해 활성화된다. 활성화된 제 1 플립-플롭(151)은 제 2 지연회로(122)를 거친 제 4 클럭신호(CLK4) 및 제 2 명령신호(CMD2)에 응답하여 제 1 선택신호(SEL1)를 발생한다. 여기서, 제 1 선택신호(SEL1)의 로직 레벨은 제 2 명령신호(CMD2)에 따라 결정된다.

[0030] 제 2 플립-플롭(152)은 펄스신호(PS)에 의해 활성화된다. 활성화된 제 2 플립-플롭(152)은 제 2 지연회로(122)를 거친 제 4 클럭신호(CLK4) 및 제 3 명령신호(CMD3)에 응답하여 제 2 선택신호(SEL2)를 발생한다. 여기서, 제 2 선택신호(SEL2)의 로직 레벨은 제 3 명령신호(CMD3)에 따라 결정된다.

[0031] 멀티플렉서(160)는 제 1 및 제 2 선택신호(SEL1, SEL2)에 응답하여 제 1 내지 제 4 클럭신호(CLK1~CLK4) 중 하나를 선택한다. 예로서, (SEL1, SEL2)=(0, 0)이면 제 1 클럭신호(CLK1)가 선택될 것이다. (SEL1, SEL2)=(0, 1)이면 제 2 클럭신호(CLK2)가 선택될 것이다. (SEL1, SEL2)=(1, 0)이면 제 3 클럭신호(CLK3)가 선택될 것이다. (SEL1, SEL2)=(1, 1)이면 제 4 클럭신호(CLK4)가 선택될 것이다.

[0032] 다운-카운터(170)는 멀티플렉서(160)에 의해 선택된 클럭신호에 응답하여 다운-카운팅을 한다. 이때, 다운-카운터(170)는 최대 카운팅 값에서부터 최소 카운팅 값까지 다운-카운팅 한다. 여기서, 다운-카운터(170)의 최대 및 최소 카운팅 값은 업-카운터(130)의 최대 및 최소 카운팅 값과 동일하게 설정된다. 따라서, 다운-카운터(170)은 2^n-1에서부터 0까지 다운-카운팅 한다.

[0033] 다운-카운터(170)는 다운-카운팅 도중 비교기(140)에서 발생한 펄스신호(PS)가 입력되면 제 1 명령신호가 전달하는 n비트의 데이터 값을 로드(load)한다. 이때, 다운-카운터(170)는 다운-카운팅 값을 n비트의 데이터 값으로 갱신한다. 따라서, 이때부터 n비트의 데이터 값이 다운-카운팅 된다. 그리고, 다운-카운터(170)는 다운-카운팅 값이 최소 카운팅 값에 도달하는 순간 다운-카운팅 값을 최대 카운팅 값으로 리셋한다.

[0034] 다운-카운터(170)는 다운-카운팅과 리셋을 반복하면서 제 2 펄스-폭 변조 신호(PWM2)를 주기적으로 발생한다. 다운-카운터(170)에 의한 제 2 펄스-폭 변조 신호(PWM2)의 발생에 대해서는 이하의 도 2에서 더욱 상세히 설명될 것이다. 이때, 제 2 펄스-폭 변조 신호(PWM2)는 제 1 펄스-폭 변조 신호(PWM1)에 비해 지연된 위상을 갖는다. 이는 이하의 도 2 및 3에서 더욱 상세히 설명될 것이다.

[0035] 데드타임 발생기(180)는 제 1 및 제 2 펄스-폭 변조 신호(PWM1, PWM2)를 입력받아 제 1 및 제 2 펄스-폭 변조 신호(PWM1, PWM2)에 각각 반전하는 제 3 및 제 4 펄스-폭 변조 신호(PWM3, PWM4)를 발생한다.

[0036] 그리고, 데드타임 발생기(180)는 제 1 및 제 3 펄스-폭 변조 신호(PWM1, PWM3) 사이에 데드타임(dead-time)을 설정한다. 따라서, 제 1 및 제 3 펄스-폭 변조 신호(PWM1, PWM3)의 전압이 동시에 하이 레벨이 되는 것을 방지할 수 있다.

[0037] 또한, 데드타임 발생기(180)는 제 2 및 제 4 펄스-폭 변조 신호(PWM2, PWM4) 사이에 데드타임을 설정한다. 따라서, 제 2 및 제 4 펄스-폭 변조 신호(PWM2, PWM4)의 전압이 동시에 하이 레벨이 되는 것을 방지할 수 있다.

[0038] 상술한 바와 같이, 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기(100)는 제 1 내지 제 4 펄스-폭 변조 신호(PWM1~PWM4)를 발생한다. 제 1 내지 제 4 펄스-폭 변조 신호(PWM1~PWM4)는 전원장치의 제어신호로서 사용될 수 있다. 특히, 펄스-폭 변조 신호 발생기(100)는 위상천이 풀-브리지 직류-직류 컨버터(phase-shifted full-bridge DC-DC converter)를 제어하기 위해 사용될 수 있다. 이는 이하의 도 4 및 5에서 더욱 상세히 설명될 것이다.

[0039] 여기서, 제 1 및 제 3 펄스-폭 변조 신호(PWM1, PWM3)는 진상(leading) 신호이고, 제 2 및 제 4 펄스-폭 변조 신호(PWM2, PWM4)는 지상(lagging) 신호이다. 진상 신호(PWM1, PWM3)와 지상 신호(PWM1, PWM4) 사이의 위상 지연에 대한 분해능(resolution)은 위상천이 풀-브리지 직류-직류 컨버터의 제어에 대한 정밀도 및 안정도에 영향을 미친다.

[0040] 여기서, 분해능은 진상 신호(PWM1, PWM3)와 지상 신호(PWM2, PWM4) 사이의 위상 지연이 변화하는 정도를 의미한

다. 따라서, 분해능이 증가하면 더욱 정밀하게 위상 지연을 발생할 수 있다. 그리고, 분해능은 업-카운터(130) 및 다운-카운터(170)에서 카운팅 되는 비트 수(n비트)로 표현할 수 있다.

[0041] 이하의 식 1은 업-카운터(130) 및 다운-카운터(170)에서 발생하는 펄스-폭 변조 신호의 주파수(f_S), 클럭신호 주파수(f_C) 및 분해능(n비트)과의 관계를 설명한다. 식 1을 참조하면, 펄스-폭 변조 신호의 주파수(f_S)를 높이기 위해서는 클럭신호 주파수(f_C)를 높이거나 분해능(n비트)을 줄여야 한다.

수학식 1

[0042]
$$f_S = \frac{f_C}{2^n}$$

[0043] 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기(100)에 의하면 클럭신호 주파수(f_C)를 높이지 않으면서 분해능이 2비트 증가하더라도 펄스-폭 변조 신호의 주파수(f_S)를 유지할 수 있다. 이는 이하의 도 2 및 3에서 더욱 상세히 설명될 것이다.

[0044] 도 2는 도 1의 펄스-폭 변조 신호 발생기에서 발생하는 펄스-폭 변조 신호에 대한 타이밍도이다. 도 2를 참조하면, 업-카운팅 값이 최대 카운팅 값에서 최소 카운팅 값으로 리셋 되는 순간 제 1 펄스-폭 변조 신호(PWM1)는 로우 레벨에서 하이 레벨로 변경된다. 이후, 업-카운팅 하는 도중 업-카운팅 값이 최대 카운팅 값의 중간값에 도달하는 순간 제 1 펄스-폭 변조 신호(PWM1)는 하이 레벨에서 로우 레벨로 변경된다. 이는 예시적인 것으로 최대 카운팅 값과 최소 카운팅 값 사이의 임의의 값에 도달하는 순간 제 1 펄스-폭 변조 신호(PWM1)의 전압 레벨이 변경될 수 있다. 즉, 최대 카운팅 값과 최소 카운팅 값 사이의 임의의 값은 제 1 펄스-폭 변조 신호(PWM1)의 듀티 비(duty ratio)를 결정한다. 다만, 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기에서는 50%의 듀티 비를 이용한다. 그리고, 50%의 듀티 비를 갖는 펄스-폭 변조 신호는 n비트 업-카운터의 최상위 비트에 대응하는 파형과 동일한 파형을 갖는다.

[0045] 제 1 펄스-폭 변조 신호(PWM1)는 업-카운팅과 리셋을 반복하는 것에 의해 주기적으로 발생한다. 여기서, 최대 카운팅 값이 증가하면 제 1 펄스-폭 변조 신호(PWM1)의 주기(Ts)도 증가한다. 이러한 최대 카운팅 값은 분해능에 의해 결정된다. 즉, 분해능이 증가하면 업-카운팅 할 수 있는 최대 값도 증가한다.

[0046] 제 3 펄스-폭 변조 신호(PWM3)는 데드타임 발생기(180, 도 1 참조)에 의해 제 1 펄스-폭 변조 신호(PWM1)가 반전되어 발생한다. 다만, 제 1 및 제 3 펄스-폭 변조 신호(PWM1, PWM3) 사이에 데드타임(dead-time)이 설정된다. 이는 제 1 및 제 3 펄스-폭 변조 신호(PWM1, PWM3)의 전압이 동시에 하이 레벨이 되는 것을 방지하기 위함이다.

[0047] 도 1에서 설명한 바와 같이, 업-카운팅 값이 리셋 되는 순간 펄스신호(PS)가 다운-카운터(170, 도 1 참조)에 입력된다. 이때, 다운-카운팅 값은 제 1 명령신호(CMD1)가 전달하는 n비트의 데이터 값(DATA)으로 갱신된다. 이후, n비트의 데이터 값(DATA)이 다운-카운팅 된다.

[0048] 다운-카운팅 값이 최대 카운팅 값에서 최소 카운팅 값으로 리셋 되는 순간 제 2 펄스-폭 변조 신호(PWM2)는 로우 레벨에서 하이 레벨로 변경된다. 결국, 제 2 펄스-폭 변조 신호(PWM2)는 n비트의 데이터 값(DATA)이 다운-카운팅 되는 만큼 지연된다. 즉, n비트의 데이터 값(DATA)에 따라 제 1 및 제 2 펄스-폭 변조 신호(PWM1, PWM2) 사이의 위상 지연이 달라질 것이다.

[0049] 이후, 다운-카운팅 하는 도중 다운-카운팅 값이 최대 카운팅 값의 중간값에 도달하는 순간 제 2 펄스-폭 변조 신호(PWM2)는 하이 레벨에서 로우 레벨로 변경된다.

[0050] 이는 예시적인 것으로 최대 카운팅 값과 최소 카운팅 값 사이의 임의의 값에 도달하는 순간 제 2 펄스-폭 변조 신호(PWM2)의 전압 레벨이 변경될 수 있다. 즉, 최대 카운팅 값과 최소 카운팅 값 사이의 임의의 값은 제 2 펄스-폭 변조 신호(PWM2)의 듀티 비를 결정한다. 다만, 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기에서는 50%의 듀티 비를 이용한다. 그리고, 50%의 듀티 비를 갖는 펄스-폭 변조 신호는 n비트 다운-카운터의 최상위 비트에 대응하는 파형과 동일한 파형을 갖는다.

[0051] 제 2 펄스-폭 변조 신호(PWM2)는 다운-카운팅, 리셋 및 n비트의 데이터 값(DATA)으로 다운-카운팅 값의 갱신을 반복하는 것에 의해 주기적으로 발생한다. 제 2 펄스-폭 변조 신호(PWM2)는 펄스신호(PS)에 의해 제 1 펄스-폭

변조 신호(PWM1)와 같은 주기(TS)를 갖도록 발생한다. 다만, 상술한 바와 같이, 제 2 펄스-폭 변조 신호(PWM2)는 제 1 펄스-폭 변조 신호(PWM1)에 비해 n비트의 데이터 값(DATA)이 다운-카운팅 되는 만큼 지연된 위상을 갖는다.

[0052] 제 4 펄스-폭 변조 신호(PWM4)는 데드타임 발생기(180, 도 1 참조)에 의해 제 2 펄스-폭 변조 신호(PWM1)가 반전되어 발생한다. 다만, 제 2 및 제 4 펄스-폭 변조 신호(PWM2, PWM4) 사이에 데드타임(dead-time)이 설정된다. 이는 제 2 및 제 4 펄스-폭 변조 신호(PWM2, PWM4)의 전압이 동시에 하이 레벨이 되는 것을 방지하기 위함이다.

[0053] 데이터 값(DATA)의 비트 수(n비트)는 진상 신호(PWM1, PWM3)와 지상 신호(PWM2, PWM4) 사이의 위상 지연에 대한 분해능을 의미한다. 분해능이 증가하면 제 1 내지 4 펄스-폭 변조 신호(PWM1~PWM4)의 주기(Ts)가 증가한다. 이는 제 1 내지 4 펄스-폭 변조 신호(PWM1~PWM4)의 주파수가 감소하는 것을 의미한다.

[0054] 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기(100)는 클럭신호의 주파수를 유지하고 제 1 내지 4 펄스-폭 변조 신호(PWM1~PWM4)의 주파수를 감소시키지 않으면서 분해능을 2비트 증가시킬 수 있다. 이는 이하의 도 3에서 더욱 상세히 설명될 것이다.

[0055] 도 3은 도 1의 펄스-폭 변조 신호 발생기에 의해 분해능을 2비트 증가시키는 방법을 설명하기 위한 타이밍도이다. 도 3을 참조하면, 제 1 클럭신호(CLK1)는 기준 클럭신호에 해당한다. 그리고, 제 2 내지 제 4 클럭신호(CLK2~CLK4)는 제 1 클럭신호(CLK1)에 비해 각각 90°, 180°, 270° 만큼 지연된 위상을 갖는다.

[0056] 업-카운팅 값은 제 1 클럭신호(CLK1)의 상승 에지마다 한 단계씩 증가한다. 다운-카운팅 값은 제 1 내지 제 4 클럭신호(CLK1~CLK4) 중 선택된 하나의 상승 에지마다 한 단계씩 감소한다.

[0057] 업-카운팅 값이 리셋 되는 시작점을 제 1 시작점(S1)이라고 가정한다. 제 1 시작점(S1)에서 제 1 펄스-폭 변조 신호(PWM1)는 로우 레벨에서 하이 레벨로 변경된다.

[0058] 제 1 시작점(S1) 이후 제 2 클럭신호(CLK2)의 최초 상승 에지가 발생하는 시점을 제 2 시작점(S2)이라고 가정한다. 제 1 시작점(S1) 이후 제 3 클럭신호(CLK3)의 최초 상승 에지가 발생하는 시점을 제 3 시작점(S3)이라고 가정한다. 제 1 시작점(S1) 이후 제 4 클럭신호(CLK4)의 최초 상승 에지가 발생하는 시점을 제 4 시작점(S4)이라고 가정한다.

[0059] 멀티플렉서(140, 도 1 참조)에 의해 제 1 내지 제 4 클럭신호(CLK1~CLK4) 중 하나가 선택되어 다운-카운터(170, 도 1 참조)에 전달된다. 제 1 내지 제 4 클럭신호(CLK1~CLK4) 중 하나는 업-카운팅 값이 리셋 되기 전에 클럭신호 주기의 4분의 1 시간(Tx) 안에 선택돼야 한다.

[0060] 이때, 제 1 클럭신호(CLK1)가 선택되면 제 1 시작점(S1)에서부터 n비트의 데이터 값(DATA)이 다운-카운팅 된다. 제 2 클럭신호(CLK2)가 선택되면 제 2 시작점(S2)에서부터 n비트의 데이터 값(DATA)이 다운-카운팅 된다. 제 3 클럭신호(CLK3)가 선택되면 제 3 시작점(S3)에서부터 n비트의 데이터 값(DATA)이 다운-카운팅 된다. 제 4 클럭신호(CLK4)가 선택되면 제 1 시작점(S4)에서부터 n비트의 데이터 값(DATA)이 다운-카운팅 된다.

[0061] 따라서, 제 1 내지 제 4 클럭신호(CLK1~CLK4)를 선택하는 것에 의해 클럭신호 주기의 4분의 1 시간(Tx)마다 n비트의 데이터 값(DATA)이 다운-카운팅 될 수 있다. 즉, 같은 n비트의 데이터 값(DATA)에 대한 다운-카운팅 수는 클럭신호 주기마다 다운-카운팅 되는 경우보다 4배 증가한다. 결국, 이는 클럭신호 주기마다 n비트보다 2비트 증가된 비트의 데이터 값(DATA)이 다운-카운팅 되는 경우와 같은 분해능을 갖는 것을 의미한다.

[0062] 정리하면, 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기(100)에 의하면 제 1 내지 제 4 클럭신호(CLK1~CLK4) 사이의 위상 차이를 이용하여 데이터 값(DATA)의 비트 수를 증가시키지 않으면서 분해능이 2비트 증가하는 것과 같은 효과를 얻을 수 있다.

[0063] 도 4는 도 1의 펄스-폭 변조 신호 발생기를 이용하는 전원장치를 나타내는 회로도이다. 도 4를 참조하면, 전원장치(1000)는 펄스-폭 변조 신호 발생기(1100), 제어장치(1200) 및 풀-브리지 직류-직류 컨버터(1300)를 포함한다.

[0064] 펄스-폭 변조 신호 발생기(1100)는 도 1에서 이미 설명되었다. 따라서, 이에 대한 설명은 생략한다.

[0065] 제어장치(1200)는 풀-브리지 직류-직류 컨버터(1300)의 출력에 따라 제 1 내지 제 3 명령신호(CMD1~CMD3)를 발생한다. 제 1 내지 제 3 명령신호(CMD1~CMD3)는 펄스-폭 변조 신호 발생기(1100)에 전달된다. 제 1 내지 제 3 명령신호(CMD1~CMD3)는 도 1에서 이미 설명되었다. 따라서, 이에 대한 설명은 생략한다.

[0066] 풀-브리지 직류-직류 컨버터(1300)는 제 1 내지 제 4 스위치(Q1~Q4), 제 1 내지 제 8 다이오드(D1~D8), 변압기(T), LC 필터(1310) 및 부하저항(R_L)을 포함한다.

[0067] 제 1 내지 제 4 스위치(Q1~Q4) 및 제 1 내지 제 4 다이오드(D1~D4)는 직류 입력전압(V_{IN})을 교류 전압으로 변환하는 풀-브리지 회로를 구성한다. 제 1 내지 제 4 스위치(Q1~Q4)는 MOSFET으로 구성될 수 있다. 이때, 펄스-폭 변조 신호 발생기(1100)에서 제공하는 제 1 내지 제 4 펄스-폭 변조 신호(PWM1~PWM4)는 각각 제 1 내지 제 4 스위치(Q1~Q4)를 제어한다.

[0068] 제 1 내지 제 4 다이오드(D1~D4)는 제 1 내지 제 4 스위치(Q1~Q4)와 역방향으로 각각 병렬 연결된다. 즉, 제 1 내지 제 4 다이오드(D1~D4)의 양극은 제 1 내지 제 4 스위치(Q1~Q4)의 소스에 연결된다. 그리고, 제 1 내지 제 4 다이오드(D1~D4)의 음극은 제 1 내지 제 4 스위치(Q1~Q4)의 드레인에 연결된다.

[0069] 제 1 내지 제 4 스위치(Q1~Q4)가 턴 오프 되는 경우 제 1 내지 제 4 스위치(Q1~Q4)의 기생 커패시터(미도시)는 변압기(T)의 누설 인덕터(미도시)에 축적된 에너지에 의해 충전된다. 각각의 기생 커패시터가 일정 전압으로 충전되면 제 1 내지 제 4 다이오드(D1~D4)에 순방향 바이어스 전압이 제공된다. 따라서, 제 1 내지 제 4 다이오드(D1~D4)에 의해 제 1 내지 제 4 스위치(Q1~Q4)의 소스와 드레인은 서로 연결된다. 이때, 제 1 내지 제 4 스위치(Q1~Q4)가 턴 온 되면서 풀-브리지 직류-직류 컨버터(1300)는 영 전압 스위칭(Zero Voltage Switching, ZVS)을 하게 된다.

[0070] 변압기(T)는 1차 측의 교류 전압을 2차 측의 교류 전압으로 변경한다. 이때, 2차 측의 교류 전압은 1차 측의 교류 전압에 비해 승압 또는 감압 될 것이다.

[0071] 제 5 내지 제 8 다이오드(D5~D8)는 2차 측의 교류 전압에 대한 정류 작용을 하는 브리지 정류기를 구성한다. 그리고, LC 필터(1310)는 브리지 정류기의 출력 전압(V_R)에 대한 평활 작용을 한다. 따라서, 직류 출력전압(V_{OUT})이 부하저항(R_L) 사이에 나타난다.

[0072] 제어장치(1200)는 풀-브리지 직류-직류 컨버터(1300)가 영 전압 스위칭을 하도록 제 1 내지 제 3 명령신호(CMD1~CMD3)를 발생한다. 펄스-폭 변조 신호 발생기(1100)는 제 1 내지 제 3 명령신호(CMD1~CMD3)에 응답하여 제 1 내지 제 4 펄스-폭 변조 신호(PWM1~PWM1)를 발생한다.

[0073] 앞에서 설명한 바와 같이, 제 1 및 제 3 펄스-폭 변조 신호(PWM1, PWM1)는 진상 신호에 해당한다. 반면에, 제 2 및 제 4 펄스-폭 변조 신호(PWM1, PWM1)는 지상 신호에 해당한다.

[0074] 풀-브리지 직류-직류 컨버터(1300)의 영 전압 스위칭이 발생하기 위해서는 진상 신호(PWM1, PWM1)와 지상 신호(PWM1, PWM1) 사이의 위상 지연이 조절돼야 한다. 진상 신호(PWM1, PWM1)와 지상 신호(PWM1, PWM1) 사이의 위상 지연은 제 1 내지 제 3 명령신호(CMD1~CMD3)에 의해 제어될 수 있다. 여기서, 진상 신호(PWM1, PWM1)와 지상 신호(PWM1, PWM1) 사이의 위상 지연이 변화하는 정도는 풀-브리지 직류-직류 컨버터(1300)의 제어에 대한 정밀도 및 안정도와 관련 있다. 그리고, 이는 분해능에 의해 결정된다.

[0075] 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기(1100)에 의하면 제 1 내지 제 4 클럭신호(CLK1~CLK4) 및 제 1 내지 제 4 펄스-폭 변조 신호(PWM1~PWM4)의 주파수를 유지하면서 분해능이 2비트 증가하는 것과 같은 효과를 얻을 수 있다. 따라서, 제 1 내지 제 4 스위치(Q1~Q4)의 스위칭 주파수를 감소시키지 않으면서 풀-브리지 직류-직류 컨버터(1300)는 더욱 정밀하게 제어될 수 있다.

[0076] 도 5는 도 4의 풀-브리지 직류-직류 컨버터의 스위칭 동작을 설명하기 위한 타이밍도이다. 도 5를 참조하면, 제 1 내지 제 4 스위치(Q1~Q4, 도 4 참조)는 제 1 내지 제 4 펄스-폭 변조 신호(PWM1~PWM4)에 의해 일정 주기(Ts)마다 턴 온/오프(스위칭) 된다. 이때, 브리지 정류기의 출력 전압(V_R)의 듀티 비는 진상 신호(PWM1, PWM3)와 지상 신호(PWM2, PWM4) 사이의 위상 지연에 의해 결정된다. 그리고, 브리지 정류기의 출력 전압(V_R)의 주파수는 제 1 내지 제 4 스위치(Q1~Q4, 도 4 참조)의 스위칭 주파수의 두 배가 된다.

[0077] 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

도면의 간단한 설명

[0078] 도 1은 본 발명의 실시 예에 따른 펄스-폭 변조 신호 발생기를 보여주는 블록도이다.

[0079] 도 2는 도 1의 펄스-폭 변조 신호 발생기에서 발생하는 펄스-폭 변조 신호에 대한 타이밍도이다.

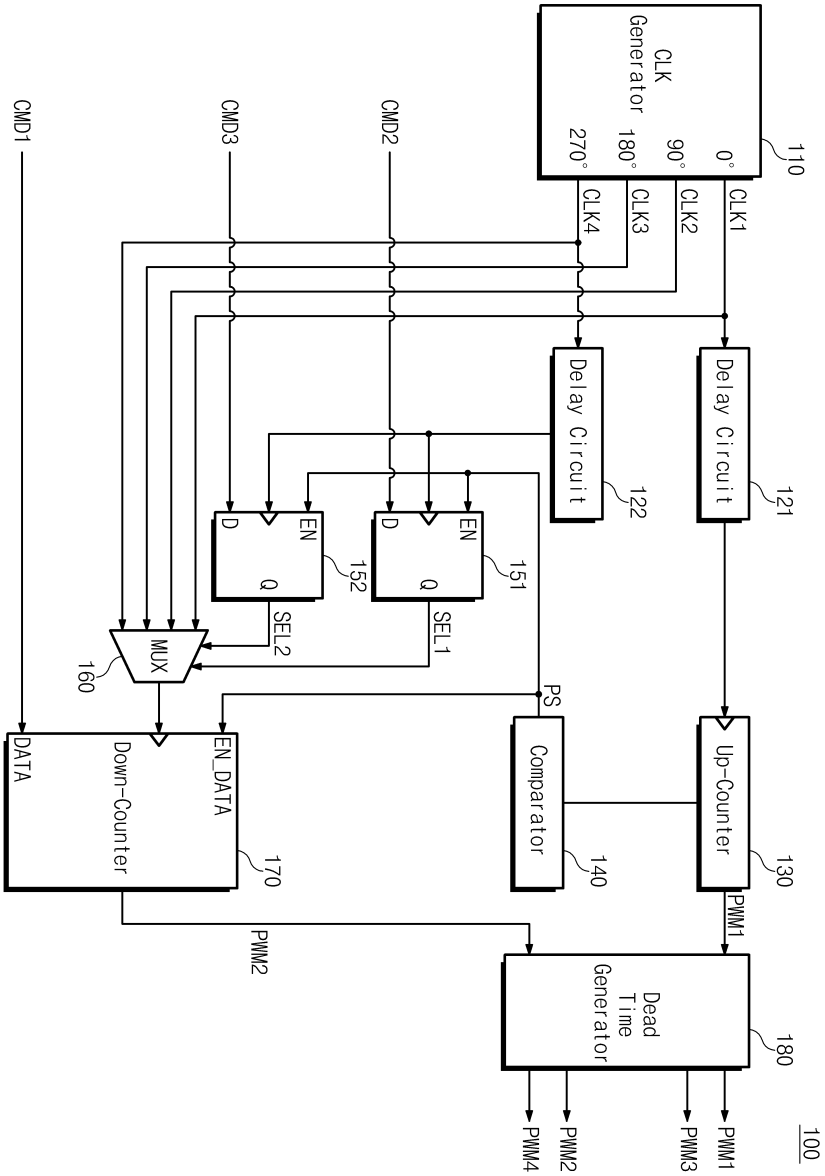
[0080] 도 3은 도 1의 펄스-폭 변조 신호 발생기에 의해 분해능을 2비트 증가시키는 방법을 설명하기 위한 타이밍도이다.

[0081] 도 4는 도 1의 펄스-폭 변조 신호 발생기를 이용하는 전원장치를 나타내는 회로도이다.

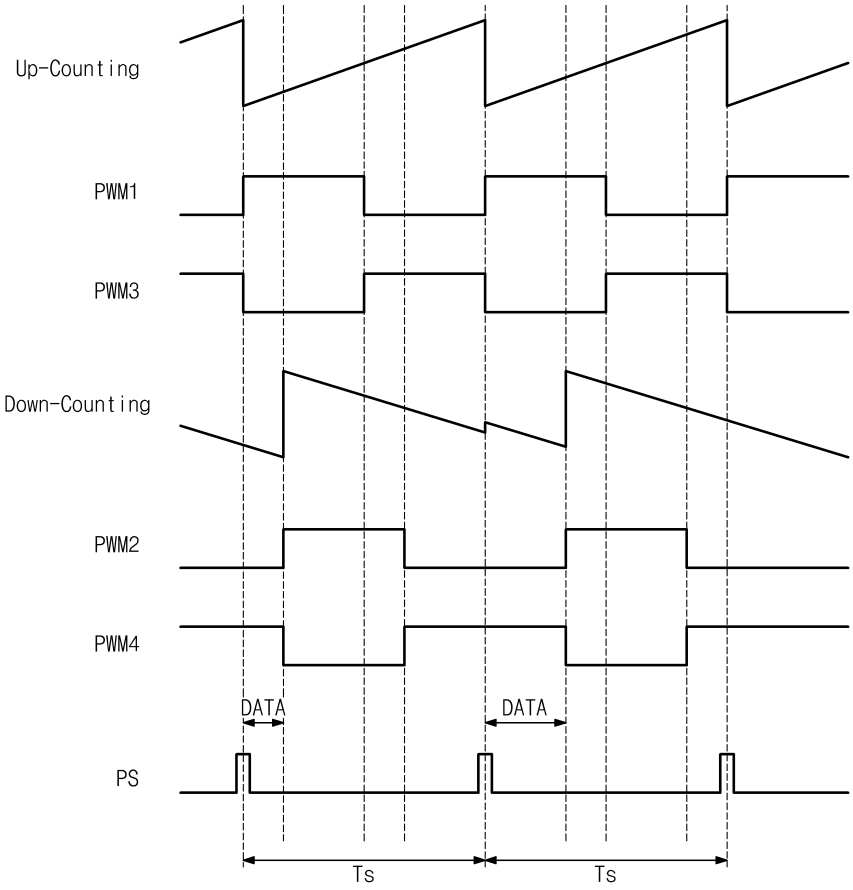
[0082] 도 5는 도 4의 풀-브리지 직류-직류 컨버터의 스위칭 동작을 설명하기 위한 타이밍도이다.

도면

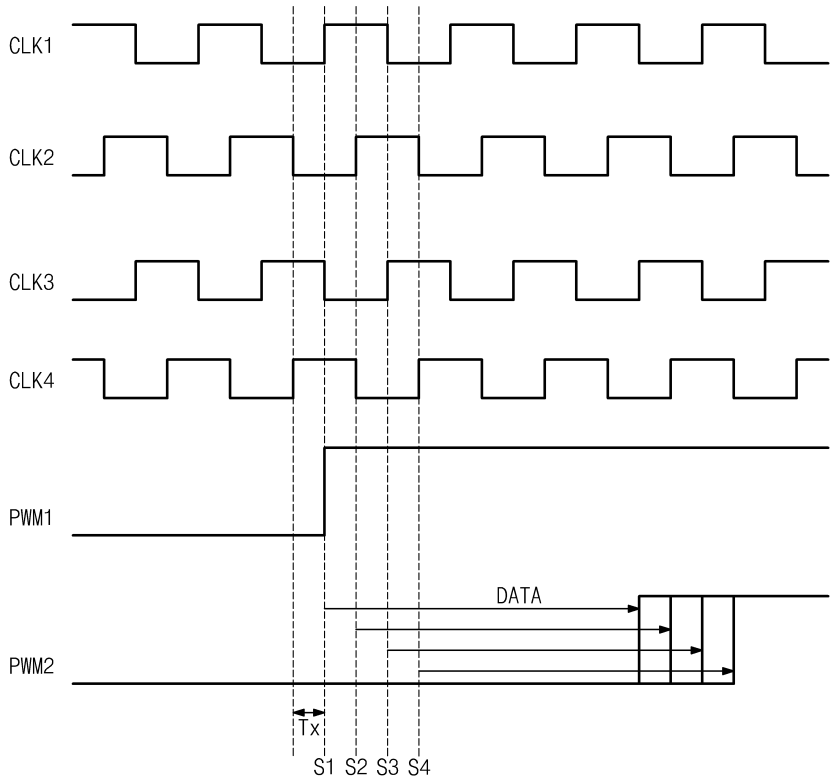
도면1



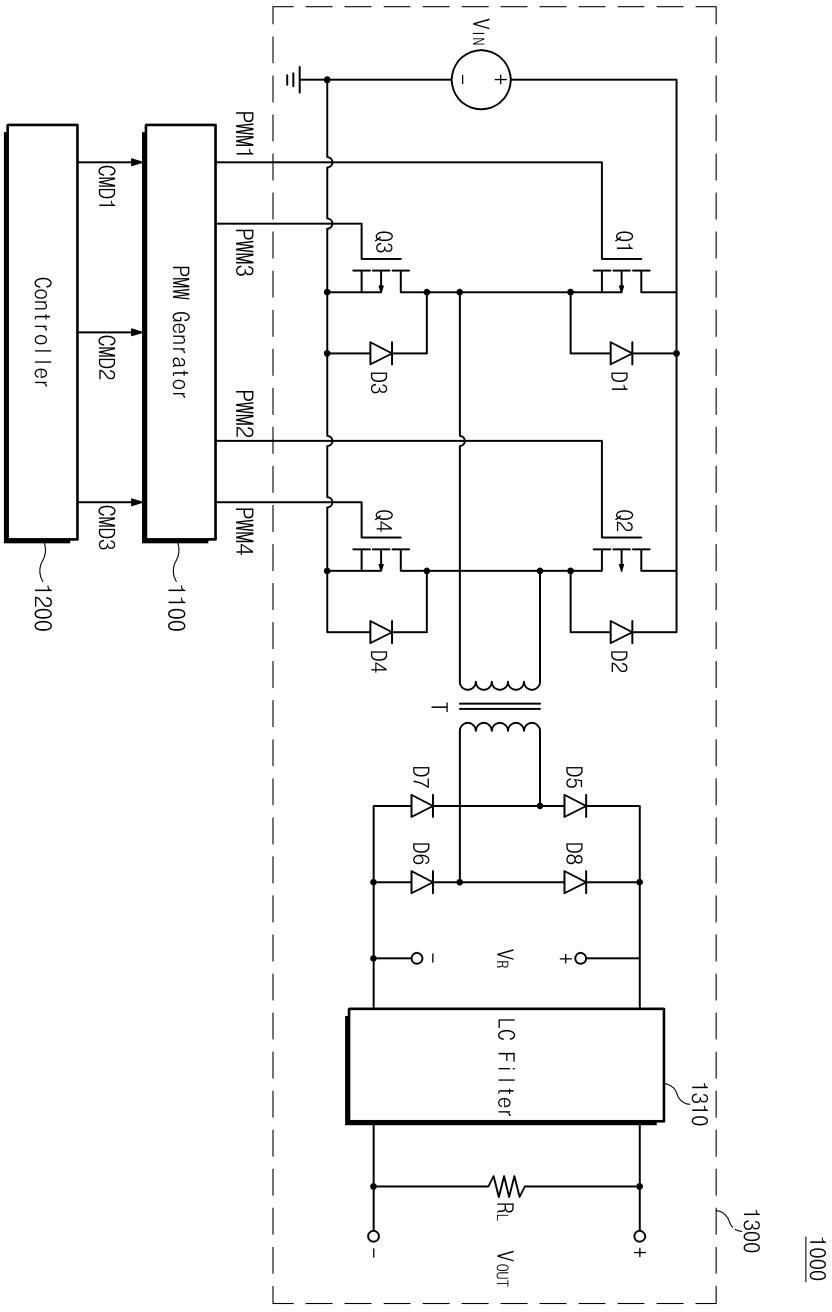
도면2


Up-Counting
PWM1
PWM3
Down-Counting
PWM2
PWM4
DATA
DATA
PS
Ts
Ts

도면3



도면4


Controller
PWM Genrator
CMD1
CMD2
CMD3
PWM1
PWM3
PWM2
PWM4
1200
1100
VIN
Q1
Q2
Q3
Q4
D1
D2
D3
D4
T
D5
D6
D7
D8
VR
LC Filter
1310
RL
VOUT
1300
1000

도면5

