
Octrooiraad



⑩ A **Terinzagelegging** ⑪ **7906752**

Nederland

⑲ NL

- ⑤4 **Statische geheugencel en geheugen opgebouwd uit dergelijke cellen.**
- ⑤1 Int.Cl³.: H01L27/10.
- ⑦1 Aanvrager: N.V. Philips' Gloeilampenfabrieken te Eindhoven.
- ⑦4 Gem.: Ir. R.A. Bijl c.s.
Internationaal Octrooibureau B.V.
Prof. Holstlaan 6
5656 AA Eindhoven.

-
- ②1 Aanvraag Nr. 7906752.
- ②2 Ingediend 11 september 1979.
- ③2 --
- ③3 --
- ③1 --
- ②3 --
- ⑥1 --
- ⑥2 --

-
- ④3 Ter inzage gelegd 13 maart 1981.

De aan dit blad gehechte afdruk van de beschrijving met conclusie(s) en eventuele tekening(en) bevat afwijkingen ten opzichte van de oorspronkelijk ingediende stukken; deze laatste kunnen bij de Octrooiraad op verzoek worden ingezien.

Statische geheugencel en geheugen opgebouwd uit dergelijke cellen.

De uitvinding heeft betrekking op een statische bipolaire geheugencel van het emitter gekoppelde type, met een eerste en een tweede transistor, waarbij de basiszone van de eerste transistor is verbonden met de collectorzone van de tweede transistor en de basiszone van de tweede transistor met de collectorzone van de eerste transistor, en waarbij de collectorzones via een belastings-
5 element met een voedingslijn zijn verbonden.

Dergelijke geheugencellen en geheugens met dergelijke cellen zijn algemeen bekend.
10

In een eenvoudige uitvoeringsvorm worden in bekende cellen de belastingselementen gevormd door weerstanden die een - in principe - lineaire stroomspanningskarakteristiek vertonen.

Deze cellen vertonen echter het bezwaar van een kleine lees/onthoudstroom verhouding (praktisch = 1).
15 Bij voorkeur echter is deze verhouding zo groot mogelijk zoals hieronder in grote lijnen zal worden uiteengezet.

Zoals bekend, kan de cel in twee stabiele toestanden verkeren, waarbij een stroom of door de eerste of door de tweede transistor, afhankelijk van de opgeslagen informatie, vloeit. Tijdens bedrijf zal zich regelmatig de situatie voordoen dat de in een cel opgeslagen informatie wel onthouden of bewaard dient te
20 worden maar niet hoeft te worden uitgelezen. De stroom, die in deze situatie door de cel loopt, en onthoudstroom wordt genoemd, is in hoofdzaak bepalend voor de standby vermogensdissipatie en wordt op grond daarvan zo klein mogelijk gehouden. De ondergrens van de onthoudstroom
30 wordt bepaald door de impedantie van de belastings-elementen. Beneden deze ondergrens wordt niet langer voldaan aan stabiliteitscriteria, waardoor de opgeslagen informatie verloren kan gaan. Tijdens het lezen wordt

bij voorkeur een grote stroom door de cel gestuurd om parasitaire capaciteiten snel op te laden en daardoor de uitleestijd te verkleinen. De maximale waarde voor de leesstroom wordt ook bepaald door de grootte van de impedantie van het belastingselement.

Ter verbetering van de verhouding onthoudstroom/leesstroom is reeds voorgesteld om, in plaats van een lineair weerstandselement, een niet-lineair weerstandselement toe te passen. Een dergelijk niet-lineair weerstandselement kan bijvoorbeeld gevormd worden door een weerstand met een parallel hierover geschakelde diode waarbij een kleine onthoudstroom via de - relatief hoge - weerstand kan worden gevoerd en de grote leesstroom via de diode. Deze dioden verschaffen niet-lineaire belastingen waarmee in de praktijk leesstroom/onthoudstroom verhoudingen van 10-20 zijn verkregen. De vervaardiging van de dioden kan zeer eenvoudig zijn. In een op zichzelf bekend proces met een epitaxiale laag van het ene geleidingstype op een substraat van hetzelfde geleidingstype en tussenliggende begraven collectorlagen van het tegengestelde geleidingstype, kunnen, zoals uit de figuurbeschrijving nog zal blijken de dioden zelfs automatisch worden verkregen, d.w.z. dat buiten de weerstandsgebieden additionele pn-overgangen gevormd worden. De op deze eenvoudige wijze verkregen inrichtingen vertonen gunstige eigenschappen in die zin dat door de lage onthoudstroom de dissipatie laag is, terwijl door de mogelijke grote leesstroom, de leestijden klein kunnen zijn.

Vaak echter is het gewenst dat de schrijftijden, waarmee de informatie in de cel wordt ingeschreven korter zijn dan in de tot nog toe bekende geheugencellen. De uitvinding stelt zich ten doel een statische bipolaire geheugencel te verschaffen waarin, met behoud van een gunstige leesstroom/onthoudstroom verhouding, een aanzienlijke verkleining van de schrijftijd wordt verkregen.

Een statische geheugencel van het ECL-type bevat

volgens de uitvinding:

- A een halfgeleider lichaam van het ene geleidings-
type met een aan een oppervlak grenzende relatief hoog-
ohmige oppervlaktielaag van het ene geleidingstype met
5 twee naast elkaar gelegen onderling geïsoleerde eilanden
die aan de onderzijde van de rest van het halfgeleider-
lichaam zijn gescheiden door relatief laag-ohmige be-
graven lagen van het tweede geleidingstype;
- B een eerste en een tweede transistor in resp.
10 een eerste en het andere van de genoemde eilanden, welke
transistoren elk een basiszone van het ene geleidings-
type, tenminste één aan het oppervlak grenzende emitter-
zone van het tweede geleidingstype en een collectorzone
van het tweede geleidingstype die, althans ten dele,
15 door de bijbehorende begraven laag van het tweede ge-
leidingstype wordt gevormd bevatten;
- C kruisverbindingen tussen de basiszone van de
eerste transistor en de collectorzone van de tweede
transistor en tussen de basiszone van de tweede transistor
20 en de collectorzone van de eerste transistor;
- D een eerste en een tweede belastingselement tussen
een voedingslijn en de collectorzones van resp. de eerste
en de tweede transistor, welke belastingselementen elk
een weerstand en een parallel hiervoor - bij stroomdoor-
25 gang in de voorwaartsrichting - geschakelde diode
bevatten, waarbij de weerstanden van het eerste en het
tweede belastingselement resp. door een weerstandgebied
van het ene geleidingstype dat zich tussen de basiszone
van de tweede transistor en een voedingsaansluiting in
30 het tweede eiland uitstrekt en door een weerstandsgebied
van het ene geleidingstype dat zich tussen de basiszone
van de eerste transistor en een voedingsaansluiting in
het eerste eiland uitstrekt, worden gevormd, en waarbij
de dioden van het eerste en het tweede belastings-
35 element worden gevormd door de pn-overgangen tussen resp.
de begraven laag onder het eerste eiland en het weer-
standsgebied in het eerste eiland en tussen de begraven

7906752

laag onder het tweede eiland en het weerstandgebied in het tweede eiland;

E Een derde en een vierde transistor in resp. het eerste en het tweede eiland ter plaatse van de genoemde
5 voedings-aansluitingen, welke transistoren een basiszone van het ene geleidingstype en een emitter- en een collectorzone van het tweede geleidingstype bevatten, waarbij de emitter-basisovergangen van deze transistoren gevormd worden door de genoemde pn-overgangen tussen de begraven
10 lagen van het tweede geleidingstype en de weerstandsgebieden van het ene geleidingstype en waarbij de collectorzones van deze transistoren gevormd worden door in de weerstandsgebieden aangebrachte oppervlaktezones van het tweede geleidingstype die met de weerstandsgebieden
15 door de voedingsaansluitingen kortgesloten pn-overgangen vormen.

Met geheugencellen, op deze wijze vervaardigd, bleek een leesstroom/onthoudstroom verhouding van 10-20 verkregen te kunnen worden, terwijl in 1k geheugens,
20 opgebouwd uit deze cellen, schrijftijden van ruim onder de 10 ns bleken verkregen te kunnen worden. Zoals verder uit de figuurbeschrijving zal blijken, vereist de vervaardiging van de cel geen additionele, of ingewikkelde processtappen, terwijl de totale ruimte die de cel in het
25 halfgeleiderlichaam in beslag neemt niet of nauwelijks groter is dan die van bekende geheugencellen, hetgeen voor het construeren van in het bijzonder grotere geheugens van groot belang is.

30

35

7906752

De uitvinding zal nader worden uiteengezet aan de hand van enkele uitvoeringsvoorbeelden en de bijbehorende schematische tekening, waarin,

Fig. 1 een schematisch bovenaanzicht geeft van
5 een statische geheugencel volgens de uitvinding en waarvan;

Fig. 2 een doorsnede toont langs de lijn II-II;

Fig. 3 een doorsnede toont langs de lijn III-III
en

Fig. 4 het elektrisch vervangingsschema toont;

10 Fig. 5 in doorsnede een variant van een geheugencel volgens de uitvinding toont;

Fig. 6 een doorsnede van een verdere uitvoeringsvorm van een geheugencel volgens de uitvinding.

Opgemerkt wordt dat de figuren niet op schaal
15 zijn getekend en dat in het bovenaanzicht ter vergroting van de duidelijkheid in hoofdzaak slechts de onderlinge positie van de eilanden, contactgaten en metalliseringen zijn aangegeven.

De inrichting volgens de figuren 1-3 bevat een
20 halfgeleiderlichaam 1 van silicium van in hoofdzaak het ene geleidingstype. Bij wijze van voorbeeld wordt hiervoor een lichaam van het p-type gekozen maar uiteraard kan natuurlijk ook van een n-type lichaam worden uitgegaan.

Het halfgeleiderlichaam 1 bevat een aan het oppervlak 2 grenzende relatief hoog-ohmige opperlaag 3 van
25 het p-type, die bijvoorbeeld gevormd kan zijn door een relatief zwak gedoteerde p-type epitaxiale laag aangegroeid op het p-type substraat 4 dat eveneens in het algemeen relatief hoog-ohmig zal zijn.

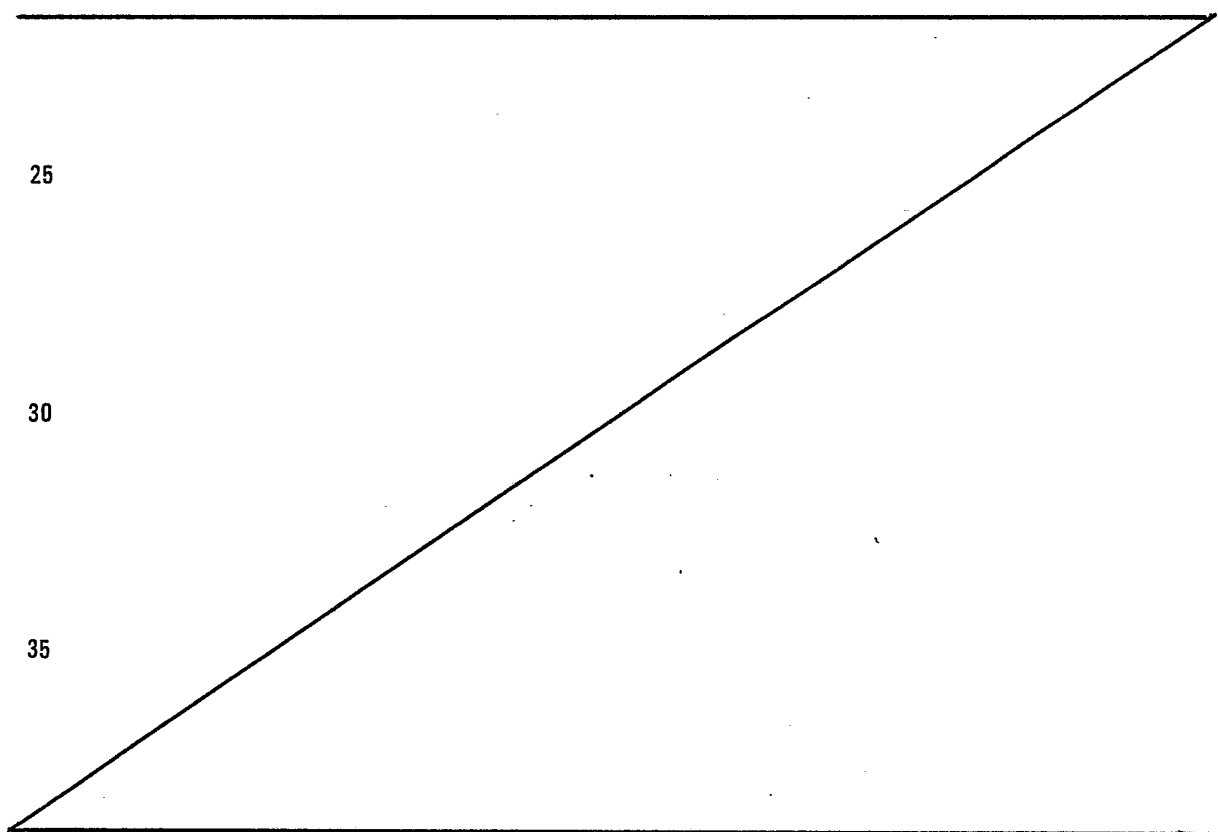
30 In de epitaxiale laag 3 zijn eilandachtige, onderling elektrisch geïsoleerde gebieden 5, 6, verder ook eerste respektievelijk tweede eiland genoemd, gevormd. De eilanden 5, 6 worden aan de opstaande zijanten begrensd door dielektricum 7, bestaande uit een patroon van silicium-oxide dat zich vanaf het oppervlak 2 in de dikterichting
35 van het halfgeleiderlichaam 1 uitstrekt tot aan de n-type gebieden 8, 9. De gebieden 8, 9 worden gevormd door relatief hoog gedoteerde begraven lagen die zich onder het gehele

eiland 5 respektievelijk 6 uitstrekken en deze eilanden scheiden van de rest van het halfgeleiderlichaam 1. De begraven lagen 8, 9 kunnen op opzichzelf bekende wijze worden verkregen door vóór het aanbrengen van de epitaxiale laag 3 het p-type substraat 4 plaatselijk te voorzien van As-gedoteerde gebieden waaruit vervolgens door diffusie van het As de begraven lagen worden gevormd.

In het eiland 5 is een eerste transistor T_1 gevormd, met een p-type basiszone 10, een n-type emitterzone 11, en een n-type collectorzone die althans ten dele gevormd wordt door de begraven laag 8 onder het eiland 5. Behalve de emitterzone 11, bevat de transistor nog een tweede emitterzone 12, die voor de selectie dient, maar uiteraard kunnen ook andere, opzichzelf bekende uitgangs/selectiewijzen worden toegepast.

Op soortgelijke wijze is in het eiland 6 een tweede transistor, verder T_2 aangeduid, gevormd, met eveneens een p-type basiszone 10, twee emitterzones 11, 12 en een, door de begraven laag 9 onder het eiland 6 gevormde collectorzone.

Tussen de basis 10 van T_1 en de collector 9 van T_2



7906752

is een kruisverbinding 13 aanwezig in de vorm van een metaallaag van bijvoorbeeld Al, die via contactvensters 15 in de het oppervlak bedekkende oxydelaag 14 met de zones 9 en 10 is gecontacteerd. T.b.v. de contacten tussen de Al-laag 13 en de begraven laag 8,9 kunnen diepe n-zones 16 worden aangebracht (zie Fig.3) die zich ter plaatse van de contacten tussen het oppervlak 2 en de begraven lagen 8,9 uitstrekken.

Opgemerkt wordt dat de contactgaten 15, zoals in Fig. 1 is aangegeven, de randen van de eilanden mogen overschrijden, aangezien deze randen toch worden begrensd door het relatief dikke siliciumoxydepatroon 7, waarvan zonder bezwaar tijdens het openen van de vensters 15 een dun laagje kan worden verwijderd.

Op soortgelijke wijze is ook tussen de basiszone 10 van T_2 en de collector 8 van T_1 een kruisverbinding 13 aanwezig. De emitters 11 van T_1 en T_2 zijn via, eveneens overlappende, vensters 15 verbonden met een metaallijn 17, en de emitters 12 met de selectielijnen 18,19.

De collectorzones 8,9 van T_1 respectievelijk T_2 zijn verbonden met een voedingslijn 20 via belastingselementen die elk een weerstand en een parallel hierover geschakelde diode bevatten. Zo is collector 8 van T_1 via kruisverbinding 13 (zie Fig. 4) gekoppeld met de weerstand R_1 en tegelijk met de als diode fungerende emitterbasisovergang D_1 van de pnp-transistor T_{p1} . De collector 9 van T_2 is op identieke wijze verbonden met R_2 en de parallel over R_1 geschakelde diode D_2 bestaande uit de emitterbasisovergang van T_{p2} . In het uitvoeringsvoorbeeld volgens de figuren 1-3 wordt R_2 gevormd door het p-type gebied tussen de basiszone 10 van T_1 en de lijn 20, welk gebied aan het oppervlak 2 is voorzien van een door middel van implantatie hoger gedoteerde p-type zone 21 ter verkrijging van de gewenste weerstand. R_1 wordt gevormd door het p-type gebied tussen de basiszone 10 van T_2 en de lijn 20, welk gebied eveneens van een geïmplanteerde zone is voorzien. Ter plaatse van de aansluitingen tussen R_1 en R_2 in de voedingslijn 20 kunnen contactzones 22 worden aangebracht ter verkrij-

ging van een goed contact. De zones 22 kunnen tegelijk met de basiszones 10 worden gevormd. De pnp-transistoren T_{p1} en T_{p2} zijn automatisch verkregen met de zones 22, als p-type emitter, de begraven lagen 8,9 als n-type basiszones en het p-type substraat 4 als collector. De stroomversterking β van deze transistoren ($= \frac{i_c}{i_b}$) is zo laag dat bij het lezen van de cellen praktisch de gehele stroom door de collectors door de collectorzones als diodestroom over de emitter-basisovergang van T_{p1} of T_{p2} vloeit, zodat praktisch geen stroom via het substraat verloren gaat.

Ter verbetering van de snelheid is, zoals ook in het schakelschema van Fig. 4 is weergegeven, tussen de voedingslijn 20 en de collectoren 8,9 van T_1 en T_2 een derde resp. via de npn-transistor T_3 resp. T_4 opgenomen met kortgesloten basis-collectorovergang, die als diode fungeren parallel aan de dioden D_1 resp. D_2 . De transistoren T_3 en T_4 kunnen, zoals uit Fig. 2 o.a. blijkt eenvoudig worden verkregen door in de p-type zones 22 een n-type zone 23 aan te brengen, bij voorkeur tegelijk met het aanbrengen van de emitterzones 11,12 onder een deel van de contacten tussen de zones 22 en de voedingslijn 20, zodat de pn-overgangen 24 tussen de p-type zones 22 en de n-type zones 23 worden kortgesloten door de lijn 20. De transistoren T_3 en T_4 worden nu gevormd door de invers werkende npn-structuren waarvan de begraven lagen 8,9 de emitters, de zones 22,5 of 22,6 de basiszones, en de n-type zones 23 de collectoren vormen.

Omdat voor R_1 en R_2 relatief grote waarden gekozen kunnen worden - aangezien immers de grote leesstromen via de dioden D_1 T_3 of D_2 T_4 gevoerd worden -, kunnen, terwijl aan noodzakelijke stabiliteitscriteria wordt voldaan, zeer lage onthoudstromen (stand by) worden gekozen (lage dissipatie). Grote leesstromen zijn mogelijk dankzij de aanwezigheid van de parallel werkende dioden D_1 T_3 en D_2 T_4 . Bovendien vertoont de hier beschreven cel zeer korte schrijftijden, ondanks de, in het algemeen mogelijk grote ladingsopslag in de dioden D_1 en D_2 . Zolang maar de verzadigingsstroom van de npn-transistoren T_3 , T_4 groter

is dan de verzadigingsstroom van de dioden D_1 , D_2 , en zo-
lang maar de afsnijfrequentie van de npn-transistor T_3 , T_4
groter is dan die van de dioden D_1 , D_2 (pnp-transistors)
zal de schrijftijd van de geheugencel niet of nauwelijks
5 nadelig beïnvloed worden door de grote uitschakeltijden van
 D_1 , D_2 .

Met behulp van de hier beschreven geheugencellen,
zijn 1k-bit geheugens gerealiseerd met onthoudstroom/lees-
stroom verhoudingen van 10-20, en met schrijftijden van
10 ruim beneden de 10 n.s. (5 n.s.). Een dergelijk geheugen
kan met behulp van gebruikelijke processtappen en met een
zeer grote dichtheid worden vervaardigd, aangezien de t.o.v.
gebruikelijke cellen, aanwezige extra dioden en transisto-
ren niet afzonderlijk behoeven te worden aangebracht maar
15 automatisch op de hier beschreven wijze worden verkregen.

In de hier beschreven uitvoeringsvorm is een
hoogohmige p-type epitaxiale laag toegepast. De uitvinding
is echter zonder meer ook toepasbaar wanneer de p-type epi-
taxiale laag wordt vervangen door een n-type epitaxiale
20 laag.

Fig. 5 toont een variant van de in het eerste
uitvoeringsvoorbeeld beschreven cel, in een doorsnede over-
eenkomstig aan de doorsnede in Fig.2 waarbij eenvoudigheds-
halve de oxidelaag 14 op het oppervlak 2 met de hierin aan-
25 gebrachte vensters eenvoudigheidshalve zijn weggesloten.
De cel verschilt hierin van de vorige dat de n-type zone
23 niet in de contactzone 22, is aangebracht maar ernaast,
in een verlengd deel 25 van de geïmplanteerde zone 21 die
een hogere weerstand vertoont dan de zone 22. Met deze cel
30 kan een verdere verbetering verkregen worden dankzij het
gunstiger doopprofiel in de basis van de npn-transistoren
 T_3 , T_4 in de looptijd (transit-time) van de npn-transisto-
ren. Bovendien kunnen op deze wijze dioden 24 verkregen
worden met een hogere verzadigingsstroom.

35 Ook in dit uitvoeringsvoorbeeld kan de p-type
epitaxiale laag 3 zonder meer vervangen worden door een
n-type epitaxiale laag.

7906752 Fig. 6 toont een verdere variant waarmee met

voordeel de genoemde voordelen (kortere looptijd en hogere verzadigingsstroom) kunnen worden verkregen. In dit uitvoeringsvoorbeeld is de extra n - zone 23 naast de p-type contactzone 22 direct in de zwak gedoteerde p-type laag 3
5 aangebracht.

Het zal duidelijk zijn dat de uitvinding niet is beperkt tot de hier gegeven uitvoeringsvoorbeelden, maar dat binnen het kader van de uitvinding voor de vakman nog veel variaties mogelijk zijn.

10 Zo kunnen in de besproken uitvoeringsvoorbeelden alle geleidingstypen worden omgekeerd. In plaats van het verzonken oxidepatroon 7 kunnen ook andere isolatiemiddelen, bijvoorbeeld geëtste groeven, worden toegepast. In de uitvoeringsvoorbeelden is eenvoudigheidshalve slechts een me-
15 tallisatielaag getoond. In praktische uitvoeringen echter, waarin kruisingen tussen de geleidersporen optreden, zullen méér-laagsbedradingen worden toegepast.

20

25

30

35

Conclusies:

1. Statistische bipolaire geheugencel bevattende:
 - A. een halfgeleiderlichaam van het ene geleideings-
type met een aan een oppervlak grenzende relatief hoog-
ohmige oppervlaktelaag van het ene geleidingstype met twee
5 naast elkaar gelegen onderling geïsoleerde eilanden die aan
de onderzijde van de rest van het halfgeleiderlichaam zijn
gescheiden door relatief laag-ohmige begraven lagen van het
tweede geleidingstype.
 - 10 B. een eerste en een tweede transistor in respektie-
velijk een eerste en het andere van de genoemde eilanden,
welke transistoren elk een basiszone van het ene geleidings-
type, tenminste één aan het oppervlakgrenzende emitterzone
van het tweede geleidingstype en een collectorzone van het
15 tweede geleidingstype die, althans ten dele, door de bij-
behorende begraven laag van het tweede geleidingstype wordt
gevormd, bevatten;
 - C. kruisverbindingen tussen de basiszone van de eer-
ste transistor en de collectorzone van de tweede transistor
20 en tussen de basiszone van de tweede transistor en de col-
lectorzone van de eerste transistor;
 - D. een eerste en een tweede belastingselement tus-
sen een voedingslijn en de collectorzones van respektieve-
lijk de eerste en de tweede transistor, welke belastings-
25 elementen elk een weerstand en een parallel hiervoor -
bij stroomdoorgang in de voorwaartsrichting-geschakelde
diode bevatten, waarbij de weerstanden van het eerste en
het tweede belastingselement respektievelijk door een weer-
standsgebied van het ene geleidingstype dat zich tussen de
30 basiszone van de tweede transistor en een voedingsaanslui-
ting/ⁱⁿhet tweede eiland uitstrekt en door een weerstandsge-
bied van het ene geleidingstype dat zich tussen de basis-
zone van de eerste transistor en een voedingsaansluiting in
het eerste eiland uitstrekt, worden gevormd, en waarbij de
35 dioden van het eerste en het tweede belastingselement wor-
den gevormd door de pn-overgangen tussen respektievelijk
de begraven laag onder het eerste eiland en het weerstands-
gebied in het eerste eiland en tussen de begraven laag onder

het tweede eiland en het weerstandgebied in het tweede eiland.

E. een derde en een vierde transistor in respektievelijk het eerste en het tweede eiland ter plaatse van de genoemde voedingsaansluitingen, welke transistoren een basiszone van het ene geleidingstype en een emitter- en een collectorzone van het tweede geleidingstype bevatten, waarbij de emitter-basis-overgangen van deze transistoren gevormd worden door de genoemde pn-overgangen tussen de begraven lagen van het tweede geleidingstype en de weerstandsgebieden van het ene geleidingstype en waarbij de collectorzones van deze transistoren gevormd worden door in de weerstandsgebieden aangebrachte oppervlaktezones van het tweede geleidingstype die met de weerstandsgebieden door de voedingsaansluitingen kortgesloten pn-overgangen vormen.

2. Statistische geheugencel volgens conclusie 1, met het kenmerk dat de eilanden langs hun zijdelingse omtrek van de rest van het halfgeleiderlichaam zijn geïsoleerd door een patroon van verzonken siliciumoxide dat zich vanaf het oppervlak van het halfgeleiderlichaam tot aan de begraven lagen uitstrekt.

3. Statistische geheugencel volgens conclusie 1 of 2, met het kenmerk dat de soortgelijke weerstand van althans een deel van de weerstandsgebieden hoger is dan die van de basiszones van de eerste en de tweede transistor.

4. Statisch geheugen, opgebouwd uit een aantal geheugencellen volgens een of meer van de voorgaande conclusies.

30

35

7906752

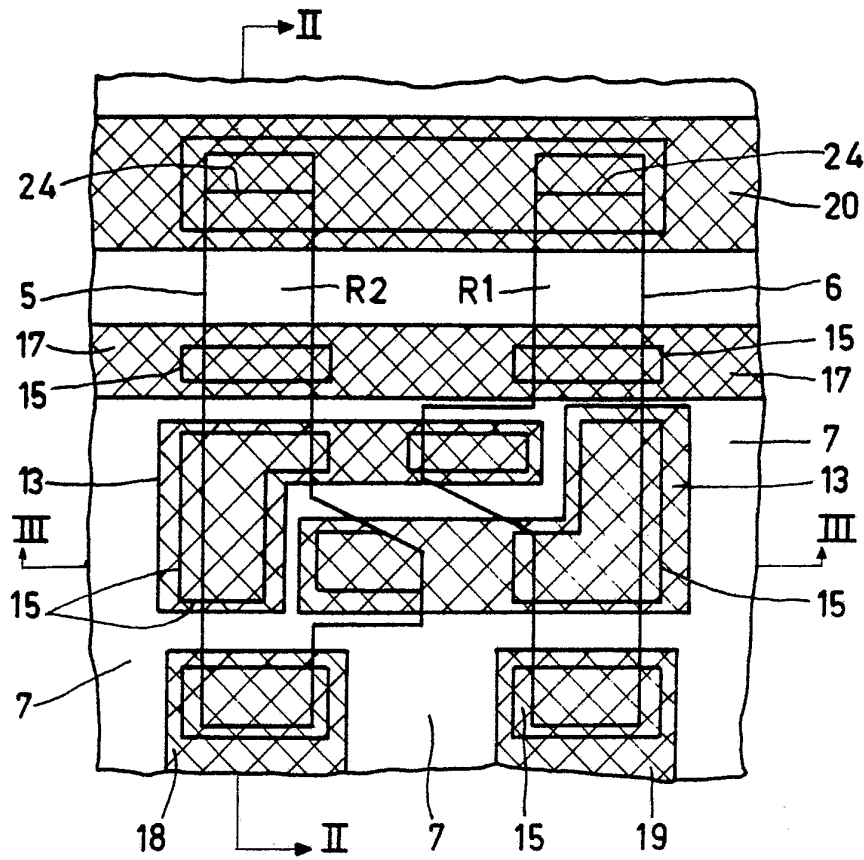


FIG. 1

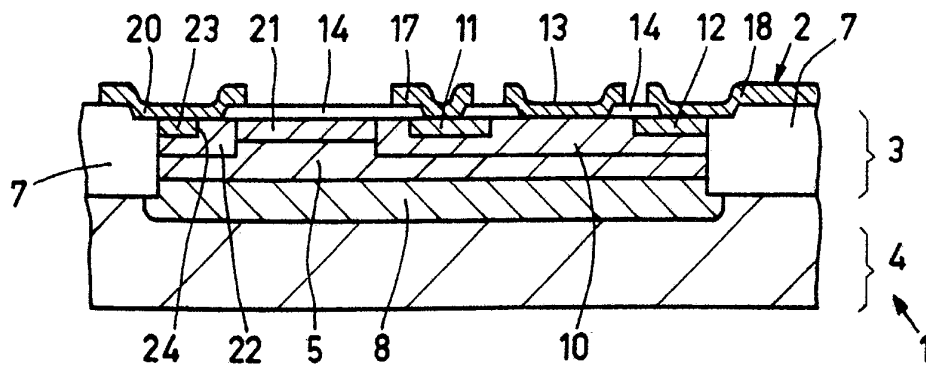


FIG. 2

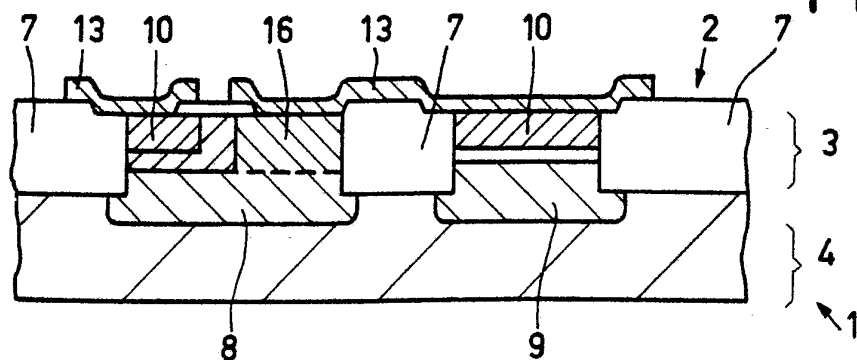


FIG. 3

7906752

2/2

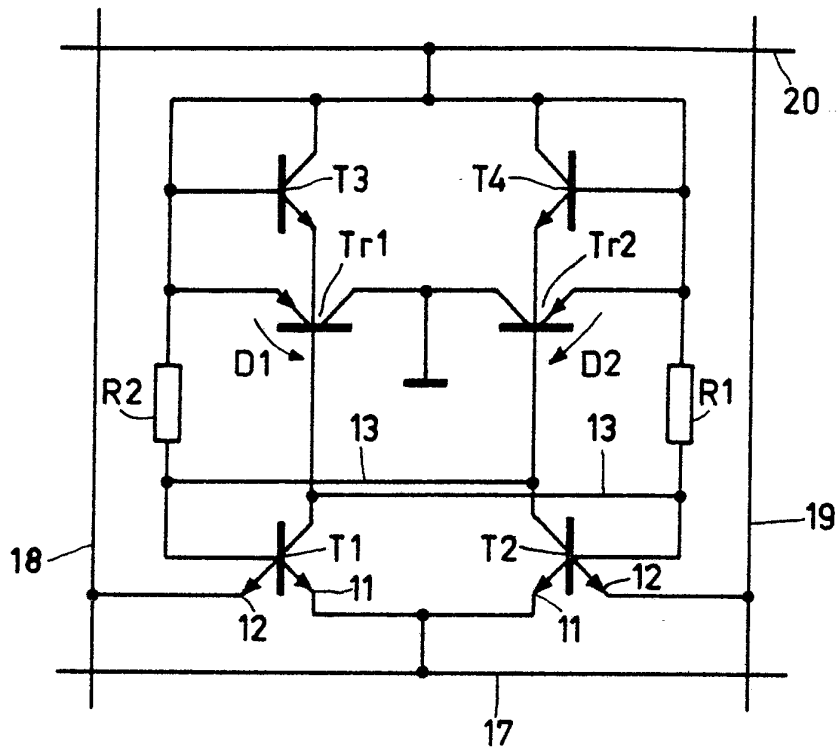


FIG.4

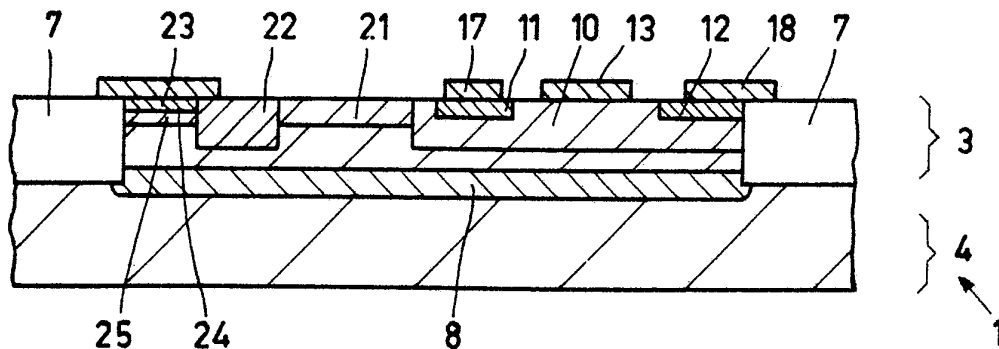


FIG.5

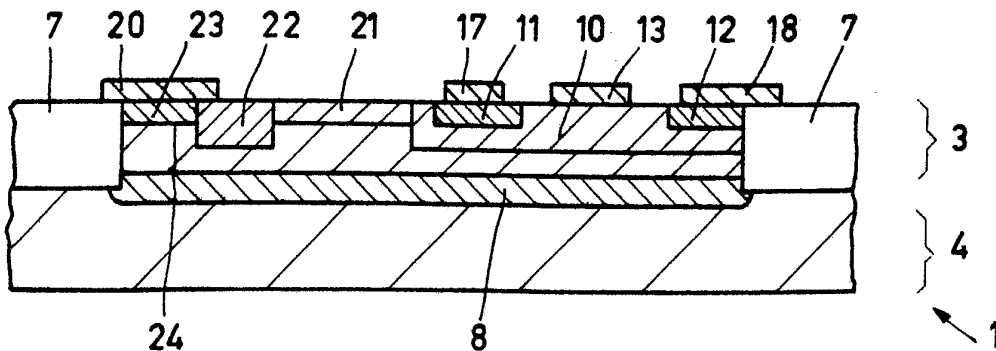


FIG.6

7906752